

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5589994号
(P5589994)

(45) 発行日 平成26年9月17日(2014.9.17)

(24) 登録日 平成26年8月8日(2014.8.8)

(51) Int. Cl. F I
HO 1 G 2/06 (2006.01) HO 1 G 1/035 C
HO 1 G 4/232 (2006.01) HO 1 G 4/12 3 5 2
HO 1 G 4/30 (2006.01) HO 1 G 4/30 3 0 1 B

請求項の数 2 (全 13 頁)

<p>(21) 出願番号 特願2011-190736 (P2011-190736) (22) 出願日 平成23年9月1日(2011.9.1) (65) 公開番号 特開2013-55124 (P2013-55124A) (43) 公開日 平成25年3月21日(2013.3.21) 審査請求日 平成25年3月22日(2013.3.22)</p> <p>前置審査</p>	<p>(73) 特許権者 000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号 (74) 代理人 110001449 特許業務法人プロフィック特許事務所 (72) 発明者 藤井 裕雄 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内</p> <p>審査官 田中 晃洋</p>
---	---

最終頁に続く

(54) 【発明の名称】 選択方法

(57) 【特許請求の範囲】

【請求項1】

複数の誘電体層が積層されてなる直方体状の積層体であって、積層方向の両端に位置する上面及び底面、互いに対向する第1の端面及び第2の端面、並びに、互いに対向している第1の側面及び第2の側面を有している積層体と、前記誘電体層と共に積層され、かつ、該誘電体層を介して互いに対向している第1のコンデンサ導体及び第2のコンデンサ導体と、前記第1の端面及び前記第1の側面のそれぞれに設けられ、かつ、前記第1のコンデンサ導体と接続されている第1の外部電極及び第2の外部電極と、前記第2の端面及び前記第2の側面のそれぞれに設けられ、かつ、前記第2のコンデンサ導体と接続されている第3の外部電極及び第4の外部電極と、を備えており、前記第1の端面及び前記第1の側面において、前記第1の外部電極と前記第2の外部電極との間には、該第1の外部電極及び該第2の外部電極と異なる電位に保たれる外部電極が設けられておらず、前記第2の端面及び前記第2の側面において、前記第3の外部電極と前記第4の外部電極との間には、該第3の外部電極及び該第4の外部電極と異なる電位に保たれる外部電極が設けられておらず、回路基板の実装の際に、前記第1の外部電極又は前記第2の外部電極のいずれか一方を該回路基板のランド電極に接続し、かつ、前記第3の外部電極又は前記第4の外部電極のいずれか一方を該回路基板のランド電極に接続すること、を特徴とする電子部品を、前記第1の外部電極ないし前記第4の外部電極に対応する第1のランド電極ないし第4のランド電極を有する回路基板に対して実装する際に、該第1の外部電極ないし該第4の外部電極のいずれを用いるのかを選択する選択方法であって、

10

20

前記第 1 の外部電極及び前記第 3 の外部電極のそれぞれを前記第 1 のランド電極及び前記第 3 のランド電極に接続して交流電圧を印加したときに前記回路基板の振動により発生する音の大きさが、前記第 2 の外部電極及び前記第 4 の外部電極のそれぞれを前記第 2 のランド電極及び前記第 4 のランド電極に接続して交流電圧を印加したときに該回路基板の振動により発生する音の大きさよりも小さい場合には、該第 1 の外部電極及び該第 3 の外部電極のそれぞれを該第 1 のランド電極及び該第 3 のランド電極に接続し、

前記第 2 の外部電極及び前記第 4 の外部電極のそれぞれを前記第 2 のランド電極及び前記第 4 のランド電極に接続して交流電圧を印加したときに前記回路基板の振動により発生する音の大きさが、前記第 1 の外部電極及び前記第 3 の外部電極のそれぞれを前記第 1 のランド電極及び前記第 3 のランド電極に接続して交流電圧を印加したときに該回路基板の振動により発生する音の大きさよりも小さい場合には、該第 2 の外部電極及び該第 4 の外部電極のそれぞれを該第 2 のランド電極及び該第 4 のランド電極に接続すること、

を特徴とする選択方法。

【請求項 2】

複数の誘電体層が積層されてなる直方体状の積層体であって、積層方向の両端に位置する上面及び底面、互いに対向する第 1 の端面及び第 2 の端面、並びに、互いに対向している第 1 の側面及び第 2 の側面を有している積層体と、前記誘電体層と共に積層され、かつ、該誘電体層を介して互いに対向している第 1 のコンデンサ導体及び第 2 のコンデンサ導体と、前記第 1 の端面及び前記第 1 の側面のそれぞれに設けられ、かつ、前記第 1 のコンデンサ導体と接続されている第 1 の外部電極及び第 2 の外部電極と、前記第 2 の端面及び前記第 2 の側面のそれぞれに設けられ、かつ、前記第 2 のコンデンサ導体と接続されている第 3 の外部電極及び第 4 の外部電極と、を備えており、前記第 1 の端面及び前記第 1 の側面において、前記第 1 の外部電極と前記第 2 の外部電極との間には、該第 1 の外部電極及び該第 2 の外部電極と異なる電位に保たれる外部電極が設けられておらず、前記第 2 の端面及び前記第 2 の側面において、前記第 3 の外部電極と前記第 4 の外部電極との間には、該第 3 の外部電極及び該第 4 の外部電極と異なる電位に保たれる外部電極が設けられておらず、回路基板の実装の際に、前記第 1 の外部電極又は前記第 2 の外部電極のいずれか一方を該回路基板のランド電極に接続し、かつ、前記第 3 の外部電極又は前記第 4 の外部電極のいずれか一方を該回路基板のランド電極に接続すること、を特徴とする電子部品を、前記第 1 の外部電極ないし前記第 4 の外部電極に対応する第 1 のランド電極ないし第 4 のランド電極を有する回路基板に対して実装する際に、該第 1 の外部電極ないし該第 4 の外部電極のいずれを用いるのかを選択する選択方法であって、

前記電子部品に印加される交流電圧の周波数と前記第 1 のランド電極と前記第 3 のランド電極とが並んでいる第 1 の方向における前記回路基板の第 1 の共振周波数との差の絶対値が、該交流電圧の周波数と前記第 2 のランド電極と前記第 4 のランド電極とが並んでいる第 2 の方向における前記回路基板の第 2 の共振周波数との差の絶対値よりも大きい場合には、該第 1 の外部電極及び該第 3 の外部電極を該第 1 のランド電極及び該第 3 のランド電極に接続し、

前記交流電圧の周波数と前記第 1 の共振周波数との差の絶対値が、該交流電圧の周波数と前記第 2 の共振周波数との差の絶対値よりも小さい場合には、該第 2 の外部電極及び該第 4 の外部電極を前記第 2 のランド電極及び前記第 4 のランド電極に接続すること、

を特徴とする選択方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、選択方法に関し、より特定的には、コンデンサを内蔵している電子部品における選択方法に関する。

【背景技術】

【0002】

誘電体層とコンデンサ導体とが積層されてなる電子部品では、電子部品に交流電圧が印

10

20

30

40

50

加されると、電圧によって誘電体層に電界誘起歪みが発生する。このような電界誘起歪みは、電子部品が実装されている基板を振動させ、「鳴き」と呼ばれる振動音を発生させる。このような「鳴き」を抑制するための従来の電子部品に関連する発明としては、例えば、特許文献 1 に記載の積層セラミックコンデンサの回路基板実装方法が知られている。

【0003】

特許文献 1 に記載の積層セラミックコンデンサの回路基板実装方法では、回路基板の表面と裏面に同等仕様のコンデンサが配置されている。これにより、一方のコンデンサから回路基板に伝達した振動と他方のコンデンサから回路基板に伝達した振動とが打ち消し合う。その結果、「鳴き」が抑制される。

【0004】

しかしながら、特許文献 1 に記載の積層セラミックコンデンサの回路基板実装方法では、2つのコンデンサを回路基板の両面に実装する必要があるため、回路設計の自由度が低くなるという問題があった。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2000 - 232030 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、本発明の目的は、回路設計において高い自由度を得つつ、鳴きを抑制することができる選択方法を提供することである。

【課題を解決するための手段】

【0007】

本発明の第 1 の選択方法は、複数の誘電体層が積層されてなる直方体状の積層体であって、積層方向の両端に位置する上面及び底面、互いに対向する第 1 の端面及び第 2 の端面、並びに、互いに対向している第 1 の側面及び第 2 の側面を有している積層体と、前記誘電体層と共に積層され、かつ、該誘電体層を介して互いに対向している第 1 のコンデンサ導体及び第 2 のコンデンサ導体と、前記第 1 の端面及び前記第 1 の側面のそれぞれに設けられ、かつ、前記第 1 のコンデンサ導体と接続されている第 1 の外部電極及び第 2 の外部電極と、前記第 2 の端面及び前記第 2 の側面のそれぞれに設けられ、かつ、前記第 2 のコンデンサ導体と接続されている第 3 の外部電極及び第 4 の外部電極と、を備えており、前記第 1 の端面及び前記第 1 の側面において、前記第 1 の外部電極と前記第 2 の外部電極との間には、該第 1 の外部電極及び該第 2 の外部電極と異なる電位に保たれる外部電極が設けられておらず、前記第 2 の端面及び前記第 2 の側面において、前記第 3 の外部電極と前記第 4 の外部電極との間には、該第 3 の外部電極及び該第 4 の外部電極と異なる電位に保たれる外部電極が設けられておらず、回路基板の実装の際に、前記第 1 の外部電極又は前記第 2 の外部電極のいずれか一方を該回路基板のランド電極に接続し、かつ、前記第 3 の外部電極又は前記第 4 の外部電極のいずれか一方を該回路基板のランド電極に接続すること、を特徴とする電子部品を、前記第 1 の外部電極ないし前記第 4 の外部電極に対応する第 1 のランド電極ないし第 4 のランド電極を有する回路基板に対して実装する際に、該第 1 の外部電極ないし該第 4 の外部電極のいずれを用いるのかを選択する選択方法であって、前記第 1 の外部電極及び前記第 3 の外部電極のそれぞれを前記第 1 のランド電極及び前記第 3 のランド電極に接続して交流電圧を印加したときに前記回路基板の振動により発生する音の大きさが、前記第 2 の外部電極及び前記第 4 の外部電極のそれぞれを前記第 2 のランド電極及び前記第 4 のランド電極に接続して交流電圧を印加したときに該回路基板の振動により発生する音の大きさよりも小さい場合には、該第 1 の外部電極及び該第 3 の外部電極のそれぞれを該第 1 のランド電極及び該第 3 のランド電極に接続し、前記第 2 の外部電極及び前記第 4 の外部電極のそれぞれを前記第 2 のランド電極及び前記第 4 のランド電極に接続して交流電圧を印加したときに前記回路基板の振動により発生する音の大きさ

10

20

30

40

50

が、前記第 1 の外部電極及び前記第 3 の外部電極のそれぞれを前記第 1 のランド電極及び前記第 3 のランド電極に接続して交流電圧を印加したときに該回路基板の振動により発生する音の大きさよりも小さい場合には、該第 2 の外部電極及び該第 4 の外部電極のそれぞれを該第 2 のランド電極及び該第 4 のランド電極に接続すること、

を特徴とする。

【 0 0 0 8 】

本発明の第 2 の選択方法は、複数の誘電体層が積層されてなる直方体状の積層体であって、積層方向の両端に位置する上面及び底面、互いに対向する第 1 の端面及び第 2 の端面、並びに、互いに対向している第 1 の側面及び第 2 の側面を有している積層体と、前記誘電体層と共に積層され、かつ、該誘電体層を介して互いに対向している第 1 のコンデンサ導体及び第 2 のコンデンサ導体と、前記第 1 の端面及び前記第 1 の側面のそれぞれに設けられ、かつ、前記第 1 のコンデンサ導体と接続されている第 1 の外部電極及び第 2 の外部電極と、前記第 2 の端面及び前記第 2 の側面のそれぞれに設けられ、かつ、前記第 2 のコンデンサ導体と接続されている第 3 の外部電極及び第 4 の外部電極と、を備えており、前記第 1 の端面及び前記第 1 の側面において、前記第 1 の外部電極と前記第 2 の外部電極との間には、該第 1 の外部電極及び該第 2 の外部電極と異なる電位に保たれる外部電極が設けられておらず、前記第 2 の端面及び前記第 2 の側面において、前記第 3 の外部電極と前記第 4 の外部電極との間には、該第 3 の外部電極及び該第 4 の外部電極と異なる電位に保たれる外部電極が設けられておらず、回路基板の実装の際に、前記第 1 の外部電極又は前記第 2 の外部電極のいずれか一方を該回路基板のランド電極に接続し、かつ、前記第 3 の外部電極又は前記第 4 の外部電極のいずれか一方を該回路基板のランド電極に接続すること、を特徴とする電子部品を、前記第 1 の外部電極ないし前記第 4 の外部電極に対応する第 1 のランド電極ないし第 4 のランド電極を有する回路基板に対して実装する際に、該第 1 の外部電極ないし該第 4 の外部電極のいずれを用いるのかを選択する選択方法であって、前記電子部品に印加される交流電圧の周波数と前記第 1 のランド電極と前記第 3 のランド電極とが並んでいる第 1 の方向における前記回路基板の第 1 の共振周波数との差の絶対値が、該交流電圧の周波数と前記第 2 のランド電極と前記第 4 のランド電極とが並んでいる第 2 の方向における前記回路基板の第 2 の共振周波数との差の絶対値よりも大きい場合には、該第 1 の外部電極及び該第 3 の外部電極を該第 1 のランド電極及び該第 3 のランド電極に接続し、前記交流電圧の周波数と前記第 1 の共振周波数との差の絶対値が、該交流電圧の周波数と前記第 2 の共振周波数との差の絶対値よりも小さい場合には、該第 2 の外部電極及び該第 4 の外部電極を前記第 2 のランド電極及び前記第 4 のランド電極に接続すること、を特徴とする。

【発明の効果】

【 0 0 0 9 】

本発明によれば、回路設計において高い自由度を得つつ、鳴きを抑制することができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】一実施形態に係る電子部品の外観斜視図である。

【図 2】図 1 の電子部品の積層体の分解斜視図である。

【図 3】回路基板の外観斜視図である。

【図 4】図 4 (a) は、回路基板が第 1 の共振モードにより共振している様子を示した図である。図 4 (b) は、回路基板が第 2 の共振モードにより共振している様子を示した図である。

【図 5】電子部品が回路基板に実装された様子を平面視した図である。

【図 6】その他の実施形態に係る電子部品が回路基板に実装された様子を平面視した図である。

【発明を実施するための形態】

【 0 0 1 1 】

以下に、本発明の実施形態に係る選択方法について図面を参照しながら説明する。

【0012】

(電子部品の構成)

まず、一実施形態に係る電子部品の構成について図面を参照しながら説明する。図1は、一実施形態に係る電子部品10の外観斜視図である。図2は、図1の電子部品10の積層体11の分解斜視図である。以下では、積層体11の積層方向をz軸方向と定義する。積層体11をz軸方向から平面視したときに、積層体11の長辺が延在している方向をx軸方向と定義する。積層体11をz軸方向から平面視したときに、積層体11の短辺が延在している方向をy軸方向と定義する。

【0013】

電子部品10は、チップコンデンサであり、図1に示すように、回路基板上に実装される。また、電子部品10は、図1及び図2に示すように、積層体11、外部電極12(12a~12d)及びコンデンサ導体30(30a~30d)、32(32a~32d)(図1には図示せず)を備えている。

【0014】

積層体11は、図1に示すように、z軸方向の両端に位置している上面S1及び底面S2、互いに対向している端面S3、S4、並びに、互いに対向している側面S5、S6を有する直方体状をなしている。ただし、積層体11は、面取りが施されることにより角及び稜線において丸みを帯びた形状をなしている。以下では、積層体11において、z軸方向の正方向側の面を上面S1とし、z軸方向の負方向側の面を底面S2とする。また、x軸方向の負方向側の面を端面S3とし、x軸方向の正方向側の面を端面S4とする。また、y軸方向の負方向側の面を側面S5とし、y軸方向の正方向側の面を側面S6とする。底面S2は、電子部品10が回路基板上に実装される際に、該回路基板と対向する実装面である。

【0015】

積層体11は、x軸方向に長手方向を有している。よって、端面S3と端面S4との間の距離L1は、側面S5と側面S6との間の距離L2とは異なっている。具体的には、距離L1は、距離L2よりも長い。

【0016】

積層体11は、図2に示すように、複数のセラミック層(誘電体層)17(17a~17n)がz軸方向の正方向側から負方向側へこの順に並ぶように積層されることにより構成されている。セラミック層17は、長形状をなしており、誘電体セラミックにより作製されている。以下では、セラミック層17のz軸方向の正方向側の主面を表面と称し、セラミック層17のz軸方向の負方向側の主面を裏面と称す。

【0017】

積層体11の上面S1は、z軸方向の最も正方向側に設けられているセラミック層17aの表面により構成されている。積層体11の底面S2は、z軸方向の最も負方向側に設けられているセラミック層17nの裏面により構成されている。また、端面S3は、セラミック層17a~17nのx軸方向の負方向側の短辺が連なることによって構成されている。端面S4は、セラミック層17a~17nのx軸方向の正方向側の短辺が連なることによって構成されている。側面S5は、セラミック層17a~17nのy軸方向の負方向側の長辺が連なることによって構成されている。側面S6は、セラミック層17a~17nのy軸方向の正方向側の長辺が連なることによって構成されている。

【0018】

コンデンサ導体30a~30d、32a~32dは、セラミック層17と共に積層されることによって、セラミック層17を介して互いに対向している。これにより、コンデンサ導体30a~30d、32a~32dは、コンデンサCを構成している。

【0019】

コンデンサ導体30a~30dはそれぞれ、図2に示すように、セラミック層17d、17f、17h、17jの表面上に設けられており、積層体11に内蔵されている。コン

10

20

30

40

50

デンサ導体 30 a ~ 30 d はそれぞれ、コンデンサ部 40 a ~ 40 d 及び引き出し部 50 a ~ 50 d, 52 a ~ 52 d を含んでいる。コンデンサ部 40 a ~ 40 d は、長形状をなしている。引き出し部 50 a ~ 50 d は、コンデンサ部 40 a ~ 40 d に接続されており、セラミック層 17 d, 17 f, 17 h, 17 j の x 軸方向の負方向側の短辺に引き出されている。これにより、引き出し部 50 a ~ 50 d は、図 1 に示すように、端面 S 3 (第 1 の端面) に引き出されている。引き出し部 52 a ~ 52 d は、コンデンサ部 40 a ~ 40 d に接続されており、セラミック層 17 d, 17 f, 17 h, 17 j の y 軸方向の負方向側の長辺に引き出されている。これにより、引き出し部 52 a ~ 52 d は、図 1 に示すように、側面 S 5 (第 1 の側面) に引き出されている

【0020】

コンデンサ導体 32 a ~ 32 d はそれぞれ、図 2 に示すように、セラミック層 17 e, 17 g, 17 i, 17 k の表面上に設けられており、積層体 11 に内蔵されている。コンデンサ導体 32 a ~ 32 d はそれぞれ、コンデンサ部 42 a ~ 42 d 及び引き出し部 54 a ~ 54 d, 56 a ~ 56 d を含んでいる。コンデンサ部 42 a ~ 42 d はそれぞれ、長形状をなしており、セラミック層 17 d, 17 f, 17 h, 17 j を介してコンデンサ部 40 a ~ 40 d と対向している。引き出し部 54 a ~ 54 d は、コンデンサ部 42 a ~ 42 d に接続されており、セラミック層 17 e, 17 g, 17 i, 17 k の x 軸方向の正方向側の短辺に引き出されている。これにより、引き出し部 54 a ~ 54 d は、図 1 に示すように、端面 S 4 (第 2 の端面) に引き出されている。引き出し部 56 a ~ 56 d は、コンデンサ部 42 a ~ 42 d に接続されており、セラミック層 17 e, 17 g, 17 i, 17 k の y 軸方向の正方向側の長辺に引き出されている。これにより、引き出し部 56 a ~ 56 d は、図 1 に示すように、端面 S 6 (第 2 の側面) に引き出されている。

【0021】

外部電極 12 a (第 1 の外部電極) は、端面 S 3 に設けられていると共に、上面 S 1、底面 S 2 及び側面 S 5, S 6 に折り返されている。外部電極 12 a は、引き出し部 50 a ~ 50 d が端面 S 3 から露出している部分を覆うように、積層体 11 の端面 S 3 の全面を覆っている。これにより、外部電極 12 a は、コンデンサ導体 30 a ~ 30 d に接続されている。

【0022】

外部電極 12 b (第 3 の外部電極) は、端面 S 4 に設けられていると共に、上面 S 1、底面 S 2 及び側面 S 5, S 6 に折り返されている。外部電極 12 b は、引き出し部 54 a ~ 54 d が端面 S 4 から露出している部分を覆うように、積層体 11 の端面 S 4 の全面を覆っている。これにより、外部電極 12 b は、コンデンサ導体 32 a ~ 32 d に接続されている。

【0023】

外部電極 12 c (第 2 の外部電極) は、側面 S 5 に設けられていると共に、上面 S 1 及び底面 S 2 に折り返されている。外部電極 12 c は、引き出し部 52 a ~ 52 d が側面 S 5 から露出している部分を覆っている。これにより、外部電極 12 c は、コンデンサ導体 30 a ~ 30 d に接続されている。

【0024】

外部電極 12 d (第 4 の外部電極) は、側面 S 6 に設けられていると共に、上面 S 1 及び底面 S 2 に折り返されている。外部電極 12 d は、引き出し部 56 a ~ 56 d が側面 S 6 から露出している部分を覆っている。これにより、外部電極 12 d は、コンデンサ導体 32 a ~ 32 d に接続されている。

【0025】

以上のように構成された外部電極 12 a ~ 12 d では、外部電極 12 a 及び外部電極 12 c は、同じ電位に保たれ、外部電極 12 b 及び外部電極 12 d は、同じ電位に保たれる。更に、端面 S 3 及び側面 S 5 において、外部電極 12 a と外部電極 12 c との間には、外部電極 12 a, 12 c と異なる電位に保たれる外部電極が設けられていない。また、端面 S 4 及び側面 S 6 において、外部電極 12 b と外部電極 12 d との間には、外部電極 1

10

20

30

40

50

2 b 及び外部電極 1 2 d と異なる電位に保たれる外部電極が設けられていない。本実施形態では、端面 S 3 , S 4 及び側面 S 5 , S 6 には、外部電極 1 2 a ~ 1 2 d 以外の外部電極は設けられていない。

【 0 0 2 6 】

次に、電子部品 1 0 が実装される回路基板の構成について図面を参照しながら説明する。図 3 は、回路基板 1 0 0 の外観斜視図である。

【 0 0 2 7 】

回路基板 1 0 0 は、表面及び内部に回路を有している多層基板であり、図 3 に示すように、基板本体 1 0 2 及びランド電極 1 0 4 (1 0 4 a ~ 1 0 4 d) を備えている。基板本体 1 0 2 は、複数の絶縁体層が積層されて構成されており、長方形形状をなしている。基板本体 1 0 2 の長辺は x 軸方向に平行であり、基板本体 1 0 2 の短辺は y 軸方向に平行である。

10

【 0 0 2 8 】

ランド電極 1 0 4 a ~ 1 0 4 d はそれぞれ、基板本体 1 0 2 上に設けられている。より詳細には、ランド電極 1 0 4 a , 1 0 4 b は、z 軸方向から平面視したときに、図 3 に示すように、長方形形状をなしており、x 軸方向の負方向側から正方向側へこの順に並んでいる。ランド電極 1 0 4 c , 1 0 4 d は、z 軸方向から平面視したときに、図 3 に示すように、長方形形状をなしており、y 軸方向の負方向側から正方向側へこの順に並んでいる。そして、ランド電極 1 0 4 a ~ 1 0 4 d はそれぞれ、外部電極 1 2 a ~ 1 2 d とはんだにより接続される。ただし、後述するように、全ての外部電極 1 2 a ~ 1 2 d が、対応するランド電極 1 0 4 a ~ 1 0 4 d と接続されるのではなく、外部電極 1 2 a ~ 1 2 d の内のいずれか選択された外部電極 1 2 a ~ 1 2 d が、対応するランド電極 1 0 4 a ~ 1 0 4 d と接続される。

20

【 0 0 2 9 】

ところで、回路基板 1 0 0 は、複数の共振モードを有している。図 4 (a) は、回路基板 1 0 0 が第 1 の共振モードにより共振している様子を示した図である。図 4 (b) は、回路基板 1 0 0 が第 2 の共振モードにより共振している様子を示した図である。

【 0 0 3 0 】

第 1 の共振モード及び第 2 の共振モードを説明するにあたって、回路基板 1 0 0 の具体的構成について説明する。回路基板 1 0 0 のサイズは、1 0 0 mm x 4 0 mm x 1 . 6 mm である。また、回路基板 1 0 0 のヤング率及びポアソン比はそれぞれ、1 7 G P a 及び 0 . 2 である。

30

【 0 0 3 1 】

第 1 の共振モードとは、図 4 (a) に示すように、x 軸方向に延在している長辺が撓むように回路基板 1 0 0 が共振するモードである。第 1 の共振モードでは、回路基板 1 0 0 の x 軸方向の両端が振動の節となり、回路基板 1 0 0 の x 軸方向の中央が腹となっている。そして、回路基板 1 0 0 の x 軸方向の長さは、回路基板 1 0 0 を伝搬する波の半波長に相当する。第 1 の共振モードにおける共振周波数は、5 0 0 H z である。以上のような第 1 の共振モードは、外部電極 1 2 a , 1 2 b がそれぞれ、はんだによりランド電極 1 0 4 a , 1 0 4 b と接続され、かつ、電子部品 1 0 に 5 0 0 H z に近い周波数を有する交流電圧が印加されると発生する。

40

【 0 0 3 2 】

第 2 の共振モードとは、図 4 (b) に示すように、y 軸方向に延在している短辺が撓むように回路基板 1 0 0 が共振するモードである。第 2 の共振モードでは、回路基板 1 0 0 の y 軸方向の両端が振動の節となり、回路基板 1 0 0 の y 軸方向の中央が腹となっている。そして、回路基板 1 0 0 の y 軸方向の長さは、回路基板 1 0 0 を伝搬する波の半波長に相当する。第 2 の共振モードにおける共振周波数は、3 . 2 k H z である。以上のような第 2 の共振モードは、外部電極 1 2 c , 1 2 d がそれぞれ、はんだによりランド電極 1 0 4 c , 1 0 4 d と接続され、かつ、電子部品 1 0 に 3 . 2 k H z に近い周波数を有する交流電圧が印加されると発生する。

50

【0033】

ここで、第1の共振モード又は第2の共振モードが発生すると、鳴きが発生する。そこで、電子部品10及び選択方法では、回路基板100に電子部品10を実装する際に、外部電極12a～12dのいずれを用いるのかを選択することによって、鳴きの抑制を図っている。図5は、電子部品10が回路基板100に実装された様子を平面視した図である。図5(a)では、外部電極12a, 12bがランド電極104a, 104bと接続されている。図5(b)では、外部電極12c, 12dがランド電極104c, 104dと接続されている。

【0034】

外部電極12a及び外部電極12bのそれぞれをランド電極104a及びランド電極104bに接続したときに回路基板100の振動により発生する音(鳴き)の大きさが、外部電極12c及び外部電極12dのそれぞれをランド電極104c及びランド電極104dに接続したときに回路基板100の振動により発生する音(鳴き)の大きさよりも小さい場合には、外部電極12a及び外部電極12bのそれぞれをランド電極104a及びランド電極104bに接続する。一方、外部電極12c及び外部電極12dのそれぞれをランド電極104c及びランド電極104dに接続したときに回路基板100の振動により発生する音(鳴き)の大きさが、外部電極12a及び外部電極12bのそれぞれをランド電極104a及びランド電極104bに接続したときに回路基板100の振動により発生する音(鳴き)の大きさよりも小さい場合には、外部電極12c及び外部電極12dのそれぞれをランド電極104c及びランド電極104dに接続する。

【0035】

例えば、電子部品10に印加される交流電圧の周波数 f_1 とランド電極104aとランド電極104bとが並んでいるx軸方向における回路基板100の共振周波数(すなわち、第1の共振モードの共振周波数: 500Hz)との差の絶対値が、交流電圧の周波数 f_1 とランド電極104cとランド電極104dとが並んでいるy軸方向における回路基板100の共振周波数(すなわち、第2の共振モードの共振周波数: 3.2kHz)との差の絶対値よりも大きい場合には、図5(a)に示すように、外部電極12a, 12bをはんだ110a, 110bによりランド電極104a, 104bに接続する。本実施形態では、交流電圧の周波数 f_1 が1.85kHzよりも高い場合には、外部電極12a, 12bをはんだ110a, 110bによりランド電極104a, 104bに接続する。

【0036】

一方、交流電圧の周波数 f_1 と第1の共振モードの共振周波数との差の絶対値が、交流電圧の周波数 f_1 と第2の共振モードの共振周波数との差の絶対値よりも小さい場合には、図5(b)に示すように、外部電極12c, 12dをはんだ110c, 110dによりランド電極104c, 104dに接続する。本実施形態では、交流電圧の周波数 f_1 が1.85kHzよりも低い場合には、外部電極12c, 12dをはんだ110c, 110dによりランド電極104c, 104dに接続する。

【0037】

(電子部品の製造方法)

次に、電子部品10の製造方法について説明する。なお、図面は、図1及び図2を援用する。

【0038】

まず、BaTiO₃等のセラミック粉末に対して、バインダ及び有機溶剤を加えてボールミルに投入し、湿式調合を行って、セラミックスラリーを得る。得られたセラミックスラリーをドクターブレード法により、キャリアシート上にシート状に形成して乾燥させ、セラミック層17となるべきセラミックグリーンシートを作製する。セラミック層17となるべきセラミックグリーンシートの厚さは、焼成後のセラミック層の厚さが0.5μm以上10μm以下となる厚さであることが好ましい。なお、セラミック粉末の主成分は、CaTiO₃, SrTiO₃, CaZrO₃等であってもよい。また、セラミック粉末の副成分として、Mn化合物、Mg化合物、Si化合物、Co化合物、Ni化合物、希土類化

10

20

30

40

50

合物等が添加されていてもよい。

【0039】

次に、セラミック層17となるべきセラミックグリーンシート上に、導電性材料からなるペーストをスクリーン印刷法で塗布することにより、コンデンサ導体30, 32を形成する。導電性材料からなるペーストは、金属粉末に、有機バインダ及び有機溶剤が加えられたものである。金属粉末は、例えば、Ni、Cu、Ag、Pd、Ag-Pd合金、Au等である。焼成後のコンデンサ導体30, 32の厚さは、0.3µm以上2.0µm以下であることが好ましい。

【0040】

次に、セラミック層17となるべきセラミックグリーンシートを積層して未焼成のマザー積層体を得る。この後、未焼成のマザー積層体に対して、プレスを施す。

10

【0041】

次に、未焼成のマザー積層体を所定寸法にカットして、複数の未焼成の積層体11を得る。この後、積層体11の表面に、バレル研磨加工等の研磨加工を施す。

【0042】

次に、未焼成の積層体11を焼成する。焼成温度は、例えば、1200~1300である。

【0043】

次に、積層体11に外部電極12を形成する。具体的には、公知のディップ法やスリット工法等により、積層体11の表面にCu、Ni、Ag、Pd、Ag-Pd合金、Au等を含む導電性ペーストを塗布する。そして、下地電極を焼付け、下地電極を形成する。下地電極上には、Niめっき及びSnめっきを施す。これにより、外部電極12が形成される。以上の工程により、電子部品10が完成する。

20

【0044】

以上のように構成された電子部品10は、回路基板100上に実装される。回路基板100の基板本体102は、例えば、ガラスエポキシ等からなる絶縁体層が複数積層されて構成されている。また、ランド電極104は、Cuからなる下地電極にめっきが施されて構成されている。まず、実装に用いる外部電極12を選択する。次に、選択した外部電極12に対応するランド電極104にはんだペーストを塗布する。次に、底面S2が基板本体102のz軸方向の正方向側の主面と対向するように、ランド電極104上に外部電極12をセットする。この後、リフロー工程を行ってはんだペーストを溶融させた後、はんだペーストを固化させる。これにより、電子部品10が回路基板100上に実装される。

30

【0045】

なお、はんだペーストには、例えば、Sn-Pb共晶はんだや、Sn-Ag-Cu等の鉛フリーはんだを用いることが可能である。また、はんだ110の代わりに導電性接着剤が用いられてもよい。

【0046】

(効果)

以上の電子部品10及び選択方法によれば、以下に説明するように、鳴きを抑制することができる。より詳細には、電子部品10が実装された回路基板100では、第1の共振モードと第2の共振モードとが発生し得る。具体的には、第1の共振モードとは、図4(a)に示すように、x軸方向に延在している長辺が撓むように回路基板100が共振するモードである。第1の共振モードの共振周波数は、例えば、500Hzである。第2の共振モードとは、図4(b)に示すように、y軸方向に延在している短辺が撓むように回路基板100が共振するモードである。第2の共振モードの共振周波数は、例えば、3.2kHzである。

40

【0047】

そこで、電子部品10では、外部電極12a, 12cは、端面S3及び側面S5に設けられ、コンデンサ導体30a~30dに接続されている。また、外部電極12b, 12dは、端面S4及び側面S6に設けられ、コンデンサ導体32a~32dに接続されている

50

。これにより、外部電極 12 a , 12 b を用いて電子部品 10 を回路基板 100 に実装すること、又は、外部電極 12 c , 12 d を用いて電子部品 10 を回路基板 100 に実装することを選択できる。よって、電子部品 10 に印加される交流電圧の周波数 f_1 と第 1 の共振モードの共振周波数 (500 Hz) との差の絶対値が、交流電圧の周波数 f_1 と第 2 の共振モードの共振周波数 (3.2 kHz) との差の絶対値よりも大きい場合には、図 5 (a) に示すように、外部電極 12 a , 12 b をはんだ 110 a , 110 b によりランド電極 104 a , 104 b に接続すればよい。これにより、電子部品 10 に交流電圧が印加されることによって、第 2 の共振モードが発生することが抑制される。また、交流電圧の周波数 f_1 と第 1 の共振モードの共振周波数との差の絶対値が、交流電圧の周波数 f_1 と第 2 の共振モードの共振周波数との差の絶対値よりも小さい場合には、図 5 (b) に示すように、外部電極 12 c , 12 d をはんだ 110 c , 110 d によりランド電極 104 c , 104 d に接続すればよい。これにより、電子部品 10 に交流電圧が印加されることによって、第 1 の共振モードが発生することが抑制される。以上より、電子部品 10 及び選択方法によれば、第 1 の共振モード及び第 2 の共振モードの発生が抑制され、鳴きが発生することが抑制される。

【 0048 】

また、電子部品 10 及び選択方法によれば、特許文献 1 に記載の積層セラミックコンデンサの回路基板実装方法のように、2 つのコンデンサを用いる必要がないので、回路設計において高い自由度を得ることができる。

【 0049 】

(その他の実施形態)

なお、本発明に係る電子部品 10 及び選択方法は、前記実施形態に係る電子部品 10 及び選択方法に限らずその要旨の範囲内において変更可能である。

【 0050 】

電子部品 10 及び選択方法では、図 5 (a) に示すように、外部電極 12 a , 12 b がランド電極 104 a , 104 b に接続されるか、又は、図 5 (b) に示すように、外部電極 12 c , 12 d がランド電極 104 c , 104 d に接続されるかのいずれかが選択されていた。しかしながら、外部電極 12 a ~ 12 d とランド電極 104 a ~ 104 d との接続の組み合わせはこれに限らない。図 6 は、その他の実施形態に係る電子部品 10 が回路基板 100 に実装された様子を平面視した図である。

【 0051 】

図 6 (a) では、外部電極 12 a , 12 d がランド電極 104 a , 104 d と接続されている。図 6 (b) では、外部電極 12 b , 12 c がランド電極 104 b , 104 c と接続されている。交流電圧の周波数 f_1 が第 1 の共振モードの共振周波数及び第 2 の共振モードの共振周波数のいずれにも近い場合には、このような接続形態もあり得る。

【 0052 】

なお、前記選択方法は、電子部品 10 及び回路基板 100 の設計段階において行われてもよい。より詳細には、設計段階において、第 1 の共振モード及び第 2 の共振モードの発生が抑制される外部電極 12 a ~ 12 d を選択し、製造時の回路基板 100 には、選択した外部電極 12 a ~ 12 d に対応するランド電極 104 a ~ 104 d のみを形成してもよい。

【 産業上の利用可能性 】

【 0053 】

以上のように、本発明は、選択方法に有用であり、特に、回路設計において高い自由度を得つつ、鳴きを抑制することができる点で優れている。

【 符号の説明 】

【 0054 】

C コンデンサ
S 1 上面
S 2 底面

10

20

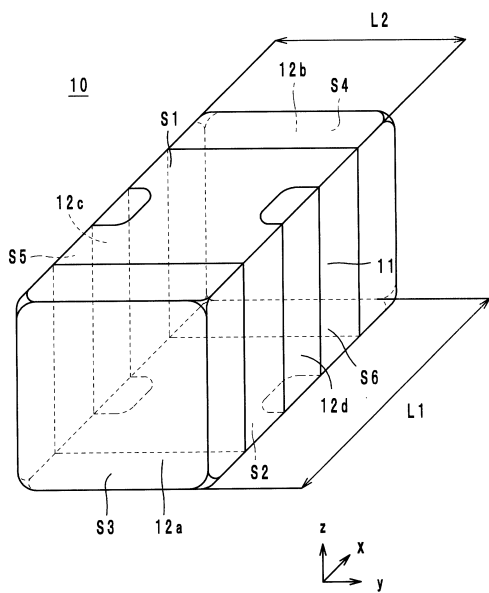
30

40

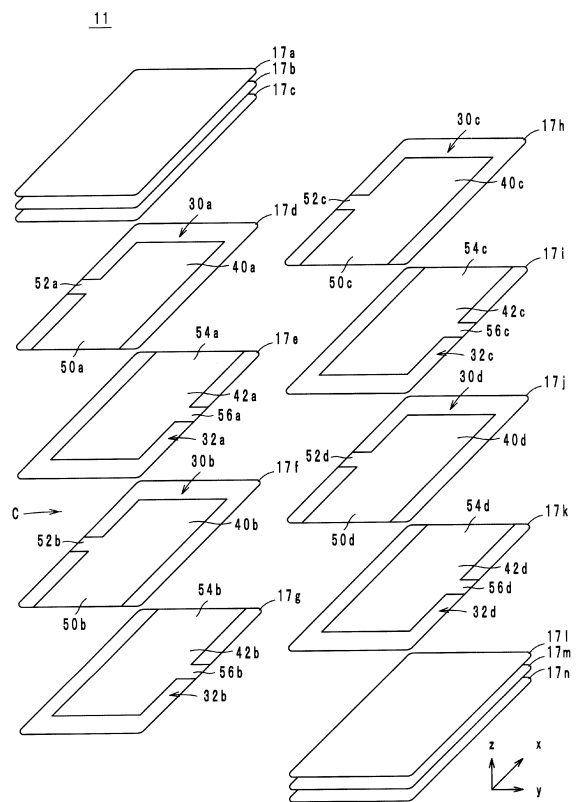
50

- S 3 , S 4 端面
- S 5 , S 6 側面
- 1 0 電子部品
- 1 1 積層体
- 1 2 a ~ 1 2 d 外部電極
- 1 7 a ~ 1 7 n セラミック層
- 3 0 a ~ 3 0 d , 3 2 a ~ 3 2 d コンデンサ導体
- 4 0 a ~ 4 0 d , 4 2 a ~ 4 2 d コンデンサ部
- 5 0 a ~ 5 0 d , 5 2 a ~ 5 2 d , 5 4 a ~ 5 4 d , 5 6 a ~ 5 6 d 引き出し部
- 1 0 0 回路基板
- 1 0 2 基板本体
- 1 0 4 a ~ 1 0 4 d ランド電極
- 1 1 0 a ~ 1 1 0 d はんだ

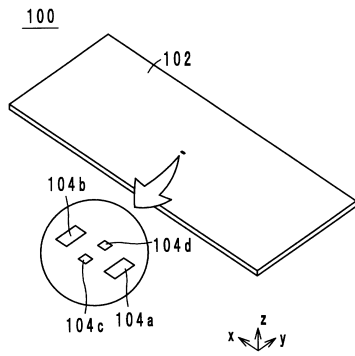
【 図 1 】



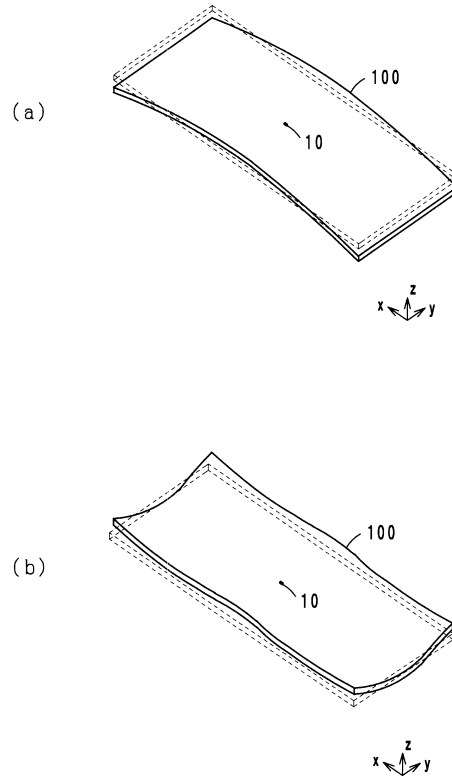
【 図 2 】



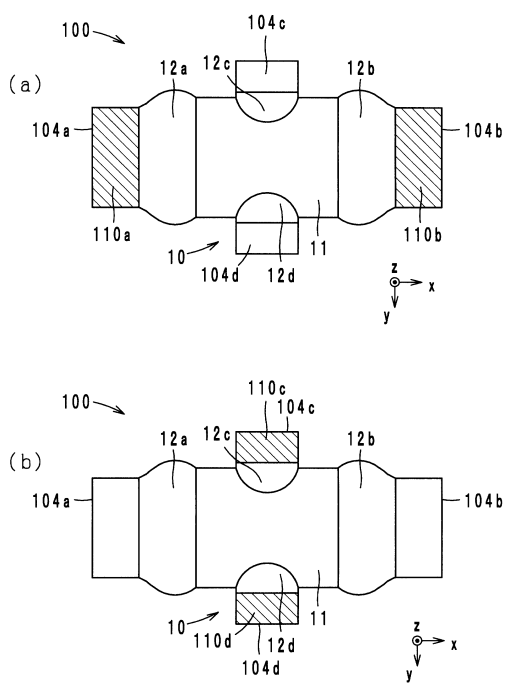
【 図 3 】



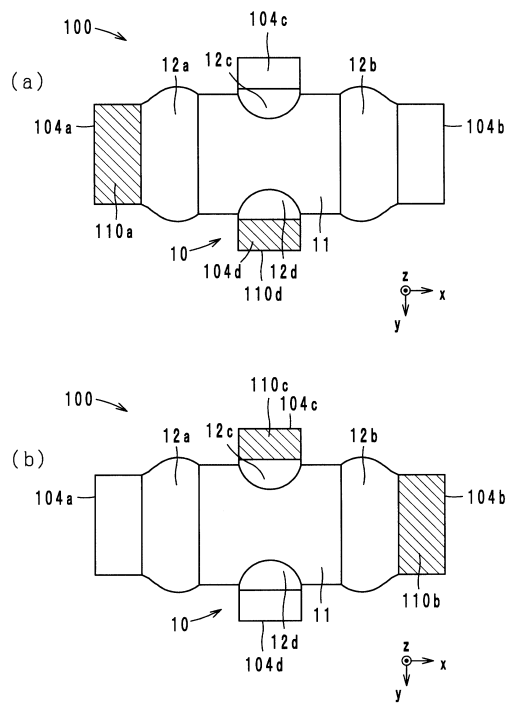
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

- (56)参考文献 特開2003-257784(JP,A)
特開2012-227491(JP,A)
特開2009-088516(JP,A)
実開昭58-189523(JP,U)
特開2002-175933(JP,A)
特開2009-088517(JP,A)
特開平11-026288(JP,A)
特開平03-183110(JP,A)
特開2008-205135(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01G 4/00 - 4/22
H01G 4/255 - 4/40
H01G 13/00 - 17/00
H01L 23/12 - 23/15
H05K 1/00 - 1/02
H05K 1/18