

公告本

320756

申請日期	85. 4. 12
案 號	85104328
類 別	Int. C1 ⁶ 1701C 21/66

A4
C4

320756

(以上各欄由本局填註)

320756

發明專利說明書

一、發明 名稱	中 文	具模組探針結構之大型積體電路
	英 文	LARGE INTEGRATED CIRCUIT WITH MODULAR PROBE STRUCTURES
二、發明 人 創作	姓 名	1. 布羅希 (Rohit L. Bhuva) 2. 傳巴歐 (Bao Tran) 3. 康傑姆 (James L. Conner) 4. 歐麥可 (Michael Overlaur) 5. 保崔西 (Tracy S. Paulsen)
	國 籍	1.-5. 皆美國籍
	住、居所	1. 美國德克薩斯州波拉洛市布克哈芬街5832號 5832 Brookhaven Dr., Plano, TX 75093, U.S.A. 2. 美國德克薩斯州理查森市波麥克街1400號 1400 Potomac Dr., Richardson, TX 75081, U.S.A. 3. 美國德克薩斯州羅雷市萊克特街9117號 9117 Lakepointe Ave., Rowlett, TX 75088, U.S.A. 4. 美國德克薩斯州波拉洛市索街1414號 1414 So. Shiloh, #2013, Plano, TX 75075, U.S.A. 5. 美國德克薩斯州羅雷市史特布街6605號 6605 Sturbridge, Rowlett, TX 75088, U.S.A.
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國籍
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉(William E. Hiller)

裝

訂

線

320756

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地 區) 申請專利，申請日期：西元1994年 案號：08/347,021，☐有 ☒無主張優先權
11月30日

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

〔相關申請案之交互參照〕

交互參照係共同待決之第07/990,992號專利申請案，名稱為"大型晶粒光製版術(Large Die Photolithography)"，於1992年12月16日提申。

〔發明領域〕

本發明大體上有關於大型積體電路之製造及設計，且尤其更有關於具有以商業上現成之自動晶粒探測器測試係太不實用之晶粒之大型積體電路之設計與測試。

〔發明背景〕

自從積體電路發明以來，半導體晶粒變得越來越複雜且大型化。為確保提供產業上之高品質及可靠產品，半導體製造商於晶粒封裝前傳統上於功能上測試並以光學方式檢查其積體電路。

傳統上，為實施晶粒功能測試，係使用現成之平面探針設備以測試晶粒之功能。積體電路通常設計為具有周邊測試墊連接至電路，且自動探測器可接觸該等測試墊。電源經由接合墊供應至積體電路，且使用特定軟體測試程式測試電路之動態功能。未符合已立性能參數之積體電路晶粒係予以標示並修理，或者被剔除而不使其進入封裝步驟。此測試程序更可涉及，且可含有將振動、濕氣、極端溫度等 等 加之於積體電路晶粒。

隨著積體電路之進步，現成之自動探測器亦已進步。自動探測器可自含有Hewlett Packard及Teledyne之著名公司取得。一些複雜之積體電路，含有數位信號處理器、微

五、發明說明(2)

處理器等等，係習知為含有晶粒尺寸接近1 英吋×1 英吋，其依工業標準而言係大型者。因此等積體電路尺寸越來越大，故傳統測試設備之複雜性及適合性必須隨之調整。

一種由德州達拉斯之德州儀器公司所發展之令人感興趣之技術係空間光調制器(Spatial Light Modulator, SLM)其由數位微鏡元件(Digital Micromirror Device, DMD)組成。此等DMD可於硬複印(hard copy)靜電列印機中實施，且亦可用以提供含有監視器及大螢幕電視之高解析度顯示器。於電視設計中實施之DMD係揭露於DeMond等人之美國專利第5,079,544號，名稱為"標準獨立數位化影像系統(Standard Independent Digitized Video System)"以及Hornbeck之美國專利第5,061,049號，名稱為"空間光調制器及方法"，此二專利皆讓與給本發明之受讓人。於硬複印列印裝置中使用DMD係揭露於Nelson之美國專利第5,105,369號，名稱為"列印系統曝光模組對準方法及製造設備(Printing System Expositive Module Alignment Method and Apparatus of Manufacture)"，亦讓與給本發明之受讓人。上述三專利之教示係併於此處作為本發明之參考。

用於硬複印列印產品之DMD發展尤其具有挑戰性，因其積體電路之長度接近5 英吋。此等DMD包含作為像素之微鏡之線性陣列，且可包含64×7056像素之陣列。一描述製造可靠之此大小之大型積體電路之需求之發明係揭露於前述交互參考之專利申請案中，其中使用傳統光製版術設備

五、發明說明(3)

於一步驟及重覆程序中實施單一電路圖型(reticle)。藉由實施單一電路圖型，此步驟及重覆程序每次將晶粒曝光一模組，其中一些中間模組係重覆者，以將一模組可靠地對準一相鄰模組。以此可得之設計技術製造巨大尺寸之大型積體電路，前述發明可提供如此大小與複雜之積體電路之可測試性。

〔發明概要〕

本發明之技術優點係提供大型積體電路由數個互相連接之電路模組所組成，各模組具有專用之測試墊結構。此模組式積體電路係規劃為使得其可由傳統探測器每次測試一模組，將各模組視為獨立積體電路而測試。供用以測試結合之模組電路之探針墊係於各模組中一致地安置與定位，以使得其可由自動探測器按各模組逐次接觸。

於伸長晶粒例如硬複印DMD裝置中所使用者中，包含伸長積體電路之各模組具有測試墊其可用以測試該結合之模組上之電路。為獨立測試各電路模組，時常須要來自被測試模組上結合之測試墊之整個積體電路之全部控制。因此，測試墊亦可用以控制整個積體電路，含有包含該積體電路之其他模組電路，之測試。一些電路模組亦設置有可控制之開電路，以允許其他模組之選擇性接觸。當未實施測試步驟時，例如積體電路正常操作期間，此等測試墊係由開電路將其與積體電路之其他部分於功能上及電氣上隔離，以免干擾電路之正常操作。因此，於電路正常操作期間可避免電阻電容(RC)問題。

五、發明說明(4)

爲能測試大型積體電路，例如硬複印裝置中使用之5英吋DMD晶粒，由一模組接觸其他模組上之控制電路係必要者，以於受測試模組上執行電路功能。此特別晶粒具有一串一致與可重覆之模組，包含一像素陣列，安置爲彼此相鄰且設有一邏輯模組在晶粒各端，此左及右邏輯模組控制整個晶粒之操作。中間可重覆之電路模組各包含一微鏡陣列，由晶粒各端之邏輯電路所控制。各端之邏輯模組亦可包含陣列之一部分。依照本發明，各電路模組可個別測試，儘管其須要提供信號至相鄰模組。

依據本發明，可製造大型非標準積體電路，而以現成可得之測試設備測試。藉由使各電路模組包含設有專用測試墊之積體電路，且一些墊可控制整個積體電路，則故障分析係可能且實用者。再者，因測試墊隨後可與功能電路之其他部分電氣隔離，故測試墊不會降低積體電路正常操作期間之性能。

〔圖式簡述〕

圖1係本發明適用之大型積體電路之方塊圖，顯示爲硬複印裝置中使用之模組式設計之5英吋長積體電路；以及

圖2係圖1一些模組上設置之測試隔離電路之示意圖，用以於積體電路正常操作期間選擇性隔離一些測試墊與其餘之功能電路。

〔較佳實施例詳細說明〕

作爲說明但並非意欲限制所描述之實施例，將以德州達拉斯之德州儀器公司所製造之硬複印裝置中使用之DMD晶

五、發明說明(5)

粒中實施者描述本發明。此硬複印裝置實施DMD型式之SLM，包含大約5 英吋長之模組式積體電路。此DMD硬複印產品係描述於Nelson之美國專利第5,105,369號，名稱爲"Printing System Exposure Module Alignment Method and Apparatus"，此專利讓與給本發明之受讓人，且其教示併入此處供參考。雖然描述本發明非常適於此硬複印DMD裝置，但本發明範圍意欲涵蓋所有模組式設計之大型積體電路，其中各模組可由傳統測試設備個別測試，儘管一些或所有模組之功能測試會依賴其他模組之配合。

現在，參照圖1，其顯示於硬複印產品中使用之伸長積體電路之簡化方塊圖。此積體電路大體上顯示在10處且包含左控制電路模組12、右控制電路模組14、以及多個一致之中間電路模組16。此等模組係顯示爲交互連接且安置爲彼此相鄰並形成一像素線性陣列其可爲64×7056像素大小。電路模組12及14各自亦可具有像素，如所示者，其形成全部像素陣列之一部分。此伸長積體電路10之製造可使用共同待決之專利申請案第07/990,992號中所揭露之獨特方法，該申請案名稱爲"Large Die Photolithography"，1992年12月16日提申，讓與給本發明之受讓人，且其教示係併於此處供參考。基本上，伸長之5 英吋晶粒之製造係以傳統光製版術技術使用單一電路圖型(reticle)於一晶圓上步進並重覆。因形成鏡陣列之中間電路模組16係彼此一致者，故僅有三個此電路圖型之樣式須曝光並製造圖1所示之大型伸長積體電路。各電路模組12、14及16係顯示

五、發明說明(6)

為在至少一側經由連接與一相鄰電路模組形成電氣介面，該等連接係使用此新穎之步進及重覆程序而精確達成。

依據本發明，各電路模組12、14及16亦含有一群顯示在20處之測試墊。各測試墊係電連接至該特別模組上結合之電路之一蝕刻處。使用傳統探測器設備，各模組上結合之電路可執行功能，同時可依所欲施加含有振動、濕氣與極端溫度之條件。各模組之測試墊區段20係安置在相關於模組之一致位置，以使得標準探測器設備（未顯示）於測試程序期間可易於在電路10各模組間逐一進行。各區段20之墊具有相同之佈局，且較佳係各模組者具有共同標示，如所示者。例如，各測試墊區段20之最左墊可為標為"T"墊。自左至右之第二、第三等等測試墊亦可各自相同地標示，如區段20所示者。然，各測試墊可依所欲使用且於各模組間不同標示，依結合之模組或整個電路10之電路及需求而定。

分別參照最左及最右電路模組12及14，可見左邏輯電路22及右邏輯電路24各自電連接至個別之測試墊D1及D2。各電路模組12及14上亦可見設置一開或開關電路26。模組12之左開電路26使得所有模組之墊L1及L2可選擇性電連接至左邏輯電路22，且模組14之右開電路26使得所有墊R1及R2可選擇性電連接至右邏輯電路24。各測試墊"T"可見為經由線28連接至開電路26，且用以選擇性致能(enable)開區段26。當電路26被致能時，所有測試墊L1及L2將會經由線30及32電連接至邏輯電路22，且所有測試墊R1及R2將會經

五、發明說明(7)

由線38及40電連接至邏輯電路24，用以依所欲使用邏輯電路22及24而測試其功能。

各中間電路模組16可見為含有於34處表示之像素陣列，例如可偏轉之微鏡其通常由模組12之邏輯電路22以及右電路模組14上設置之邏輯電路24所定址及控制。此陣列之控制係經由線36，如所示者，其表示列與行位址線、時脈線、讀與寫線等等。

於上述說明中，像素陣列區段34之操作係由左及右電路模組12及14之邏輯電路22及24兩者所分別控制。因此，為適當測試電路模組16之各像素陣列區段34，係提供電路蝕刻30、32、38及40以將各測試墊L1、L2、R1及R2選擇性連接至適當之邏輯電路22及24，經由個別之開電路26，如所示者。傳統探測器(未顯示)可依習知方式接觸各測試墊區段20，並執行個別陣列34之功能。電源及地係經由任何測試墊P及G提供至積體電路10。

參照圖2，係顯示各開電路26較佳實施例之示意表示，儘管其他等效電路可達成此功能，而模組12之電路26係顯示用於說明之目的。開電路26包含一個別之MOS電晶體開關元件50串接於各關聯之信號線，例如線30、32、38及40，如圖1中所示者。各MOS電晶體50之汲極端連接至輸入側，且其源極端連接至輸出側。各MOS電晶體50之閘極端連接至測試致能線28，此測試致能線連接至圖1各墊區段20之墊"T"。藉由將測試線28致能，各開關電晶體50將會導通，使得個別信號自其汲極端通過至源極端。

五、發明說明(8)

當未測試積體電路10時，測試線28係由系統控制器（未顯示）於線42上接地，從而使得電晶體50關閉並將輸入線與個別之輸出線分離。因此，於積體電路10正常操作期間，測試墊20可與外側線分離，該外側線將系統控制器連接至邏輯電路22及24，顯示在44、46、48及50處，從而避免RC問題。如所示者，測試致能線28係由一對反相器52所反相。各反相器52之輸出連接至個別MOS電晶體54之閘極端。接地之墊"T"將MOS電晶體54導通。各電晶體54之汲極端接地，且其源極端連接至個別之輸入線30或32。因此，當測試功能由接地線28除能(disable)時，電晶體54會將輸入線30及32接地以避免浮接。

〔測試操作〕

隨著上述本發明較佳實施例之描述，現將說明依據本發明之典型測試過程。於使用例如上述交互參照之共同待決專利申請案中描述之技術製造積體電路10後，將使用傳統現成之測試探測器(未顯示)，例如由Hewlett Packard公司及Teledyne公司所製造者之一，個別測試積體電路模組12、14及16。

探測器設備連接至電路模組12之墊區段20之適當墊，且電源及地施加至個別區段20之P及G墊。其次，致能信號，例如+5伏，施加至測試致能墊"T"，從而將電路模組12及14上之閘區段26各自致能。此後，測試信號施加至測試墊L1、L2、D1、D2、R1及R2，用以適當測試並執行結合之電路22。於使用可為此結合之電路模組12專用之軟體常式

五、發明說明(9)

測試電路模組12後，探測器設備向右進行至欲測試之次一電路模組16，且連接至具有結合之模組電路34之測試墊區段20。

再一次，電源及地施加至墊P及G，用以供應電源並促成整個積體電路10之操作。測試致能墊T被偏壓，且適當之測試信號係提供至測試墊20，以執行結合之電路模組16之個別陣列電路34之功能。雖然一些測試信號未予轉換且直接提供至陣列34經由個別測試墊D1及D2例如時脈信號，但其他須用以操作陣列34之測試電路信號例如列及行位址位元、寫及讀位元等等係提供至電路12及14之左及右邏輯電路22及24。此等測試信號係經由線30、32、38及40以及個別開電路26而提供。當然，首先係施加適當偏壓至測試致能墊T以將開電路26致能。邏輯電路22及24處理來自墊L1、L2、R1及R2之信號並於線36上提供須用以執行陣列34之輸出信號至陣列34。所實施之測試程式模擬當於硬複印裝置中實施時通常用以經由線44、46、48及50以控制電路10之系統控制器(未顯示)。

其後，探測器設備向右進行至一欲測試之電路模組16，且再次實施相同之測試順序。最後，探測器設備向右進行至最末之電路模組14且適當之測試信號係提供至個別之測試墊20。

各電路模組12、14及16可使用傳統現成之探測器測試設備予以個別動態測試及墊行。各電路模組上測試墊配合左邏輯電路22及右邏輯電路24之開電路26之規劃使得自電路

五、發明說明(10)

模組12、14或16任一者之任一測試墊20處可完整操作積體電路10。各電路模組可賦予特色，且將任何缺陷隔離在模組內。

〔其他實施例〕

雖然已參照伸長DMD積體電路例如硬複印裝置中實施者描述本發明，但本發明範疇意欲涵蓋測試所有相容於傳統現成探測器設備之非標準尺寸及更大尺寸積體電路之模組式設計及方法。因此，具有大寬度及長度之大型積體電路，例如大型記憶元件、信號處理器、微處理器等等，亦在本發明範疇內。此積體電路係模組化並設置專用之測試墊，且各模組係可個別予以測試者。一些模組係配合其他包含該大型積體電路之模組而予以測試。因此，本發明具有彈性且可與任何可模組化之積體電路架構結合，例如與陣列或功能子集(subset)結合。

雖然已描述本發明之測試墊區段係於各模組中位置一致，但並非意味限制一致地安置此等測試墊區段。例如，測試墊區段可設置在一模組之左下角、次一電路模組之中間位置、以及次一電路模組之右下角。各模組之測試仍可使用傳統探測器設備個別為之，從而此等測試墊區段可提供接觸以控制整個積體電路。一些或所有此等測試墊可於正常操作期間與積體電路電氣分離，例如藉由將連接測試墊至電路模組電路區段之開電路除能。依本發明，各電路模組亦可使用傳統技術與設備以光學方式測試。

雖然已描述本發明為僅含有一些供各測試墊區段用之測

五、發明說明 (11)

試墊及一些交互連接與專用之信號線，但吾人會瞭解，許多測試墊及許多此等信號線係該等複雜裝置中典型者，且適用於本發明。此外，可使用其他電路設計實施開電路26，以選擇性將測試墊與操作電路隔離。

雖已描述本發明之特定較佳實施例，但熟習此技藝人士參閱本發明後當可為許多變化與修飾。因此意欲以相較於習知技藝為最廣方式詮釋後附之申請專利範圍，以涵蓋所有此等變化與修飾。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：具模組探針結構之大型積體電路)

一種模組式設計之大型積體電路(10)，各模組(12、14、16)具有一電路區段(22、24、34)及一個別專用之測試墊區段(20)。各電路模組(12、14、16)可由傳統探測器設備以獨立電路方式個別地於功能上測試缺陷。各測試墊區段(20)有利於控制整個積體電路(10)，以便於測試個別之模組電路區段(12、14、16)。由通路閘(pass gate)組成之控制電路(26)係用以於未測試時將測試墊區段(20)與積體電路(10)之操作部分(22、24、34)隔離。本發明非常適於大型空間光調製器、記憶元件以及其他大型複雜之積體電路。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱： LARGE INTEGRATED CIRCUIT WITH MODULAR PROBE STRUCTURES)

A large integrated circuit (10) of modular design, each module (12,14,16) having a circuit section (22,24,34) and a separate dedicated testing pad section (20). Each circuit module (12,14,16) can be individually functionally tested as an independent circuit with conventional prober equipment for defects. Each testing pad section (20) facilitates controlling the entire integrated circuit (10) so that the respective module circuit section (12,14,16) can be tested. Control circuitry (26) comprised of pass gates is provided to isolate the testing pad sections (20) from the operational portion (22,24,34) of the integrated circuit (10) when not under test. The present invention is ideally suited for large spatial light modulators, memory devices and other large sophisticated integrated circuits.

訂

線

六、申請專利範圍

1. 一種半導體積體電路，由多個互相連接之電路模組所組成，各模組具有一電路區段與一專用測試墊區段連接至電路區段。
2. 如申請專利範圍第 1 項之積體電路，其中一測試墊區段相同於至少一其他模組之測試墊區段，從而可使用測試設備之單一部分測試電路模組。
3. 如申請專利範圍第 1 項之積體電路，其中至少二電路模組具有相關於電路模組之相同定位之測試墊區段。
4. 如申請專利範圍第 1 項之積體電路，復包含一控制電路連接至一測試墊區段與一電路區段，用以將測試墊區段與至少一電路區段選擇性電氣隔離。
5. 如申請專利範圍第 4 項之積體電路，其中控制電路將一模組上之測試墊區段與另一電路模組之電路區段選擇性電氣隔離。
6. 如申請專利範圍第 1 項之積體電路，其中至少二電路模組彼此不相同。
7. 如申請專利範圍第 1 項之積體電路，其中至少二電路模組彼此相同。
8. 如申請專利範圍第 7 項之積體電路，其中二相同電路模組連接至一不同之電路模組。
9. 如申請專利範圍第 1 項之積體電路，其中電路模組形成一具有長度超過大約 1 英吋之伸長之積體電路。
10. 如申請專利範圍第 7 項之積體電路，其中相同電路模組包含空間光調制器。

六、申請專利範圍

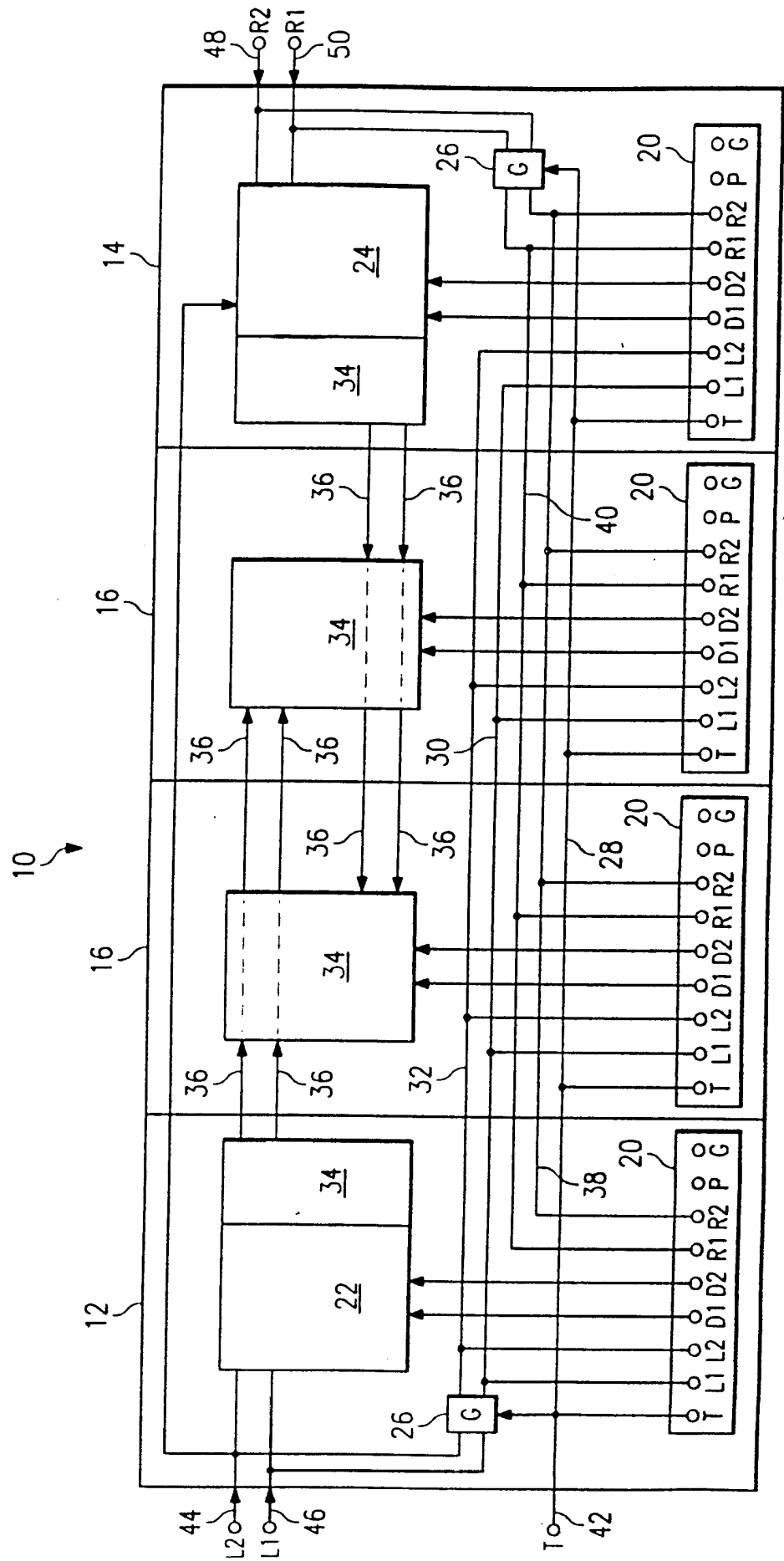
11. 如申請專利範圍第10項之積體電路，其中空間光調制器由多個微鏡組成。
12. 一種測試由多個互相連接之電路模組所組成之積體電路之方法，各模組具有一電路區段與一專用測試墊區段連接至電路區段，包含下列步驟：
 - a) 連接測試設備至一測試墊區段；
 - b) 提供信號至測試墊區段以測試個別之電路區段；以及
 - c) 將測試設備移至積體電路之另一電路模組並重覆步驟a)與b)。
13. 如申請專利範圍第12項之方法，復包含步驟為首先將積體電路上設置之一控制電路致能，以電連接測試墊區段之一些部分至電路區段。
14. 如申請專利範圍第12項之方法，復包含步驟為將積體電路上設置之一控制電路致能，以電連接測試墊區段之一些部分至另一電路模組之一電路區段。

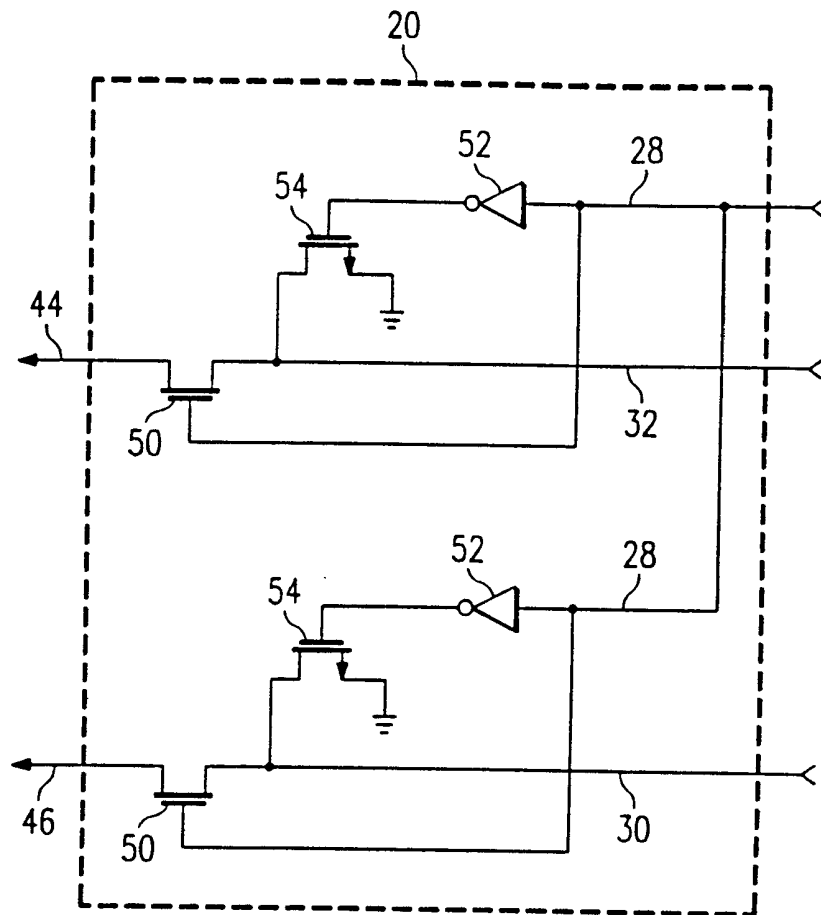
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線





2