

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7458969号
(P7458969)

(45)発行日 令和6年4月1日(2024.4.1)

(24)登録日 令和6年3月22日(2024.3.22)

(51)国際特許分類		F I	
H 0 1 L	23/12 (2006.01)	H 0 1 L	23/12 Q
H 0 1 L	23/14 (2006.01)	H 0 1 L	23/14 S
H 0 1 L	25/04 (2023.01)	H 0 1 L	23/14 R
H 0 1 L	25/18 (2023.01)	H 0 1 L	25/04 Z

請求項の数 20 外国語出願 (全38頁)

(21)出願番号	特願2020-209276(P2020-209276)	(73)特許権者	593096712 インテル コーポレーション アメリカ合衆国 9 5 0 5 4 カリフォル ニア州 サンタ クララ ミッション カレ ッジ ブールバード 2 2 0 0
(22)出願日	令和2年12月17日(2020.12.17)	(74)代理人	100107766 弁理士 伊東 忠重
(65)公開番号	特開2021-158338(P2021-158338 A)	(74)代理人	100070150 弁理士 伊東 忠彦
(43)公開日	令和3年10月7日(2021.10.7)	(74)代理人	100135079 弁理士 宮崎 修
審査請求日	令和5年1月4日(2023.1.4)	(72)発明者	サンカ ガネサン アメリカ合衆国 9 5 0 5 4 カリフォル ニア州 サンタ クララ ミッション カレ ッジ ブールバード 2 2 0 0 インテル 最終頁に続く
(31)優先権主張番号	16/829,396		
(32)優先日	令和2年3月25日(2020.3.25)		
(33)優先権主張国・地域又は機関	米国(US)		

(54)【発明の名称】 モールド貫通ビアを有する成形領域を有するマイクロ電子コンポーネント

(57)【特許請求の範囲】

【請求項1】

第1の側および該第1の側に対向する第2の側を有するパッケージ基板と；

第1の側および該第1の側に対向する第2の側を有するマイクロ電子コンポーネントであって、前記マイクロ電子コンポーネントは第1の側と第2の側の間に第1の側壁および第2の側壁を有し、前記第1の側壁は前記第2の側壁に横方向に対向しており、前記マイクロ電子コンポーネントの第2の側と前記パッケージ基板の第1の側の間に第1の複数の相互接続がある、マイクロ電子コンポーネントと；

前記マイクロ電子コンポーネントの前記第1の側壁に横方向に隣接し、かつ接触する第1の部分を有する第1の絶縁層であって、前記第1の絶縁層は、前記マイクロ電子コンポーネントの前記第2の側壁に横方向に隣接し、かつ接触する第2の部分~~を有する、第1の絶縁層と；~~

前記第1の絶縁層の前記第1の部分における第1の複数の貫通ビアであって、前記第1の複数の貫通ビアは前記マイクロ電子コンポーネントの前記第1の側壁から横方向に離間しており、前記第1の複数の貫通ビアは前記パッケージ基板の第1の側に、第2の複数の相互接続によって結合されている、第1の複数の貫通ビアと；

前記第1の絶縁層の前記第2の部分における第2の複数の貫通ビアであって、前記第2の複数の貫通ビアは前記マイクロ電子コンポーネントの前記第2の側壁から横方向に離間しており、前記第2の複数の貫通ビアは前記パッケージ基板の第1の側に、第3の複数の相互接続によって結合されている、第2の複数の貫通ビアと；

10

20

前記第1の絶縁層と前記パッケージ基板の間および前記マイクロ電子コンポーネントと前記パッケージ基板の間の第1のアンダーフィル層であって、前記第1のアンダーフィル層は前記第1の複数の相互接続のまわりであり、前記第1のアンダーフィル層は前記第2の複数の相互接続のまわりであり、前記第1のアンダーフィル層は前記第3の複数の相互接続のまわりにある、第1のアンダーフィル層と；

前記マイクロ電子コンポーネントの第1の部分上および前記第1の複数の貫通ビアの上の第1のダイであって、前記第1のダイは前記マイクロ電子コンポーネントの第1の側および前記第1の複数の貫通ビアに、第4の複数の相互接続によって結合されている、第1のダイと；

前記マイクロ電子コンポーネントの第2の部分上および前記第2の複数の貫通ビアの上の第2のダイであって、前記第2のダイは前記マイクロ電子コンポーネントの第1の側および前記第2の複数の貫通ビアに、第5の複数の相互接続によって結合されている、第2のダイと；

10

前記第1の絶縁層の前記第1の部分と前記第1のダイの間および前記第1の絶縁層の前記第2の部分と前記第2のダイの間の第2のアンダーフィル層であって、前記第2のアンダーフィル層は前記第4の複数の相互接続のまわりであり、前記第2のアンダーフィル層は前記第5の複数の相互接続のまわりにある、第2のアンダーフィル層と；

前記第1のダイの側部に横方向に隣接し、かつ接触する第1の部分を有する第2の絶縁層と；

前記パッケージ基板の第2の側の下にある第6の複数の相互接続であって、前記第6の複数の相互接続は前記マイクロ電子コンポーネントの第2の側の垂直下方にあり、前記第1の複数の貫通ビアの垂直下方にあり、前記第2の複数の貫通ビアの垂直下方にある、第6の複数の相互接続とを有する、
マイクロ電子アセンブリ。

20

【請求項2】

前記マイクロ電子コンポーネントの第2の側は、前記第1の複数の相互接続によって前記パッケージ基板の第1の側に結合されている、請求項1に記載のマイクロ電子アセンブリ。

【請求項3】

前記第2の絶縁層は、前記第2のダイの側部に横方向に隣接し、かつ接触する第2の部分を有する、請求項1に記載のマイクロ電子アセンブリ。

30

【請求項4】

前記第2の絶縁層は、前記第2のアンダーフィル層と接触している、請求項1に記載のマイクロ電子アセンブリ。

【請求項5】

前記第2の絶縁層は、前記第1のダイ上および前記第2のダイ上にある、請求項1に記載のマイクロ電子アセンブリ。

【請求項6】

前記マイクロ電子コンポーネントは、シリコンを含む基板を有する、請求項1に記載のマイクロ電子アセンブリ。

【請求項7】

前記マイクロ電子コンポーネントは、複数の貫通シリコン・ビアを有する、請求項6に記載のマイクロ電子アセンブリ。

40

【請求項8】

前記マイクロ電子コンポーネントは、絶縁基板を有する、請求項1に記載のマイクロ電子アセンブリ。

【請求項9】

第1の側および該第1の側に対向する第2の側を有するパッケージ基板と；

シリコンを含む基板を有するブリッジであって、前記ブリッジは第1の側および該第1の側に対向する第2の側を有し、前記ブリッジは第1の側と第2の側の間に第1の側壁および第2の側壁を有し、前記第1の側壁は前記第2の側壁に横方向に対向しており、前記ブリッ

50

ジの第2の側と前記パッケージ基板の第1の側の間に第1の複数の相互接続がある、ブリッジと；

前記ブリッジの前記第1の側壁に横方向に隣接し、かつ接触する第1の部分を有する第1のモールド層であって、前記第1のモールド層は、前記ブリッジの前記第2の側壁に横方向に隣接し、かつ接触する第2の部分を有する、第1のモールド層と；

前記第1のモールド層の前記第1の部分における第1の複数の貫通ビアであって、前記第1の複数の貫通ビアは前記ブリッジの前記第1の側壁から横方向に離間しており、前記第1の複数の貫通ビアは前記パッケージ基板の第1の側に、第2の複数の相互接続によって結合されている、第1の複数の貫通ビアと；

前記第1のモールド層の前記第2の部分における第2の複数の貫通ビアであって、前記第2の複数の貫通ビアは前記ブリッジの前記第2の側壁から横方向に離間しており、前記第2の複数の貫通ビアは前記パッケージ基板の第1の側に、第3の複数の相互接続によって結合されている、第2の複数の貫通ビアと；

10

前記第1のモールド層と前記パッケージ基板の間および前記ブリッジと前記パッケージ基板の間の第1のアンダーフィル層であって、前記第1のアンダーフィル層は前記第1の複数の相互接続のまわりにあり、前記第1のアンダーフィル層は前記第2の複数の相互接続のまわりにあり、前記第1のアンダーフィル層は前記第3の複数の相互接続のまわりにある、第1のアンダーフィル層と；

前記ブリッジの第1の部分上および前記第1の複数の貫通ビアの上の第1のダイであって、前記第1のダイは前記ブリッジの第1の側および前記第1の複数の貫通ビアに、第4の複数の相互接続によって結合されている、第1のダイと；

20

前記ブリッジの第2の部分上および前記第2の複数の貫通ビアの上の第2のダイであって、前記第2のダイは前記ブリッジの第1の側および前記第2の複数の貫通ビアに、第5の複数の相互接続によって結合されている、第2のダイと；

前記第1のモールド層の前記第1の部分と前記第1のダイの間および前記第1のモールド層の前記第2の部分と前記第2のダイの間の第2のアンダーフィル層であって、前記第2のアンダーフィル層は前記第4の複数の相互接続のまわりにあり、前記第2のアンダーフィル層は前記第5の複数の相互接続のまわりにある、第2のアンダーフィル層と；

前記第1のダイの側部に横方向に隣接し、かつ接触する第1の部分を有する第2のモールド層と；

30

前記パッケージ基板の第2の側の下にある第6の複数の相互接続であって、前記第6の複数の相互接続は前記ブリッジの第2の側の垂直下方にあり、前記第1の複数の貫通ビアの垂直下方にあり、前記第2の複数の貫通ビアの垂直下方にある、第6の複数の相互接続とを有する、

マイクロ電子アセンブリ。

【請求項 1 0】

前記ブリッジの第2の側は、前記第1の複数の相互接続によって前記パッケージ基板の第1の側に結合されている、請求項 9 に記載のマイクロ電子アセンブリ。

【請求項 1 1】

前記第2のモールド層は、前記第2のダイの側部に横方向に隣接し、かつ接触する第2の部分を有し、前記第2のモールド層は、前記第2のアンダーフィル層と接触している、請求項 9 に記載のマイクロ電子アセンブリ。

40

【請求項 1 2】

前記ブリッジは、複数の貫通シリコン・ビアを有する、請求項 9 に記載のマイクロ電子アセンブリ。

【請求項 1 3】

マイクロ電子アセンブリを製造する方法であって、当該方法は：

第1の側および該第1の側に対向する第2の側を有するパッケージ基板を提供する段階と；

前記パッケージ基板にマイクロ電子コンポーネントを結合する段階であって、前記マイクロ電子コンポーネントは第1の側および該第1の側に対向する第2の側を有し、前記マイ

50

クロ電子コンポーネントは第1の側と第2の側の間に第1の側壁および第2の側壁を有し、前記第1の側壁は前記第2の側壁に横方向に対向しており、前記マイクロ電子コンポーネントの第2の側と前記パッケージ基板の第1の側の間に第1の複数の相互接続がある、段階と；

前記マイクロ電子コンポーネントの前記第1の側壁に横方向に隣接し、かつ接触する第1の部分₁を有する第1の絶縁層を形成する段階であって、前記第1の絶縁層は、前記マイクロ電子コンポーネントの前記第2の側壁に横方向に隣接し、かつ接触する第2の部分₂を有する、段階と；

前記第1の絶縁層の前記第1の部分における第1の複数の貫通ビアを形成する段階であって、前記第1の複数の貫通ビアは前記マイクロ電子コンポーネントの前記第1の側壁から横方向に離間しており、前記第1の複数の貫通ビアは前記パッケージ基板の第1の側に、第2の複数の相互接続によって結合される、段階と；

前記第1の絶縁層の前記第2の部分における第2の複数の貫通ビアを形成する段階であって、前記第2の複数の貫通ビアは前記マイクロ電子コンポーネントの前記第2の側壁から横方向に離間しており、前記第2の複数の貫通ビアは前記パッケージ基板の第1の側に、第3の複数の相互接続によって結合される、段階と；

前記第1の絶縁層と前記パッケージ基板の間および前記マイクロ電子コンポーネントと前記パッケージ基板の間の第1のアンダーフィル層を形成する段階であって、前記第1のアンダーフィル層は前記第1の複数の相互接続のまわりにあり、前記第1のアンダーフィル層は前記第2の複数の相互接続のまわりにあり、前記第1のアンダーフィル層は前記第3の複数の相互接続のまわりにある、段階と；

前記マイクロ電子コンポーネントの第1の部分₁および前記第1の複数の貫通ビアの上の第1のダイを提供する段階であって、前記第1のダイは前記マイクロ電子コンポーネントの第1の側および前記第1の複数の貫通ビアに、第4の複数の相互接続によって結合される、段階と；

前記マイクロ電子コンポーネントの第2の部分₂および前記第2の複数の貫通ビアの上の第2のダイを提供する段階であって、前記第2のダイは前記マイクロ電子コンポーネントの第1の側および前記第2の複数の貫通ビアに、第5の複数の相互接続によって結合される、段階と；

前記第1の絶縁層の前記第1の部分と前記第1のダイの間および前記第1の絶縁層の前記第2の部分と前記第2のダイの間の第2のアンダーフィル層を形成する段階であって、前記第2のアンダーフィル層は前記第4の複数の相互接続のまわりにあり、前記第2のアンダーフィル層は前記第5の複数の相互接続のまわりにある、段階と；

前記第1のダイの側部に横方向に隣接し、かつ接触する第1の部分₁を有する第2の絶縁層を形成する段階と；

前記パッケージ基板の第2の側の下にある第6の複数の相互接続を形成する段階であって、前記第6の複数の相互接続は前記マイクロ電子コンポーネントの第2の側の垂直下方にあり、前記第1の複数の貫通ビアの垂直下方にあり、前記第2の複数の貫通ビアの垂直下方にある、段階とを含む、

方法。

【請求項 1 4】

前記マイクロ電子コンポーネントの第2の側は、前記第1の複数の相互接続によって前記パッケージ基板の第1の側に結合される、請求項 1 3 に記載の方法。

【請求項 1 5】

前記第2の絶縁層は、前記第2のダイの側部に横方向に隣接し、かつ接触する第2の部分₂を有する、請求項 1 3 に記載の方法。

【請求項 1 6】

前記第2の絶縁層は、前記第2のアンダーフィル層と接触する、請求項 1 3 に記載の方法。

【請求項 1 7】

前記第2の絶縁層は、前記第1のダイ上および前記第2のダイ上にある、請求項 1 3 に記

10

20

30

40

50

載の方法。

【請求項 18】

前記マイクロ電子コンポーネントは、シリコンを含む基板を有する、請求項 13 に記載の方法。

【請求項 19】

前記マイクロ電子コンポーネントは、複数の貫通シリコン・ビアを有する、請求項 18 に記載の方法。

【請求項 20】

前記マイクロ電子コンポーネントは絶縁基板を有する、請求項 13 に記載の方法。

【発明の詳細な説明】

10

【背景技術】

【0001】

集積回路（IC）パッケージは、2つ以上のICダイを結合するため、またはメモリまたは電力管理のような特定の機能を提供するために、埋め込み型マルチダイ相互接続ブリッジ（embedded multi-die interconnect bridge、EMIB）を含んでいてもよい。これらの極薄EMIBは、ICパッケージに埋め込む際に損傷を受けやすく、ICパッケージの動作中に反りを生じやすい。

【図面の簡単な説明】

【0002】

実施形態は、添付の図面との関連で下記の詳細な説明によって容易に理解されるであろう。この説明を容易にするために、同様の参照番号は、同様の構造要素を示す。実施形態は、添付の図面の図において、限定ではなく、例として示される。

20

【0003】

【図 1】さまざまな実施形態による、例示的なマイクロ電子コンポーネントの横断面図である。

【0004】

【図 2】さまざまな実施形態による、図1のマイクロ電子コンポーネントを含む例示的なマイクロ電子アセンブリの横断面図である。

【0005】

【図 3】さまざまな実施形態による、図1のマイクロ電子コンポーネントを含む例示的なマイクロ電子アセンブリの横断面図である。

30

【0006】

【図 4】さまざまな実施形態による、図1のマイクロ電子コンポーネントを含む別の例示的なマイクロ電子アセンブリの横断面図である。

【0007】

【図 5 A】さまざまな実施形態による、図1のマイクロ電子コンポーネントを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 5 B】さまざまな実施形態による、図1のマイクロ電子コンポーネントを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 5 C】さまざまな実施形態による、図1のマイクロ電子コンポーネントを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

40

【図 5 D】さまざまな実施形態による、図1のマイクロ電子コンポーネントを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 5 E】さまざまな実施形態による、図1のマイクロ電子コンポーネントを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 5 F】さまざまな実施形態による、図1のマイクロ電子コンポーネントを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 5 G】さまざまな実施形態による、図1のマイクロ電子コンポーネントを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 5 H】さまざまな実施形態による、図1のマイクロ電子コンポーネントを製造するた

50

めの例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 5 I】さまざまな実施形態による、図 1 のマイクロ電子コンポーネントを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【 0 0 0 8 】

【図 6 A】さまざまな実施形態による、図 3 のマイクロ電子アセンブリを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 6 B】さまざまな実施形態による、図 3 のマイクロ電子アセンブリを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 6 C】さまざまな実施形態による、図 3 のマイクロ電子アセンブリを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

10

【図 6 D】さまざまな実施形態による、図 3 のマイクロ電子アセンブリを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 6 E】さまざまな実施形態による、図 3 のマイクロ電子アセンブリを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 6 F】さまざまな実施形態による、図 3 のマイクロ電子アセンブリを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 6 G】さまざまな実施形態による、図 3 のマイクロ電子アセンブリを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【図 6 H】さまざまな実施形態による、図 3 のマイクロ電子アセンブリを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

20

【図 6 I】さまざまな実施形態による、図 3 のマイクロ電子アセンブリを製造するための例示的なプロセスにおけるさまざまな段階の横断面図の一である。

【 0 0 0 9 】

【図 7】さまざまな実施形態による、図 1 のマイクロ電子コンポーネントを含む別の例示的なマイクロ電子アセンブリの横断面図である。

【 0 0 1 0 】

【図 8】本明細書に開示される実施形態のいずれかによる、マイクロ電子アセンブリに含まれるウェハおよびダイの上面図である。

【 0 0 1 1 】

【図 9】本明細書に開示される実施形態のいずれかによる、マイクロ電子アセンブリに含まれる IC デバイスの断面側面図である。

30

【 0 0 1 2 】

【図 10】本明細書に開示される実施形態のいずれかによる、マイクロ電子アセンブリを含みうる IC デバイス・アセンブリの断面側面図である。

【 0 0 1 3 】

【図 11】本明細書に開示される実施形態のいずれかによる、マイクロ電子アセンブリを含みうる例示的な電気デバイスのブロック図である。

【発明を実施するための形態】

【 0 0 1 4 】

マイクロ電子コンポーネント、および関連するアセンブリ、デバイス、および方法が本明細書に開示される。たとえば、いくつかの実施形態では、マイクロ電子コンポーネントは、第 1 の面および対向する第 2 の面を有する基板であって、該基板は、基板貫通ビア (through-substrate via、TSV) を含む、基板と；前記第 1 の面における第 1 のモールド材料領域であって、該第 1 のモールド材料領域は、該 TSV に伝導的に結合された第 1 のモールド貫通ビア (through-mold via、TMV) を含む、第 1 のモールド材料領域と；前記第 2 の面における第 2 のモールド材料領域であって、該第 2 のモールド材料領域は、前記 TSV に伝導的に結合された第 2 の TMV を含む、第 2 のモールド材料領域とを含んでいてもよい。いくつかの実施形態では、マイクロ電子アセンブリは、第 1 の表面および対向する第 2 の表面を有する第 1 の基板を含み、該第 1 の基板は、第 1 の基板貫通ビア (TSV) を含む、第 1 の基板と；前記第 1 の基板に埋め込まれたマイクロ電子コンポーネントであって、該マイ

40

50

クロ電子コンポーネントは、第1の面および対向する第2の面を有する第2の基板であって、該第2の基板は、第2のTSVを含む、基板と；前記第1の面における第1のモールド材料領域であって、該第1のモールド材料領域は、前記第2のTSVに伝導的に結合された第1のモールド貫通ビア（TMV）を含む、第1のモールド材料領域と；前記第2の面における第2のモールド材料領域であって、該第2のモールド材料領域は、前記第2のTSVに伝導的に結合された第2のTMVを含む、第2のモールド材料領域とを含み、前記第1のモールド材料領域は、前記第1の基板の前記第1の表面にあり、前記第2のモールド材料領域は、前記第1の基板の前記第2の表面にある、マイクロ電子コンポーネントと；前記第1の基板の前記第2の表面において、前記第1のTSVおよび前記第2のTMVに電氣的に結合されているダイとを含んでいてもよい。

10

【0015】

ICデバイスの小型化に向けた動きは、パッケージ・アセンブリ内のダイ間に密な相互接続を提供するための同様の動きを作り出した。たとえば、インターポーザおよびブリッジのようなマイクロ電子コンポーネントが、ダイまたは他の電気コンポーネント間の高密度の相互接続ルーティングを提供するために出現している。パッケージ基板の機能性を高めるために、EMIBアーキテクチャーのように、一つまたは複数のダイ間の信号をルーティングするために、パッケージ基板にインターポーザまたはブリッジが埋め込まれてもよい。従来の製造設備を用いてさらに高密度の相互接続を提供するスケラブルな高アスペクト比のコンポーネントが望まれることがありうる。本明細書に開示されるプロセスは、高アスペクト比のコンポーネントを製造し、それらをICパッケージに統合するために、既存の半導体処理技術を適用するために使用されうる。このコンピューティング密度の改善は、寸法が制約されるウェアラブル・コンピューティング装置およびシステム・イン・パッケージ用途のための新しい形状因子を可能にしうる。本明細書に開示される実施形態のさまざまなものは、従来のアプローチと比較して製造の容易さを改善しつつ、従来のアプローチと比較して、より大きな設計の柔軟性をもって、より低いコストで、および/またはより小さいサイズで、ICパッケージの性能を改善することができる。本明細書に開示されるマイクロ電子アセンブリは、コンピュータ、タブレット、産業用ロボット、および消費者用電子機器（たとえば、ウェアラブル・デバイス）における小型および低プロファイルの用途に特に有利でありうる。

20

【0016】

以下の詳細な説明では、本明細書の一部をなす添付の図面が参照され、図面において、同様の数字は全体を通して同様の部分を示し、図面において、実施されうる実施形態が例として示される。本開示の範囲から逸脱することなく、他の実施形態が利用されてもよく、構造的または論理的な変更がなされてもよいことを理解しておくべきである。したがって、以下の詳細な説明は、限定的な意味で解釈されるべきではない。

30

【0017】

さまざまな動作は、特許請求される主題事項を理解するのに最も有用な仕方、複数の個別のアクションまたは動作として順番に記述されることがある。しかしながら、記述の順序は、これらの動作が必ずしも順序依存であることを意味すると解釈されるべきではない。特に、これらの動作は、提示の順序で実行されなくてもよい。記載される諸動作は、記載される実施形態とは異なる順序で実行されてもよい。さまざまな追加的動作が実行されてもよく、および/または記載される諸動作は、追加的な実施形態において省略されてもよい。

40

【0018】

本開示の目的では、「Aおよび/またはB」という句は、(A)、(B)または(AおよびB)を意味する。本開示の目的では、「A、Bおよび/またはC」という句は、(A)、(B)、(C)、(AおよびB)、(AおよびC)、(BおよびC)、または(A、BおよびC)を意味する。図面は必ずしも同縮尺ではない。図面の多くは、平らな壁および直角のコーナーを有する直線構造を示すが、これは単に例示を容易にするためであり、これらの技術を用いて作られる実際の装置は、丸いコーナー、表面粗さ、および他の特徴を示すであろう。

50

【0019】

本稿は、「ある実施形態において」または「諸実施形態において」という句を使用し、これはそれぞれ、同じまたは異なる実施形態の一つまたは複数を参照することがありうる。さらに、「有する」、「含む」、「もつ」などの用語は、本開示の実施形態に関して使用される場合、同義である。本明細書で使用される場所では、「パッケージ」および「ICパッケージ」は、「ダイ」および「ICダイ」と同義である。本明細書では、「上」および「下」という用語は、図面のさまざまな特徴を説明するために使用されることがあるが、これらの用語は、単に議論の簡単のためであり、所望または要求される配向を含意しない。本明細書で使用される場所では、「絶縁」という語は、別途特定されない限り、「電氣的に絶縁」を意味する。明細書および特許請求の範囲において、用語「結合される」は、直接的または間接的な接続を意味する。たとえば、接続される物の間の直接的な電氣的、機械的または磁氣的接続、または、一つまたは複数の受動的もしくは能動的な介在デバイスを通じた間接的な接続である。「a」、「an」、「the」の意味は複数の参照を含む。「in」の意味は「in」および「on」を含む。

10

【0020】

寸法の範囲を記述するために使用される場合、「XとYの間」という句は、XとYを含む範囲を表わす。便宜上、「図5」という句が、図5A～図5Iの図面の集合を参照するために使用されることがあり、「図6」という句が、図6A～図6Iの図面の集合を参照するために使用されることがある。本明細書においてある種の要素が単数で言及することがあるが、そのような要素は、複数のサブ要素を含んでいてもよい。たとえば、「絶縁材料」は、一つまたは複数の絶縁材料を含んでいてもよい。本明細書で使用される場所では、「伝導性接点」とは、異なる構成要素間の電氣的インターフェースとして機能する伝導性材料（たとえば、金属）の一部分を指してもよく；伝導性接点は、構成要素の表面の凹部に置かれてもよく、表面と面一であってもよく、あるいは表面からでっばっていてもよく、任意の好適な形態（たとえば、伝導性パッドもしくはソケット、または伝導性ラインもしくはビアの一部分）をとりうる。本明細書で使用される場所では、「低密度」および「高密度」という用語は、低密度媒質中の伝導性経路（たとえば、伝導性相互接続、伝導性ライン、および伝導性ビアを含む）が、高密度媒質中の伝導性経路よりも大きいおよび/または広いピッチを有することを示す相対的な用語である。本明細書で使用される場所では、用語「TSV」は、「through-substrate via（基板貫通ビア）」として定義され、図1を参照して後述するように、基板はシリコン材料を含んでいてもよいが、シリコン材料を含むことは必須とされないという点で、一般的な用語「シリコン貫通ビア」とは区別される。

20

30

【0021】

図1は、さまざまな実施形態による、マイクロ電子コンポーネント100の横断面図である。マイクロ電子コンポーネント100は、第1の表面170-1における第1のモールド材料層162と、対向する第2の表面170-2における第2のモールド材料層164とを有する基板160を含み、該基板は、複数の基板貫通ビア（TSV）161を含む。第1のモールド材料層162は、第1のモールド材料166と、前記複数のTSV 161に伝導的に結合された複数の第1のモールド貫通ビア（TMV）163とを含んでいてもよく、第2のモールド材料層164は、第2のモールド材料167と、前記複数のTSV 161に伝導的に結合された複数の第2のTMV 165とを含んでいてもよい。いくつかの実施形態では、個々の第1のTMV 163は、個々のTSV 161に伝導的に結合されてもよい。いくつかの実施形態では、個々の第1のTMV 163は、2つ以上のTSV 161に伝導的に結合されてもよい。いくつかの実施形態では、個々の第2のTMV 165は、個々のTSV 161に伝導的に結合されてもよい。いくつかの実施形態では、個々の第2のTMV 165は、2つ以上のTSV 161に伝導的に結合されてもよい。本明細書で使用される場所では、用語「電氣的に結合された」および「伝導的に結合された」は交換可能に使用されることがある。本明細書で使用される場所では、「モールド材料層」、「モールド材料領域」、「モールド層」、および「モールド領域」は交換可能に使用されることがある。

40

50

【 0 0 2 2 】

基板160は、任意の好適な絶縁材料（たとえば、当技術分野で知られる、多層に形成された誘電体材料）で形成されてもよい。基板160の絶縁材料は、二酸化ケイ素、窒化ケイ素、酸窒化物、ポリイミド材料、ガラス強化エポキシマトリックス材料、または低kもしくは超低k誘電体（たとえば、炭素ドープ誘電体、フッ素ドープ誘電体、多孔質誘電体、有機ポリマー誘電体、光像形成可能誘電体、および/またはベンゾシクロブテン系ポリマー）などの誘電体材料を含んでいてもよい。いくつかの実施形態では、絶縁材料は、シリコン、ゲルマニウム、またはIII-V材料（たとえば、窒化ガリウム）などの半導体材料、および一つまたは複数の追加的な材料を含んでいてもよい。たとえば、絶縁材料は、酸化ケイ素または窒化ケイ素を含んでいてもよい。いくつかの実施形態では、基板160は、ダイまたは能動ウェハまたは受動ウェハなどのウェハであってもよい。いくつかの実施形態では、基板は、信号トレース、抵抗器、キャパシタ、またはインダクタなどの追加の伝導性コンポーネントを含んでいてもよい。TSV 161は、たとえば、銅、銀、ニッケル、金、アルミニウム、または他の金属または合金のような任意の適切な伝導性材料で形成されてもよい。いくつかの実施形態では、基板160は、30ミクロンと55ミクロンの間の高さ（すなわち、z高さ）を有していてもよい。

10

【 0 0 2 3 】

第1のモールド材料166および第2のモールド材料167は、マイクロ電子コンポーネント100に機械的支持を提供する任意の好適な絶縁材料であってよい。第1および第2のモールド材料166、167は、それぞれ前記複数の第1および第2のTMV 163、165への損傷の可能性を低減することができ、そのことは機能性および製造歩留まりを高めうる（すなわち、不良品の数を減少させる）。第1のモールド材料166は、第1のTMV 163と同じ高さ（すなわち、z高さ）を有していてもよい。いくつかの実施形態では、第1のモールド材料166は、15ミクロンから40ミクロンの厚さを有していてもよい。第2のモールド材料167は、第2のTMV 165と同じ高さ（すなわち、z高さ）を有していてもよい。いくつかの実施形態では、第2のモールド材料167は、15ミクロンから40ミクロンの厚さを有していてもよい。いくつかの実施形態では、マイクロ電子コンポーネント100は、60ミクロンから135ミクロンの間の全体的な厚さ168と、1:10から1:20の間（たとえば、約1:15）の高いアスペクト比（幅:長さ）とを有していてもよく、モールド材料は、マイクロ電子コンポーネント100に、反りの少ない剛性構造を提供するように選択されてもよい。

20

30

【 0 0 2 4 】

いくつかの実施形態では、モールド材料は、無機シリカ粒子を有する有機ポリマーである。いくつかの実施形態では、モールド材料は、有機誘電体材料、難燃性グレード4材料（FR-4）、ビスマレイミドトリアジン（BT）樹脂、ポリイミド材料、ガラス強化エポキシマトリックス材料、または低k誘電体および超低k誘電体（たとえば、炭素ドープ誘電体、フッ素ドープ誘電体、多孔質誘電体、および有機ポリマー誘電体）である。いくつかの実施形態において、第1のモールド材料166および第2のモールド材料167は、同一のモールド材料である。いくつかの実施形態では、第1のモールド材料166および第2のモールド材料167は、異なるモールド材料である。

【 0 0 2 5 】

TMV 163、165は、たとえば、銅、銀、ニッケル、金、アルミニウム、または他の金属または合金のような任意の適切な伝導性材料で形成されうる。TMV 163、165は、たとえば、図5を参照して記載されるプロセスを含む、任意の好適なプロセスを使用して形成されうる。TMV 163、165は、任意の好適なサイズおよび形状を有しうる。いくつかの実施形態では、TMV 163、165は、円形、長方形、または他の形状の断面を有してもよい。いくつかの実施形態では、第1のTMV 163は、15ミクロンから40ミクロンの間の厚さ（たとえば、z高さ）を有してもよく、個々の第1のTMV 163は、30から70ミクロンの間の断面を有してもよい。いくつかの実施形態では、第1のTMV 163は、15ミクロンから25ミクロンの厚さを有していてもよい。いくつかの実施形態では、第1のTMV 163は、90ミクロンと300ミクロンの間のピッチを有していてもよい。本明細書で使用され

40

50

るところでは、ピッチは、隣接するTMVの中心間（たとえば、第1のTMVの中心から隣接する第1のTMVの中心まで）で測定される。いくつかの実施形態では、第2のTMV 165は、15ミクロンと40ミクロンの間の厚さ（たとえば、z高さ）を有していてもよく、個々の第2のTMV 165は、5ミクロンと40ミクロンの間の断面を有していてもよい。いくつかの実施形態では、第2のTMV 165は、20ミクロンから30ミクロンの厚さを有していてもよい。いくつかの実施形態では、第2のTMV 165は、20ミクロンから100ミクロンの間のピッチを有していてもよい。いくつかの実施形態では、第1のTMVのピッチは、第2のTMVのピッチと同じであってもよい。いくつかの実施形態では、第1のTMVのピッチは、第2のTMVのピッチとは異なってもよい。

【0026】

マイクロ電子コンポーネント100は、60ミクロンから100ミクロンの間の全体的な厚さ168（すなわち、z高さ）を有していてもよい。いくつかの実施形態では、第1のモールド材料層162は、10ミクロンから40ミクロンの厚さを有していてもよい。いくつかの実施形態では、第1のモールド材料層162は、10ミクロンから20ミクロンの間の厚さを有していてもよい。いくつかの実施形態では、第2のモールド材料層164は、15ミクロンから50ミクロンの間の厚さを有していてもよい。いくつかの実施形態では、第2のモールド材料層164は、20ミクロンから30ミクロンの間の厚さを有していてもよい。

【0027】

図1は、基板160内の特定の数のTSV、特定の数の第1のTMV 163、特定の数の第2のTMV 165、およびTSV 161に電気的に結合されたTMV 163、165の特定の配置を有するマイクロ電子コンポーネント100の特定の構成を示しているが、マイクロ電子コンポーネント100は、任意の数のおよび配置のTSV 161およびTMV 163、165を含みうる。

【0028】

図2は、さまざまな実施形態による、多層ダイ・サブアセンブリ200の横断面図である。本明細書で使用される場所では、用語「多層ダイ・サブアセンブリ」および「複合ダイ」は、交換可能に使用されうる。多層ダイ・サブアセンブリ200は、複数のTSV 211および埋め込まれたマイクロ電子コンポーネント100を有する基板210を有する第1の層204-1と、前記複数のTSV 211および前記マイクロ電子コンポーネント100に電気的に結合された第1のダイ114-1および第2のダイ114-2を有する第2の層204-2とを含んでいてもよい。本明細書で使用される場所では、用語「多層ダイ・サブアセンブリ」200は、2つの層；複数のTSVおよび埋め込まれたマイクロ電子コンポーネント100を有する基板を有する第1の層204-1と、前記複数のTSV 211および前記埋め込まれたマイクロ電子コンポーネント100の前記複数の第2のTMV 165に電気的に結合された一つまたは複数のダイ114を有する第2の層204-2とを含む、複合ダイを指しうる。図1を参照して説明したように、第1および第2のTMV 163、165は異なるピッチを有してもよく、多層ダイ・サブアセンブリ200のダイ114も、異なるピッチをもつ接点（たとえば、TSV 211に結合するための「より粗い」伝導性接点、および第2のTMV 165に結合するための「より細かい」伝導性接点）を有していてもよい。多層ダイ・サブアセンブリ200のダイ114は、片面ダイ（ダイ114が、単一表面上に伝導性接点を有するだけであるという意味）であってもよく、混合ピッチ・ダイ（ダイ114が、異なるピッチをもつ伝導性接点の諸セットを有するという意味）であってもよい。

【0029】

基板210は、任意の好適な絶縁材料（たとえば、当技術分野で知られている、多層に形成された誘電体材料）で形成されてもよい。基板210の絶縁材料は、二酸化ケイ素、窒化ケイ素、酸窒化物、ポリイミド材料、ガラス強化エポキシマトリックス材料、または低kもしくは超低k誘電体（たとえば、炭素ドーブ誘電体、フッ素ドーブ誘電体、多孔質誘電体、有機ポリマー誘電体、光像形成可能誘電体、および/またはベンゾシクロブテン系ポリマー）などの誘電体材料を含んでいてもよい。いくつかの実施形態では、ダイ114の絶縁材料は、シリコン、ゲルマニウム、またはIII-V材料（たとえば、窒化ガリウム）などの半導体材料、および一つまたは複数の追加的材料を含んでいてもよい。たとえば、絶縁材料は

10

20

30

40

50

、酸化ケイ素または窒化ケイ素を含んでいてもよい。複数のTSV 211は、たとえば、銅、銀、ニッケル、金、アルミニウム、または他の金属または合金のような任意の適切な伝導性材料で形成されうる。複数のTSV 211は、障壁酸化物によって周囲の絶縁材料から絶縁されてもよい。電力、接地、および/または信号は、TSV 211を介して、および他の伝導性経路を介して、ダイ114-1、114-2との間で伝送されうる。

【0030】

本明細書に開示されるダイ114は、絶縁材料（たとえば、当技術分野で知られている、多層に形成された誘電体材料）および絶縁材料を通じて形成された複数の伝導性経路を含んでいてもよい。いくつかの実施形態では、ダイ114の絶縁材料は、二酸化ケイ素、窒化ケイ素、酸窒化物、ポリイミド材料、ガラス強化エポキシマトリックス材料、または低kもしくは超低k誘電体（たとえば、炭素ドープ誘電体、フッ素ドープ誘電体、多孔質誘電体、有機ポリマー誘電体、光像形成可能誘電体、および/またはベンゾシクロブテン系ポリマー）などの誘電体材料を含んでいてもよい。いくつかの実施形態では、ダイ114の絶縁材料は、シリコン、ゲルマニウム、またはIII-V材料（たとえば、窒化ガリウム）などの半導体材料、および一つまたは複数の追加的材料を含んでいてもよい。たとえば、絶縁材料は、酸化ケイ素または窒化ケイ素を含んでいてもよい。ダイ114内の伝導性経路は、伝導性トレースおよび/または伝導性ビアを含んでいてもよく、ダイ114内の伝導性接点のいずれかに任意の好適な仕方で接続してもよい（たとえば、ダイ114の同一表面上または異なる表面上の複数の伝導性接点に接続する）。本明細書に開示されるダイ114に含まれる例示的な構造は、図9を参照して後述される。ダイ114内の伝導路は、適宜、接着ライナーおよび/または障壁ライナーのようなライナー材料によって縁取られてもよい。いくつかの実施形態では、ダイ114はウェハである。いくつかの実施形態では、ダイ114は、モノリシック・シリコン、ファンアウトまたはファンイン・パッケージ・ダイ、またはダイ・スタック（たとえば、スタックされたウェハ、スタックされたダイ、またはスタックされた多層ダイ）である。

【0031】

ダイ114-1、114-2は、図2にそれぞれFLI 250-1および250-2として示されているように、第1レベル相互接続（first level interconnect、FLI）250を介して、基板210内のマイクロ電子コンポーネント100およびTSV 211に結合されてもよい。本明細書に開示されるFLI 250は、任意の好適な形をとることができる。いくつかの実施形態では、FLI 250は、はんだ（たとえば、相互接続を形成するために熱リフローを受けるはんだバンプまたはボール）を含んでいてもよい。いくつかの実施形態では、FLI 250は、異方性伝導性フィルムまたは異方性伝導性ペーストのような異方性伝導性材料を含んでいてもよい。異方性伝導性材料は、非伝導性材料中に分散された伝導性材料を含んでいてもよい。いくつかの実施形態では、FLI 250-1（すなわち、ダイ114とマイクロ電子コンポーネント100との間のFLI）は、15ミクロンと100ミクロンとの間（たとえば、20ミクロンと30ミクロンとの間）のピッチを有する。いくつかの実施形態では、FLI 250-2（すなわち、基板210内のダイ114とTSV211との間のFLI）は、80ミクロンから500ミクロン（たとえば、80ミクロンから120ミクロン）の間のピッチを有する。

【0032】

図2の多層ダイ・サブアセンブリ200はまた、アンダーフィル材料217をも含んでいてもよい。いくつかの実施形態では、アンダーフィル材料217は、ダイ114-1、114-2と、関連するFLI 250のまわりの基板210との間に延在することができる。アンダーフィル材料217は、適切なエポキシ材料のような絶縁材料であってもよい。いくつかの実施形態では、アンダーフィル材料217は、キャピラリー・アンダーフィル、非伝導性フィルム（non-conductive film、NCF）または成形アンダーフィルを含んでいてもよい。いくつかの実施形態では、アンダーフィル材料217は、FLI 250を形成する際にダイ114-1、114-2を基板210にはんだ付けするのを支援し、次いでFLI 250を重合し、カプセル化するエポキシ・フラックスを含んでいてもよい。アンダーフィル材料217は、多層ダイ・サブアセンブリ200における不均一な熱膨張から生じるダイ114-1、114-2と基板210との間の応

10

20

30

40

50

力を緩和または最小化しうる熱膨張係数 (coefficient of thermal expansion、CTE) を有するように選択されうる。いくつかの実施形態では、アンダーフィル材料217のCTEは、基板210のCTE (たとえば、基板210の誘電体材料のCTE) とダイ114-1、114-2のCTEとの中間的な値を有していてもよい。

【0033】

図2の多層ダイ・サブアセンブリ200はまた、オーバーモールド材料219をも含んでいてもよい。いくつかの実施形態では、オーバーモールド材料219は、ダイ114-1、114-2のまわりに、基板210の表面271と接触して配置されてもよい。オーバーモールド材料219は、適切なエポキシ材料のような絶縁材料であってもよい。

【0034】

図3は、さまざまな実施形態による、マイクロ電子アセンブリ300の側断面図である。図3のマイクロ電子アセンブリ300は、多層ダイ・サブアセンブリ200、パッケージ基板306、およびインターポーザ302を含んでいてもよい。多層ダイ・サブアセンブリ200は、中間レベル相互接続 (mid-level interconnect、MLI) 352を介してパッケージ基板306に結合されてもよく、インターポーザ302は、第2レベル相互接続 (second level interconnect、SLI) 354を介してパッケージ基板306に結合されてもよい。本明細書に開示されるMLI 352およびSLI 354は、任意の好適な形をとることができる。いくつかの実施形態では、MLI 352およびSLI 354は、はんだ (たとえば、相互接続を形成するために熱リフローを受けるはんだバンプまたはボール) を含んでいてもよい。いくつかの実施形態では、MLI 352およびSLI 354は、ボール・グリッド・アレイ構成のためのはんだボール、ピン・グリッド・アレイ構成におけるピン、またはランド・グリッド・アレイ構成におけるランドを含んでいてもよい。いくつかの実施形態では、インターポーザ302は、回路基板であってもよい。回路基板は、たとえば、マザーボードであってもよく、それに取り付けられた他のコンポーネントを有していてもよい。回路基板は、当技術分野で知られているように、回路基板を通じて電力、接地、および信号をルーティングするための伝導性経路および他の伝導性接点を含んでいてもよい。いくつかの実施形態では、SLI 354は、パッケージ基板306を別のICパッケージまたは任意の他の好適なコンポーネントに結合することができる。いくつかの実施形態では、多層ダイ・サブアセンブリ200は、パッケージ基板306に結合されなくてもよく、代わりに、PCBなどの回路基板に結合されてもよい。

【0035】

パッケージ基板306は、絶縁材料 (たとえば、当該技術分野で知られている、複数層に形成された誘電体材料) と、該誘電体材料を通じて電力、接地、および信号をルーティングする一つまたは複数の伝導経路 (たとえば、図示されるような、伝導トレースおよび/または伝導ビアを含む) とを含んでいてもよい。いくつかの実施形態では、パッケージ基板306の絶縁材料は、有機誘電体材料、難燃性グレード4材料 (FR-4)、BT樹脂、ポリイミド材料、ガラス強化エポキシマトリックス材料、無機充填材を含む有機誘電体、または低k誘電体および超低k誘電体 (たとえば、炭素ドーブ誘電体、フッ素ドーブ誘電体、多孔質誘電体、および有機ポリマー誘電体) であってもよい。特に、パッケージ基板306が標準的なプリント回路基板 (printed circuit board、PCB) プロセスを用いて形成される場合、パッケージ基板306はFR-4を含んでいてもよく、パッケージ基板306内の伝導性経路は、FR-4のビルドアップ層によって分離された銅のパターン化されたシートによって形成されてもよい。パッケージ基板306内の伝導性経路は、適宜、接着ライナーおよび/または障壁ライナーのようなライナー材料によって縁取られてもよい。

【0036】

いくつかの実施形態では、パッケージ基板306は、リソグラフィ的に画定されるビア・パッケージング・プロセスを用いて形成されてもよい。いくつかの実施形態では、パッケージ基板306は、標準的な有機パッケージ製造プロセスを用いて製造されてもよく、よって、パッケージ基板306は、有機パッケージの形を取ってもよい。いくつかの実施形態では、パッケージ基板306は、誘電体材料をラミネートまたはスピン塗布し、レーザドリ

10

20

30

40

50

ルおよびめっきによって伝導性ビアおよびラインを作成することによって、パネル・キャリア上に形成された一組の再分配層であってもよい。いくつかの実施形態では、パッケージ基板306は、再分配層技術などの任意の好適な技術を用いて、取り外し可能なキャリア上に形成されてもよい。パッケージ基板306の製造のための当該技術分野で知られている任意の方法を使用することができ、簡潔のため、そのような方法は、本明細書ではさらに詳細に説明しない。

【0037】

図3のマイクロ電子アセンブリ300はまた、アンダーフィル材料327をも含んでいてもよい。いくつかの実施形態では、アンダーフィル材料327は、関連するMLI 352のまわりの多層ダイ・サブアセンブリ200とパッケージ基板306との間に延在してもよい。アンダーフィル材料327は、適切なエポキシ材料のような絶縁材料であってもよい。いくつかの実施形態では、アンダーフィル材料327は、キャピラリー・アンダーフィル、非伝導性フィルム(NCF)または成形アンダーフィルを含んでいてもよい。いくつかの実施形態では、アンダーフィル材料327は、MLI 352を形成するとき多層ダイ・サブアセンブリ200をパッケージ基板306にはんだ付けするのを支援し、次いで、重合し、MLI 352をカプセル化するエポキシ・フラックスを含んでいてもよい。アンダーフィル材料327は、不均一な熱膨張から生じる多層ダイ・サブアセンブリ200とパッケージ基板306との間の応力を緩和または最小化しうる熱膨張係数(CTE)を有するように選択されてもよい。

10

【0038】

図3のマイクロ電子アセンブリ300はまた、オーバーモールド材料329をも含んでいてもよい。いくつかの実施形態では、オーバーモールド材料329は、多層ダイ・サブアセンブリ200のまわりに、パッケージ基板306の表面371と接触して配置されてもよい。オーバーモールド材料は、適切なエポキシ材料のような絶縁材料であってもよい。

20

【0039】

図3のマイクロ電子アセンブリ300はまた、ヒート・スプレッド333をも含んでいてもよい。ヒート・スプレッド333は、熱をダイ114-1、114-2から遠ざけるために使用されてもよい(たとえば、熱がヒート・シンクまたは他の熱管理デバイスによってより容易に散逸されうるようにする)。ヒート・スプレッド333は、任意の好適な熱伝導性材料(たとえば、金属、適切なセラミックなど)を含んでいてもよく、任意の好適な特徴(たとえば、フィン)を含んでいてもよい。いくつかの実施形態では、ヒート・スプレッド333は、統合されたヒート・スプレッドであってもよい。

30

【0040】

図3のマイクロ電子アセンブリ300はまた、高熱伝導性のモールド材料または熱インターフェース材料(thermal interface material、TIM)331をも含んでいてもよい。TIM 331は、ポリマーまたは他のバインダー中に熱伝導性材料(たとえば、金属粒子)を含んでいてもよい。TIM 331は、熱インターフェース材料ペーストまたは熱伝導性エポキシであってもよい(これは、当技術分野で知られている、塗布時に流体であってもよく、硬化時に硬くなってもよい)。TIM 331は、ダイ114-1、114-2によって生成された熱がヒート・スプレッド333に容易に流れるための経路を提供してもよい。ヒート・スプレッド333において、熱が拡散および/または放散されうる。

40

【0041】

図4は、さまざまな実施形態による、マイクロ電子アセンブリ400の横断面図である。図4のマイクロ電子アセンブリ400は、図3のマイクロ電子アセンブリ300と同様であり、多層ダイ・サブアセンブリ200が、複数のTSV 211およびマイクロ電子コンポーネント100に電気的に結合された、複数のダイではなく単一のダイ114を含むという点においてのみ異なる。

【0042】

図5Aは、基板513および複数のTSV 516を有するウェハ514を含むアセンブリ500Aを示し、TSV 516の上面が露出されている。いくつかの実施形態では、ウェハ514は、活性層(図示せず)およびTSVを有する裏面層を有する活性ウェハであり、ウェハの裏面

50

層から非電気材料 (non-electrical material) が除去されて、TSVの上面を露出させる。非電気材料は、ウェハの不活性部分であり、他の材料の中でも、シリコン、セラミック、またはクォーツを含んでいてもよい。非電気材料は、たとえば、研削 (grinding)、エッチング、たとえば反応性イオンエッチングまたは化学エッチングを含む任意の好適な技術を用いて除去することができる。いくつかの実施形態では、ウェハ514は、受動ウェハである。いくつかの実施形態では、ウェハ514は、製造作業中にキャリア (図示せず) 上に配置される。キャリアは、製造作業中に機械的安定性を提供するための任意の好適な材料を含むことができる。キャリアを使用する場合、ウェハ514は、一時的な接着層またはダイ取り付けフィルム (die attach film、DAF) を含む任意の好適な技術を使用してキャリアに取り付けられてもよい。

10

【0043】

図5Bは、TSV 516の上面に伝導性ピラー592を形成した後のアセンブリ500Bを示す。伝導性ピラー592は、本明細書に開示される実施形態のいずれかの形をとることができ、任意の好適な技術、たとえば、リソグラフィ・プロセスまたは付加プロセス、たとえばコールドスプレーまたは3次元印刷を用いて形成することができる。たとえば、伝導性ピラー592は、TSV 516の上面にフォトレジスト層を堆積させ、露光し、および現像することによって形成することができる。フォトレジスト層は、伝導性ピラーの形状における空洞を形成するようにパターン化されてもよい。銅のような伝導性材料が、パターン化されたフォトレジスト層の開口部に堆積されて、伝導性ピラー592を形成してもよい。伝導性材料は、電気めっき、スパッタリング、または無電解めっきのような任意の好適なプロセスを使用して堆積されうる。フォトレジストを除去して、伝導性ピラー592を露出させてもよい。別の例では、光像形成可能誘電体が、伝導性ピラー592を形成するために使用されてもよい。いくつかの実施形態では、フォトレジスト材料および伝導性材料を堆積する前に、TSVの上面にシード層 (図示せず) が形成されてもよい。シード層は、銅を含む任意の好適な伝導性材料でありうる。シード層は、フォトレジスト層を除去した後、とりわけ、化学エッチングを含む任意の好適なプロセスを使用して除去されてもよい。いくつかの実施形態では、シード層は省略されてもよい。

20

【0044】

図5Cは、伝導性ピラー592のまわりにモールド材料594を提供した後のアセンブリ500Cを示す。モールド材料594は、圧縮成形またはラミネートなどの任意の好適な技術を使用して堆積されうる。いくつかの実施形態では、モールド材料は、堆積後に硬化される。いくつかの実施形態では、モールド材料594は、初期には伝導性ピラー592の頂部の上にかぶせて堆積され、次に、後ろに研磨され、平坦化されて、伝導性ピラー592の上面を露出させることができる。モールド材料を堆積するために使用される技術は、使用されるモールド材料のタイプに依存しうる。モールド材料は、たとえば、研削、エッチング、たとえば反応性イオンエッチング (RIE) または化学エッチングを含む、任意の好適な技術を用いて除去することができる。いくつかの実施形態では、使用されるモールド材料は、マイクロ電子コンポーネント (たとえば、マイクロ電子コンポーネント100) についての所望の特性に依存しうる。モールド材料594は、図1を参照して上述したように、任意の好適なモールド材料でありうる。伝導性ピラー592は、図1の第2のTMV 165と同様である。

30

40

【0045】

図5Dは、アセンブリ500Cの上面570-2上にキャリア512を堆積した後のアセンブリ500Dを示す。キャリアは、製造作業中に機械的安定性を提供するための任意の好適な材料を含むことができる。アセンブリ500Cは、一時的な接着層またはダイ取り付けフィルム (DAF) を含む任意の好適な技術を用いてキャリア512に取り付けられてもよい。

【0046】

図5Eは、アセンブリ500Dの底面570-1から非電気材料を除去し、平坦化してTSV 516の底面を露出させた後のアセンブリ500Eを示す。非電気材料は、ウェハの不活性部分であり、他の材料の中でも、シリコン、セラミック、またはクォーツを含みうる。非電気材

50

料は、たとえば、研削、エッチング、たとえば反応性イオンエッチング（RIE）または化学エッチングを含む任意の好適な技術を用いて除去することができる。

【0047】

図5Fは、TSV 516の露出した底面570-1上に伝導性ピラー598を形成した後のアセンブリ500Fを示す。伝導性ピラー598は、本明細書では、伝導性パンプまたはパッケージ側パンプと称されることもある。伝導性ピラー598は、本明細書に開示される実施形態のいずれかの形をとることができ、任意の好適な技術、たとえば、リソグラフィ・プロセスまたは付加プロセス、たとえばコールドスプレーまたは3次元印刷を用いて形成することができる。いくつかの実施形態では、伝導性ピラー598は、窒化シリコン不動態化層を堆積させ、窒化シリコン不動態化層を開いて（opening）TSV 516の表面を（すなわち、底面570-1において）露出させ、TSVの露出した表面上に伝導性シード層を堆積させ、フォトレジスト層をスピンし、フォトレジスト層を現像して伝導性ピラー598を形成するための開口を作製し、伝導性ピラー598を形成するための開口部に伝導性材料を電気めっきし、フォトレジスト層を除去し、任意的に、適宜シード層をエッチングすることによって形成されてもよい。伝導性ピラー598は、任意の好適な伝導性材料で作製することができ、図1を参照して上述したように、任意の好適なサイズおよび形状を有することができる。伝導性ピラー598は、図1の第1のTMV 163と同様である。

10

【0048】

図5Gは、伝導性ピラー598のまわりにモールド材料595を提供した後のアセンブリ500Gを示す。モールド材料595は、圧縮成形またはラミネートなどの任意の好適な技術を使用して堆積されうる。いくつかの実施形態では、モールド材料は、堆積後に硬化される。いくつかの実施形態では、モールド材料595は、初期に伝導性ピラー598上にかぶせて堆積され、次いで、研磨され、平坦化されて、伝導性ピラー598の底面を（すなわち、570-1において）を露出させてもよい。モールド材料を堆積するために使用される技術は、使用されるモールド材料のタイプに依存しうる。モールド材料は、たとえば、研削、エッチング、たとえば反応性イオンエッチング（RIE）または化学エッチングを含む、任意の好適な技術を用いて除去することができる。いくつかの実施形態では、使用されるモールド材料は、マイクロ電子コンポーネント（たとえば、マイクロ電子コンポーネント100）についての所望される特性に依存しうる。モールド材料595は、図1を参照して上述したように、任意の好適なモールド材料であってよい。

20

30

【0049】

図5Hは、キャリア512の除去後および底面570-1上にボンディング層517を取り付けた後のアセンブリ500Hを示す。ボンディング層（bonding layer）517は、接着層（adhesive layer）またはダイ取り付けフィルム（DAF）のような任意の好適なボンディング層であってもよく、一時的な接着剤またはラミネートを含む任意の好適な技術を使用して取り付けられてもよい。いくつかの実施形態では、ボンディング層517は、2ミクロンから15ミクロンの間の厚さを有する。いくつかの実施形態では、ボンディング層517は、3ミクロンから7ミクロンの間の厚さを有する。

【0050】

図5Iは、個々のユニットに切り離れた後の、アセンブリ500Iを示す。これは、本明細書ではマイクロ電子コンポーネントとも呼ばれ、たとえばマイクロ電子コンポーネント100である。いくつかの実施形態では、個々のユニットは同じであってもよい。いくつかの実施形態では、個々のユニットは異なってもよい。

40

【0051】

図6A～6Iは、さまざまな実施形態による、図3のマイクロ電子アセンブリ300を製造するための例示的なプロセスにおけるさまざまな段階の横断面図である。本明細書に開示されるマイクロ電子アセンブリを製造するために、任意の好適な技術を使用することができる。図6A～6I（および製造プロセスを表わす添付の図面の他のもの）を参照して以下で論じられる作業は、特定の順序で示されているが、これらの作業は、任意の好適な順序で実行されうる。さらに、特定のアセンブリおよび特定の多層ダイ・サブアセンブリが、図6A

50

～6I（および製造プロセスを表わす添付の図面の他のもの）に示されているが、図6A～6Iを参照して下記で論じられる作業は、任意の好適なアセンブリおよびサブアセンブリを形成するために使用されうる。図6A～図6Iの実施形態では、マイクロ電子コンポーネント（たとえば、アセンブリ500I）は、まず、複合ダイ（たとえば、アセンブリ600G）に組み立てられてもよく、次いで、該複合ダイが、インターポーザおよび/またはパッケージ基板（たとえば、アセンブリ600I）に結合されてもよい。このアプローチは、より厳しい公差を可能にすることができ、比較的小さなダイ114のためのマイクロ電子コンポーネント（たとえば、図1のマイクロ電子コンポーネント100）を複合ダイ（たとえば、図2のサブアセンブリ200）に統合するために特に望ましいことがありうる。

【0052】

図6Aは、キャリア605および任意的にボンディング膜616を含むアセンブリ600Aを示す。ボンディング膜616の上面に第1の伝導性パッド607、エッチング停止層613、第2の伝導性パッド609、および伝導性TSV 611を形成する。キャリア605は、製造作業中に機械的安定性を提供するための任意の好適な材料を含んでいてもよく、たとえば、ガラス・キャリアを含む。

い。ボンディング膜616は、任意の好適な一時的なボンディング膜、たとえば、一時的な接着層またはDAFであってもよい。第1の伝導性パッド607、エッチング停止層613、第2の伝導性パッド609、および伝導性TSV 611は、その中に伝導構造が存在しない一つまたは複数の非分布領域（de-population region）655を形成するように配置されてもよい。本明細書中で使用される場所では、用語「伝導性パッド」、「伝導性相互接続」、および「伝導性接点」は、交換可能に使用されうる。第1の伝導性パッド607、エッチング停止層613、第2の伝導性パッド609、および伝導性TSV 611は、任意の好適な技術、たとえば、リソグラフィー・プロセスまたは付加プロセス、たとえばコールドスプレーまたは3次元印刷を使用して形成されてもよい。たとえば、第1の伝導性パッド607、エッチング停止層613、第2の伝導性パッド609、および伝導性TSV 611は、ボンディング膜616上で、複数のフォトレジスト層を堆積し、露光し、および現像し、金属などの伝導性材料を堆積することによって形成されてもよい。フォトレジスト層は、第1の伝導性パッド607、エッチング停止層613、第2の伝導性パッド609、および伝導性TSV 611の形状の空洞を形成するようにパターン化されてもよい。銅のような伝導性材料が、第1の伝導性パッド607、第2の伝導性パッド609、および伝導性TSV 611を形成するために、パターン化されたフォトレジスト層の開口部に堆積されてもよい。ニッケルのようなエッチング停止材料が、エッチング停止層613を形成するために、パターン化されたフォトレジスト層の開口部に堆積されてもよい。伝導性材料およびエッチング停止材料は、電気めっき、スパッタリング、または無電解めっきなどの任意の好適なプロセスを使用して堆積されてもよい。いくつかの実施形態では、第1の伝導性パッド607、エッチング停止層613、第2の伝導性パッド609、および伝導性TSV 611をそれぞれ露出するために、各材料堆積後にフォトレジストを除去してもよい。いくつかの実施形態では、第1のフォトレジスト材料が堆積および現像されて、第1の伝導性パッド607、エッチング停止層613、および第2の伝導性パッド609を形成してもよく、次いで、第1のフォトレジスト材料が除去されてもよく、第2のフォトレジスト材料が堆積および現像されて、伝導性TSV 611を形成してもよく、次いで、第2のフォトレジスト材料が除去されてもよい。別の例では、光像形成可能誘電体を使用して、第1の伝導性パッド607、エッチング停止層613、第2の伝導性パッド609、および伝導性TSV 611を形成してもよい。いくつかの実施形態では、フォトレジスト材料および伝導性材料を堆積する前に、ボンディング膜616の上面にシード層（図示せず）が形成されてもよい。シード層は、銅またはチタン/銅を含む任意の好適な伝導性材料でありうる。シード層は、最後のフォトレジスト層を除去した後、とりわけ化学エッチングを含む任意の好適なプロセスを使用して除去されてもよい。いくつかの実施形態では、シード層は省略されてもよい。

【0053】

第1の伝導性パッド607は、任意の好適な寸法を有してもよく、任意の好適な伝導性材

料で作製されてもよく、たとえば、第1の伝導性パッド607は、2ミクロンから10ミクロンの間の厚さを有してもよく、銅で作られてもよい。エッチング停止層613は、任意の好適な寸法を有してもよく、たとえば、エッチング停止層613は、第1の伝導性パッド607と等しい長さおよび幅を有してもよく、2ミクロンから5ミクロンの間の厚さを有してもよい。エッチング停止層は、ニッケルのような任意の好適な材料で作ることができる。第2の伝導性パッド609は、任意の好適な寸法を有してもよく、任意の好適な伝導性材料で作られてもよく、たとえば、第2の伝導性パッド609は、第1の伝導性パッド607と等しい長さおよび幅を有してもよく、10ミクロンと20ミクロンとの間の厚さを有してもよい。

【0054】

伝導性TSV 611は、任意の好適な寸法を有することができ、図2を参照して説明したように、任意の好適な伝導性材料で作ることができる。いくつかの実施形態では、個々の伝導性TSV 611は、10ミクロンから1000ミクロンの間の直径（たとえば、断面（cross-section））を有してもよい。たとえば、個々の伝導性TSV 611は、50ミクロンから400ミクロンの間の直径を有していてもよい。いくつかの実施形態では、個々の伝導性TSV 611は、50ミクロンから150ミクロンの間の高さ（たとえば、z高さまたは厚さ）を有していてもよい。伝導性ピラーは、任意の好適な断面形状、たとえば、特に正方形、三角形、および楕円形を有していてもよい。

【0055】

図6Bは、アセンブリ600A（図6A）の脱分布領域655内にマイクロ電子コンポーネント100を配置した後のアセンブリ600Bを示す。マイクロ電子コンポーネント100は、図1のマイクロ電子コンポーネント100であってもよく、または、第1のモールド貫通伝導構造を有する第1の表面における第1のモールド領域および第2のモールド貫通伝導構造を有する対向する第2の表面における第2のモールド領域を有する基板を含む別の類似のコンポーネントであってもよい。ここで、該基板は、複数のシリコン貫通ビア（TSV）を含み、第1のモールド貫通伝導構造および第2のモールド貫通伝導構造は、TSVに電気的に結合される。マイクロ電子コンポーネント100は、接着層618、またはアセンブリ600Aの脱分布領域655に付着するための、DAF、ダイ・ボンディング膜（die bonding film、DBF）、または剥離層などの他の類似の層を含んでいてもよい。剥離層（本明細書では脱ボンディング層とも呼ばれる）は、一時的な接着剤、または、たとえば熱または光に暴露されると剥離する他の材料を含んでいてもよい。図1および図51のマイクロ電子コンポーネントなどのマイクロ電子コンポーネントは、ピックアンドプレースツールなど、ダイを配置するためと同じまたは類似の技術を使用して、脱分布領域655内に配置されてもよい。

【0056】

図6Cは、マイクロ電子コンポーネント100、第1の伝導性パッド607、エッチング停止層613、第2の伝導性パッド609、および伝導性TSV 611のまわりに絶縁材料630を提供した後のアセンブリ600Cを示す。絶縁材料630は、任意の好適な技術を用いて、たとえば、ラミネートによって堆積されてもよい。いくつかの実施形態では、絶縁材料630は、初期にマイクロ電子コンポーネント100および伝導性TSV 611の頂部の上にかぶせて堆積され、その後、研磨されて、マイクロ電子コンポーネント100の上面および伝導性TSV 611の上面を露出させる。いくつかの実施形態では、絶縁材料630は、無機シリカ粒子を有する有機ポリマーのようなモールド材料である。いくつかの実施形態では、絶縁材料630は、誘電体材料である。いくつかの実施形態では、誘電体材料は、有機誘電体材料、難燃性グレード4材料（FR-4）、BT樹脂、ポリイミド材料、ガラス強化エポキシマトリックス材料、または低k誘電体および超低k誘電体（たとえば、炭素ドープ誘電体、フッ素ドープ誘電体、多孔質誘電体、および有機ポリマー誘電体）を含んでいてもよい。誘電体材料は、ラミネート、またはスリットコーティングおよび硬化を含む任意の好適なプロセスを使用して形成されうる。誘電体層が、伝導性TSV 611およびマイクロ電子コンポーネント100を完全に覆うように形成される場合、誘電体層は、研削、またはエッチング、たとえばウェットエッチング、ドライエッチング（たとえば、プラズマエッチング）、ウェットブラスト、またはレーザーアブレーション（たとえば、エキシマレーザーを使用する）

10

20

30

40

50

などの任意の好適な技術を使用して除去され、マイクロ電子コンポーネント100の上面および伝導性TSV 611の上面を露出させてもよい。いくつかの実施形態では、必要なエッチング時間を短縮するために、絶縁材料630の厚さを最小限にしてもよい。いくつかの実施形態では、再分配層 (redistribution layer、RDL) (図示せず) が、アセンブリ600Cの上面に形成されてもよい。RDLは、PCB技術または再分配層技術のような任意の好適な技術を用いて製造されうる。

【0057】

図6Dは、伝導性接点652を伝導性TSV 611の上面に形成し、伝導性接点654をマイクロ電子コンポーネント100の上面に形成した後のアセンブリ600Dを示す。伝導性接点652、654は、リソグラフィ（高度なレーザーまたはリソグラフィ・プロセスによって形成される小さな垂直相互接続特徴を有する）を使用することを含む、任意の好適な技術を使用して形成されてもよい。伝導性接点652、654は、銅を含む任意の好適な伝導性材料で作製されてもよい。いくつかの実施形態では、伝導性接点652、654は、複数の金属層を有してもよく、各金属層は、異なる金属材料を含んでいてもよい。たとえば、伝導性接点652、654は、3つの金属層、すなわち、銅を含む第1の金属層、ニッケルを含む第2の金属層、およびスズを含む第3の金属層を含んでいてもよい。スズ層652-3、654-3は、任意の好適な化学的または機械的エッチングを使用して平坦化されてもよい。いくつかの実施形態では、第2の金属層652-2、654-2は、エッチング停止層であってもよい。

10

【0058】

図6Eは、ダイ114-1、114-2を配置し、相互接続650-1、650-2のまわりにアンダーフィル材料617を提供し、ダイのまわりに絶縁材料619を提供した後のアセンブリ600Eを示す。ダイ114-1、114-2は、相互接続650-2によって伝導性TSVに電気的および機械的に結合されてもよく、相互接続650-1によってマイクロ電子コンポーネント100に電気的および機械的に結合されてもよい。相互接続650-1、650は、任意の好適な形態をとることができる。いくつかの実施形態では、相互接続650-1、650は、はんだ（たとえば、はんだバンプまたはボール）を含んでいてもよい。アンダーフィル材料617および絶縁材料619、またはオーバーモールド材料は、任意の好適な材料であってよく、図2を参照して上述したように、任意の好適な技術を使用して形成されてもよい。

20

【0059】

図6Fは、キャリア605およびボンディング膜616を除去して第1の伝導性パッド607および接着層618を露出させた後、アセンブリ600Eの上面にキャリア603を取り付けた後のアセンブリ600Fを示す。キャリア603は、たとえばガラス・キャリアを含む、製造作業中に機械的安定性を提供するための任意の好適な材料を含んでいてもよい。キャリア603は、任意の好適な技術、たとえば、一時的なボンディング膜、接着剤、またはDAF (図示せず) を用いて取り付けることができる。いくつかの実施形態では、キャリア603を取り付ける前に、ヒート・スプレッドおよび/またはTIM (図示せず) をアセンブリ600Eの上面に取り付けてもよい。ヒート・スプレッドおよび/またはTIMは、図3を参照して説明したように、任意の好適な形を有しうる。

30

【0060】

図6Gは、アセンブリ600Fの底部から第1の伝導性パッド607、エッチング停止層613、絶縁材料630、および接着層618を除去して、マイクロ電子コンポーネント100の底面上の第2の伝導性パッド609およびTMV 663 (たとえば、図1の第1のTMV 163) を露出させた後のアセンブリ600Gを示す。第1の伝導性パッド607、エッチング停止層613、および接着層618のそれぞれは、中でもたとえば、ドライエッチングまたは機械的研削を含む任意の好適な技術を使用して除去されてもよい。

40

【0061】

図6Hは、キャリア603の除去後のアセンブリ600Hを示す。キャリア603は、任意の好適なプロセスを使用して除去されうる。複数の複合ダイ (たとえば、図2の多層ダイ・サブアセンブリ200) が一緒に製造される場合、複合ダイは、キャリア603の除去後に切り離されてもよい。切り離しの前または後のいずれでもさらなる作業が適宜実施されてもよ

50

い(たとえば、TIMを提供すること、ヒート・スプレッドを取り付けること、はんだレジスト層を堆積させること、インターポーザまたはパッケージ基板に結合するためのはんだボールを取り付けることなど)。

【0062】

図61は、アセンブリ600Hをパッケージ基板606に結合し、パッケージ基板606をインターポーザ602に結合した後のアセンブリ600Iを示す。アセンブリ600Hは、機械的および電氣的にパッケージ基板606に結合されてもよく、インターポーザ602は、図3を参照して説明したように、任意の好適な相互接続を使用して、機械的および電氣的にパッケージ基板606に結合されてもよい。いくつかの実施形態では、図3を参照して説明したように、アンダーフィル材料627およびオーバーモールド材料629が提供されてもよい。

10

【0063】

本明細書に開示されるマイクロ電子コンポーネント100、多層ダイ・サブアセンブリ200、およびマイクロ電子アセンブリ300、400は、特定の数および配置のマイクロ電子コンポーネント100および特定の数のTSV、ダイ、および相互接続を有する多層ダイ・サブアセンブリ200を示すが、任意の数および配置のマイクロ電子コンポーネント100、多層ダイ・サブアセンブリ200、TSV、ダイ、および相互接続が使用されうる。

【0064】

本明細書に開示されるマイクロ電子コンポーネント100および多層ダイ・サブアセンブリ200は、任意の好適な用途に使用されうる。たとえば、いくつかの実施形態では、多層ダイ・サブアセンブリ200は、特にモバイル装置および小さな形状因子の装置において、フィールドプログラマブルゲートアレイ(FPGA)または処理ユニット(たとえば、中央処理ユニット、グラフィックス処理ユニット、FPGA、モデム、アプリケーションプロセッサなど)のための非常に小さな形状因子の電圧制御を可能にするために使用されうる。別の例では、多層ダイ・サブアセンブリ200内のダイ114は、処理装置(たとえば、中央処理装置、グラフィックス処理装置、FPGA、モデム、アプリケーションプロセッサなど)であってもよい。

20

【0065】

図7は、さまざまな実施形態による、別の例示的な多層ダイ・サブアセンブリ200の横断面図である。本明細書に開示されるマイクロ電子アセンブリ300、400において、多層ダイ・サブアセンブリ200は、RDL 748を含んでもよい。たとえば、図7は、ダイ114-1、114-2の下方にRDL 748を有する多層ダイ・サブアセンブリ200の実施形態を示す。ダイ114-1、114-2は、RDL 748内の伝導経路796を介して、伝導性TSV 211およびマイクロ電子コンポーネント100に電氣的に結合されてもよい。RDL 748は、より低密度のピッチを有するコンポーネントをより高密度のピッチを有するコンポーネントに結合することができる。本明細書に開示されるマイクロ電子アセンブリ300、400は、任意の好適な電子コンポーネントに含まれてもよい。

30

【0066】

図8~図11は、本明細書に開示されているマイクロ電子アセンブリ300、400のいずれかを含んでもよく、またはそれらに含まれてもよい装置のさまざまな例を示す。

【0067】

図8は、本明細書に開示されるマイクロ電子アセンブリ300、400のいずれか(たとえば、ダイ114のいずれかの好適なもの)に含まれるウェハ1500およびダイ1502の上面図である。ウェハ1500は、半導体材料から構成されてもよく、ウェハ1500の表面上に形成されたIC構造を有する一つまたは複数のダイ1502を含んでもよい。ダイ1502のそれぞれは、任意の好適なICを含む半導体製品の反復ユニットであってもよい。半導体製品の製造が完了した後、ウェハ1500は、ダイ1502が互いに分離されて、半導体製品の個別の「チップ」を提供する切り離しプロセスを経てよい。ダイ1502は、本明細書に開示されるダイ114のいずれかであってもよい。ダイ1502は、一つまたは複数のトランジスタ(たとえば、後述する図9のトランジスタ1640の一部)、電気信号をトランジスタ、受動コンポーネント(たとえば、信号トレース、抵抗器、キャパシタ、またはインダクタ)、

40

50

および/または任意の他のICコンポーネントにルーティングするためのサポート回路を含んでいてもよい。いくつかの実施形態では、ウェハ1500またはダイ1502は、メモリデバイス（たとえば、ランダムアクセスメモリ（RAM）デバイス、たとえばスタティックRAM（SRAM）デバイス、磁気RAM（MRAM）デバイス、抵抗RAM（RRAM）デバイス、伝導性ブリッジングRAM（CBRAM）デバイスなど）、論理デバイス（たとえば、AND、OR、NAND、またはNORゲート）、または任意の他の好適な回路要素を含んでいてもよい。これらのデバイスのうち複数のものが、単一のダイ1502上に組み合わせられてもよい。たとえば、複数のメモリデバイスによって形成されるメモリアレイは、処理装置（たとえば、図11の処理装置1802）またはそれらのメモリデバイスに情報を記憶するか、またはメモリアレイに記憶された命令を実行するように構成される他のロジックとして、同じダイ1502上に形成されてもよい。いくつかの実施形態では、ダイ1502（たとえば、ダイ114）は、中央処理装置、無線周波数チップ、電力変換器、またはネットワーク・プロセッサであってもよい。本明細書に開示されるマイクロ電子アセンブリ300、400のさまざまなものは、ダイとウェハのアセンブリ技術を用いて製造されてもよく、いくつかのダイ114がダイ114の他のものを含むウェハ1500に取り付けられ、その後、ウェハ1500が切り離される。

10

【0068】

図9は、本明細書に開示されるマイクロ電子アセンブリ300、400のいずれか（たとえば、いずれかのダイ114）に含まれるICデバイス1600の断面側面図である。ICデバイス1600の一つまたは複数は、一つまたは複数のダイ1502（図8）に含まれてもよい。ICデバイス1600は、ダイ基板1602（たとえば、図8のウェハ1500）上に形成されてもよく、ダイ（たとえば、図8のダイ1502）に含まれてもよい。ダイ基板1602は、たとえば、n型またはp型材料システム（またはその両方の組み合わせ）を含む半導体材料システムで構成される半導体基板であってもよい。ダイ基板1602は、たとえば、バルクシリコンまたはシリコン・オン・インシュレータ（SOI）サブ構造を用いて形成される結晶基板を含んでいてもよい。いくつかの実施形態では、ダイ基板1602は、シリコンと組み合わせても組み合わせなくてもよい代替材料を使用して形成されてもよく、代替材料は、ゲルマニウム、アンチモン化インジウム、テルル化鉛、ヒ化インジウム、リン化インジウム、ヒ化ガリウム、またはアンチモン化ガリウムを含む、これらに限定されない。II~VI族、III~V族、またはIV族に分類されるさらなる材料もまた、ダイ基板1602を形成するために使用される。ここでは、ダイ基板1602がそこから形成される材料のいくつかの例が記載されているが、ICデバイス1600の基盤として機能しうる任意の材料が使用される。ダイ基板1602は、切り離されたダイ（たとえば、図8のダイ1502）またはウェハ（たとえば、図8のウェハ1500）の一部であってもよい。

20

30

【0069】

ICデバイス1600は、ダイ基板1602上に配置された一つまたは複数のデバイス層1604を含んでいてもよい。デバイス層1604は、ダイ基板1602上に形成される一つまたは複数のトランジスタ1640（たとえば、金属酸化物半導体電界効果トランジスタ（MOSFET））の特徴を含んでいてもよい。デバイス層1604は、たとえば、一つまたは複数のソースおよび/またはドレイン（S/D）領域1620、S/D領域1620間のトランジスタ1640内の電流の流れを制御するためのゲート1622、およびS/D領域1620への/からの電気信号をルーティングするための一つまたは複数のS/D接点1624を含んでいてもよい。トランジスタ1640は、デバイス隔離領域、ゲート接点等のような、明快さのために描かれていない追加的な特徴を含んでいてもよい。トランジスタ1640は、図9に示されるタイプおよび構成に限定されず、たとえば、平面トランジスタ、非平面トランジスタ、または両者の組み合わせのような、幅広い多様な他のタイプおよび構成を含んでいてもよい。非平面トランジスタは、ダブルゲートトランジスタまたはトリゲートトランジスタなどのFinFETトランジスタ、ならびに、ナノリボンおよびナノワイヤトランジスタなどのラップアラウンドゲートトランジスタまたは全アラウンドゲートトランジスタを含みうる。

40

【0070】

50

各トランジスタ1640は、少なくとも2つの層、ゲート誘電体、およびゲート電極から形成されるゲート1622を含んでいてもよい。ゲート誘電体は、1つの層または層のスタックを含んでいてもよい。前記一つまたは複数の層は、酸化ケイ素、二酸化ケイ素、炭化ケイ素、および/または高k誘電体材料を含んでいてもよい。高k誘電体材料は、ハフニウム、シリコン、酸素、チタン、タンタル、ランタン、アルミニウム、ジルコニウム、バリウム、ストロンチウム、イットリウム、鉛、スカンジウム、ニオブ、および亜鉛のような元素を含んでいてもよい。ゲート誘電体に使用される高k材料の例としては、ハフニウム酸化物、ハフニウムシリコン酸化物、ランタン酸化物、ランタンアルミニウム酸化物、ジルコニウム酸化物、ジルコニウムシリコン酸化物、タンタル酸化物、チタン酸化物、バリウムストロンチウムチタン酸化物、バリウムチタン酸化物、ストロンチウムチタン酸化物、イットリウム酸化物、アルミニウム酸化物、鉛スカンジウムタンタル酸化物、およびニオブ酸鉛亜鉛を含むが、これらに限定されない。いくつかの実施形態では、高k材料が使用される場合、ゲート誘電体の品質を改善するために、ゲート誘電体に対してアニーリングプロセスが実行されてもよい。

【0071】

ゲート電極は、ゲート誘電体上に形成されてもよく、トランジスタ1640がPMOSトランジスタであるかNMOSトランジスタであるかに依存して、少なくとも1つのp型仕事関数金属またはn型仕事関数金属を含んでいてもよい。いくつかの実装では、ゲート電極は、2つ以上の金属層のスタックからなってもよく、ここで、一つまたは複数の金属層は、仕事関数金属層 (work function metal layer) であり、少なくとも1つの金属層は、充填金属層 (fill metal layer) である。障壁層のような他の目的のためにさらなる金属層が含まれてもよい。PMOSトランジスタの場合、ゲート電極に使用される金属は、ルテニウム、パラジウム、白金、コバルト、ニッケル、伝導性金属酸化物 (たとえば、酸化ルテニウム)、およびNMOSトランジスタを参照して後述する金属のうちの任意のもの (たとえば、仕事関数の調整のため) を含むが、これらに限定されない。NMOSトランジスタの場合、ゲート電極に使用される金属は、ハフニウム、ジルコニウム、チタン、タンタル、アルミニウム、これらの金属の合金、これらの金属の炭化物 (たとえば、炭化ハフニウム、炭化ジルコニウム、炭化チタン、炭化タンタル、および炭化アルミニウム)、およびPMOSトランジスタを参照して上述した金属のうちの任意のもの (たとえば、仕事関数の調整のため) を含むが、これらに限定されない。

【0072】

いくつかの実施形態では、ソース チャネル ドレイン方向に沿ったトランジスタ1640の断面として見たとき、ゲート電極は、ダイ基板1602の表面に実質的に平行な底部と、ダイ基板1602の上面に実質的に垂直な2つの側壁部とを含むU字形構造から構成されてもよい。他の実施形態では、ゲート電極を形成する金属層のうちの少なくとも1つは、ダイ基板1602の上面に実質的に平行な平面層であってもよく、ダイ基板1602の上面に実質的に垂直な側壁部を含まない。他の実施形態では、ゲート電極は、U字形構造と平面状の非U字形構造との組み合わせから構成されてもよい。たとえば、ゲート電極は、一つまたは複数の平面状の非U字形の層の上に形成された一つまたは複数のU字形の金属層から構成されてもよい。

【0073】

いくつかの実施形態では、ゲートスタックをはさむために、一对の側壁スペーサーがゲートスタックの対向する側に形成されてもよい。側壁スペーサーは、窒化ケイ素、酸化ケイ素、炭化ケイ素、炭素をドーブした窒化ケイ素、および酸窒化ケイ素などの材料から形成されてもよい。側壁スペーサーを形成するためのプロセスは、当技術分野で周知であり、一般に、堆積およびエッチングプロセスステップを含む。いくつかの実施形態では、複数のスペーサー対が使用されてもよく、たとえば、ゲートスタックの対向する側に、2対、3対、または4対の側壁スペーサーが形成されてもよい。

【0074】

S/D領域1620は、各トランジスタ1640のゲート1622に隣接してダイ基板1602内に形

10

20

30

40

50

成されてもよい。S/D領域1620は、たとえば、注入/拡散プロセスまたはエッチング/堆積プロセスを使用して形成されてもよい。前者のプロセスでは、S/D領域1620を形成するために、ホウ素、アルミニウム、アンチモン、リン、またはヒ素などのドーパントが、ダイ基板1602にイオン注入されてもよい。イオン注入プロセスの後に、ドーパントを活性化し、ダイ基板1602内にさらに拡散させるアニーリングプロセスが行なわれてもよい。後者のプロセスでは、まず、ダイ基板1602をエッチングして、S/D領域1620の位置に凹部を形成してもよい。次いで、エピタキシャル堆積プロセスが実行されて、該凹部を、S/D領域1620を作製するために使用される材料で充填してもよい。いくつかの実施形態では、S/D領域1620は、シリコンゲルマニウムまたはシリコンカーバイド〔炭化ケイ素〕のようなシリコン合金を用いて製造されてもよい。いくつかの実施形態では、エピタキシャル堆積されたシリコン合金は、ホウ素、ヒ素またはリンのようなドーパントをその場で (in situ) ドープされてもよい。いくつかの実施形態では、S/D領域1620は、ゲルマニウムまたはIII-V族材料または合金などの一つまたは複数の代替的な半導体材料を使用して形成されてもよい。さらなる実施形態では、S/D領域1620を形成するために、金属および/または金属合金の一つまたは複数の層が使用されてもよい。

【0075】

電力および/または入出力(I/O)信号などの電気信号が、デバイス層1604上に配置された一つまたは複数の相互接続層(相互接続層1606~1610として図9に示される)を通じて、デバイス層1604のデバイス(たとえば、トランジスタ1640)へおよび/または該デバイスからルーティングされてもよい。たとえば、デバイス層1604の伝導性特徴(たとえば、ゲート1622およびS/D接点1624)は、相互接続層1606~1610の相互接続構造1628と電氣的に結合されてもよい。一つまたは複数の相互接続層1606~1610は、ICデバイス1600のメタライゼーション・スタック(「ILDスタック」とも呼ばれる)1619を形成してもよい。

【0076】

相互接続構造1628は、幅広い多様な設計に従って電気信号をルーティングするために、相互接続層1606~1610内に配置されてもよく、特に、この配置は、図9に描かれる相互接続構造1628の特定の構成に限定されない。図9には、特定の数の相互接続層1606~1610が示されているが、本開示の実施形態は、示されているよりも多くの、または少ない相互接続層を有するICデバイスを含む。

【0077】

いくつかの実施形態では、相互接続構造1628は、ライン1628aおよび/または金属などの電気伝導性材料で充填されたビア1628bを含んでいてもよい。ライン1628aは、デバイス層1604が形成されるダイ基板1602の表面と実質的に平行な平面の方向に電気信号をルーティングするように構成されてもよい。たとえば、ライン1628aは、図9の透視図から紙面内および紙面から飛び出る方向に電気信号をルーティングすることができる。ビア1628bは、その上にデバイス層1604が形成されるダイ基板1602の表面に対して実質的に垂直な平面の方向に電気信号をルーティングするように構成されてもよい。いくつかの実施形態では、ビア1628bは、異なる相互接続層1606~1610のライン1628aと一緒に電氣的に結合してもよい。

【0078】

相互接続層1606~1610は、図9に示されるように、相互接続構造1628の間に配置された誘電体材料1626を含んでいてもよい。いくつかの実施形態では、相互接続層1606~1610のうちの異なるものにおける相互接続構造1628の間で配置される誘電体材料1626は異なる組成を有してもよく、他の実施形態では、異なる相互接続層1606~1610の間で誘電体材料1626の組成は同じであってもよい。

【0079】

第1の相互接続層1606(金属1または「M1」と称される)は、デバイス層1604上に直接形成されてもよい。いくつかの実施形態では、第1の相互接続層1606は、図のように、ライン1628aおよび/またはビア1628bを含んでいてもよい。第1の相互接続層1606の

10

20

30

40

50

ライン1628aは、デバイス層1604の接点（たとえば、S/D接点1624）と結合されてもよい。

【0080】

第2の相互接続層1608（金属2または「M2」と称される）は、第1の相互接続層1606上に直接形成されてもよい。いくつかの実施形態では、第2の相互接続層1608は、第2の相互接続層1608のライン1628aを第1の相互接続層1606のライン1628aと結合するために、ビア1628bを含んでいてもよい。ライン1628aおよびビア1628bは、明確のため、各相互接続層内（たとえば、第2の相互接続層1608内）において線で構造的に輪郭が示されているが、ライン1628aおよびビア1628bは、いくつかの実施形態では、構造的および/または物質的に連続していてもよい（たとえば、二重ダマシンプロセスの間に同時に充填されてもよい）。

10

【0081】

第3の相互接続層1610（金属3または「M3」と称される）（および、所望に応じて、追加的な相互接続層）は、第2の相互接続層1608または第1の相互接続層1606に関連して記載したのと類似の技術および構成に従って、第2の相互接続層1608の上に連続的に形成されてもよい。いくつかの実施形態では、ICデバイス1600内のメタライゼーション・スタック1619において「より高いところにある」（すなわち、デバイス層1604からさらに離れた）相互接続層が、より厚くてもよい。

【0082】

ICデバイス1600は、はんだレジスト材料1634（たとえば、ポリイミドまたは類似の材料）と、相互接続層1606～1610上に形成される一つまたは複数の伝導性接点1636とを含んでいてもよい。図9では、伝導性接点1636は、ボンドパッドの形をとるものとして示されている。伝導性接点1636は、相互接続構造1628と電気的に結合されてもよく、トランジスタ1640の電気信号を他の外部デバイスにルーティングするように構成されてもよい。たとえば、ICデバイス1600を含むチップを別のコンポーネント（たとえば、回路基板）と機械的および/または電気的に結合するために、一つまたは複数の伝導性接点1636上にはんだボンドが形成されてもよい。ICデバイス1600は、相互接続層1606～1610からの電気信号をルーティングするための追加的または代替的な構造を含んでいてもよく、たとえば、伝導性接点1636は、電気信号を外部のコンポーネントにルーティングする他の類似の特徴（たとえば、ポスト）を含んでいてもよい。

20

30

【0083】

ICデバイス1600が両面ダイであるいくつかの実施形態では、ICデバイス1600は、デバイス層（単数または複数）1604の反対側に別のメタライゼーション・スタック（図示せず）を含んでいてもよい。このメタライゼーション・スタックは、デバイス層1604と、ICデバイス1600の、伝導性接点1636とは反対側の追加的な伝導性接点（図示せず）との間に伝導経路（たとえば、伝導線およびビアを含む）を提供するために、相互接続層1606～1610を参照して上述したような複数の相互接続層を含んでいてもよい。

【0084】

ICデバイス1600が両面ダイである他の実施形態では、ICデバイス1600は、ダイ基板1602を貫通する一つまたは複数のTSVを含んでいてもよく、これらのTSVは、デバイス層（単数または複数）1604と接触してもよく、デバイス層1604と、ICデバイス1600の、伝導性接点1636とは反対側の追加的な伝導性接点（図示せず）との間に伝導性経路を提供してもよい。

40

【0085】

図10は、本明細書に開示される任意のマイクロ電子アセンブリ300、400を含みうる、ICデバイス・アセンブリ1700の断面側面図である。いくつかの実施形態では、ICデバイス・アセンブリ1700は、マイクロ電子アセンブリ300、400であってもよい。ICデバイス・アセンブリ1700は、回路基板1702（たとえば、マザーボードであってもよい）上に配置されたいくつかのコンポーネントを含む。ICデバイス・アセンブリ1700は、回路基板1702の第1の面1740および回路基板1702の対向する第2の面1742上に配置されたコ

50

ンポーネントを含んでいてもよく、概して、コンポーネントは、一方または両方の面1740および1742上に配置されうる。ICデバイス・アセンブリ1700を参照して後述するICパッケージのいずれも、本明細書に開示されるマイクロ電子アセンブリ300、400の実施形態のうちの任意の好適なもの形をとることができる。

【0086】

いくつかの実施形態では、回路基板1702は、誘電体材料の層によって互いに分離され、電気伝導性ビアによって相互接続された複数の金属層を含むPCBであってもよい。それらの金属層のうち任意の一つまたは複数が、回路基板1702に結合されたコンポーネント間で電気信号を（任意的には他の金属層との関連で）ルーティングするために、所望の回路パターンで形成されてもよい。他の実施形態では、回路基板1702は非PCB基板であつてもよい。いくつかの実施形態では、回路基板1702は、たとえば、回路基板であつてもよい。

10

【0087】

図10に示されたICデバイス・アセンブリ1700は、コンポーネント1716を結合することによって回路基板1702の第1の面1740に結合されたパッケージ・オン・インターポーザ構造1736を含む。結合コンポーネント1716は、パッケージ・オン・インターポーザ構造1736を回路基板1702に電気的および機械的に結合することができ、はんだボール（図10に示されるように）、ソケットのオス部分およびメス部分、接着剤、アンダーフィル材料、および/または任意の他の好適な電気的および/または機械的結合構造を含みうる。

【0088】

パッケージ・オン・インターポーザ構造1736は、コンポーネント1718を結合することによってインターポーザ1704に結合されるICパッケージ1720を含んでいてもよい。結合コンポーネント1718は、結合コンポーネント1716を参照して上述した形など、用途のための任意の好適な形をとることができる。図10には単一のICパッケージ1720が示されているが、複数のICパッケージが、インターポーザ1704に結合されてもよく、実際に、追加的なインターポーザが、インターポーザ1704に結合されてもよい。インターポーザ1704は、回路基板1702およびICパッケージ1720をブリッジするために使用される介在基板を提供してもよい。ICパッケージ1720は、たとえば、ダイ（図8のダイ1502）、ICデバイス（たとえば、図9のICデバイス1600）、または任意の他の好適なコンポーネントであってもよく、またはそれらを含んでいてもよい。一般に、インターポーザ1704は、接続をより広いピッチに広げてよく、または、接続を異なる接続にルーティングし直してもよい。たとえば、インターポーザ1704は、ICパッケージ1720（たとえば、ダイ）を、回路基板1702に結合するために、結合コンポーネント1716の一組のボール・グリッド・アレイ（BGA）伝導性接点に結合してもよい。図10に示される実施形態では、ICパッケージ1720および回路基板1702は、インターポーザ1704の反対側に取り付けられる；他の実施形態では、ICパッケージ1720および回路基板1702は、インターポーザ1704の同じ側に取り付けられてもよい。いくつかの実施形態では、3つ以上のコンポーネントが、インターポーザ1704によって相互接続されてもよい。

20

30

【0089】

いくつかの実施形態では、インターポーザ1704は、誘電体材料の層によって互いに分離され、電気伝導性ビアによって相互接続された複数の金属層を含むPCBとして形成されてもよい。いくつかの実施形態では、インターポーザ1704は、エポキシ樹脂、ガラス繊維強化エポキシ樹脂、無機充填材を含むエポキシ樹脂、セラミック材料、またはポリイミド等のポリマー材料から形成されうる。いくつかの実施形態では、インターポーザ1704は、シリコン、ゲルマニウム、および他のIII~V族およびIV族材料のような、半導体基板での使用のために上述したのと同じ材料を含みうる代替的な剛性または可撓性材料で形成されうる。インターポーザ1704は、金属相互接続1708と、TSV 1706を含むが、これに限定されないビア1710とを含んでいてもよい。インターポーザ1704は、受動および能動デバイスの両方を含む、埋め込みデバイス1714をさらに含んでいてもよい。そのようなデバイスは、キャパシタ、デカップリングキャパシタ、抵抗器、インダクタ、ヒューズ

40

50

、ダイオード、トランス、センサー、静電気放電（ESD）デバイス、およびメモリデバイスを含みうるが、これらに限定されない。無線周波数装置、電力増幅器、電力管理装置、アンテナ、アレイ、センサー、および微小電気機械システム（MEMS）装置などの、より複雑な装置も、インターポーザ1704上に形成されうる。パッケージ・オン・インターポーザ構造1736は、当技術分野で知られているパッケージ・オン・インターポーザ構造のうち任意のものの形をとりうる。

【0090】

ICデバイス・アセンブリ1700は、結合コンポーネント1722によって回路基板1702の第1の面1740に結合されたICパッケージ1724を含んでいてもよい。結合コンポーネント1722は、結合コンポーネント1716を参照して上述した実施形態のうち任意のものの形をとることができ、ICパッケージ1724は、ICパッケージ1720を参照して上述した実施形態のうち任意のものの形態をとることができる。

10

【0091】

図10に示されるICデバイス・アセンブリ1700は、結合コンポーネント1728によって回路基板1702の第2の面1742に結合されたパッケージ・オン・パッケージ構造1734を含む。パッケージ・オン・パッケージ構造1734は、結合コンポーネント1730によって一緒に結合されるICパッケージ1726およびICパッケージ1732を含んでいてもよい。ここで、ICパッケージ1726が回路基板1702とICパッケージ1732との間に配置される。結合コンポーネント1728および1730は、上述の結合コンポーネント1716の実施形態のうち任意のものの形をとることができ、ICパッケージ1726および1732は、上述のICパッケージ1720の実施形態のうち任意のものの形をとることができる。パッケージ・オン・パッケージ構造1734は、当技術分野で知られているパッケージ・オン・パッケージ構造の任意のものに従って構成されてもよい。

20

【0092】

図11は、本明細書に開示されるマイクロ電子アセンブリ300、400の一つまたは複数を含んでいてもよい、例示的電気デバイス1800のブロック図である。たとえば、電気装置1800のコンポーネントのうちの任意の好適なものが、本明細書に開示されるICデバイス・アセンブリ1700、ICデバイス1600、またはダイ1502のうちの一つまたは複数を含んでいてもよく、本明細書に開示されるマイクロ電子アセンブリ300、400のいずれかに配置されてもよい。図11には、電気装置1800に含まれるいくつかのコンポーネントが示されているが、これらのコンポーネントのうちの任意の一つまたは複数が、用途のために適宜、省略または複製されてもよい。いくつかの実施形態では、電気装置1800に含まれるコンポーネントの一部または全部が、一つまたは複数のマザーボードに取り付けられてもよい。いくつかの実施形態では、これらのコンポーネントの一部または全部が、単一のシステム・オン・チップ（SoC）ダイ上に製造される。

30

【0093】

さらに、さまざまな実施形態において、電気装置1800は、図11に示されるコンポーネントのうちの一つまたは複数を含まなくてもよいが、電気装置1800は、該一つまたは複数のコンポーネントに結合するためのインターフェース回路を含んでいてもよい。たとえば、電気装置1800は、表示装置1806を含まなくてもよいが、表示装置1806が結合される表示装置インターフェース回路（たとえば、コネクタおよびドライバ回路）を含んでいてもよい。別の一組の例では、電気装置1800は、オーディオ入力装置1824またはオーディオ出力装置1808を含まなくてもよいが、オーディオ入力装置1824またはオーディオ出力装置1808が結合されるオーディオ入力または出力装置インターフェース回路（たとえば、コネクタおよび支援回路）を含んでいてもよい。

40

【0094】

電気装置1800は、処理装置1802（たとえば、一つまたは複数の処理装置）を含んでいてもよい。本明細書で使用される場合、用語「処理装置」または「プロセッサ」は、レジスタおよび/またはメモリからの電子データを処理して、その電子データをレジスタおよび/またはメモリに記憶されうる他の電子データに変換する任意の装置または装置の一部

50

を指してもよい。処理装置1802は、一つまたは複数のデジタル信号プロセッサ(DSP)、特定用途向けIC(ASIC)、中央処理装置(CPU)、グラフィックス処理装置(GPU)、暗号プロセッサ(ハードウェア内で暗号アルゴリズムを実行する特化したプロセッサ)、サーバプロセッサ、または他の任意の好適な処理装置を含みうる。電気装置1800は、メモリ1804を含んでいてもよく、該メモリ自体は、揮発性メモリ(たとえば、ダイナミック・ランダム・アクセス・メモリ(DRAM))、不揮発性メモリ(たとえば、リード・オンリー・メモリ(ROM))、フラッシュ・メモリ、ソリッド・ステート・メモリ、および/またはハード・ドライブなどの一つまたは複数のメモリ装置を含みうる。いくつかの実施形態では、メモリ1804は、ダイを処理装置1802と共有するメモリを含んでいてもよい。このメモリは、キャッシュメモリとして使用されてもよく、埋め込みダイナミックランダムアクセスメモリ(eDRAM)またはスピン転送トルク磁気ランダムアクセスメモリ(STT-MRAM)を含みうる。

10

【0095】

いくつかの実施形態では、電気装置1800は、通信チップ1812(たとえば、一つまたは複数の通信チップ)を含んでいてもよい。たとえば、通信チップ1812は、電気装置1800との間でデータを転送するための無線通信を管理するように構成されてもよい。用語「無線」およびその派生形は、非固体媒体を通じる、変調された電磁放射の使用を通じてデータを通信することができる回路、装置、システム、方法、技術、通信チャネルなどを記述するために使用されうる。関連する装置がワイヤを含まないことを含意するものではないが、いくつかの実施形態では、関連するデバイスがワイヤを含まなくてもよい。

20

【0096】

通信チップ1812は、Wi-Fi(IEEE802.11ファミリー)、IEEE802.16規格(たとえば、IEEE802.16-2005補正)を含む米国電気電子技術者協会(IEEE)規格、ロングタームエボリューション(LTE)プロジェクトとその任意の補正、更新および/または修正(たとえば、アドバンスドLTEプロジェクト、超モバイルブロードバンド(UMB)プロジェクト(「3GPP2」とも呼ばれる)など)を含むが、これらに限定されない、多くの無線規格またはプロトコルのうちの任意のものを実装しうる。IEEE802.16互換ブロードバンド無線アクセス(BWA)ネットワークは、一般にWiMAXネットワークと呼ばれ(Worldwide Interoperability for Microwave Access[マイクロ波アクセスのための世界的相互運用性]の略)、これは、IEEE802.16規格のための適合性と相互運用性テストに合格した製品の認証マークである。通信チップ1812は、グローバル移動通信システム(Global System for Mobile Communication、GSM)、一般パケット無線サービス(General Packet Radio Service、GPRS)、万国移動通信システム(Universal Mobile Telecommunications System、UMTS)、高速パケットアクセス(High Speed Packet Access、HSPA)、進化型HSPA(Evolved HSPA、E-HSPA)またはLTEネットワークに従って動作することができる。通信チップ1812は、エンハンスドデータフォーGSMエボリューション(Enhanced Data for GSM Evolution、EDGE)、GSM EDGE無線アクセスネットワーク(GSM EDGE Radio Access Network、GERAN)、万国地上無線アクセスネットワーク(Universal Terrestrial Radio Access Network、UTRAN)または進化型UTRAN(Evolved UTRAN、E-UTRAN)に従って動作してもよい。

通信チップ1812は、符号分割多重アクセス(Code Division Multiple Access、CDMA)、時分割多重アクセス(Time Division Multiple Access、TDMA)、デジタル向上コードレス通信(Digital Enhanced Cordless Telecommunications、DECT)、エボリューションデータオプティマイズド(Evolution-Data Optimized、EV-DO)およびそれらの派生物ならびに3G、4G、5Gおよびそれ以降として指定される他の任意の無線プロトコルに従って動作してもよい。通信チップ1812は、他の実施形態における他の無線プロトコルに従って動作してもよい。電気装置1800は、無線通信を容易にする、および/または他の無線通信(AMまたはFM無線送信など)を受信するために、アンテナ1822を含んでいてもよい。

30

40

【0097】

50

いくつかの実施形態では、通信チップ1812は、電気、光、または任意の他の好適な通信プロトコル（たとえば、イーサネット〔登録商標〕）などの有線通信を管理してもよい。上述のように、通信チップ1812は、複数の通信チップを含んでもよい。たとえば、第1の通信チップ1812は、Wi-FiまたはBluetoothなどの、より短距離の無線通信に専用であってもよく、第2の通信チップ1812は、グローバル・ポジショニング・システム（GPS）、EDGE、GPRS、CDMA、WiMAX、LTE、EV-DOなどの、より長距離の無線通信に専用であってもよい。いくつかの実施形態では、第1の通信チップ1812は、無線通信専用であってもよく、第2の通信チップ1812は、有線通信専用であってもよい。

【0098】

電気装置1800は、バッテリー／電力回路1814を含んでもよい。バッテリー／電力回路1814は、一つまたは複数のエネルギー蓄積装置（たとえば、バッテリーまたはキャパシタ）および／または電気装置1800のコンポーネントを電気装置1800とは別のエネルギー源（たとえば、AC線電源）に結合するための回路を含んでもよい。

10

【0099】

電気装置1800は、表示装置1806（または、上述のように、対応するインターフェース回路）を含んでもよい。表示装置1806は、ヘッドアップディスプレイ、コンピュータモニタ、プロジェクタ、タッチスクリーンディスプレイ、液晶ディスプレイ（LCD）、発光ダイオードディスプレイ、またはフラットパネルディスプレイなどの任意の視覚的インジケータを含みうる。

【0100】

電気装置1800は、オーディオ出力装置1808（または、上述のように、対応するインターフェース回路）を含んでもよい。オーディオ出力装置1808は、スピーカー、ヘッドセット、またはイヤホンなどの、可聴インジケータを生成する任意の装置を含みうる。

20

【0101】

電気装置1800は、オーディオ入力装置1824（または、上述のように、対応するインターフェース回路）を含んでもよい。音声入力装置1824は、マイクロフォン、マイクロフォンアレイ、またはデジタルインストゥルメント（たとえば、楽器デジタルインターフェース（MIDI）出力を有する機器）など、音を表わす信号を生成する任意の装置を含んでもよい。

【0102】

電気装置1800は、GPS装置1818（または、上述のように、対応するインターフェース回路）を含んでもよい。GPS装置1818は、衛星ベースのシステムと通信してもよく、当技術分野で知られているように、電気装置1800の位置を受領してもよい。

30

【0103】

電気装置1800は、他の出力装置1810（または、上述のように、対応するインターフェース回路）を含んでもよい。他の出力装置1810の例は、オーディオコーデック、ビデオコーデック、プリンタ、他の装置に情報を提供するための有線または無線送信機、または追加の記憶装置を含みうる。

【0104】

電気装置1800は、他の入力装置1820（または、上述のように、対応するインターフェース回路）を含んでもよい。他の入力装置1820の例は、加速度計、ジャイロスコープ、コンパス、画像捕捉装置、キーボード、カーソル制御装置、たとえばマウス、スタイラス、タッチパッド、バーコードリーダー、クイックレスポンス（QR）コードリーダー、任意のセンサー、または無線周波数識別（RFID）リーダーを含んでもよい。

40

【0105】

電気装置1800は、任意の所望の形状因子を有しうる。たとえば、コンピューティング装置、またはハンドヘルド、ポータブルまたはモバイル・コンピューティング装置（たとえば、携帯電話、スマートフォン、モバイルインターネット装置、音楽プレーヤー、タブレットコンピュータ、ラップトップコンピュータ、ネットブックコンピュータ、ウルトラブックコンピュータ、パーソナルデジタルアシスタント（PDA）、ウルトラモバイルパー

50

ソナルコンピュータなど)、デスクトップ電気装置、サーバー、または他のネットワーク接続されたコンピューティングコンポーネント、プリンタ、スキャナ、モニタ、セットトップボックス、娯楽制御ユニット、車両制御ユニット、デジタルカメラ、デジタルビデオレコーダ、またはウェアラブル・コンピューティング装置などである。いくつかの実施形態では、電気装置1800は、データを処理する任意の他の電子装置であってもよい。

【0106】

以下のパラグラフは、本明細書に開示された実施形態のさまざまな例を提供する。

【0107】

実施例1は、第1の面および対向する第2の面を有する基板であって、前記基板は、貫通基板ビア(TSV)を含む、基板と；前記第1の面における第1のモールド材料領域であって、前記第1のモールド材料領域は、前記TSVに伝導的に結合された第1のモールド貫通ビア(TMV)を含む、第1のモールド材料領域と；前記第2の面における第2のモールド材料領域であって、前記第2のモールド材料領域は、前記TSVに伝導的に結合された第2のTMVを含む、第2のモールド材料領域とを含む、マイクロ電子コンポーネントである。

10

【0108】

実施例2は、実施例1の主題を含んでいてもよく、さらに、前記第1のTMVは、第1のピッチを有する複数の第1のTMVであり、前記第2のTMVは、前記第1のピッチとは異なる第2のピッチを有する複数のTMVであることを指定してもよい。

【0109】

実施例3は、実施例1～2のいずれか一項に記載の主題を含んでいてもよく、さらに、前記第1のピッチが90ミクロンから300ミクロンの間であり、前記第2のピッチが20ミクロンから100ミクロンの間であることを指定してもよい。

20

【0110】

実施例4は、実施例1～3のいずれか一項に記載の主題を含んでいてもよく、さらに、前記第1のモールド材料領域の厚さは、15ミクロンから40ミクロンの間であることを指定してもよい。

【0111】

実施例5は、実施例1～4のいずれか一項に記載の主題を含んでいてもよく、さらに、前記第2のモールド材料領域の厚さは、15ミクロンから40ミクロンの間であることを指定してもよい。

30

【0112】

実施例6は、実施例1～5のいずれか一項に記載の主題を含んでいてもよく、さらに、当該マイクロ電子コンポーネントの全体的な厚さが、60ミクロンから135ミクロンの間であることを指定してもよい。

【0113】

実施例7は、実施例1～6のいずれか一項に記載の主題を含んでいてもよく、さらに、前記第1のモールド材料領域のモールド材料は、有機ポリマー、有機誘電体材料、難燃性グレード4材料、ビスマレイミドトリアジン樹脂、ポリイミド材料、ガラス強化エポキシマトリックス材料、低k誘電体、および超低k誘電体のうちの一つまたは複数を含むことを指定してもよい。

40

【0114】

実施例8は、第1の表面および対向する第2の表面を有する第1の基板であって、前記第1の基板は、第1の基板貫通基板ビア(TSV)を含む、第1の基板；前記第1の基板に埋め込まれたマイクロ電子コンポーネントであって、前記マイクロ電子コンポーネントは：第1の面および対向する第2の面を有する第2の基板であって、前記第2の基板は第2のTSVを含む、第2の基板と；前記第1の面における第1のモールド材料領域であって、前記第1のモールド材料領域は、前記第2のTSVに伝導的に結合された第1のモールド貫通ビア(TMV)を含む、第1のモールド材料領域と；前記第2の面における第2のモールド材料領域であって、前記第2のモールド材料領域は、前記第2のTSVに伝導的に結合された第2のTMVを含む、第2のモールド材料領域とを有しており、前記第1のモールド材料領域は

50

、前記第1の基板の前記第1の表面にあり、前記第2のモールド材料領域は、前記第1の基板の前記第2の表面にある、マイクロ電子コンポーネント；ならびに 前記第1の基板の前記第2の表面において前記第1のTSVおよび前記第2のTMVに電氣的に結合されたダイを有する、マイクロ電子アセンブリである。

【0115】

実施例9は、実施例8に記載の主題を含んでいてもよく、さらに、前記ダイが第1のダイであり、前記第1のTSVが複数の第1のTSVであり、前記第2のTMVが複数の第2のTMVであることを指定してもよく、さらに： 前記第1の基板の前記第2の表面において前記複数の第1のTSVのうちの一つまたは複数および前記複数の第2のTMVのうちの一つまたは複数に電氣的に結合された第2のダイを含んでいてもよい。

10

【0116】

実施例10は、実施例8～9のいずれか一項に記載の主題を含んでいてもよく、さらに、前記ダイのまわりに、前記第1の基板と接触して絶縁材料をさらに含んでいてもよい。

【0117】

実施例11は、実施例10に記載の主題を含んでいてもよく、さらに、前記絶縁材料は、モールド材料であることを指定してもよい。

【0118】

実施例12は、実施例8～11のいずれか一項に記載の主題を含んでいてもよく、さらに、前記ダイと前記第1の基板との間において前記第1の基板の前記第2の表面におけるアンダーフィル材料をさらに含んでいてもよい。

20

【0119】

実施例13は、実施例8～12のいずれか一項に記載の主題を含んでいてもよく、さらに、前記第1のTSVが複数の第1のTSVであり、前記第1のTMVが複数の第1のTMVであることを指定してもよく、さらに、前記第1の基板の前記第1の表面において、前記複数の第1のTSVのうちの一つまたは複数および前記複数の第1のTMVのうちの一つまたは複数に電氣的に結合されたパッケージ基板を含んでいてもよい。

【0120】

実施例14は、実施例8～13のいずれか一項に記載の主題を含んでいてもよく、さらに、前記ダイは、第1の表面および対向する第2の表面を有し、前記ダイの前記第1の表面は、前記第1のTSVおよび前記第2のTMVに電氣的に結合されることを指定してもよく、さらに、前記ダイの前記第2の表面上の熱インターフェース材料を含んでいてもよい。

30

【0121】

実施例15は、実施例14に記載の主題を含んでいてもよく、さらに、前記熱インターフェース材料上のヒート・スプレッドを含んでいてもよい。

【0122】

実施例16は、第1の表面および対向する第2の表面を有する第1の基板を有するマイクロ電子アセンブリを含むコンピューティング装置である。該マイクロ電子アセンブリは、第1の表面および対向する第2の表面を有する第1の基板であって、前記第1の基板は、第1の基板貫通基板ビア(TSV)を含む、第1の基板； 前記第1の基板に埋め込まれたマイクロ電子コンポーネントであって、前記マイクロ電子コンポーネントは： 第1の面および対向する第2の面を有する第2の基板であって、前記第2の基板は第2のTSVを含む、第2の基板と； 前記第1の面における第1のモールド材料領域であって、前記第1のモールド材料領域は、前記第2のTSVに伝導的に結合された第1のモールド貫通ビア(TMV)を含む、第1のモールド材料領域と； 前記第2の面における第2のモールド材料領域であって、前記第2のモールド材料領域は、前記第2のTSVに伝導的に結合された第2のTMVを含む、第2のモールド材料領域とを含んでおり、前記第1のモールド材料領域は、前記第1の基板の前記第1の表面にあり、前記第2のモールド材料領域は、前記第1の基板の前記第2の表面にある、マイクロ電子コンポーネント；ならびに 前記第1の基板の前記第2の表面において前記第1のTSVおよび前記第2のTMVに電氣的に結合されたダイを有する。当該コンピューティング装置はさらに、前記マイクロ電子アセンブリの前記第1の表面において、前記

40

50

第1のTSVおよび前記第1のTMVに電氣的に結合されたパッケージ基板を含む。

【0123】

実施例17は、実施例16の主題を含んでいてもよく、前記ダイが中央処理装置、無線周波数チップ、電力変換器、またはネットワーク・プロセッサであることをさらに指定してもよい。

【0124】

実施例18は、実施例16～17のいずれか一項に記載の主題を含んでいてもよく、さらに、当該コンピューティング装置がサーバーであることを指定してもよい。

【0125】

実施例19は、実施例16～18のいずれか一項に記載の主題を含んでいてもよく、さらに、当該コンピューティング装置がポータブル・コンピューティング装置であることを指定してもよい。

10

【0126】

実施例20は、実施例16～19のいずれか一項に記載の主題を含んでいてもよく、さらに、当該コンピューティング装置がウェアラブル・コンピューティング装置であることを指定してもよい。

【0127】

実施例21は、複数の貫通基板ビア(TSV)を有する基板の第1の表面上に第1のモールド貫通ビア(TMV)を形成するステップであって、前記第1のTMVは前記基板上の前記複数のTSVのうちの一つまたは複数に伝導的に結合される、ステップと；前記第1のTMVのまわりに第1の絶縁材料を形成するステップと；前記基板の反対側の第2の表面上に第2のTMVを形成するステップであって、前記第2のTMVは、前記基板上の前記複数のTSVのうちの一つまたは複数に伝導的に結合される、ステップと；前記第2のTMVのまわりに第2の絶縁材料を形成するステップとを含む、マイクロ電子コンポーネントの製造方法である。

20

【0128】

実施例22は、実施例21の主題を含んでいてもよく、さらに、前記第1の絶縁材料を平坦化することを含んでいてもよい。

【0129】

実施例23は、実施例21～22のいずれか一項に記載の主題を含んでいてもよく、さらに、第2の絶縁材料を平坦化することを含んでいてもよい。

30

【0130】

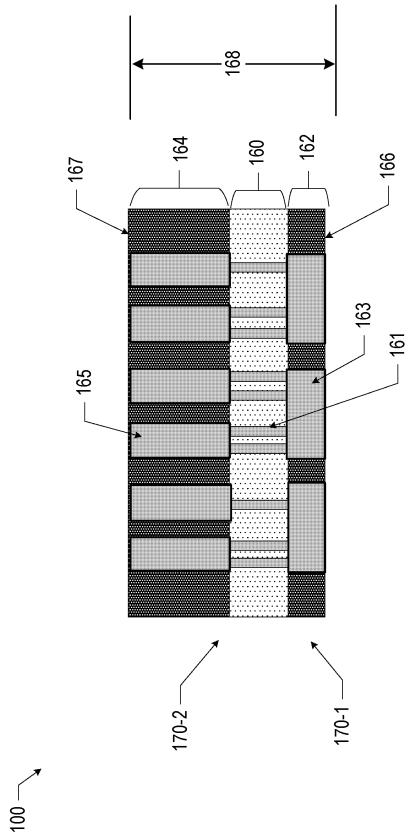
実施例24は、実施例21～23のいずれか一項に記載の主題を含んでいてもよく、さらに、前記第2の絶縁材料が第1の面および対向する第2の面を有し、前記第2の絶縁材料の第2の面が前記基板と接触していることを指定してもよく、さらに、接着層を前記第2の絶縁材料の第1の面に取り付けることを含んでいてもよい。

【0131】

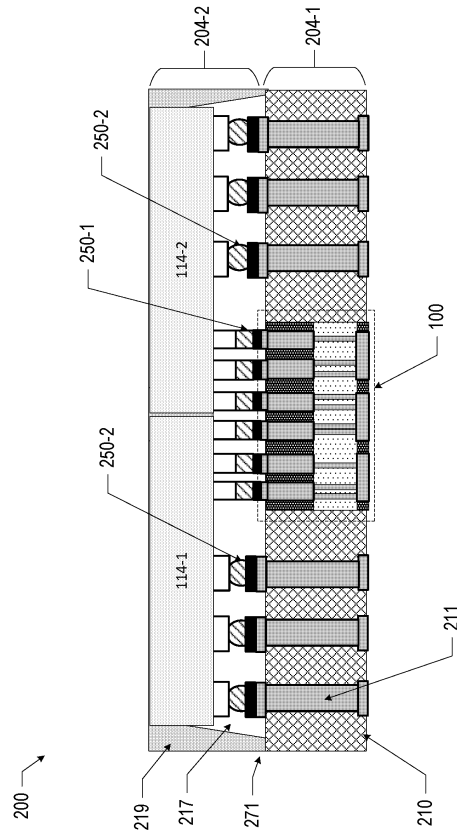
実施例25は、実施例21～24のいずれか一項に記載の主題を含んでいてもよく、さらに、前記第1の絶縁材料または前記第2の絶縁材料がモールド材料であることを指定してもよい。

40

【図面】
【図 1】



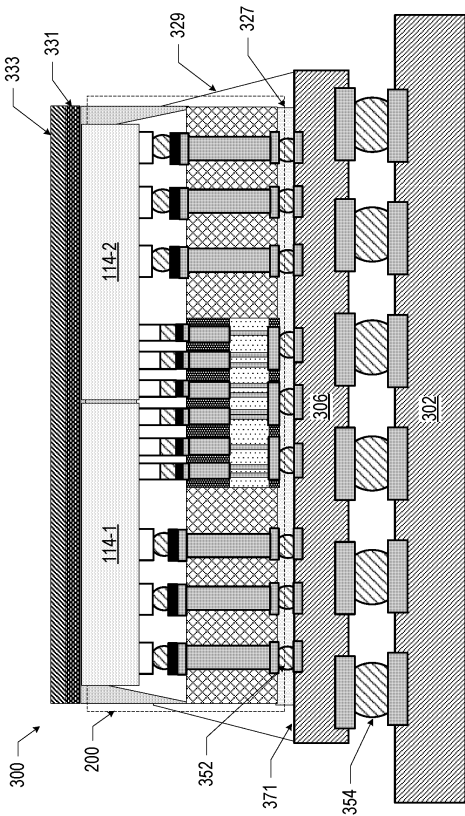
【図 2】



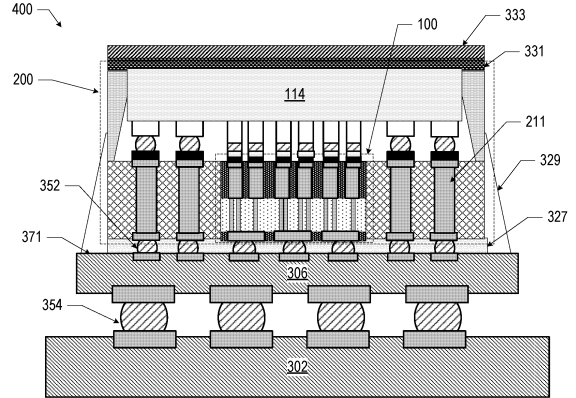
10

20

【図 3】




【図 4】

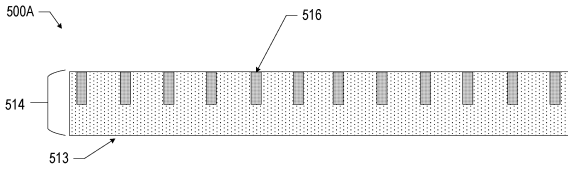



30

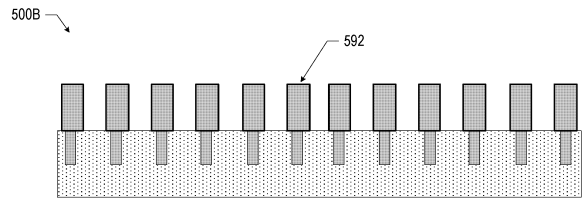
40


50

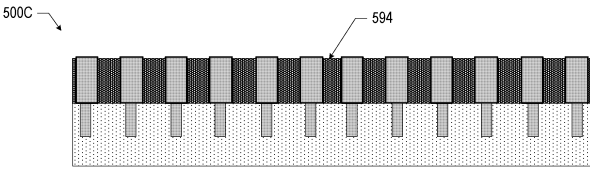
【 5 A】




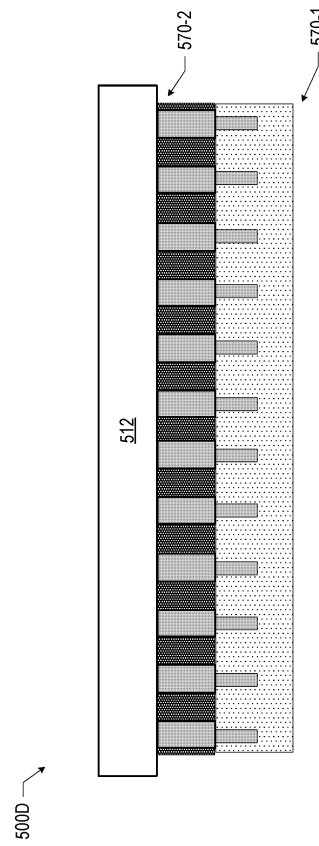
【 5 B】



【 5 C】



【 5 D】



10

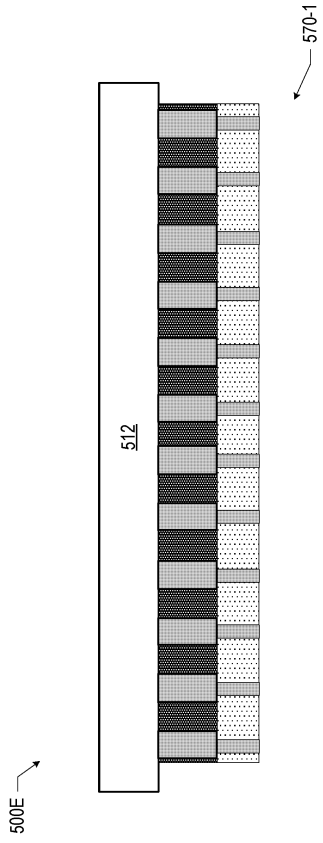
20

30

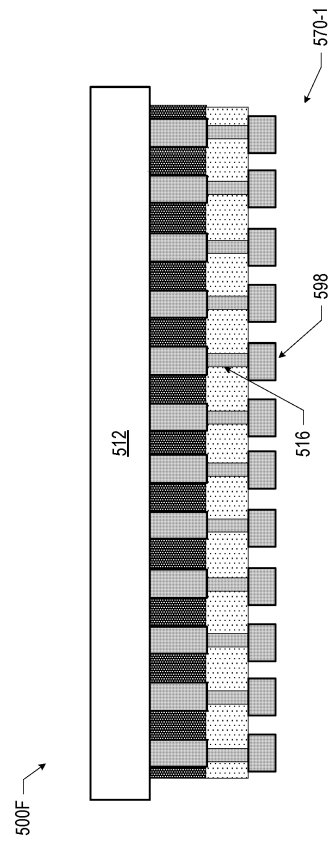
40

50

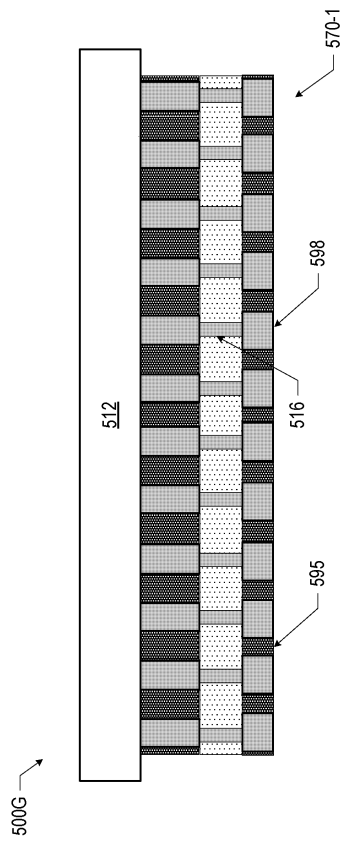
【 5 E 】



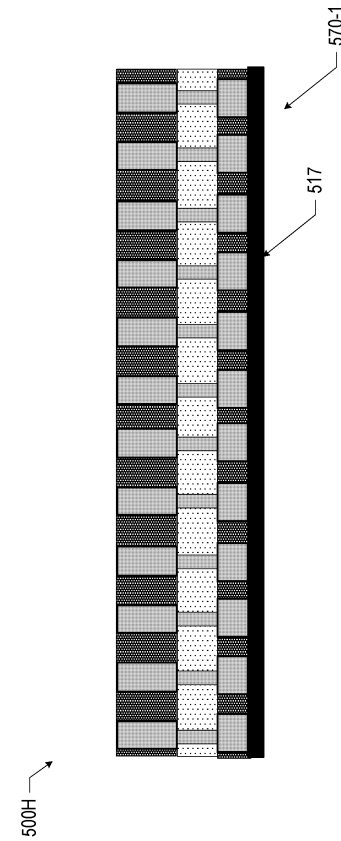
【 5 F 】



【 5 G 】



【 5 H 】



10

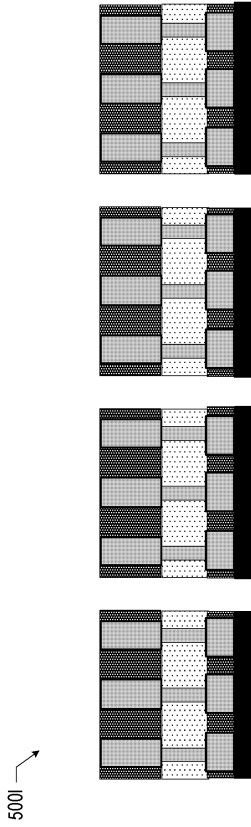
20

30

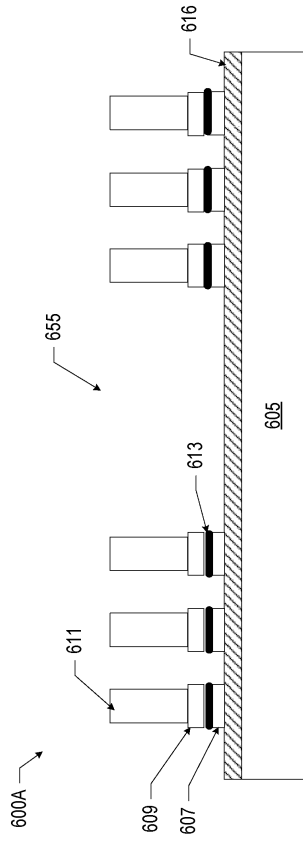
40

50

【図 5 I】



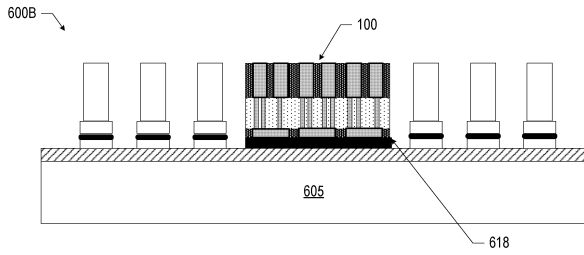
【図 6 A】



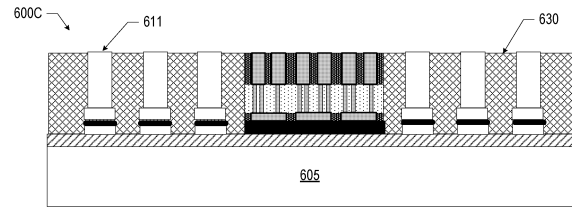
10

20

【図 6 B】



【図 6 C】

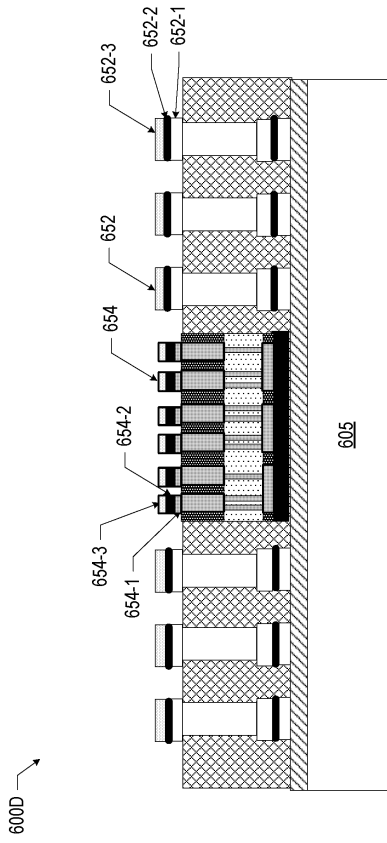


30

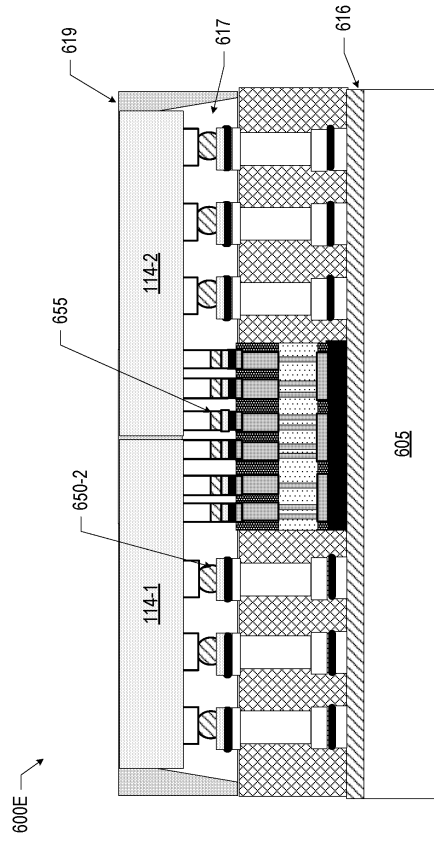
40

50

【 6 D 】



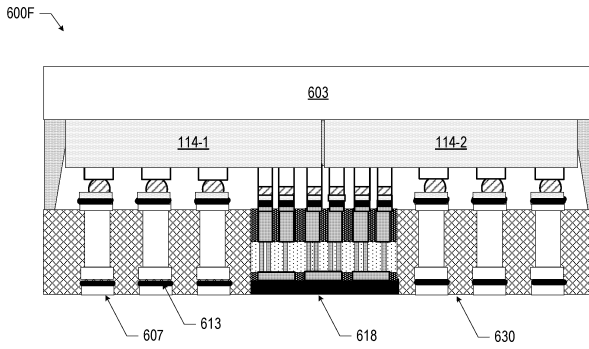
【 6 E 】



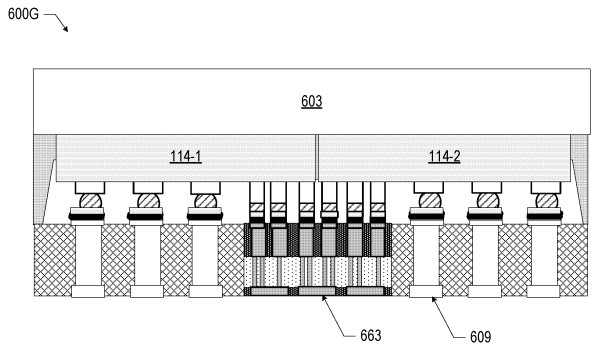
10

20

【 6 F 】



【 6 G 】

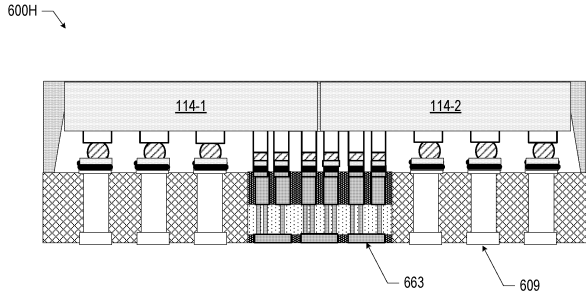


30

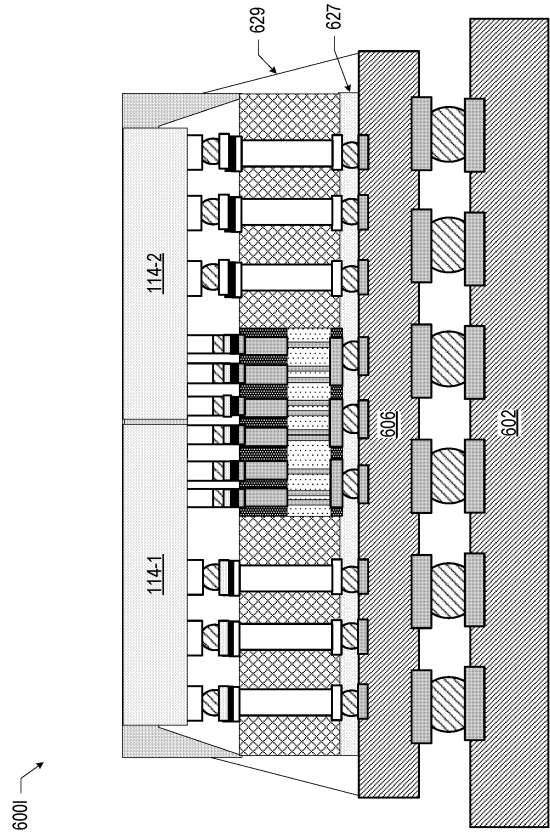
40

50

【 6 H 】



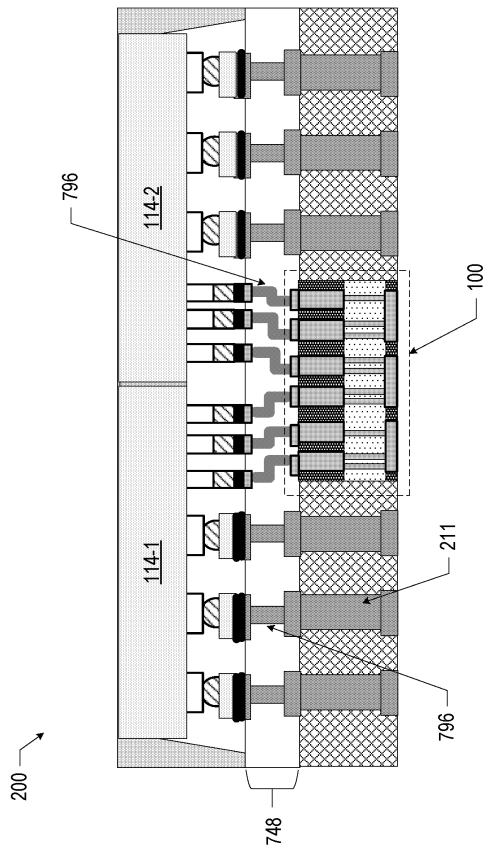
【 6 I 】



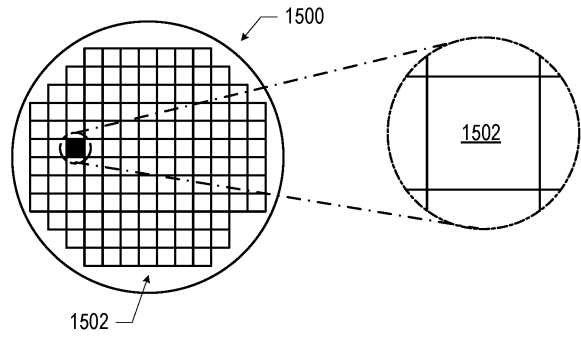
10

20

【 7 】



【 8 】

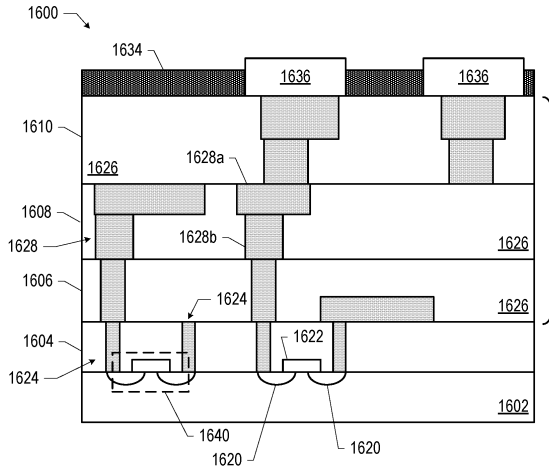


30

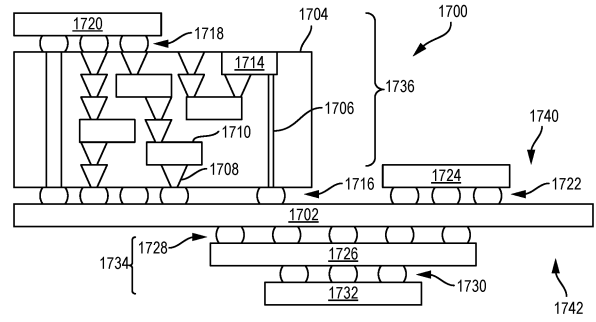
40

50

【図 9】

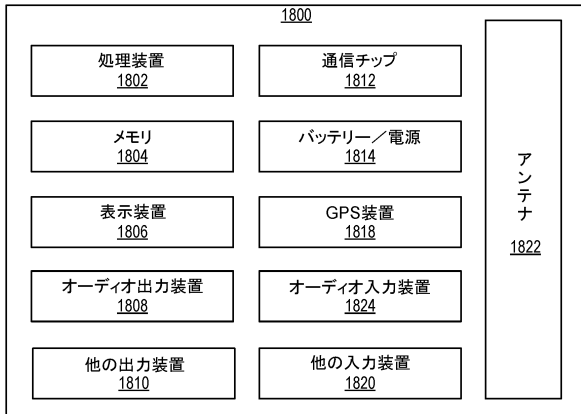


【図 10】



10

【図 11】



20

30

40

50

フロントページの続き

- コーポレーション 内
- (72)発明者 ラム ヴィスワナト
アメリカ合衆国 95054 カリフォルニア州 サンタ クララ ミッション カレッジ プールバー
ド 2200 インテル コーポレーション 内
- (72)発明者 ザビエル フランソワ ブルン
アメリカ合衆国 95054 カリフォルニア州 サンタ クララ ミッション カレッジ プールバー
ド 2200 インテル コーポレーション 内
- (72)発明者 タレク エー . イブラヒム
アメリカ合衆国 95054 カリフォルニア州 サンタ クララ ミッション カレッジ プールバー
ド 2200 インテル コーポレーション 内
- (72)発明者 ジェイソン エム . ガンバ
アメリカ合衆国 95054 カリフォルニア州 サンタ クララ ミッション カレッジ プールバー
ド 2200 インテル コーポレーション 内
- (72)発明者 マニッシュ ダビー
アメリカ合衆国 95054 カリフォルニア州 サンタ クララ ミッション カレッジ プールバー
ド 2200 インテル コーポレーション 内
- (72)発明者 ロバート アラン メイ
アメリカ合衆国 95054 カリフォルニア州 サンタ クララ ミッション カレッジ プールバー
ド 2200 インテル コーポレーション 内
- 審査官 河合 俊英
- (56)参考文献 国際公開第2020/021402(WO, A1)
特開2014-179613(JP, A)
特開2004-079658(JP, A)
特開2008-261311(JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 23/12
H01L 23/14
H01L 25/04