



(12) **Veröffentlichung**

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2023/097099**
in der deutschen Übersetzung (Art. III § 8 Abs. 2
IntPatÜbkG)
(21) Deutsches Aktenzeichen: **11 2022 005 677.0**
(86) PCT-Aktenzeichen: **PCT/US2022/051158**
(86) PCT-Anmeldetag: **29.11.2022**
(87) PCT-Veröffentlichungstag: **01.06.2023**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **19.09.2024**

(51) Int Cl.: **H03F 3/45 (2006.01)**
G05F 1/56 (2006.01)

(30) Unionspriorität:
17/537,358 **29.11.2021** **US**

(71) Anmelder:
Texas Instruments Incorporated, Dallas, TX, US

(74) Vertreter:
Zeller, Andreas, 85356 Freising, DE

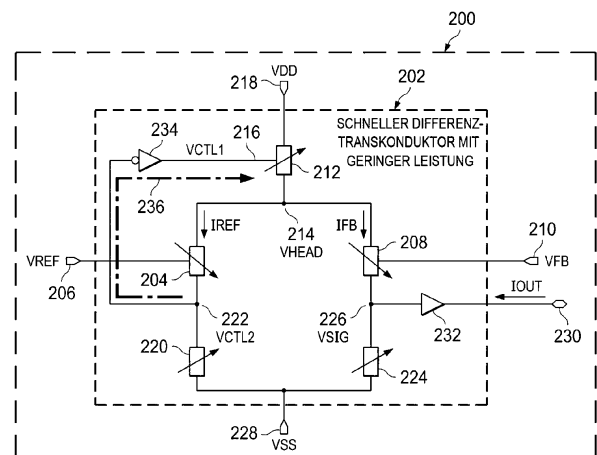
(72) Erfinder:
Anmol, Sharma, Milpitas, CA, US

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **TRANSKONDUKTOREN MIT VERBESSERTER SLEW-LEISTUNG UND NIEDRIGEM RUHESTROM**

(57) Zusammenfassung: Ein Halbleiterbauelement (200) beinhaltet einen schnellen Differenztranskonduktor (202) mit geringer Leistung, der einen Ausgangsstrom als Funktion einer Differenz zwischen einem Referenzpotenzialeingang (206) und einem Rückkopplungspotenzialeingang (210) bereitstellt. Die Transkonduktanz nimmt mit Zunahme des Absolutwerts der Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial zu. Der Transkonduktor (202) beinhaltet eine Referenzeingangsstufe (204) zum Empfangen des Referenzpotenzials und eine Referenzlast (220), die mit der Referenzeingangsstufe (204) in Reihe geschaltet ist. Der Transkonduktor (202) beinhaltet eine Rückkopplungseingangsstufe (208) zum Empfangen des Rückkopplungspotenzials und eine Rückkopplungslast (224), die mit der Rückkopplungseingangsstufe in Reihe geschaltet ist. Der Transkonduktor (202) beinhaltet ferner eine Strombegrenzungskomponente (212), die zum Steuern eines Gesamtstroms durch die Referenzeingangsstufe (204) und die Rückkopplungseingangsstufe (208) ausgelegt ist. Der Transkonduktor (202) beinhaltet einen negativen Rückkopplungspfad (236) von der Referenzlast (220) zur Strombegrenzungskomponente (212), der Änderungen des Gesamtstroms aufgrund von Differenzen zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial kompensiert.



Beschreibung

[0001] Diese Beschreibung betrifft den Bereich der Halbleiterbauelemente. Insbesondere, aber nicht ausschließlich, betrifft diese Beschreibung Transkonduktoren in Halbleiterbauelementen.

HINTERGRUND

[0002] Ein Differenztranskonduktor stellt einen Ausgangsstrom bereit, der eine annähernd lineare Funktion einer Differenz zwischen zwei Spannungseingaben ist. Differenztranskonduktoren werden beispielsweise in Spannungsreglern, Filtern und Verstärkern verwendet. Zwei wichtige Leistungsparameter eines Differenztranskonduktors sind Anstiegsrate und Ruhestrom. Die Slew-Rate ist ein Maß für den Ausgangsstrom, wenn die zwei Spannungseingaben unterschiedlich sind. Der Ruhestrom ist ein Maß für den Strom, der durch den Differenztranskonduktor verbraucht wird, wenn die zwei Spannungseingaben gleich sind.

KURZDARSTELLUNG

[0003] Die Beschreibung beschreibt ein Halbleiterbauelement, das einen schnellen Differenztranskonduktor mit geringer Leistung beinhaltet, der hier als Transkonduktor bezeichnet wird. Der Transkonduktor beinhaltet eine Referenzeingangsstufe, ausgelegt zum Empfangen eines Referenzpotenzials, und eine Referenzlast, die mit der Referenzeingangsstufe in Reihe geschaltet ist. Der Transkonduktor beinhaltet eine Rückkopplungseingangsstufe, ausgelegt zum Empfangen eines Rückkopplungspotenzials, und eine Rückkopplungslast, die mit der Rückkopplungseingangsstufe in Reihe geschaltet ist. Der Transkonduktor beinhaltet ferner eine Strombegrenzungskomponente, ausgelegt zum Steuern eines Gesamtstroms durch die Referenzeingangsstufe und die Rückkopplungseingangsstufe. Der Transkonduktor beinhaltet einen Ausgangsstromanschluss, ausgelegt zum Bereitstellen eines Ausgangsstroms, der eine Funktion einer Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial ist. Der Transkonduktor beinhaltet einen negativen Rückkopplungspfad von der Referenzlast zu der Strombegrenzungskomponente, ausgelegt zum Kompensieren von Änderungen des Gesamtstroms, wenn sich das Referenzpotenzial vom Rückkopplungspotenzial unterscheidet. Die Transkonduktanz, die das Verhältnis einer Änderung des Ausgangsstroms am Ausgangsstromanschluss zu einer Änderung der Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial ist, nimmt mit Zunahme eines Absolutwerts der Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial zu.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

Fig. 1 ist ein Diagramm, das Transkonduktanz und Ausgangsstrom als Funktion der Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial für einen beispielhaften Transkonduktor darstellt.

Fig. 2 ist ein Konzeptschaltbild eines Halbleiterbauelements, das einen beispielhaften Transkonduktor beinhaltet.

Fig. 3 ist ein Schaltbild eines beispielhaften Transkonduktors.

Fig. 4 ist ein Schaltbild eines anderen beispielhaften Transkonduktors.

Fig. 5 ist ein Schaltbild eines anderen beispielhaften Transkonduktors.

Fig. 6 ist ein Schaltbild eines anderen beispielhaften Transkonduktors.

Fig. 7 ist ein Schaltbild eines anderen beispielhaften Transkonduktors.

Fig. 8 ist ein Schaltbild eines anderen beispielhaften Transkonduktors.

Fig. 9 ist ein Schaltbild eines anderen beispielhaften Transkonduktors.

AUSFÜHRLICHE BESCHREIBUNG VON AUSFÜHRUNGSBEISPIELEN

[0004] Die Zeichnungen sind nicht unbedingt maßstabsgetreu. Diese Beschreibung ist nicht durch die veranschaulichte Reihenfolge von Handlungen oder Ereignissen beschränkt, da einige Handlungen oder Ereignisse in anderen Reihenfolgen und/oder gleichzeitig mit anderen Handlungen oder Ereignissen erfolgen können. Des Weiteren sind einige veranschaulichte Handlungen oder Ereignisse optional.

[0005] Obgleich einige hier veranschaulichte Beispiele in zweidimensionalen Ansichten mit verschiedenen Bereichen mit Tiefe und Breite gezeigt werden, können diese Bereiche einen Teil eines Bauelements darstellen, der tatsächlich eine dreidimensionale Struktur ist. Dementsprechend haben diese Bereiche drei Dimensionen, einschließlich Länge, Breite und Tiefe, wenn sie auf einem tatsächlichen Bauelement gefertigt werden.

[0006] Der Transkonduktor beinhaltet eine Referenzeingangsstufe, ausgelegt zum Empfangen eines Referenzpotenzials, und eine Rückkopplungseingangsstufe, ausgelegt zum Empfangen eines Rückkopplungspotenzials. Eine Strombegrenzungskomponente steuert einen Gesamtstrom durch die Referenzeingangsstufe und die Rückkopplungseingangsstufe. Eine Referenzlast ist mit der Referenzeingangsstufe in Reihe geschaltet, und eine Rück-

kopplungslast ist mit der Rückkopplungseingangsstufe in Reihe geschaltet. Ein Ausgangsstromknoten ist zum Bereitstellen des Ausgangsstroms ausgelegt. Die steigende Transkonduktanz wird durch einen negativen Rückkopplungspfad von der Referenzlast zu der Strombegrenzungskomponente erzielt, ausgelegt zum Kompensieren von Änderungen des Gesamtstroms, wenn sich das Referenzpotenzial vom Rückkopplungspotenzial unterscheidet. Die Reihenschaltung der Strombegrenzungskomponente mit der Referenzeingangsstufe und der Rückkopplungseingangsstufe führt dazu, dass der Transkonduktor weniger Leistung aufnimmt, wenn das Rückkopplungspotenzial dem Referenzpotenzial entspricht, wodurch vorteilhafterweise ein Ruhestrom des Halbleiterbauelements im Vergleich zu Halbleiterbauelementen mit Transkonduktoren mit positiven Rückkopplungsschleifen reduziert werden kann. Ein weiterer Vorteil dieses Transkonduktors besteht darin, dass kein Slew-Strom, also der Ausgangsstrom, wenn sich das Rückkopplungspotenzial vom Referenzpotenzial unterscheidet, vorhanden ist, wenn das Rückkopplungspotenzial dem Referenzpotenzial entspricht, wodurch der Ruhestrom weiter reduziert werden kann.

[0007] In einigen Beispielen kann der Transkonduktor eine Senkenausgangsfunktionalität bereitstellen, bei der der Ausgangsstrom durch Steuern eines zwischen den Ausgangsknoten und einen Masseanschluss des Halbleiterbauelements geschalteten Ausgangstreibers gesteuert wird. In einigen Beispielen kann der Transkonduktor eine Quellenausgangsfunktionalität bereitstellen, bei der der Ausgangsstrom durch Steuern eines zwischen den Ausgangsknoten und einen Leistungsanschluss des Halbleiterbauelements geschalteten Ausgangstreibers gesteuert wird. In einigen Beispielen kann der Transkonduktor eine bidirektionale Ausgangsfunktionalität bereitstellen, bei der der Ausgangsstrom durch Steuern eines zwischen den Ausgangsknoten und einen Leistungsanschluss des Halbleiterbauelements geschalteten Ausgangstreibers und durch Steuern eines zwischen den Ausgangsknoten und einen Masseanschluss des Halbleiterbauelements geschalteten Ausgangstreibers gesteuert wird. In einigen Beispielen kann der Transkonduktor eine komplementäre Polarität des Ausgangsstroms bereitstellen, bei der der Ausgangsstrom abnimmt, wenn die Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial zunimmt, und umgekehrt. Die Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial wird für die Zwecke dieser Beschreibung als Referenzpotenzial minus Rückkopplungspotenzial definiert. In einigen Beispielen kann der Transkonduktor eine nicht-komplementäre Polarität des Ausgangsstroms bereitstellen, bei der der Ausgangsstrom zunimmt, wenn die Differenz zwischen dem Referenzpotenzial und

dem Rückkopplungspotenzial zunimmt, und umgekehrt.

[0008] Für die Zwecke dieser Beschreibung kann eine Komponente, die als mit einer anderen Komponente „verbunden“ oder „gekoppelt“ bezeichnet wird, direkt mit dem anderen Element verbunden oder gekoppelt sein, oder es können dazwischenliegende Komponenten vorhanden sein. In beiden Fällen sind Komponenten, die miteinander gekoppelt oder verbunden sind, fähig zur elektrischen Leitung von Gleichstrom (DC) zwischen den gekoppelten oder verbundenen Komponenten. Wird eine Komponente als „direkt gekoppelt“ oder „direkt verbunden“ mit einer anderen Komponente bezeichnet, so sind keine anderen absichtlich angeordneten dazwischenliegenden Komponenten vorhanden, mit der möglichen Ausnahme von elektrischen Leitern wie Metallzwischenverbindungen des Halbleiterbauelements. Komponenten, die nicht zur elektrischen Leitung von Gleichstrom zwischen ihnen fähig sind, aber durch gegenseitige induktive oder kapazitive Effekte beeinflusst werden können, gelten nicht als gekoppelt oder verbunden, sofern sie nicht ausdrücklich als solches beschrieben werden.

[0009] Hier werden Betriebscharakteristiken, wie z. B. Stromfluss, verschiedener Komponenten des Transkonduktors beschrieben. Die beschriebenen Betriebscharakteristiken der Komponenten treten während des Betriebs des Halbleiterbauelements auf, und es wird nicht erwartet, dass sie auftreten, wenn das Halbleiterbauelement nicht betrieben wird.

[0010] Fig. 1 ist ein Diagramm, das Transkonduktanz und Ausgangsstrom als Funktion einer Differenz zwischen einem Referenzpotenzial und einem Rückkopplungspotenzial für einen beispielhaften Transkonduktor darstellt. In dem Diagramm 100 ist die horizontale Achse die Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial. Die Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial kann beispielsweise in Millivolt ausgedrückt werden. Die linke vertikale Achse 102 ist die Transkonduktanz. Die Transkonduktanz kann beispielsweise in Einheiten von Siemens, d. h. Ampere pro Volt, ausgedrückt werden. In einigen Fällen kann die Transkonduktanz in Einheiten von Millisiemens ausgedrückt werden; in anderen Fällen kann die Transkonduktanz in Einheiten von Mikrosiemens ausgedrückt werden. Die Transkonduktanzkurve 104 hat ein Minimum bei einem Wert von etwa 0 Millivolt für die Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial innerhalb von 5 Millivolt. Die Transkonduktanzkurve 104 ist für sowohl positive als auch negative Werte der Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial konkav nach oben geöffnet, was vorteilhafterweise im Vergleich zu einem Transkonduktor mit einer flachen oder nach

unten geöffneten Transkonduktanzkurve mehr Strom bereitstellt, um die Wiederherstellungszeit für eine mit dem Transkonduktor gekoppelte Schaltung zu reduzieren. In diesem Beispiel sind alle Transkonduktanzwerte positiv.

[0011] Die rechte vertikale Achse 106 ist der Ausgangsstrom. Der Ausgangsstrom kann beispielsweise in einigen Fällen in Einheiten von Mikroampere oder in anderen Fällen Milliampere ausgedrückt werden. In diesem Beispiel ist die Ausgangsstromkurve 108 für positive Werte der Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial konkav nach oben geöffnet und für negative Werte der Differenz konkav nach unten geöffnet, im Einklang damit, dass alle Transkonduktanzwerte positiv sind.

[0012] Fig. 2 ist ein Konzeptschaltbild eines Halbleiterbauelements, das einen beispielhaften Transkonduktor beinhaltet. Das Halbleiterbauelement 200 kann beispielsweise als Spannungsregler, Hochgeschwindigkeitsverstärker oder Filter implementiert sein. Der Transkonduktor 202 beinhaltet eine Referenzeingangsstufe 204, ausgelegt zum Empfangen eines Referenzpotenzials, das in Fig. 2 als „VREF“ gekennzeichnet ist, an einem Referenzeingangsport 206. Der Transkonduktor 202 beinhaltet eine Rückkopplungseingangsstufe 208, ausgelegt zum Empfangen eines Rückkopplungspotenzials, das in Fig. 2 als „VFB“ gekennzeichnet ist, an einem Rückkopplungseingangsport 210. In diesem Beispiel weist die Referenzeingangsstufe 204 eine negative Transkonduktanz auf, bei der durch Erhöhen des Referenzpotenzials VREF der Strom durch die Referenzeingangsstufe 204 reduziert wird und umgekehrt. Gleichermäßen weist die Rückkopplungseingangsstufe 208 eine negative Transkonduktanz auf, bei der durch Erhöhen des Rückkopplungspotenzials VFB der Strom durch die Rückkopplungseingangsstufe 208 reduziert wird und umgekehrt.

[0013] Der Transkonduktor 202 beinhaltet eine Strombegrenzungs-komponente 212, die mit der Referenzeingangsstufe 204 und der Rückkopplungseingangsstufe 208 an einem Zweigknoten 214 in Reihe geschaltet ist. Die Referenzeingangsstufe 204 und die Rückkopplungseingangsstufe 208 befinden sich in parallelen Strompfaden, wie in Fig. 2 gezeigt. Die Strombegrenzungs-komponente 212 weist einen Stromsteuerknoten 216 auf. Der Strom durch die Strombegrenzungs-komponente 212 wird durch ein erstes Steuerpotenzial, das in Fig. 2 als „VCTL1“ gekennzeichnet ist, am Stromsteuerknoten 216 während des Betriebs des Halbleiterbauelements 200 geregelt. Die Strombegrenzungs-komponente 212 dieses Beispiels weist eine positive Transkonduktanz auf, bei der durch Erhöhen des ersten Steuerpotenzials VCTL1 am Stromsteuerknoten 216 der Strom durch die Strombegrenzungs-kompo-

nente 212 erhöht wird und umgekehrt. Die Strombegrenzungs-komponente 212 ist mit einem Leistungsanschluss 218 gegenüber den Verbindungen mit der Referenzeingangsstufe 204 und der Rückkopplungseingangsstufe 208 gekoppelt. Der Leistungsanschluss 218 ist dazu ausgelegt, Strom mit einem positiven Leistungspotenzial, das in Fig. 2 als „VDD“ gekennzeichnet ist, an den Transkonduktor 202 zu liefern, sodass der Strom vom Leistungsanschluss 218 durch die Strombegrenzungs-komponente 212 zur Referenzeingangsstufe 204 und zur Rückkopplungseingangsstufe 208 fließt. Der Strom durch die Strombegrenzungs-komponente 212 wird zwischen einem Referenzstrom, der in Fig. 2 als „IREF“ gekennzeichnet ist, durch die Referenzeingangsstufe 204 und einem Rückkopplungsstrom, der in Fig. 2 als „IFB“ gekennzeichnet ist, durch die Rückkopplungseingangsstufe 208 aufgeteilt.

[0014] Der Transkonduktor 202 beinhaltet eine Referenzlast 220, die über einen Steuersignalknoten 222 mit der Referenzeingangsstufe 204 verbunden ist. Der Referenzstrom IREF fließt durch die Referenzeingangsstufe 204, den Steuersignalknoten 222 und die Referenzlast 220. Die Referenzlast 220 kann eine Impedanz aufweisen, die als Funktion des Referenzstroms IREF durch die Referenzlast 220 variiert, wie in Fig. 2 schematisch angegeben, sodass ein zweites Steuerpotenzial, das in Fig. 2 als „VCTL2“ gekennzeichnet ist, am Steuerknoten 222 eine Funktion des Referenzstroms IREF ist.

[0015] Der Transkonduktor 202 beinhaltet eine Rückkopplungslast 224, die über einen Ausgangssignalknoten 226 mit der Rückkopplungseingangsstufe 208 verbunden ist. Der Rückkopplungsstrom IFB durch die Rückkopplungseingangsstufe 208 fließt durch den Ausgangssignalknoten 226 und die Rückkopplungslast 224. Die Rückkopplungslast 224 kann eine Impedanz aufweisen, die als Funktion des Rückkopplungsstroms IFB durch die Rückkopplungslast 224 variiert, wie in Fig. 2 schematisch angegeben, sodass ein zweites Ausgangssignalpotenzial, das in Fig. 2 als „VSIG“ gekennzeichnet ist, am Steuerknoten 222 eine Funktion des Rückkopplungsstroms IREF ist.

[0016] Die Referenzlast 220 und die Rückkopplungslast 224 sind mit einem Masseanschluss 228 gegenüber den Verbindungen mit der Referenzeingangsstufe 204 bzw. der Rückkopplungseingangsstufe 208 verbunden. Der Masseanschluss 228 ist dazu ausgelegt, Strom mit einem Massepotenzial, das in Fig. 2 als „VSS“ gekennzeichnet ist, zu empfangen. Der Referenzstrom IREF und der Rückkopplungsstrom IFB fließen zum Masseanschluss 228.

[0017] Der Transkonduktor 202 beinhaltet einen Ausgangsstromanschluss 230, der über einen Ausgangspuffer 232 mit dem Ausgangssignalknoten

226 gekoppelt ist. Der Ausgangspuffer 232 wandelt das Ausgangssignalpotenzial VSIG am Ausgangssignalknoten 226 in einen Ausgangsstrom um, der in **Fig. 2** als „IOUT“ gekennzeichnet ist und der durch den Ausgangsstromanschluss 230 fließt.

[0018] Der Steuersignalknoten 222 ist durch einen invertierenden Steuerpuffer 234 mit dem Stromsteuerknoten 216 der Strombegrenzungskomponente 212 gekoppelt, wie in **Fig. 2** angegeben, sodass das erste Steuerpotenzial VCTL1 eine negative Korrelation zum zweiten Steuerpotenzial VCTL2 aufweist. Durch die Kopplung des Steuersignalknotens 222 mit dem Stromsteuerknoten 216 durch den invertierenden Steuerpuffer 234 wird ein negativer Rückkopplungspfad 236 bereitgestellt, der Variationen eines Kopfpotenzials, das in **Fig. 2** als „VHEAD“ gekennzeichnet ist, am Zweigknoten 214 kompensiert, wenn sich der Rückkopplungsstrom IFB aufgrund von Variationen des Rückkopplungspotenzials VFB ändert. Während des Betriebs des Halbleiterbauelements 200 nimmt aufgrund der negativen Transkonduktanz der Rückkopplungseingangsstufe 208 mit Abnahme des Rückkopplungspotenzials VFB eine Impedanz der Rückkopplungseingangsstufe 208 ab und der Rückkopplungsstrom IFB zu, wodurch das Ausgangspotenzial VSIG zunimmt, wodurch der Ausgangsstrom IOUT zunimmt. Das Kopfpotenzial VHEAD nimmt ab, da die Impedanz der Rückkopplungseingangsstufe 208 abnimmt, wodurch der Referenzstrom VREF abnimmt, wodurch das zweite Steuerpotenzial VCTL2 abnimmt. Der invertierende Steuerpuffer 234 erhöht das erste Steuerpotenzial VCTL1, wodurch eine Impedanz der Strombegrenzungskomponente 212 reduziert wird, wodurch der Rückkopplungsstrom IFB weiter erhöht wird und der Ausgangsstrom IOUT weiter erhöht wird, wodurch die Transkonduktanz des Transkonduktors 202 erhöht wird. Umgekehrt nimmt mit Zunahme des Rückkopplungspotenzials VFB eine Impedanz der Rückkopplungseingangsstufe 208 zu und der Rückkopplungsstrom IFB nimmt ab, wodurch das Ausgangssignalpotenzial VSIG abnimmt, wodurch der Ausgangsstrom IOUT abnimmt. Das zweite Steuerpotenzial VCTL2 nimmt zu und der invertierende Steuerpuffer 234 verringert das erste Steuerpotenzial VCTL1, wodurch die Impedanz der Strombegrenzungskomponente 212 erhöht wird, wodurch der Rückkopplungsstrom IFB weiter verringert wird und der Ausgangsstrom IOUT weiter verringert wird, wodurch die Transkonduktanz des Transkonduktors 202 erhöht wird. Der negative Rückkopplungspfad 236 stellt somit eine erhöhte Transkonduktanz des Transkonduktors 202 bereit, wenn sich das Rückkopplungspotenzial VFB vom Referenzpotenzial VREF unterscheidet.

[0019] **Fig. 3** ist ein Schaltbild eines beispielhaften Transkonduktors. Der Transkonduktor 302 beinhaltet eine Referenzeingangsstufe 304, ausgelegt zum

Empfangen eines Referenzpotenzials, das in **Fig. 3** als „VREF“ gekennzeichnet ist, an einem Referenzeingangsport 306. Der Transkonduktor 302 beinhaltet eine Rückkopplungseingangsstufe 308, ausgelegt zum Empfangen eines Rückkopplungspotenzials, das in **Fig. 3** als „VFB“ gekennzeichnet ist, an einem Rückkopplungseingangsport 310. In diesem Beispiel können die Referenzeingangsstufe 304 und die Rückkopplungseingangsstufe 308 als p-Kanal-Feldeffekttransistoren (PFETs) mit negativen Transkonduktanzen implementiert sein.

[0020] Der Transkonduktor 302 beinhaltet eine Strombegrenzungskomponente 312, die mit der Referenzeingangsstufe 304 und der Rückkopplungseingangsstufe 308 in parallelen Strompfaden, wie in **Fig. 3** gezeigt, an einem Zweigknoten 314 in Reihe geschaltet ist. In diesem Beispiel kann die Strombegrenzungskomponente 312 als n-Kanal-Feldeffekttransistor (NFET) mit positiver Transkonduktanz implementiert sein. Die Strombegrenzungskomponente 312 weist einen Stromsteuerknoten 316 auf, der während des Betriebs des Transkonduktors 302 ein erstes Steuerpotenzial, das in **Fig. 3** als „VCTL1“ gekennzeichnet ist, aufweist. Die Strombegrenzungskomponente 312 ist mit einem Leistungsanschluss 318 gekoppelt, der dazu ausgelegt ist, Strom mit einem positiven Leistungspotenzial, das in **Fig. 3** als „VDD“ gekennzeichnet ist, an den Transkonduktor 302 zu liefern. Der Strom fließt vom Leistungsanschluss 318 durch die Strombegrenzungskomponente 312 und wird in einen Referenzstrom, der in **Fig. 3** als „IREF“ gekennzeichnet ist, durch die Referenzeingangsstufe 304 und einen Rückkopplungsstrom, der in **Fig. 3** als „IFB“ gekennzeichnet ist, durch die Rückkopplungseingangsstufe 308 aufgeteilt.

[0021] Der Transkonduktor 302 beinhaltet eine Rückkopplungslast 324, die über einen Ausgangssignalknoten 326 mit der Rückkopplungseingangsstufe 308 verbunden ist. In diesem Beispiel kann die Rückkopplungslast 324 als als NMOS-Diode konfigurierter NFET implementiert sein, wobei ein Gate der NMOS-Diode direkt mit einem Drain der NMOS-Diode verbunden ist, wie in **Fig. 3** angegeben. Ein Ausgangspotenzial, das in **Fig. 3** als „VSIG“ gekennzeichnet ist, am Ausgangssignalknoten 326 ist gleich einem Spannungsabfall an der Rückkopplungslast 324 aufgrund des Rückkopplungsstroms IFB.

[0022] Der Transkonduktor 302 beinhaltet eine Referenzlast 320, die über einen Steuersignalknoten 322 mit der Referenzeingangsstufe 304 verbunden ist. In diesem Beispiel kann die Referenzlast 320 als NFET implementiert sein. Ein Gate der Referenzlast 320 kann mit einem NMOS-Vorspannungsanschluss 338 verbunden sein, der dazu ausgelegt ist, ein NMOS-Vorspannungspotenzial, das in **Fig. 3** als

„NBIAS“ gekennzeichnet ist, an das Gate der Referenzlast 320 zu liefern. Das NMOS-Vorspannungspotenzial NBIAS kann über einer Potenzienschwelle der Referenzlast 320 liegen, aber deutlich unter einem Sättigungspotenzial, sodass die Referenzlast 320 im linearen Modus arbeitet. Ein zweites Steuerpotenzial, das in **Fig. 3** als „VCTL2“ gekennzeichnet ist, am Steuersignalknoten 322 ist gleich einem Spannungsabfall an der Referenzlast 320 aufgrund des Referenzstroms IREF.

[0023] Die Referenzlast 320 und die Rückkopplungslast 324 sind mit einem Masseanschluss 328 verbunden, der dazu ausgelegt ist, Strom mit einem Massepotenzial, das in **Fig. 3** als „VSS“ gekennzeichnet ist, zu empfangen. Der Referenzstrom IREF und der Rückkopplungsstrom IFB fließen zum Masseanschluss 328.

[0024] Der Transkonduktor 302 beinhaltet einen Ausgangsstromanschluss 330, der über einen Ausgangspuffer 332 mit dem Ausgangssignalknoten 326 gekoppelt ist. Der Ausgangspuffer 332 wandelt das Ausgangssignalpotenzial VSIG am Ausgangssignalknoten 326 in einen Ausgangsstrom um, der in **Fig. 3** als „IOUT“ gekennzeichnet ist und der durch den Ausgangsstromanschluss 330 fließt. In diesem Beispiel beinhaltet der Ausgangspuffer 332 eine Ausgangslast 340, die in diesem Beispiel als PFET implementiert ist, und einen Ausgangstreiber 342, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung, wobei der Ausgangssignalknoten 326 mit einem Drain der Ausgangslast 340 und mit einem Drain des Ausgangstreibers 342 verbunden ist. Ein Gate der Ausgangslast 340 ist mit einem PMOS-Vorspannungsanschluss 344 verbunden, der dazu ausgelegt ist, ein PMOS-Vorspannungspotenzial, das in **Fig. 3** als „PBIAS“ gekennzeichnet ist, an das Gate der Ausgangslast 340 zu liefern. Das PMOS-Vorspannungspotenzial PBIAS kann unter einer Potenzienschwelle der Ausgangslast 340 liegen, aber deutlich über einem Sättigungspotenzial, sodass die Ausgangslast 340 im linearen Modus arbeitet. Ein Gate des Ausgangstreibers 342 ist mit dem Ausgangssignalknoten 326 verbunden. Eine Source der Ausgangslast 340 ist mit dem Leistungsanschluss 318 verbunden. Eine Source des Ausgangstreibers 342 ist mit dem Masseanschluss 328 verbunden. Der Ausgangspuffer 332 dieses Beispiels stellt eine Senkenausgangsfunktionalität mit einer komplementären Polarität für den Ausgangsstrom IOUT bereit.

[0025] Der Steuersignalknoten 322 ist durch einen invertierenden Steuerpuffer 334 mit dem Stromsteuerknoten 316 der Strombegrenzungskomponente 312 gekoppelt, wie in **Fig. 3** angegeben, sodass das erste Steuerpotenzial VCTL1 eine negative Korrelation zum zweiten Steuerpotenzial VCTL2 aufweist. In diesem Beispiel beinhaltet der invertie-

rende Steuerpuffer 334 eine Steuerlast 346, die in diesem Beispiel als PFET implementiert ist, und einen Steuerreiber 348, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung, wobei der Steuersignalknoten 322 mit einem Drain der Steuerlast 346 und mit einem Drain des Steuerreibers 348 verbunden ist. Ein Gate der Steuerlast 346 ist mit dem PMOS-Vorspannungsanschluss 344 verbunden. Ein Gate des Steuerreibers 348 ist mit dem Steuersignalknoten 322 verbunden. Eine Source der Steuerlast 346 ist mit dem Leistungsanschluss 318 verbunden. Eine Source des Steuerreibers 348 ist mit dem Masseanschluss 328 verbunden. Durch die Kopplung des Steuersignalknotens 322 mit dem Stromsteuerknoten 316 durch den invertierenden Steuerpuffer 334 wird ein negativer Rückkopplungspfad 336 bereitgestellt, der Variationen eines Kopfpotenzials, das in **Fig. 3** als „VHEAD“ gekennzeichnet ist, am Zweigknoten 314 reduziert, wenn sich der Rückkopplungsstrom IFB aufgrund von Variationen des Rückkopplungspotenzials VFB ändert.

[0026] Der Betrieb des Transkonduktors 302 verläuft wie für den Transkonduktor 202 in **Fig. 2** beschrieben. Der Transkonduktor 302 kann eine gewünschte Erhöhung der Transkonduktanz bereitstellen, wenn ein Absolutwert einer Differenz zwischen dem Rückkopplungspotenzial VFB und dem Referenzpotenzial VREF zunimmt. Des Weiteren kann der Transkonduktor 302 dieses Beispiels aufgrund der Implementierung des negativen Rückkopplungspfads 336 eine kleinere Fläche im Vergleich zu einem komplizierteren Transkonduktor aufweisen, was vorteilhafterweise eine kleinere Fläche für ein Halbleiterbauelement 300 ermöglicht, das den Transkonduktor 302 enthält.

[0027] **Fig. 4** ist ein Schaltbild eines anderen beispielhaften Transkonduktors. Der Transkonduktor 402 beinhaltet eine Referenzeingangsstufe 404, ausgelegt zum Empfangen eines Referenzpotenzials, das in **Fig. 4** als „VREF“ gekennzeichnet ist, an einem Referenzeingangsport 406. Der Transkonduktor 402 beinhaltet eine Rückkopplungseingangsstufe 408, ausgelegt zum Empfangen eines Rückkopplungspotenzials, das in **Fig. 4** als „VFB“ gekennzeichnet ist, an einem Rückkopplungseingangsport 410. In diesem Beispiel können die Referenzeingangsstufe 404 und die Rückkopplungseingangsstufe 408 als PFETs implementiert sein, wie in **Fig. 4** angegeben.

[0028] Der Transkonduktor 402 beinhaltet eine Strombegrenzungskomponente 412, die in diesem Beispiel als NFET implementiert ist, wie in **Fig. 4** angegeben, und an einem Zweigknoten 414 mit der Referenzeingangsstufe 404 und mit der Rückkopplungseingangsstufe 408 in Reihe geschaltet ist. Die Strombegrenzungskomponente 412 weist einen Stromsteuerknoten 416 auf, der während des

Betriebs des Transkonduktors 402 ein erstes Steuerpotenzial, das in **Fig. 4** als „VCTL1“ gekennzeichnet ist, aufweist. Die Strombegrenzungskomponente 412 ist mit einem Leistungsanschluss 418 gekoppelt, der dazu ausgelegt ist, Strom mit einem positiven Leistungspotenzial, das in **Fig. 4** als „VDD“ gekennzeichnet ist, an den Transkonduktor 402 zu liefern.

[0029] Der Transkonduktor 402 beinhaltet eine Rückkopplungslast 424, die in diesem Beispiel als NMOS-Diode implementiert ist und über einen Ausgangssignalknoten 426 mit der Rückkopplungseingangsstufe 408 verbunden ist. Ein Ausgangspotenzial, das in **Fig. 4** als „VSIG“ gekennzeichnet ist, am Ausgangssignalknoten 426 ist gleich einem Spannungsabfall an der Rückkopplungslast 424 aufgrund des Rückkopplungsstroms IFB.

[0030] Der Transkonduktor 402 beinhaltet eine Referenzlast 420, die in diesem Beispiel als NFET implementiert ist und über einen Steuersignalknoten 422 mit der Referenzeingangsstufe 404 verbunden ist. Ein Gate der Referenzlast 420 kann mit einem NMOS-Vorspannungsanschluss 438 verbunden sein. Ein zweites Steuerpotenzial, das in **Fig. 4** als „VCTL2“ gekennzeichnet ist, am Steuersignalknoten 422 ist gleich einem Spannungsabfall an der Referenzlast 420 aufgrund des Referenzstroms IREF. Die Referenzlast 420 und die Rückkopplungslast 424 sind mit einem Masseanschluss 428 verbunden, der dazu ausgelegt ist, Strom mit einem Massepotenzial, das in **Fig. 4** als „VSS“ gekennzeichnet ist, zu empfangen.

[0031] Während des Betriebs eines Halbleiterbauelements 400, das den Transkonduktor 402 enthält, fließt der Strom vom Leistungsanschluss 418 durch die Strombegrenzungskomponente 412 und wird am Zweigknoten 414 in einen Referenzstrom, der in **Fig. 4** als „IREF“ gekennzeichnet ist, durch die Referenzeingangsstufe 404 und einen Rückkopplungsstrom, der in **Fig. 4** als „IFB“ gekennzeichnet ist, durch die Rückkopplungseingangsstufe 408 aufgeteilt. Der Referenzstrom IREF fließt durch den Steuersignalknoten 422 und die Referenzlast 420 zum Masseanschluss 428. Der Rückkopplungsstrom IFB fließt durch den Ausgangssignalknoten 426 und die Rückkopplungslast 424 zum Masseanschluss 428.

[0032] Der Steuersignalknoten 422 ist durch einen invertierenden Steuerpuffer 434 mit dem Stromsteuerknoten 416 der Strombegrenzungskomponente 412 gekoppelt, wie in **Fig. 4** angegeben, sodass das erste Steuerpotenzial VCTL1 eine negative Korrelation zum zweiten Steuerpotenzial VCTL2 aufweist. In diesem Beispiel beinhaltet der invertierende Steuerpuffer 434 eine Steuerlast 446, die in diesem Beispiel als PFET implementiert ist, und einen Steuertreiber 448, der in diesem Beispiel als

NFET implementiert ist, in Reihenschaltung, wobei der Steuersignalknoten 422 mit einem Drain der Steuerlast 446 und mit einem Drain des Steuertreibers 448 verbunden ist. Ein Gate der Steuerlast 446 ist mit einem PMOS-Vorspannungsanschluss 444 verbunden. Ein Gate des Steuertreibers 448 ist mit dem Steuersignalknoten 422 verbunden. Eine Source der Steuerlast 446 ist mit dem Leistungsanschluss 418 verbunden. Eine Source des Steuertreibers 448 ist mit dem Masseanschluss 428 verbunden. Durch die Kopplung des Steuersignalknotens 422 mit dem Stromsteuerknoten 416 durch den invertierenden Steuerpuffer 434 wird ein negativer Rückkopplungspfad 436 bereitgestellt, der Variationen eines Kopfpotenzials, das in **Fig. 4** als „VHEAD“ gekennzeichnet ist, am Zweigknoten 414 reduziert, wenn sich der Rückkopplungsstrom IFB aufgrund von Variationen des Rückkopplungspotenzials VFB ändert.

[0033] Der Transkonduktor 402 beinhaltet einen Ausgangsstromanschluss 430, der über einen Ausgangspuffer 432 mit dem Ausgangssignalknoten 426 gekoppelt ist. Der Ausgangspuffer 432 wandelt das Ausgangssignalpotenzial VSIG am Ausgangssignalknoten 426 in einen Ausgangsstrom um, der in **Fig. 4** als „IOUT“ gekennzeichnet ist und der durch den Ausgangsstromanschluss 430 fließt. In diesem Beispiel beinhaltet der Ausgangspuffer 432 zwei parallele Strompfade, um eine verstärkte Transkonduktanz bereitzustellen.

[0034] Ein erster Strompfad des Ausgangspuffers 432 beinhaltet einen ersten Widerstand 450a, der in **Fig. 4** als „R1“ gekennzeichnet ist, eine erste Ausgangslast 440a, die in diesem Beispiel als PFET implementiert ist, und einen ersten Ausgangstreiber 442a, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung. Ein erster Anschluss des ersten Widerstands 450a ist mit dem Leistungsanschluss 418 verbunden. Eine Source der ersten Ausgangslast 440a ist mit einem zweiten Anschluss des ersten Widerstands R1 450a verbunden. Eine Source des ersten Ausgangstreibers 442a ist mit dem Masseanschluss 428 verbunden.

[0035] Ein zweiter Strompfad des Ausgangspuffers 432 beinhaltet einen zweiten Widerstand 450b, der in **Fig. 4** als „R2“ gekennzeichnet ist, eine zweite Ausgangslast 440b, die in diesem Beispiel als PFET implementiert ist, und einen zweiten Ausgangstreiber 442b, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung. Ein erster Anschluss des ersten Widerstands 450b ist mit dem Leistungsanschluss 418 verbunden. Eine Source der zweiten Ausgangslast 440b ist mit einem zweiten Anschluss des zweiten Widerstands R2 450b verbunden. Eine Source des zweiten Ausgangstreibers 442b ist mit dem Masseanschluss 428 verbunden.

[0036] Gates der ersten Ausgangslast 440a und der zweiten Ausgangslast 440b sind mit einem Drain der ersten Ausgangslast 440a verbunden; die erste Ausgangslast 440a arbeitet somit als PMOS-Diode. Gates des ersten Ausgangstreibers 442a und des zweiten Ausgangstreibers 442b sind mit dem Ausgangssignalknoten 426 verbunden. Der erste Widerstand R1 450a, der zweite Widerstand R2 450b, die erste Ausgangslast 440a, die zweite Ausgangslast 440b, der erste Ausgangstreiber 442a und der zweite Ausgangstreiber 442b stellen einen Verstärker des Ausgangspuffers 432 bereit, der dazu ausgelegt ist, die verstärkte Transkonduktanz bereitzustellen.

[0037] Der Ausgangspuffer 432 beinhaltet eine Ausgangsstufe 452, die in diesem Beispiel als PMOS-Sourcefolger implementiert ist. Eine Source der Ausgangsstufe 452 ist mit der Source der ersten Ausgangslast 440a verbunden. Ein Gate der Ausgangsstufe 452 ist mit einem Drain des zweiten Ausgangstreibers 442b verbunden. Ein Drain der Ausgangsstufe 452 ist mit dem Ausgangsstromanschluss 430 verbunden.

[0038] Der Betrieb des Transkonduktors 402 ist bis zur Erzeugung des Ausgangssignalspotenzials VSIG am Ausgangssignalknoten 326 von **Fig. 3** ähnlich wie der Betrieb des Transkonduktors 302 von **Fig. 3**. Der Ausgangspuffer 432 verstärkt das Ausgangssignalspotenzial VSIG am Ausgangssignalknoten 426 um einen Faktor, der etwa dem Verhältnis eines Widerstandswerts des zweiten Widerstands 450b zu einem Widerstandswert des ersten Widerstands 450a entspricht. Somit wird eine intrinsische Transkonduktanz der Referenzeingangsstufe 404, der Rückkopplungseingangsstufe 408, der Referenzlast 420 und der Rückkopplungslast 424 um den Faktor verstärkt, der etwa einem Verhältnis eines Widerstandswerts des zweiten Widerstands 450b zu einem Widerstandswert des ersten Widerstands 450a entspricht, wodurch der Transkonduktor 402 eine größere Last am Ausgangssignalknoten 426 ansteuern kann. Ein Ruhestrom des Transkonduktors 402 ist niedriger als vergleichbare Transkonduktor mit äquivalenten Transkonduktanzwerten, da der Transkonduktor 402 keinen Slew-Strom aufnimmt, wenn das Rückkopplungspotenzial VFB dem Referenzpotenzial VREF entspricht.

[0039] Der Ausgangspuffer 432 dieses Beispiels stellt eine Quellenausgangsfunktionalität mit einer komplementären Polarität für den Ausgangsstrom IOUT bereit. Die Quellenausgangsfunktionalität kann für massebezogene Lasten, die mit dem Ausgangssignalknoten 326 verbunden sind, vorteilhaft sein. Der Transkonduktor 402 mit verstärkter Transkonduktanz kann insbesondere vorteilhaft zum Ansteuern von Kondensatoren sein, die außerhalb des Halbleiterbauelements 400, das den Transkonduktor 402 enthält, liegen.

[0040] **Fig. 5** ist ein Schaltbild eines anderen beispielhaften Transkonduktors. Der Transkonduktor 502 beinhaltet eine Referenzeingangsstufe 504, ausgelegt zum Empfangen eines Referenzpotenzials, das in **Fig. 5** als „VREF“ gekennzeichnet ist, an einem Referenzeingangsport 506. Der Transkonduktor 502 beinhaltet eine Rückkopplungseingangsstufe 508, ausgelegt zum Empfangen eines Rückkopplungspotenzials, das in **Fig. 5** als „VFB“ gekennzeichnet ist, an einem Rückkopplungseingangsport 510. In diesem Beispiel können die Referenzeingangsstufe 504 und die Rückkopplungseingangsstufe 508 als PFETs implementiert sein, wie in **Fig. 5** angegeben.

[0041] Der Transkonduktor 502 beinhaltet eine Strombegrenzungskomponente 512, die in diesem Beispiel als NFET implementiert ist, wie in **Fig. 5** angegeben, und an einem Zweigknoten 514 mit der Referenzeingangsstufe 504 und mit der Rückkopplungseingangsstufe 508 in Reihe geschaltet ist. Die Strombegrenzungskomponente 512 weist einen Stromsteuerknoten 516 auf, der während des Betriebs des Transkonduktors 502 ein erstes Steuerpotenzial, das in **Fig. 5** als „VCTL1“ gekennzeichnet ist, aufweist.

[0042] Der Transkonduktor 502 dieses Beispiels beinhaltet einen Stromsensor 554, der mit der Strombegrenzungskomponente 512 in Reihe geschaltet ist. In diesem Beispiel ist der Stromsensor 554 als PFET implementiert. Ein Drain des Stromsensors 554 ist mit einem Gate des Stromsensors 554 und mit einem Drain der Strombegrenzungskomponente 512 verbunden. Eine Source des Stromsensors 554 ist mit einem Leistungsanschluss 518 verbunden, der dazu ausgelegt ist, Strom mit einem positiven Leistungspotenzial, das in **Fig. 5** als „VDD“ gekennzeichnet ist, an den Transkonduktor 502 zu liefern. Der Stromsensor 554 dieses Beispiels ist somit als PMOS-Diode konfiguriert. In diesem Beispiel stellt das Gate des Stromsensors 554 einen Ausgangssignalknoten 526 bereit, der während des Betriebs des Transkonduktors 502 ein Ausgangssignalspotenzial, das in **Fig. 5** als „VSIG“ gekennzeichnet ist, aufweist.

[0043] Der Transkonduktor 502 beinhaltet eine Referenzlast 520, die in diesem Beispiel als NFET implementiert ist und über einen Steuersignalknoten 522 mit der Referenzeingangsstufe 504 verbunden ist. Ein Gate der Referenzlast 520 kann mit einem NMOS-Vorspannungsanschluss 538 verbunden sein.

[0044] Der Transkonduktor 502 beinhaltet eine Rückkopplungslast 524, die in diesem Beispiel als NMOS-Diode implementiert ist. Ein Drain der Rückkopplungslast 524 ist mit der Rückkopplungseingangsstufe 508 verbunden. Die Referenzlast 520 und die Rückkopplungslast 524 sind mit einem Mas-

seanschluss 528 verbunden, der dazu ausgelegt ist, Strom mit einem Massepotenzial, das in **Fig. 5** als „VSS“ gekennzeichnet ist, zu empfangen.

[0045] Der Strom fließt vom Leistungsanschluss 518 durch den Stromsensor 554 durch die Strombegrenzungskomponente 512 und wird am Zweigknoten 514 in einen Referenzstrom, der in **Fig. 5** als „IREF“ gekennzeichnet ist, durch die Referenzeingangsstufe 504 und einen Rückkopplungsstrom, der in **Fig. 5** als „IFB“ gekennzeichnet ist, durch die Rückkopplungseingangsstufe 508 aufgeteilt. Der Referenzstrom IREF fließt durch den Steuersignalknoten 522 und die Referenzlast 520 zum Masseanschluss 528. Ein zweites Steuerpotenzial, das in **Fig. 5** als „VCTL2“ gekennzeichnet ist, am Steuersignalknoten 522 ist gleich einem Spannungsabfall an der Referenzlast 520 aufgrund des Referenzstroms IREF. Der Rückkopplungsstrom IFB fließt durch die Rückkopplungslast 524 zum Masseanschluss 528.

[0046] Der Steuersignalknoten 522 ist durch einen invertierenden Steuerpuffer 534 mit dem Stromsteuerknoten 516 der Strombegrenzungskomponente 512 gekoppelt, wie in **Fig. 5** angegeben, sodass das erste Steuerpotenzial VCTL1 eine negative Korrelation zum zweiten Steuerpotenzial VCTL2 aufweist. In diesem Beispiel beinhaltet der invertierende Steuerpuffer 534 eine Steuerlast 546, die in diesem Beispiel als PFET implementiert ist, und einen Steuertreiber 548, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung, wobei der Steuersignalknoten 522 mit einem Drain der Steuerlast 546 und mit einem Drain des Steuertreibers 548 verbunden ist. Ein Gate der Steuerlast 546 ist mit dem PMOS-Vorspannungsanschluss 544 verbunden. Ein Gate des Steuertreibers 548 ist mit dem Steuersignalknoten 522 verbunden. Eine Source der Steuerlast 546 ist mit dem Leistungsanschluss 518 verbunden. Eine Source des Steuertreibers 548 ist mit dem Masseanschluss 528 verbunden. Durch die Kopplung des Steuersignalknotens 522 mit dem Stromsteuerknoten 516 durch den invertierenden Steuerpuffer 534 wird ein negativer Rückkopplungspfad 536 bereitgestellt, der Variationen eines Kopfpotenzials, das in **Fig. 5** als „VHEAD“ gekennzeichnet ist, am Zweigknoten 514 reduziert, wenn sich der Rückkopplungsstrom IFB aufgrund von Variationen des Rückkopplungspotenzials VFB ändert.

[0047] Der Transkonduktor 502 beinhaltet einen Ausgangsstromanschluss 530, der über einen Ausgangspuffer 532 mit dem Ausgangssignalknoten 526 gekoppelt ist. Der Ausgangspuffer 532 wandelt das Ausgangssignalspotenzial VSIG am Ausgangssignalknoten 526 in einen Ausgangsstrom um, der in **Fig. 5** als „IOUT“ gekennzeichnet ist und der durch den Ausgangsstromanschluss 530 fließt. In diesem Beispiel beinhaltet der Ausgangspuffer 532 eine Ausgangslast 540, die in diesem Beispiel als

NFET implementiert ist, und einen Ausgangstreiber 542, der in diesem Beispiel als PFET implementiert ist, in Reihenschaltung, wobei der Ausgangssignalknoten 526 mit einem Drain der Ausgangslast 540 und mit einem Drain des Ausgangstreibers 542 verbunden ist. Ein Gate der Ausgangslast 540 ist mit einem NMOS-Vorspannungsanschluss 538 verbunden. Ein Gate des Ausgangstreibers 542 ist mit dem Ausgangssignalknoten 526 verbunden. Eine Source der Ausgangslast 540 ist mit dem Masseanschluss 528 verbunden. Eine Source des Ausgangstreibers 542 ist mit dem Leistungsanschluss 518 verbunden. Der Ausgangspuffer 532 dieses Beispiels stellt eine Quellenausgangsfunktionalität mit einer komplementären Polarität für den Ausgangsstrom IOUT bereit. Der Betrieb des Transkonduktors 502 ist ähnlich wie der Betrieb des Transkonduktors 302 von **Fig. 3**, wobei der Stromsensor 554 das Ausgangssignalspotenzial VSIG bereitstellt, um die Quellenausgangsfunktionalität zu ermöglichen. Die komplementäre Polarität kann für ein Netzwerk außerhalb eines Halbleiterbauelements 500, das den Transkonduktor 502 beinhaltet, geeignet sein.

[0048] **Fig. 6** ist ein Schaltbild eines anderen beispielhaften Transkonduktors. Der Transkonduktor 602 beinhaltet eine Referenzeingangsstufe 604, ausgelegt zum Empfangen eines Referenzpotenzials, das in **Fig. 6** als „VREF“ gekennzeichnet ist, an einem Referenzeingangsport 606, und eine Rückkopplungseingangsstufe 608, ausgelegt zum Empfangen eines Rückkopplungspotenzials, das in **Fig. 6** als „VFB“ gekennzeichnet ist, an einem Rückkopplungseingangsport 610. In diesem Beispiel können die Referenzeingangsstufe 604 und die Rückkopplungseingangsstufe 608 als PFETs mit negativen Transkonduktanzen implementiert sein.

[0049] Der Transkonduktor 602 beinhaltet eine Strombegrenzungskomponente 612, die mit der Referenzeingangsstufe 604 und der Rückkopplungseingangsstufe 608 in parallelen Strompfaden, wie in **Fig. 6** gezeigt, an einem Zweigknoten 614 in Reihe geschaltet ist. In diesem Beispiel kann die Strombegrenzungskomponente 612 als NFET mit positiver Transkonduktanz implementiert sein. Die Strombegrenzungskomponente 612 weist einen Stromsteuerknoten 616 auf, der während des Betriebs des Transkonduktors 602 ein erstes Steuerpotenzial, das in **Fig. 6** als „VCTL1“ gekennzeichnet ist, aufweist. Die Strombegrenzungskomponente 612 ist mit einem Leistungsanschluss 618 gekoppelt, der dazu ausgelegt ist, Strom mit einem positiven Leistungspotenzial, das in **Fig. 6** als „VDD“ gekennzeichnet ist, an den Transkonduktor 602 zu liefern. Der Strom fließt vom Leistungsanschluss 618 durch die Strombegrenzungskomponente 612 und wird in einen Referenzstrom, der in **Fig. 6** als „IREF“ gekennzeichnet ist, durch die Referenzeingangsstufe 604 und einen Rückkopplungsstrom, der in

Fig. 6 als „IFB“ gekennzeichnet ist, durch die Rückkopplungseingangsstufe 608 aufgeteilt.

[0050] Der Transkonduktor 602 beinhaltet eine Rückkopplungslast 624, die über einen Ausgangssignalknoten 626 mit der Rückkopplungseingangsstufe 608 verbunden ist. In diesem Beispiel kann die Rückkopplungslast 624 als NMOS-Diode implementiert sein, wobei ein Gate der NMOS-Diode direkt mit einem Drain der NMOS-Diode verbunden ist, wie in **Fig. 6** angegeben. Ein Ausgangspotenzial, das in **Fig. 6** als „VSIG“ gekennzeichnet ist, am Ausgangssignalknoten 626 ist gleich einem Spannungsabfall an der Rückkopplungslast 624 aufgrund des Rückkopplungsstroms IFB.

[0051] Der Transkonduktor 602 beinhaltet eine Referenzlast 620, die über einen Steuersignalknoten 622 mit der Referenzeingangsstufe 604 verbunden ist. In diesem Beispiel kann die Referenzlast 620 als NFET implementiert sein. Ein Gate der Referenzlast 620 kann mit einem NMOS-Vorspannungsanschluss 638 verbunden sein. Ein zweites Steuerpotenzial, das in **Fig. 6** als „VCTL2“ gekennzeichnet ist, am Steuersignalknoten 622 ist gleich einem Spannungsabfall an der Referenzlast 620 aufgrund des Referenzstroms IREF.

[0052] Die Referenzlast 620 und die Rückkopplungslast 624 sind mit einem Masseanschluss 628 verbunden, der dazu ausgelegt ist, Strom mit einem Massepotenzial, das in **Fig. 6** als „VSS“ gekennzeichnet ist, zu empfangen. Der Referenzstrom IREF und der Rückkopplungsstrom IFB fließen zum Masseanschluss 628.

[0053] Der Steuersignalknoten 622 ist durch einen invertierenden Steuerpuffer 634 mit dem Stromsteuerknoten 616 der Strombegrenzungskomponente 612 gekoppelt, wie in **Fig. 6** angegeben, sodass das erste Steuerpotenzial VCTL1 eine negative Korrelation zum zweiten Steuerpotenzial VCTL2 aufweist. In diesem Beispiel beinhaltet der invertierende Steuerpuffer 634 eine Steuerlast 646, die in diesem Beispiel als PFET implementiert ist, und einen Steuertreiber 648, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung, wobei der Steuersignalknoten 622 mit einem Drain der Steuerlast 646 und mit einem Drain des Steuertreibers 648 verbunden ist. Ein Gate der Steuerlast 646 ist mit einem PMOS-Vorspannungsanschluss 644 verbunden. Ein Gate des Steuertreibers 648 ist mit dem Steuersignalknoten 622 verbunden. Eine Source der Steuerlast 646 ist mit dem Leistungsanschluss 618 verbunden. Eine Source des Steuertreibers 648 ist mit dem Masseanschluss 628 verbunden. Durch die Kopplung des Steuersignalknotens 622 mit dem Stromsteuerknoten 616 durch den invertierenden Steuerpuffer 634 wird ein negativer Rückkopplungspfad 636 bereitgestellt, der Variationen eines Kopfpotenzials, das in **Fig. 6** als „VHEAD“ gekennzeichnet ist, am Zweigknoten 614 reduziert, wenn sich der Rückkopplungsstrom IFB aufgrund von Variationen des Rückkopplungspotenzials VFB ändert.

nen eines Kopfpotenzials, das in **Fig. 6** als „VHEAD“ gekennzeichnet ist, am Zweigknoten 614 reduziert, wenn sich der Rückkopplungsstrom IFB aufgrund von Variationen des Rückkopplungspotenzials VFB ändert.

[0054] Der Transkonduktor 602 beinhaltet einen Ausgangsstromanschluss 630, der über einen Ausgangspuffer 632 mit dem Ausgangssignalknoten 626 gekoppelt ist. Der Ausgangspuffer 632 wandelt das Ausgangssignalpotenzial VSIG am Ausgangssignalknoten 626 in einen Ausgangsstrom um, der in **Fig. 6** als „IOUT“ gekennzeichnet ist und der durch den Ausgangsstromanschluss 630 fließt. In diesem Beispiel beinhaltet der Ausgangspuffer 632 einen Ausgangstreiber 642, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung mit einem Ausgangsstromsensor 640 eines Ausgangsstromspiegels 656. Der Ausgangsstromspiegel 656 beinhaltet eine Ausgangsstufe 652, die mit dem Ausgangssignalknoten 626 verbunden ist. In diesem Beispiel können der Ausgangsstromsensor 640 und die Ausgangsstufe 652 als PFETs implementiert sein. Eine Source des Ausgangstreibers 642 ist mit dem Masseanschluss 628 verbunden. Eine Source des Ausgangsstromsensors 640 und eine Source der Ausgangsstufe 652 sind mit dem Leistungsanschluss 618 verbunden.

[0055] Der Betrieb des Transkonduktors 602 verläuft bis zum Ausgangspuffer 632 wie für den Transkonduktor 302 von **Fig. 3** beschrieben. Der Ausgangsstromspiegel 656 liefert mehr Strom als der Ausgangspuffer 332 von **Fig. 3** und ermöglicht, dass der Transkonduktor 602 mit einem niedrigeren Wert des positiven Leistungspotenzials VDD arbeitet als der Transkonduktor 302. Der Ausgangspuffer 632 dieses Beispiels stellt eine Quellausgangsfunktionalität mit einer nicht-komplementären Polarität für den Ausgangsstrom IOUT bereit. Die nicht-komplementäre Polarität kann für ein Netzwerk außerhalb eines Halbleiterbauelements 600, das den Transkonduktor 602 beinhaltet, geeignet sein.

[0056] **Fig. 7** ist ein Schaltbild eines anderen beispielhaften Transkonduktors. Der Transkonduktor 702 beinhaltet eine Referenzeingangsstufe 704, ausgelegt zum Empfangen eines Referenzpotenzials, das in **Fig. 7** als „VREF“ gekennzeichnet ist, an einem Referenzeingangsport 706, und eine Rückkopplungseingangsstufe 708, ausgelegt zum Empfangen eines Rückkopplungspotenzials, das in **Fig. 7** als „VFB“ gekennzeichnet ist, an einem Rückkopplungseingangsport 710. In diesem Beispiel können die Referenzeingangsstufe 704 und die Rückkopplungseingangsstufe 708 als PFETs implementiert sein, wie in **Fig. 7** angegeben.

[0057] Der Transkonduktor 702 dieses Beispiels beinhaltet einen Stromsensor 754, der mit einer

Strombegrenzungskomponente 712 in Reihe geschaltet ist. In diesem Beispiel ist der Stromsensor 754 als PFET implementiert, und die Strombegrenzungskomponente 712 ist als NFET implementiert, wie in **Fig. 7** angegeben. Ein Drain des Stromsensors 754 ist mit einem Gate des Stromsensors 754 und mit einem Drain der Strombegrenzungskomponente 712 verbunden. Eine Source des Stromsensors 754 ist mit einem Leistungsanschluss 718 verbunden, der dazu ausgelegt ist, Strom mit einem positiven Leistungspotenzial, das in **Fig. 7** als „VDD“ gekennzeichnet ist, an den Transkonduktor 702 zu liefern. Der Stromsensor 754 dieses Beispiels ist somit als PMOS-Diode konfiguriert. In diesem Beispiel stellt das Gate des Stromsensors 754 einen Ausgangssignalknoten 726 bereit, der während des Betriebs des Transkonduktors 702 ein Ausgangssignalspotenzial, das in **Fig. 7** als „VSIG“ gekennzeichnet ist, aufweist. Die Strombegrenzungskomponente 712 weist einen Stromsteuerknoten 716 auf, der während des Betriebs des Transkonduktors 702 ein erstes Steuerpotenzial, das in **Fig. 7** als „VCTL1“ gekennzeichnet ist, aufweist. Die Strombegrenzungskomponente 712 ist an einem Zweigknoten 714 mit der Referenzeingangsstufe 704 und der Rückkopplungseingangsstufe 708 in Reihe geschaltet ist.

[0058] Der Transkonduktor 702 beinhaltet eine Referenzlast 720, die in diesem Beispiel als NFET implementiert ist und über einen Steuersignalknoten 722 mit der Referenzeingangsstufe 704 verbunden ist. Ein Gate der Referenzlast 720 kann mit einem NMOS-Vorspannungsanschluss 738 verbunden sein. Ein zweites Steuerpotenzial, das in **Fig. 7** als „VCTL2“ gekennzeichnet ist, am Steuersignalknoten 722 ist gleich einem Spannungsabfall an der Referenzlast 720 aufgrund des Referenzstroms IREF.

[0059] Der Transkonduktor 702 beinhaltet eine Rückkopplungslast 724, die in diesem Beispiel als NMOS-Diode implementiert ist. Ein Drain der Rückkopplungslast 724 ist mit der Rückkopplungseingangsstufe 708 verbunden. Die Referenzlast 720 und die Rückkopplungslast 724 sind mit einem Masseanschluss 728 verbunden, der dazu ausgelegt ist, Strom mit einem Massepotenzial, das in **Fig. 7** als „VSS“ gekennzeichnet ist, zu empfangen.

[0060] Der Strom fließt vom Leistungsanschluss 718 durch den Stromsensor 754 durch die Strombegrenzungskomponente 712 und wird in einen Referenzstrom, der in **Fig. 7** als „IREF“ gekennzeichnet ist, durch die Referenzeingangsstufe 704 und einen Rückkopplungsstrom, der in **Fig. 7** als „IFB“ gekennzeichnet ist, durch die Rückkopplungseingangsstufe 708 aufgeteilt. Der Referenzstrom IREF fließt durch den Steuersignalknoten 722 und die Referenzlast 720 zum Masseanschluss 728. Der Rückkopplungs-

strom IFB fließt durch die Rückkopplungslast 724 zum Masseanschluss 728.

[0061] Der Steuersignalknoten 722 ist durch einen invertierenden Steuerpuffer 734 mit dem Stromsteuerknoten 716 der Strombegrenzungskomponente 712 gekoppelt, wie in **Fig. 7** angegeben, sodass das erste Steuerpotenzial VCTL1 eine negative Korrelation zum zweiten Steuerpotenzial VCTL2 aufweist. In diesem Beispiel beinhaltet der invertierende Steuerpuffer 734 eine Steuerlast 746, die in diesem Beispiel als PFET implementiert ist, und einen Steuerreiber 748, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung, wobei der Steuersignalknoten 722 mit einem Drain der Steuerlast 746 und mit einem Drain des Steuerreibers 748 verbunden ist. Ein Gate der Steuerlast 746 ist mit dem PMOS-Vorspannungsanschluss 744 verbunden. Ein Gate des Steuerreibers 748 ist mit dem Steuersignalknoten 722 verbunden. Eine Source der Steuerlast 746 ist mit dem Leistungsanschluss 718 verbunden. Eine Source des Steuerreibers 748 ist mit dem Masseanschluss 728 verbunden. Durch die Kopplung des Steuersignalknotens 722 mit dem Stromsteuerknoten 716 durch den invertierenden Steuerpuffer 734 wird ein negativer Rückkopplungspfad 736 bereitgestellt, der Variationen eines Kopfpotenzials, das in **Fig. 7** als „VHEAD“ gekennzeichnet ist, am Zweigknoten 714 reduziert, wenn sich der Rückkopplungsstrom IFB aufgrund von Variationen des Rückkopplungspotenzials VFB ändert.

[0062] Der Transkonduktor 702 beinhaltet einen Ausgangsstromanschluss 730, der über einen Ausgangspuffer 732 mit dem Ausgangssignalknoten 726 gekoppelt ist. Der Ausgangspuffer 732 wandelt das Ausgangssignalspotenzial VSIG am Ausgangssignalknoten 726 in einen Ausgangsstrom um, der in **Fig. 7** als „IOUT“ gekennzeichnet ist und der durch den Ausgangsstromanschluss 730 fließt. In diesem Beispiel beinhaltet der Ausgangspuffer 732 eine Ausgangsstufe 752, die in diesem Beispiel als PMOS-Sourcefolger implementiert ist. Eine Source der Ausgangsstufe 752 ist mit dem Leistungsanschluss 718 verbunden. Ein Gate der Ausgangsstufe 752 ist mit dem Ausgangssignalknoten 726 verbunden. Ein Drain der Ausgangsstufe 752 ist mit dem Ausgangsstromanschluss 730 verbunden. Der Ausgangspuffer 732 dieses Beispiels stellt eine Quellausgangsfunktionalität mit einer nicht-komplementären Polarität für den Ausgangsstrom IOUT bereit. Der Betrieb des Transkonduktors 702 ist ähnlich wie der Betrieb des Transkonduktors 302 von **Fig. 3**, wobei der Stromsensor 754 das Ausgangssignalspotenzial VSIG bereitstellt, um die Quellausgangsfunktionalität zu ermöglichen. Die Ausgangsstufe 752 kann vorteilhafterweise mehr Strom liefern als ein Treiber-/Lastpuffer und weniger Fläche in einem Halbleiterbauelement 700, das den Transkonduktor 702 enthält, einnehmen.

[0063] Fig. 8 ist ein Schaltbild eines anderen beispielhaften Transkonduktors. Der Transkonduktor 802 beinhaltet eine erste Referenzeingangsstufe 804a, ausgelegt zum Empfangen eines Referenzpotenzials, das in Fig. 8 als „VREF“ gekennzeichnet ist, an einem Referenzeingangsport 806, gekoppelt mit einer ersten Rückkopplungseingangsstufe 808a, ausgelegt zum Empfangen eines Rückkopplungspotenzials, das in Fig. 8 als „VFB“ gekennzeichnet ist, an einem Rückkopplungseingangsport 810. In diesem Beispiel können die erste Referenzeingangsstufe 804a und die erste Rückkopplungseingangsstufe 808a als PFETs implementiert sein, wie in Fig. 8 angegeben.

[0064] Der Transkonduktor 802 beinhaltet eine erste Strombegrenzungskomponente 812a, die in diesem Beispiel als NFET implementiert ist, wie in Fig. 8 angegeben. Eine Source der ersten Strombegrenzungskomponente 812a ist mit einem ersten Zweigknoten 814a verbunden. Die erste Strombegrenzungskomponente 812a weist einen ersten Stromsteuerknoten 816a auf, der während des Betriebs des Transkonduktors 802 ein erstes Steuerpotenzial, das in Fig. 8 als „VCTL1a“ gekennzeichnet ist, aufweist. Der Transkonduktor 802 dieses Beispiels beinhaltet einen Stromsensor 854, der mit der ersten Strombegrenzungskomponente 812a in Reihe geschaltet ist. In diesem Beispiel ist der Stromsensor 854 als PFET implementiert. Ein Drain des Stromsensors 854 ist mit einem Gate des Stromsensors 854 und mit einem Drain der ersten Strombegrenzungskomponente 812a verbunden. Eine Source des Stromsensors 854 ist mit einem Leistungsanschluss 818 verbunden, der dazu ausgelegt ist, Strom mit einem positiven Leistungspotenzial, das in Fig. 8 als „VDD“ gekennzeichnet ist, an den Transkonduktor 802 zu liefern. Der Stromsensor 854 dieses Beispiels ist somit als PMOS-Diode konfiguriert. In diesem Beispiel stellt das Gate des Stromsensors 854 einen ersten Ausgangssignalknoten 826a bereit, der während des Betriebs des Transkonduktors 802 ein erstes Ausgangssignalspotenzial, das in Fig. 8 als „VSIgA“ gekennzeichnet ist, aufweist.

[0065] In diesem Beispiel ist die erste Referenzeingangsstufe 804a über einen ersten Widerstand 858, der in Fig. 8 als „R1“ gekennzeichnet ist, mit der ersten Strombegrenzungskomponente 812a verbunden. Die erste Rückkopplungseingangsstufe 808a ist über einen zweiten Widerstand 860, der in Fig. 8 als „R2“ gekennzeichnet ist, mit der ersten Strombegrenzungskomponente 812a verbunden.

[0066] Der Transkonduktor 802 beinhaltet eine erste Referenzlast 820a, die in diesem Beispiel als NFET implementiert ist und über einen ersten Steuersignalknoten 822a mit der ersten Referenzeingangsstufe 804a verbunden ist. Ein Gate der ersten Referenzlast

820a kann mit einem NMOS-Vorspannungsanschluss 838 verbunden sein.

[0067] Der Transkonduktor 802 beinhaltet eine erste Rückkopplungslast 824a, die in diesem Beispiel als NMOS-Diode implementiert ist. Ein Drain der ersten Rückkopplungslast 824a ist mit der ersten Rückkopplungseingangsstufe 808a verbunden. Ein Gate der ersten Rückkopplungslast 824a kann mit dem Drain der ersten Rückkopplungslast 824a verbunden sein, sodass die erste Rückkopplungslast 824a in diesem Beispiel als NMOS-Diode implementiert ist. Sources der ersten Referenzlast 820a und der ersten Rückkopplungslast 824a sind mit einem Masseanschluss 828 verbunden, der dazu ausgelegt ist, Strom mit einem Massepotenzial, das in Fig. 8 als „VSS“ gekennzeichnet ist, zu empfangen.

[0068] Der Strom fließt vom Leistungsanschluss 818 durch den Stromsensor 854, durch die erste Strombegrenzungskomponente 812a und wird in einen ersten Referenzstrom, der in Fig. 8 als „IREFa“ gekennzeichnet ist, durch den ersten Widerstand R1 858 und durch die erste Referenzeingangsstufe 804a und einen ersten Rückkopplungsstrom, der in Fig. 8 als „IFBa“ gekennzeichnet ist, durch den zweiten Widerstand R2 860 und durch die erste Rückkopplungseingangsstufe 808a aufgeteilt. Der Referenzstrom IREFa fließt durch den ersten Steuersignalknoten 822a und die erste Referenzlast 820a zum Masseanschluss 828. Ein zweites Steuerpotenzial, das in Fig. 8 als „VCTL2a“ gekennzeichnet ist, am ersten Steuersignalknoten 822a ist gleich einem Spannungsabfall an der ersten Referenzlast 820a aufgrund des Referenzstroms IREFa. Der Rückkopplungsstrom IFBa fließt durch die erste Rückkopplungslast 824a zum Masseanschluss 828.

[0069] Der erste Steuersignalknoten 822a ist durch einen ersten invertierenden Steuerpuffer 834a mit dem ersten Stromsteuerknoten 816a der ersten Strombegrenzungskomponente 812a gekoppelt, wie in Fig. 8 angegeben, sodass das erste Steuerpotenzial VCTL1a eine negative Korrelation zum zweiten Steuerpotenzial VCTL2a aufweist. In diesem Beispiel beinhaltet der erste invertierende Steuerpuffer 834a eine erste Steuerlast 846a, die in diesem Beispiel als PFET implementiert ist, und einen ersten Steuertreiber 848a, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung, wobei der erste Steuersignalknoten 822a mit einem Drain der ersten Steuerlast 846a und mit einem Drain des ersten Steuertreibers 848a verbunden ist. Ein Gate der ersten Steuerlast 846a ist mit dem PMOS-Vorspannungsanschluss 844 verbunden. Ein Gate des ersten Steuertreibers 848a ist mit dem ersten Steuersignalknoten 822a verbunden. Eine Source der ersten Steuerlast 846a ist mit dem Leistungsanschluss 818 verbunden. Eine Source des ersten Steuertreibers 848a ist mit dem Masseanschluss 828 verbunden.

Durch die Kopplung des ersten Steuersignalknotens 822a mit dem ersten Stromsteuerknoten 816a durch den ersten invertierenden Steuerpuffer 834a wird ein erster negativer Rückkopplungspfad 836a bereitgestellt, der Variationen eines ersten Kopfpotenzials, das in **Fig. 8** als „VHEADa“ gekennzeichnet ist, am ersten Zweigknoten 814a reduziert, wenn sich der erste Rückkopplungsstrom IFBa aufgrund von Variationen des Rückkopplungspotenzials VFB ändert.

[0070] Der Transkonduktor 802 dieses Beispiels beinhaltet eine zweite Referenzeingangsstufe 804b, ausgelegt zum Empfangen des Referenzpotenzials „VREF“ von dem Referenzeingangsport 806, gekoppelt mit einer zweiten Rückkopplungseingangsstufe 808b, ausgelegt zum Empfangen des Rückkopplungspotenzials „VFB“ von dem Rückkopplungseingangsport 810. Die zweite Referenzeingangsstufe 804b ist über einen dritten Widerstand 862, der in **Fig. 8** als „R3“ gekennzeichnet ist, mit einem zweiten Zweigknoten 814b verbunden. Die zweite Rückkopplungseingangsstufe 808b ist über einen vierten Widerstand 864, der in **Fig. 8** als „R4“ gekennzeichnet ist, mit dem zweiten Zweigknoten 814b verbunden.

[0071] Der Transkonduktor 802 beinhaltet eine zweite Strombegrenzungskomponente 812b, die am zweiten Zweigknoten 814b mit der zweiten Referenzeingangsstufe 804b und mit der zweiten Rückkopplungseingangsstufe 808b in parallelen Strompfaden durch den dritten Widerstand R3 862 bzw. den vierten Widerstand R4 864 in Reihe geschaltet ist, wie in **Fig. 8** gezeigt. In diesem Beispiel kann die zweite Strombegrenzungskomponente 812b als NFET mit positiver Transkonduktanz implementiert sein. Die zweite Strombegrenzungskomponente 812b weist einen zweiten Stromsteuerknoten 816b auf, der während des Betriebs des Transkonduktors 802 ein zweites Steuerpotenzial, das in **Fig. 8** als „VCTL1b“ gekennzeichnet ist, aufweist. Die zweite Strombegrenzungskomponente 812b ist mit dem Leistungsanschluss 818 gekoppelt. Der Strom fließt vom Leistungsanschluss 818 durch die zweite Strombegrenzungskomponente 812b und wird in einen zweiten Referenzstrom, der in **Fig. 8** als „IREFb“ gekennzeichnet ist, durch die zweite Referenzeingangsstufe 804b und einen zweiten Rückkopplungsstrom, der in **Fig. 8** als „IFBb“ gekennzeichnet ist, durch die zweite Rückkopplungseingangsstufe 808b aufgeteilt.

[0072] Der Transkonduktor 802 beinhaltet eine zweite Rückkopplungslast 824b, die über einen zweiten Ausgangssignalknoten 826b mit der zweiten Rückkopplungseingangsstufe 808b verbunden ist. In diesem Beispiel kann die zweite Rückkopplungslast 824b als NMOS-Diode implementiert sein, wie in **Fig. 8** angegeben. Ein zweites Ausgangspotenzial, das in **Fig. 8** als „VSIGb“ gekennzeichnet ist, am

zweiten Ausgangssignalknoten 826b ist gleich einem Spannungsabfall an der zweiten Rückkopplungslast 824b aufgrund des zweiten Rückkopplungsstroms IFBb.

[0073] Der Transkonduktor 802 beinhaltet eine zweite Referenzlast 820b, die über einen zweiten Steuersignalknoten 822b mit der zweiten Referenzeingangsstufe 804b verbunden ist. In diesem Beispiel kann die zweite Referenzlast 820b als NFET implementiert sein. Ein Gate der zweiten Referenzlast 820b kann mit einem NMOS-Vorspannungsanschluss 838 verbunden sein. Ein viertes Steuerpotenzial, das in **Fig. 8** als „VCTL2b“ gekennzeichnet ist, am zweiten Steuersignalknoten 822b ist gleich einem Spannungsabfall an der zweiten Referenzlast 820b aufgrund des zweiten Referenzstroms IREFb.

[0074] Sources der zweiten Referenzlast 820b und der zweiten Rückkopplungslast 824b sind mit dem Masseanschluss 828 verbunden. Der zweite Referenzstrom IREFb und der zweite Rückkopplungsstrom IFBb fließen zum Masseanschluss 828.

[0075] Der zweite Steuersignalknoten 822b ist durch einen zweiten invertierenden Steuerpuffer 834b mit dem zweiten Stromsteuerknoten 816b der zweiten Strombegrenzungskomponente 812b gekoppelt, wie in **Fig. 8** angegeben, sodass das dritte Steuerpotenzial VCTL1b eine negative Korrelation zum vierten Steuerpotenzial VCTL2b aufweist. In diesem Beispiel beinhaltet der zweite invertierende Steuerpuffer 834b eine zweite Steuerlast 846b, die in diesem Beispiel als PFET implementiert ist, und einen zweiten Steuertreiber 848b, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung, wobei der zweite Steuersignalknoten 822b mit einem Drain der zweiten Steuerlast 846b und mit einem Drain des zweiten Steuertreibers 848b verbunden ist. Ein Gate der zweiten Steuerlast 846b ist mit dem PMOS-Vorspannungsanschluss 844 verbunden. Ein Gate des zweiten Steuertreibers 848b ist mit dem zweiten Steuersignalknoten 822b verbunden.

[0076] Eine Source der zweiten Steuerlast 846b ist mit dem Leistungsanschluss 818 verbunden. Eine Source des zweiten Steuertreibers 848b ist mit dem Masseanschluss 828 verbunden. Durch die Kopplung des zweiten Steuersignalknotens 822b mit dem zweiten Stromsteuerknoten 816b durch den zweiten invertierenden Steuerpuffer 834b wird ein zweiter negativer Rückkopplungspfad 836b bereitgestellt, der Variationen eines zweiten Kopfpotenzials, das in **Fig. 8** als „VHEADb“ gekennzeichnet ist, am zweiten Zweigknoten 814b reduziert, wenn sich der zweite Rückkopplungsstrom IFBb aufgrund von Variationen des Rückkopplungspotenzials VFB ändert.

[0077] Der Transkonduktor 802 beinhaltet Ausgangsstromanschluss 830, der über einen Ausgangspuffer 832 mit dem ersten Ausgangssignalknoten 826a und dem zweiten Ausgangssignalknoten 826b gekoppelt ist. Der Ausgangspuffer 832 wandelt das erste Ausgangssignalpotenzial VSIGa am ersten Ausgangssignalknoten 826a und das zweite Ausgangssignalpotenzial VSIGb am zweiten Ausgangssignalknoten 826b in einen Ausgangsstrom um, der in **Fig. 3** als „IOUT“ gekennzeichnet ist und durch den Ausgangsstromanschluss 830 fließt. In diesem Beispiel beinhaltet der Ausgangspuffer 832 einen ersten Ausgangstreiber 842a, der in diesem Beispiel als PFET implementiert ist, und einen zweiten Ausgangstreiber 842b, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung mit Drain an Drain. Eine Source des ersten Ausgangstreibers 842a ist mit dem Leistungsanschluss 818 verbunden; eine Source des zweiten Ausgangstreibers 842b ist mit dem Masseanschluss 828 verbunden. Der erste Ausgangssignalknoten 826a ist mit einem Gate des ersten Ausgangstreibers 842a verbunden und der zweite Ausgangssignalknoten 826b ist mit einem Gate des zweiten Ausgangstreibers 842b verbunden. Der Ausgangsstromanschluss 830 ist mit dem Drain des ersten Ausgangstreibers 842a und dem Drain des zweiten Ausgangstreibers 842b verbunden. Der Ausgangspuffer 832 dieses Beispiels stellt eine bidirektionale Ausgangsfunktionalität mit einer nicht-komplementären Polarität für den Ausgangsstrom IOUT bereit. Die Widerstände R1 858, R2 860, R3 862 und R4 864 können vorteilhafterweise eine größere Linearität im Ausgangsstrom IOUT als Funktion einer Differenz zwischen dem Rückkopplungspotenzial VFB und dem Referenzpotenzial VREF bereitstellen. Die bidirektionale Ausgangsfunktionalität kann für ein Netzwerk außerhalb eines Halbleiterbauelements 800, das den Transkonduktor 802 beinhaltet, geeignet sein.

[0078] **Fig. 9** ist ein Schaltbild eines anderen beispielhaften Transkonduktors. Der Transkonduktor 902 beinhaltet eine erste Referenzeingangsstufe 904a, ausgelegt zum Empfangen eines Referenzpotenzials, das in **Fig. 9** als „VREF“ gekennzeichnet ist, an einem Referenzeingangsport 906, gekoppelt mit einer ersten Rückkopplungseingangsstufe 908a, ausgelegt zum Empfangen eines Rückkopplungspotenzials, das in **Fig. 9** als „VFB“ gekennzeichnet ist, an einem Rückkopplungseingangsport 910. In diesem Beispiel können die erste Referenzeingangsstufe 904a und die erste Rückkopplungseingangsstufe 908a als NFETs sein, wie in **Fig. 9** angegeben. Während des Betriebs des Transkonduktors 902 fließt ein erster Referenzstrom, der in **Fig. 9** als „IREFa“ gekennzeichnet ist, durch die erste Referenzeingangsstufe 904a, und ein erster Rückkopplungsstrom, der in **Fig. 9** als „IFBa“ gekennzeichnet ist, durch die erste Rückkopplungseingangsstufe 908a.

[0079] Der Transkonduktor 902 beinhaltet eine erste Strombegrenzungskomponente 912a, die mit der ersten Referenzeingangsstufe 904a und der ersten Rückkopplungseingangsstufe 908a in parallelen Strompfaden, wie in **Fig. 9** gezeigt, an einem ersten Zweigknoten 914a in Reihe geschaltet ist. In diesem Beispiel kann die erste Strombegrenzungskomponente 912a als PFET mit negativer Transkonduktanz implementiert sein. Die erste Strombegrenzungskomponente 912a weist einen ersten Stromsteuerknoten 916a auf, der während des Betriebs des Transkonduktors 902 ein erstes Steuerpotenzial, das in **Fig. 9** als „VCTL1a“ gekennzeichnet ist, aufweist. Ein Drain der ersten Strombegrenzungskomponente 912a ist mit einem Masseanschluss 928 gekoppelt, der dazu ausgelegt ist, Strom mit einem Massepotenzial, das in **Fig. 9** als „VSS“ gekennzeichnet ist, zu empfangen. Der erste Referenzstrom IREFa und der erste Rückkopplungsstrom IFBa werden am ersten Zweigknoten 914a kombiniert und fließen durch die erste Strombegrenzungskomponente 912a zum Masseanschluss 928.

[0080] Der Transkonduktor 902 beinhaltet eine erste Referenzlast 920a, die in diesem Beispiel als NFET ist und über einen ersten Steuersignalknoten 922a mit der ersten Referenzeingangsstufe 904a verbunden ist. Ein Gate der ersten Referenzlast 920a kann mit einem PMOS-Vorspannungsanschluss 944 verbunden sein.

[0081] Der Transkonduktor 902 beinhaltet eine erste Rückkopplungslast 924a, die in diesem Beispiel als PMOS-Diode implementiert ist. Ein Drain der ersten Rückkopplungslast 924a ist mit der ersten Rückkopplungseingangsstufe 908a verbunden. Ein Gate der ersten Rückkopplungslast 924a kann mit dem Drain der ersten Rückkopplungslast 924a verbunden sein, sodass die erste Rückkopplungslast 924a in diesem Beispiel als PMOS-Diode implementiert ist. Sources der ersten Referenzlast 920a und der ersten Rückkopplungslast 924a sind mit einem Leistungsanschluss 918 verbunden, der dazu ausgelegt ist, Strom mit einem positiven Leistungspotenzial, das in **Fig. 9** als „VDD“ gekennzeichnet ist, an den Transkonduktor 902 zu liefern.

[0082] Der Strom fließt vom Masseanschluss 928 durch die erste Strombegrenzungskomponente 912a und wird am ersten Zweigknoten 914a in den ersten Referenzstrom IREFa und den ersten Rückkopplungsstrom IFBa aufgeteilt. Der Referenzstrom IREFa fließt durch den ersten Steuersignalknoten 922a und die erste Referenzlast 920a zum Leistungsanschluss 918. Ein zweites Steuerpotenzial, das in **Fig. 9** als „VCTL2a“ gekennzeichnet ist, am ersten Steuersignalknoten 922a ist gleich einem Spannungsabfall an der ersten Referenzlast 920a in Bezug auf VDD aufgrund des Referenzstroms IREFa. Der Rückkopplungsstrom IFBa fließt durch

die erste Rückkopplungslast 924a zum Leistungsanschluss 918.

[0083] Der erste Steuersignalknoten 922a ist durch einen ersten invertierenden Steuerpuffer 934a mit dem ersten Stromsteuerknoten 916a der ersten Strombegrenzungskomponente 912a gekoppelt, wie in **Fig. 9** angegeben, sodass das erste Steuerpotenzial VCTL1a eine negative Korrelation zum zweiten Steuerpotenzial VCTL2a aufweist. In diesem Beispiel beinhaltet der erste invertierende Steuerpuffer 934a eine erste Steuerlast 946a, die in diesem Beispiel als NFET implementiert ist, und einen ersten Steuertreiber 948a, der in diesem Beispiel als PFET implementiert ist, in Reihenschaltung mit Drain an Drain, wobei der erste Stromsteuerknoten 916a mit einem Drain der ersten Steuerlast 946a und mit einem Drain des ersten Steuertreibers 948a verbunden ist. Ein Gate der ersten Steuerlast 946a ist mit dem NMOS-Vorspannungsanschluss 938 verbunden. Ein Gate des ersten Steuertreibers 948a ist mit dem ersten Steuersignalknoten 922a verbunden. Eine Source der ersten Steuerlast 946a ist mit dem Masseanschluss 928 verbunden. Eine Source des ersten Steuertreibers 948a ist mit dem Leistungsanschluss 918 verbunden. Durch die Kopplung des ersten Steuersignalknotens 922a mit dem ersten Stromsteuerknoten 916a durch den ersten invertierenden Steuerpuffer 934a wird ein erster negativer Rückkopplungspfad 936a bereitgestellt, der Variationen eines ersten Kopfpotenzials, das in **Fig. 9** als „VHEADa“ gekennzeichnet ist, am ersten Zweigknoten 914a reduziert, wenn sich der erste Rückkopplungsstrom IFBa aufgrund von Variationen des Rückkopplungspotenzials VFB ändert.

[0084] Der Transkonduktor 902 dieses Beispiels beinhaltet eine zweite Referenzeingangsstufe 904b, ausgelegt zum Empfangen des Referenzpotenzials „VREF“ von dem Referenzeingangsport 906, gekoppelt mit einer zweiten Rückkopplungseingangsstufe 908b, ausgelegt zum Empfangen des Rückkopplungspotenzials „VFB“ von dem Rückkopplungseingangsport 910. Die zweite Referenzeingangsstufe 904b und die zweite Rückkopplungseingangsstufe 908b sind mit einem zweiten Zweigknoten 914b verbunden. Der Transkonduktor 902 beinhaltet eine zweite Strombegrenzungskomponente 912b, die am zweiten Zweigknoten 914b mit der zweiten Referenzeingangsstufe 904b und mit der zweiten Rückkopplungseingangsstufe 908b in Reihe geschaltet ist. In diesem Beispiel kann die zweite Strombegrenzungskomponente 912b als PFET implementiert sein. Die zweite Strombegrenzungskomponente 912b weist einen zweiten Stromsteuerknoten 916b auf, der während des Betriebs des Transkonduktors 902 ein zweites Steuerpotenzial, das in **Fig. 9** als „VCTL1b“ gekennzeichnet ist, aufweist.

[0085] Der Transkonduktor 902 dieses Beispiels beinhaltet einen Stromsensor 954, der mit der ersten Strombegrenzungskomponente 912a in Reihe geschaltet ist. In diesem Beispiel ist der Stromsensor 954 als NFET implementiert. Ein Drain des Stromsensors 954 ist mit einem Gate des Stromsensors 954 und mit einem Drain der ersten Strombegrenzungskomponente 912a verbunden. Eine Source des Stromsensors 954 ist mit dem Masseanschluss 928 verbunden. Der Stromsensor 954 dieses Beispiels ist somit als NMOS-Diode konfiguriert. In diesem Beispiel stellt das Gate des Stromsensors 954 einen zweiten Ausgangssignalknoten 926b bereit, der während des Betriebs des Transkonduktors 902 ein zweites Ausgangssignalpotenzial, das in **Fig. 9** als „VSIGb“ gekennzeichnet ist, aufweist. Außerdem werden während des Betriebs des Transkonduktors 902 der zweite Referenzstrom IREFb und der zweite Rückkopplungsstrom IFBb am zweiten Zweigknoten 914b kombiniert und fließen durch die erste Strombegrenzungskomponente 912a und den Stromsensor 954 zum Masseanschluss 928.

[0086] Der Transkonduktor 902 beinhaltet eine zweite Rückkopplungslast 924b, die über einen zweiten Steuersignalknoten 922b mit der zweiten Rückkopplungseingangsstufe 908b verbunden ist. In diesem Beispiel kann die zweite Rückkopplungslast 924b als PFET implementiert sein. Eine Source der zweiten Rückkopplungslast 924b kann mit dem Leistungsanschluss 918 verbunden sein. Ein Gate der zweiten Rückkopplungslast 924b kann mit dem PMOS-Vorspannungsanschluss 944 verbunden sein. Ein viertes Steuerpotenzial, das in **Fig. 9** als „VCTL2b“ gekennzeichnet ist, am zweiten Steuersignalknoten 922b ist gleich einem Spannungsabfall an der zweiten Rückkopplungslast 924b in Bezug auf VDD aufgrund des zweiten Referenzstroms IREFb.

[0087] Der Transkonduktor 902 beinhaltet eine zweite Referenzlast 920b, die mit der zweiten Referenzeingangsstufe 904b verbunden ist. In diesem Beispiel kann die zweite Referenzlast 920b als PMOS-Diode implementiert sein. Sources der zweiten Referenzlast 920b und der zweiten Rückkopplungslast 924b sind mit dem Leistungsanschluss 918 verbunden.

[0088] Der zweite Steuersignalknoten 922b ist durch einen zweiten invertierenden Steuerpuffer 934b mit dem zweiten Stromsteuerknoten 916b der zweiten Strombegrenzungskomponente 912b gekoppelt, wie in **Fig. 9** angegeben, sodass das dritte Steuerpotenzial VCTL1b eine negative Korrelation zum vierten Steuerpotenzial VCTL2b aufweist. In diesem Beispiel beinhaltet der zweite invertierende Steuerpuffer 934b eine zweite Steuerlast 946b, die in diesem Beispiel als NFET implementiert ist, und einen zweiten Steuertreiber 948b, der in diesem Beispiel als PFET implementiert ist, in Reihen-

schaltung, wobei der zweite Stromsteuerknoten 916b mit einem Drain der zweiten Steuerlast 946b und mit einem Drain des zweiten Steuertreibers 948b verbunden ist. Ein Gate der zweiten Steuerlast 946b ist mit dem NMOS-Vorspannungsanschluss 938 verbunden. Ein Gate des zweiten Steuertreibers 948b ist mit dem zweiten Steuersignalknoten 922b verbunden. Eine Source der zweiten Steuerlast 946b ist mit dem Masseanschluss 928 verbunden. Eine Source des zweiten Steuertreibers 948b ist mit dem Leistungsanschluss 918 verbunden. Durch die Kopplung des zweiten Steuersignalknotens 922b mit dem zweiten Stromsteuerknoten 916b durch den zweiten invertierenden Steuerpuffer 934b wird ein zweiter negativer Rückkopplungspfad 936b bereitgestellt, der Variationen eines zweiten Kopfpotenzials, das in **Fig. 9** als „VHEADb“ gekennzeichnet ist, am zweiten Zweigknoten 914b reduziert, wenn sich der zweite Rückkopplungsstrom IFBb aufgrund von Variationen des Rückkopplungspotenzials VFB ändert.

[0089] Der Transkonduktor 902 beinhaltet einen Ausgangsstromanschluss 930, der über einen ersten Ausgangspuffer 932a mit einem ersten Ausgangssignalknoten 926a und über einen zweiten Ausgangspuffer 932b mit dem zweiten Ausgangssignalknoten 926b gekoppelt ist. Der erste Ausgangspuffer 932a und der zweite Ausgangspuffer 932b dieses Beispiels sind umgekehrte Konfigurationen voneinander.

[0090] Der erste Ausgangspuffer 932a wandelt das erste Ausgangssignalpotenzial VSIGa am ersten Ausgangssignalknoten 926a in einen Quellenausgangsstromanteil um, der durch einen Ausgangsstromanschluss 930 fließt. In diesem Beispiel beinhaltet der erste Ausgangspuffer 932a zwei parallele Strompfade, um eine verstärkte Transkonduktanz bereitzustellen. Ein erster Strompfad des ersten Ausgangspuffers 932a beinhaltet einen ersten Widerstand 950a, der in **Fig. 9** als „R1“ gekennzeichnet ist, eine erste Ausgangslast 940a, die in diesem Beispiel als NFET implementiert ist, und einen ersten Ausgangstreiber 942a, der in diesem Beispiel als PFET implementiert ist, in Reihenschaltung. Ein erster Anschluss des ersten Widerstands 950a ist mit dem Masseanschluss 928 verbunden. Eine Source der ersten Ausgangslast 940a ist mit einem zweiten Anschluss des ersten Widerstands 950a verbunden. Eine Source des ersten Ausgangstreibers 942a ist mit dem Leistungsanschluss 918 verbunden. Ein zweiter Strompfad des ersten Ausgangspuffers 932a beinhaltet einen zweiten Widerstand 950b, der in **Fig. 9** als „R2“ gekennzeichnet ist, eine zweite Ausgangslast 940b, die in diesem Beispiel als NFET implementiert ist, und einen zweiten Ausgangstreiber 942b, der in diesem Beispiel als PFET implementiert ist, in Reihenschaltung. Ein erster Anschluss des zweiten Widerstands 950b ist mit

dem Masseanschluss 928 verbunden. Eine Source der zweiten Ausgangslast 940b ist mit einem zweiten Anschluss des zweiten Widerstands 950b verbunden. Eine Source des zweiten Ausgangstreibers 942b ist mit dem Leistungsanschluss 918 verbunden. Gates der ersten Ausgangslast 940a und der zweiten Ausgangslast 940b sind mit einem Drain der ersten Ausgangslast 940a verbunden; die erste Ausgangslast 940a arbeitet somit als NMOS-Diode. Gates des ersten Ausgangstreibers 942a und des zweiten Ausgangstreibers 942b sind mit dem ersten Ausgangssignalknoten 926a verbunden. Der erste Ausgangspuffer 932a beinhaltet eine erste Ausgangsstufe 952a, die in diesem Beispiel als NFET implementiert ist. Eine Source der ersten Ausgangsstufe 952a ist mit der Source der ersten Ausgangslast 940a verbunden. Ein Gate der ersten Ausgangsstufe 952a ist mit einem Drain des zweiten Ausgangstreibers 942b verbunden. Ein Drain der ersten Ausgangsstufe 952a ist mit dem Ausgangsstromanschluss 930 verbunden. Der erste Ausgangspuffer 932a verstärkt das erste Ausgangssignalpotenzial VSIGa am ersten Ausgangssignalknoten 926a um einen Faktor, der etwa dem Verhältnis eines Widerstandswerts des zweiten Widerstands 950b zu einem Widerstandswert des ersten Widerstands 950a entspricht.

[0091] Der zweite Ausgangspuffer 932b wandelt das zweite Ausgangssignalpotenzial VSIGb am zweiten Ausgangssignalknoten 926b in einen Senkenausgangsstromanteil um, der durch den Ausgangsstromanschluss 930 fließt. In diesem Beispiel beinhaltet der zweite Ausgangspuffer 932b zwei parallele Strompfade, um eine verstärkte Transkonduktanz bereitzustellen. Ein erster Strompfad des zweiten Ausgangspuffers 932b beinhaltet einen dritten Widerstand 950c, der in **Fig. 9** als „R3“ gekennzeichnet ist, eine dritte Ausgangslast 940c, die in diesem Beispiel als PFET implementiert ist, und einen dritten Ausgangstreiber 942c, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung. Ein erster Anschluss des dritten Widerstands 950c ist mit dem Leistungsanschluss 918 verbunden. Eine Source der dritten Ausgangslast 940c ist mit einem zweiten Anschluss des dritten Widerstands 950c verbunden. Eine Source des dritten Ausgangstreibers 942c ist mit dem Masseanschluss 928 verbunden. Ein zweiter Strompfad des zweiten Ausgangspuffers 932b beinhaltet einen vierten Widerstand 950d, der in **Fig. 9** als „R4“ gekennzeichnet ist, eine vierte Ausgangslast 940d, die in diesem Beispiel als PFET implementiert ist, und einen vierten Ausgangstreiber 942d, der in diesem Beispiel als NFET implementiert ist, in Reihenschaltung. Ein erster Anschluss des vierten Widerstands 950d ist mit dem Leistungsanschluss 918 verbunden. Eine Source der vierten Ausgangslast 940d ist mit einem zweiten Anschluss des vierten Widerstands 950d verbunden. Eine Source des vierten Ausgangstreibers 942d ist mit dem Mas-

seanschluss 928 verbunden. Gates der dritte Ausgangslast 940c und der vierten Ausgangslast 940d sind mit einem Drain der dritten Ausgangslast 940c verbunden; die dritte Ausgangslast 940c arbeitet somit als PMOS-Diode. Gates des dritten Ausgangstreibers 942c und des vierten Ausgangstreibers 942d sind mit dem zweiten Ausgangssignalknoten 926b verbunden. Der zweite Ausgangspuffer 932b beinhaltet eine zweite Ausgangsstufe 952b, die in diesem Beispiel als PFET implementiert ist. Eine Source der zweiten Ausgangsstufe 952b ist mit der Source der dritten Ausgangslast 940c verbunden. Ein Gate der zweiten Ausgangsstufe 952b ist mit einem Drain des vierten Ausgangstreibers 942d verbunden. Ein Drain der zweiten Ausgangsstufe 952b ist mit dem Ausgangsstromanschluss 930 verbunden. Der zweite Ausgangspuffer 932b verstärkt das zweite Ausgangssignalpotenzial VSIGb am zweiten Ausgangssignalknoten 926b um einen Faktor, der etwa dem Verhältnis eines Widerstandswerts des vierten Widerstands 950d zu einem Widerstandswert des dritten Widerstands 950c entspricht. Der erste Ausgangspuffer 932a und der zweite Ausgangspuffer 932b dieses Beispiels stellen eine bidirektionale Ausgangsfunktionalität mit einer komplementären Polarität für den Ausgangsstrom IOUT bereit. Die bidirektionale Ausgangsfunktionalität und die komplementäre Polarität können für ein Netzwerk außerhalb eines Halbleiterbauelements 900, das den Transkonduktor 902 beinhaltet, geeignet sein. Innerhalb des Schutzzumfangs der Ansprüche sind Modifikationen der beschriebenen Beispiele sowie andere Beispiele möglich.

Patentansprüche

1. Halbleiterbauelement, das einen Transkonduktor beinhaltet, umfassend:
 eine Referenzeingangsstufe, ausgelegt zum Empfangen eines Referenzpotenzials;
 eine Rückkopplungseingangsstufe, ausgelegt zum Empfangen eines Rückkopplungspotenzials;
 eine Strombegrenzungskomponente, ausgelegt zum Steuern eines Gesamtstroms durch die Referenzeingangsstufe und die Rückkopplungseingangsstufe;
 eine Referenzlast, die mit der Referenzeingangsstufe in Reihe geschaltet ist;
 eine Rückkopplungslast, die mit der Rückkopplungseingangsstufe in Reihe geschaltet ist;
 einen Ausgangsstromanschluss, der über einen Ausgangspuffer mit der Rückkopplungslast gekoppelt ist, ausgelegt zum Bereitstellen eines Ausgangsstroms, der eine Funktion einer Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial ist; und
 eine negative Rückkopplungsschleife von der Referenzlast zur Strombegrenzungskomponente, ausgelegt zum Kompensieren einer Änderung des Gesamtstroms aufgrund einer Differenz zwischen

dem Referenzpotenzial und dem Rückkopplungspotenzial, wobei die Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial das Referenzpotenzial minus das Rückkopplungspotenzial ist.

2. Halbleiterbauelement nach Anspruch 1, wobei eine Transkonduktanz des Transkonduktors als Absolutwert der Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial zunimmt.

3. Halbleiterbauelement nach Anspruch 1, wobei der Transkonduktor dazu ausgelegt ist, den Ausgangsstrom mit einer Senkenausgangsfunktionalität bereitzustellen, wobei der Ausgangsstrom durch Steuern eines zwischen den Ausgangsstromanschluss und einen Masseanschluss des Halbleiterbauelements geschalteten Ausgangstreibers gesteuert wird.

4. Halbleiterbauelement nach Anspruch 1, wobei der Transkonduktor dazu ausgelegt ist, den Ausgangsstrom mit einer Quellenausgangsfunktionalität bereitzustellen, wobei der Ausgangsstrom durch Steuern eines zwischen den Ausgangsstromanschluss und einen Leistungsanschluss des Halbleiterbauelements geschalteten Ausgangstreibers gesteuert wird.

5. Halbleiterbauelement nach Anspruch 1, wobei der Transkonduktor dazu ausgelegt ist, den Ausgangsstrom mit einer bidirektionalen Ausgangsfunktionalität bereitzustellen, wobei der Ausgangsstrom durch Steuern eines zwischen den Ausgangsstromanschluss und einen Leistungsanschluss des Halbleiterbauelements geschalteten Ausgangstreibers und durch Steuern eines zwischen den Ausgangsstromanschluss und einen Masseanschluss des Halbleiterbauelements geschalteten anderen Ausgangstreibers gesteuert wird.

6. Halbleiterbauelement nach Anspruch 1, wobei der Transkonduktor dazu ausgelegt ist, eine komplementäre Polarität des Ausgangsstroms bereitzustellen, sodass der Ausgangsstrom abnimmt, wenn die Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial zunimmt, und zunimmt, wenn die Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial abnimmt.

7. Halbleiterbauelement nach Anspruch 1, wobei der Transkonduktor dazu ausgelegt ist, eine nicht-komplementäre Polarität des Ausgangsstroms bereitzustellen, sodass der Ausgangsstrom zunimmt, wenn die Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial zunimmt, und abnimmt, wenn die Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial abnimmt.

8. Halbleiterbauelement nach Anspruch 1, wobei die Strombegrenzungskomponente einen n-Kanal-Feldeffekttransistor (NFET) beinhaltet.

9. Halbleiterbauelement nach Anspruch 1, wobei die Strombegrenzungskomponente einen p-Kanal-Feldeffekttransistor (PFET) beinhaltet.

10. Halbleiterbauelement nach Anspruch 1, wobei die Referenzlast einen NFET beinhaltet.

11. Halbleiterbauelement nach Anspruch 1, wobei die Rückkopplungslast einen NFET beinhaltet.

12. Halbleiterbauelement nach Anspruch 1, wobei die negative Rückkopplungsschleife einen invertierenden Puffer beinhaltet.

13. Halbleiterbauelement nach Anspruch 12, wobei der invertierende Puffer eine Steuerlast beinhaltet, die mit einem Steuertreiber in Reihe geschaltet ist.

14. Halbleiterbauelement nach Anspruch 13, wobei der Steuertreiber mit der Referenzlast und der Referenzeingangsstufe verbunden ist.

15. Halbleiterbauelement nach Anspruch 13, wobei die Strombegrenzungskomponente mit der Steuerlast und dem Steuertreiber verbunden ist.

16. Halbleiterbauelement nach Anspruch 13, wobei die Steuerlast als PFET implementiert ist und der Steuertreiber als NFET implementiert ist.

17. Halbleiterbauelement nach Anspruch 1, das ferner einen Stromsensor beinhaltet, der mit der Strombegrenzungskomponente in Reihe geschaltet ist.

18. Halbleiterbauelement nach Anspruch 1, das ferner Folgendes beinhaltet:
einen ersten Widerstand, der zwischen der Strombegrenzungskomponente und der Referenzeingangsstufe in Reihe geschaltet ist; und
einen zweiten Widerstand, der zwischen der Strombegrenzungskomponente und der Rückkopplungseingangsstufe in Reihe geschaltet ist.

19. Halbleiterbauelement nach Anspruch 1, wobei der Ausgangspuffer einen Verstärker beinhaltet, ausgelegt zum Bereitstellen einer verstärkten Transkonduktanz.

20. Halbleiterbauelement nach Anspruch 1, wobei:
die Referenzeingangsstufe eine erste Referenzeingangsstufe ist;
die Rückkopplungseingangsstufe eine erste Rück-

kopplungseingangsstufe ist;
die Strombegrenzungskomponente eine erste Strombegrenzungskomponente ist;
die Referenzlast eine erste Referenzlast ist;
die Rückkopplungslast eine erste Rückkopplungslast ist;
der Ausgangspuffer ein erster Ausgangspuffer ist;
die negative Rückkopplungsschleife eine erste negative Rückkopplungsschleife ist; und
der Gesamtstrom ein erster Gesamtstrom ist;
und das ferner Folgendes beinhaltet:
eine zweite Referenzeingangsstufe, ausgelegt zum Empfangen des Referenzpotenzials;
eine zweite Rückkopplungseingangsstufe, ausgelegt zum Empfangen des Rückkopplungspotenzials;
eine zweite Strombegrenzungskomponente, ausgelegt zum Steuern eines Gesamtstroms durch die zweite Referenzeingangsstufe und die zweite Rückkopplungseingangsstufe;
eine zweite Referenzlast, die mit der zweiten Referenzeingangsstufe in Reihe geschaltet ist;
eine zweite Rückkopplungslast, die mit der zweiten Rückkopplungseingangsstufe in Reihe geschaltet ist;
einen zweiten Ausgangspuffer, der zwischen die zweite Rückkopplungslast und den Stromausgangsstromanschluss geschaltet ist; und
eine zweite negative Rückkopplungsschleife von der zweiten Referenzlast zur zweiten Strombegrenzungskomponente, ausgelegt zum Kompensieren einer Änderung eines zweiten Gesamtstroms durch die zweite Referenzeingangsstufe und die zweite Rückkopplungseingangsstufe aufgrund der Differenz zwischen dem Referenzpotenzial und dem Rückkopplungspotenzial.

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

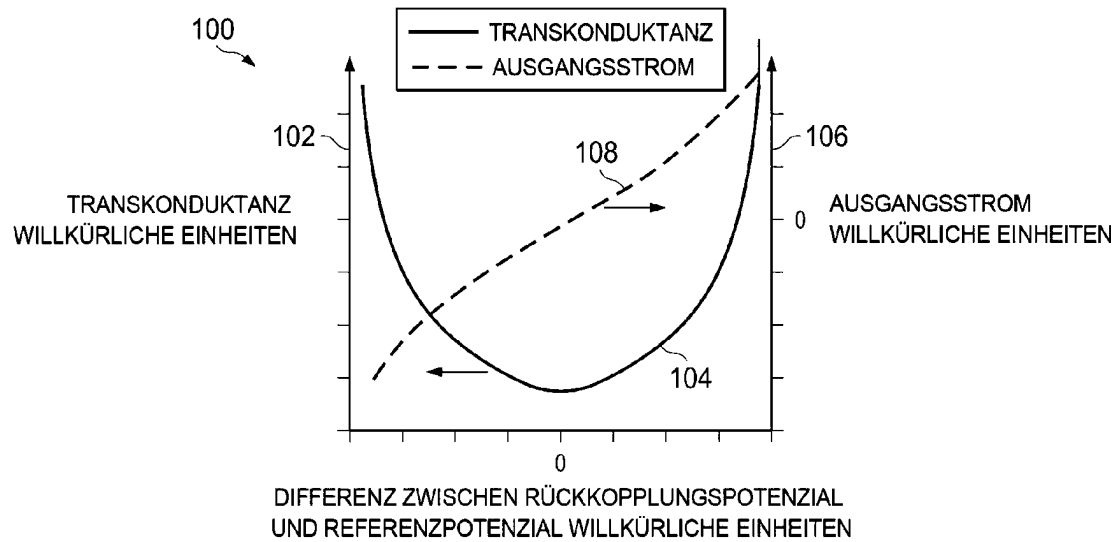


FIG. 1

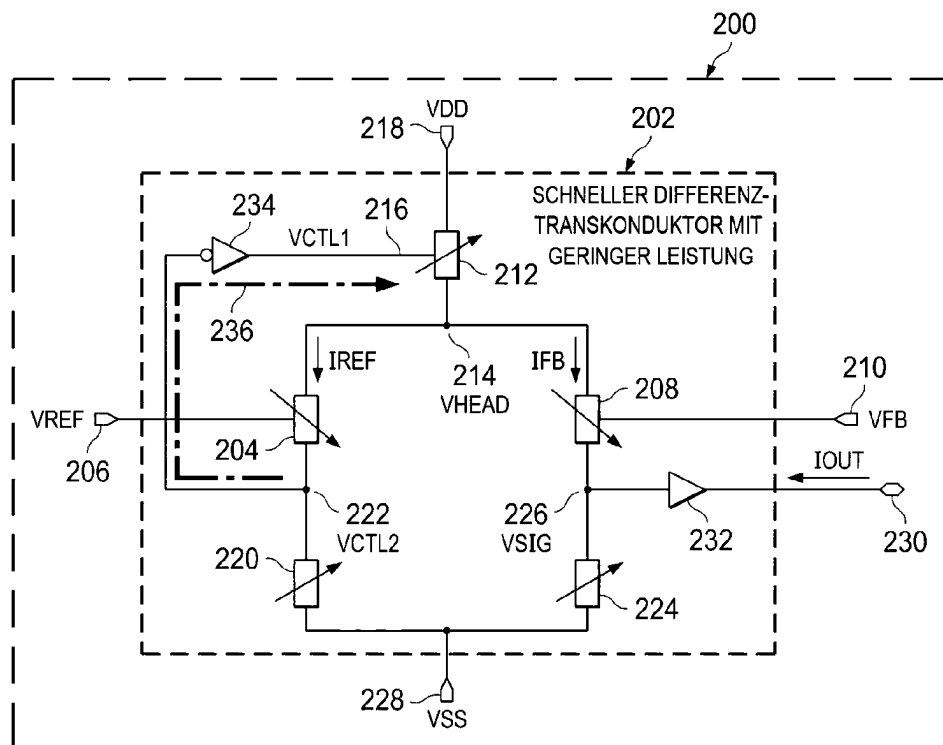


FIG. 2

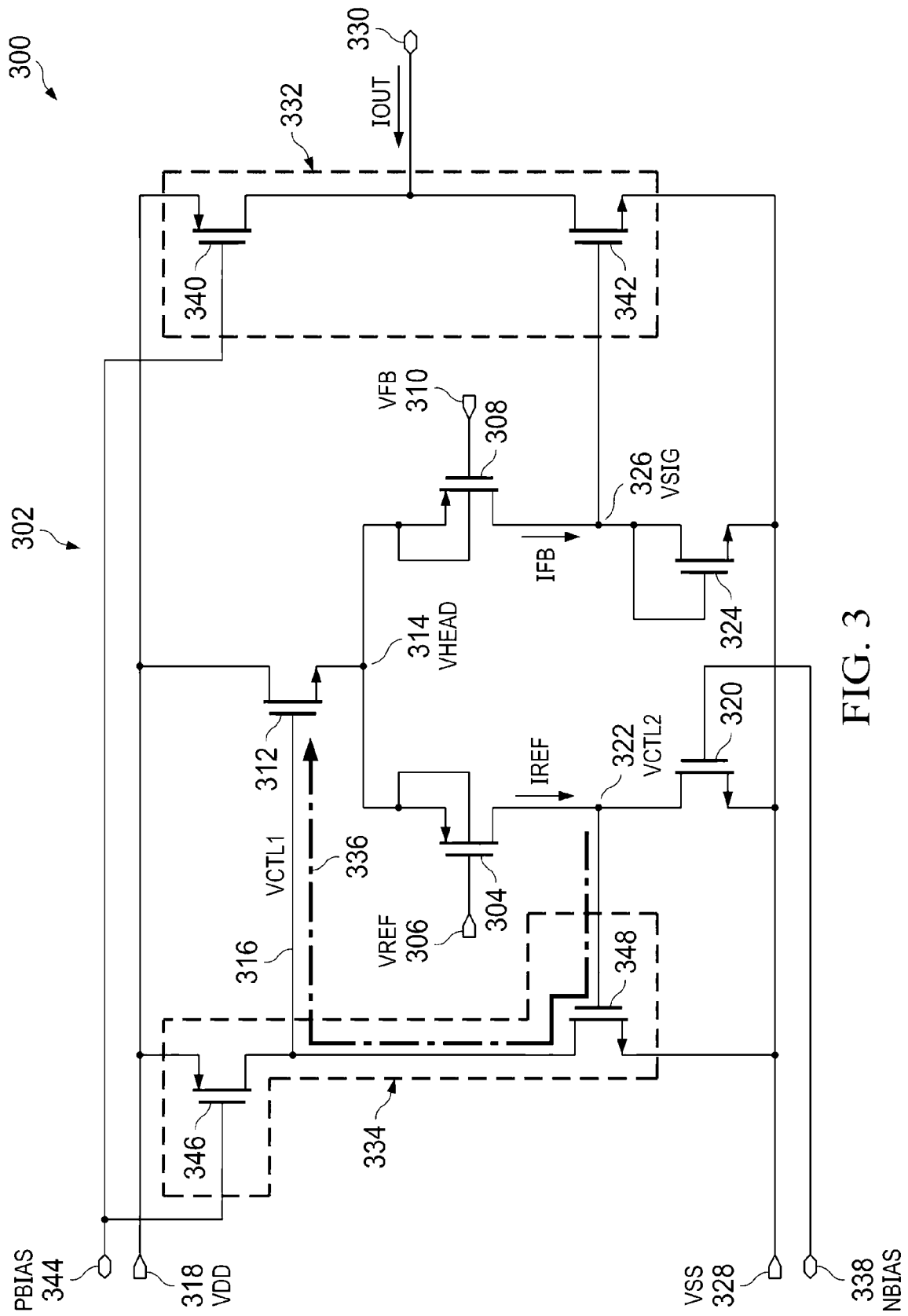


FIG. 3

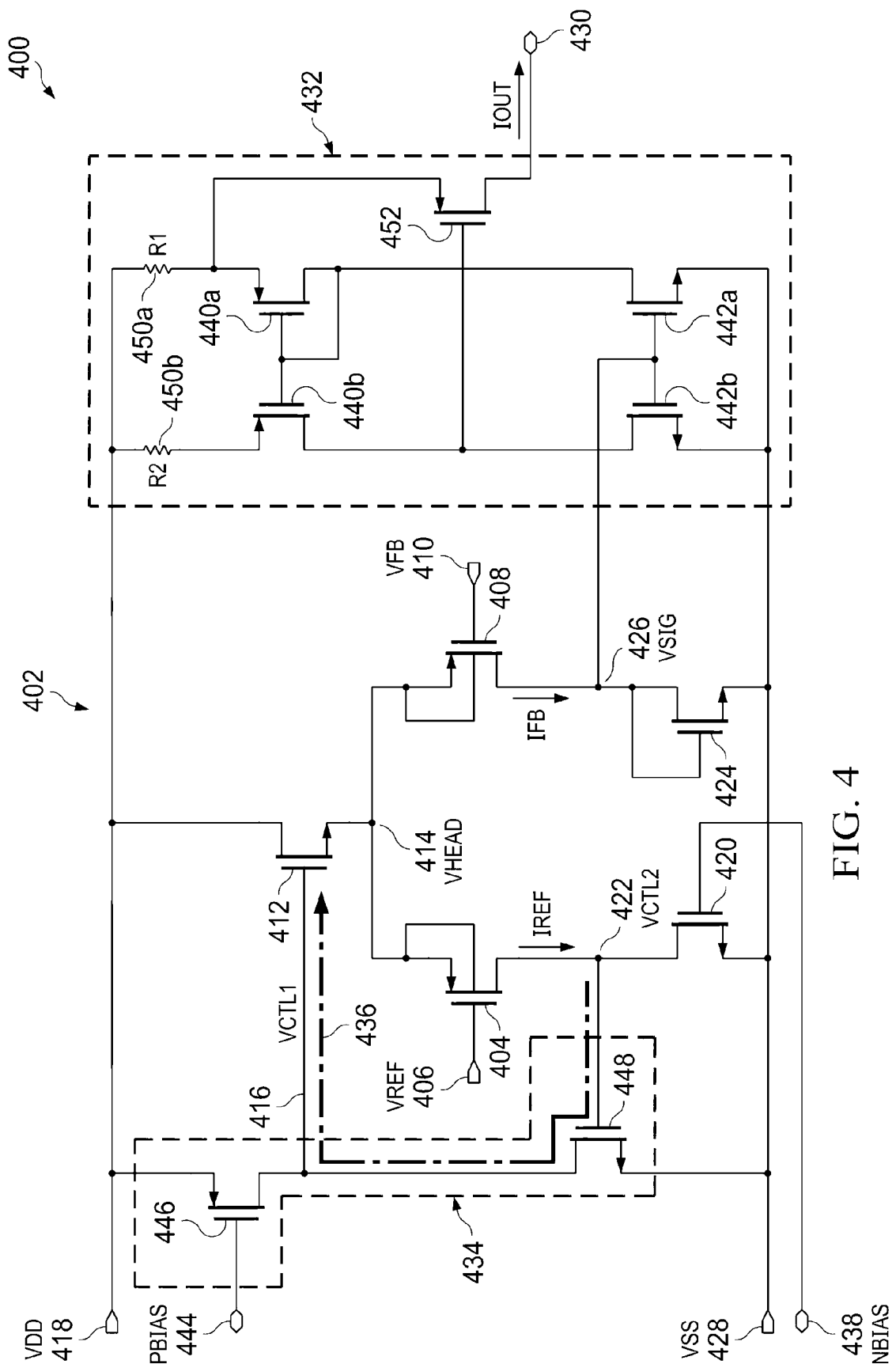


FIG. 4

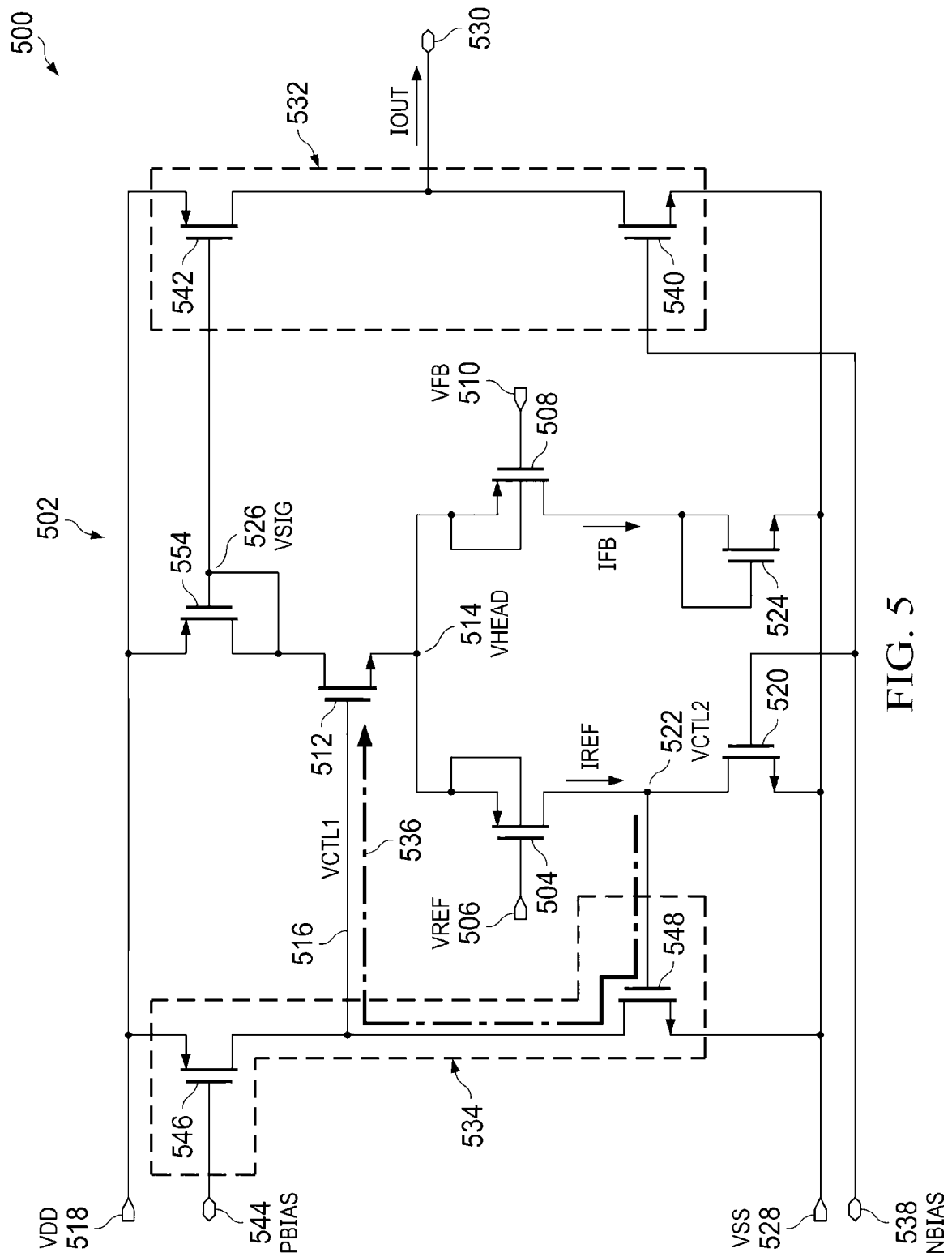


FIG. 5

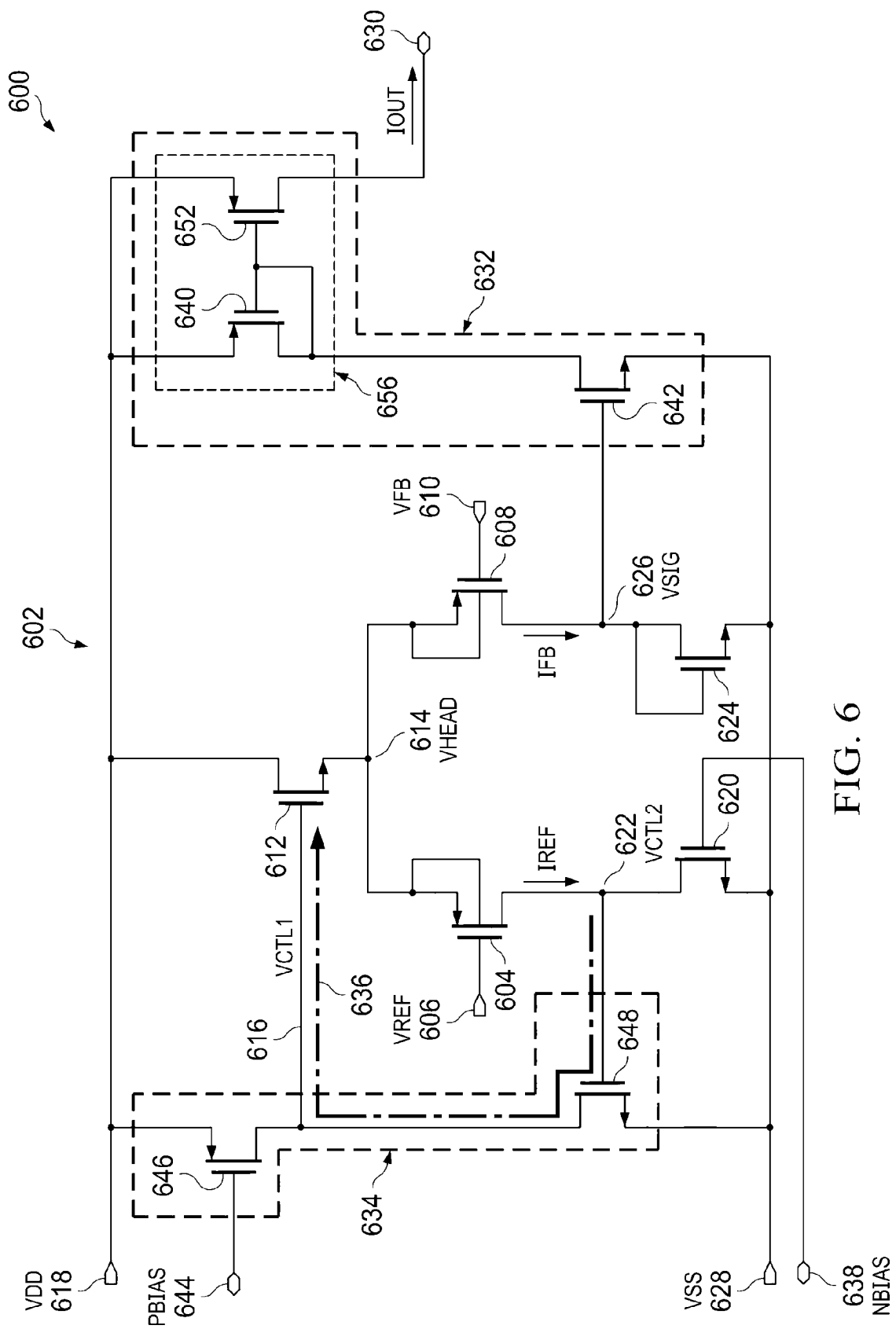


FIG. 6

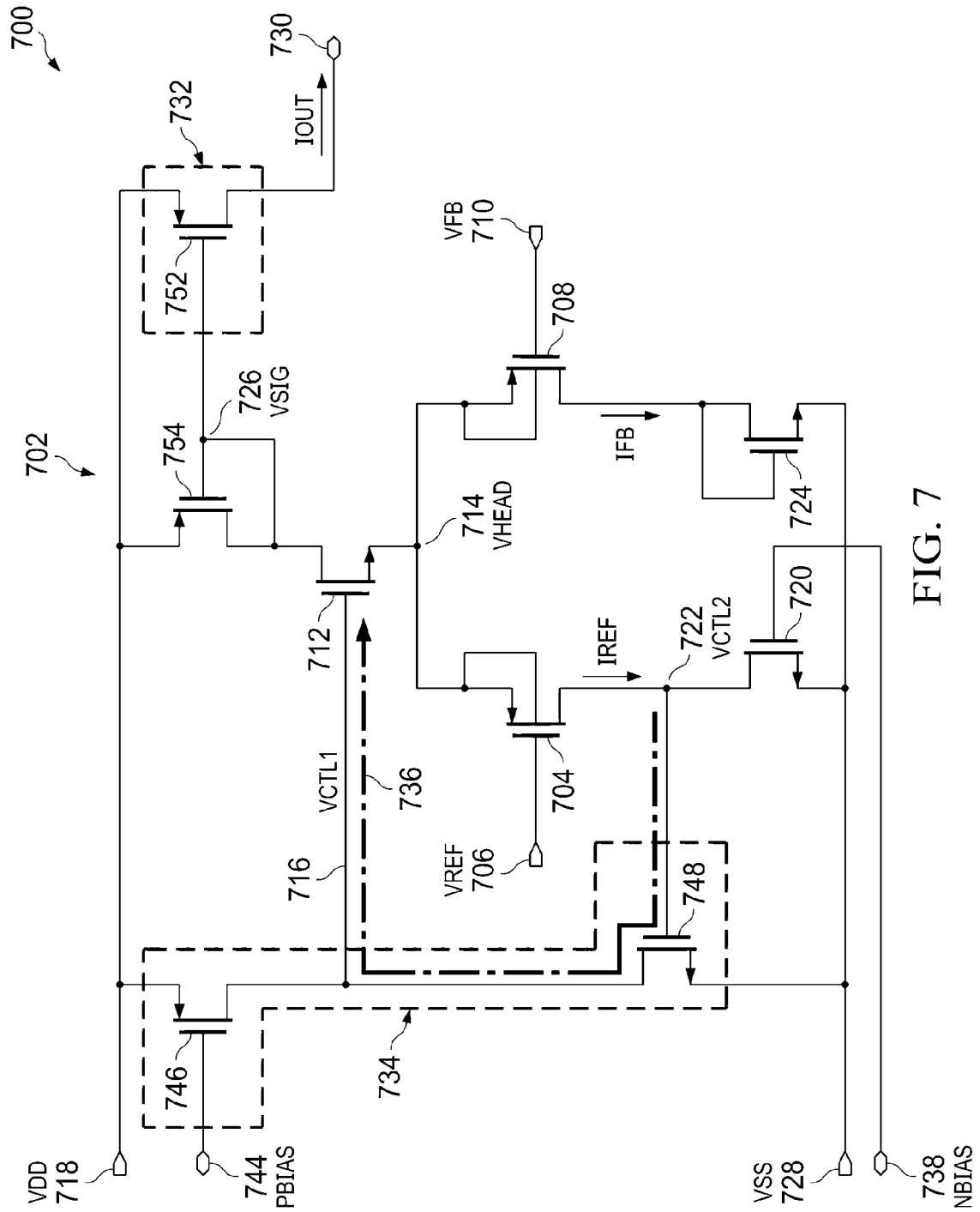


FIG. 7



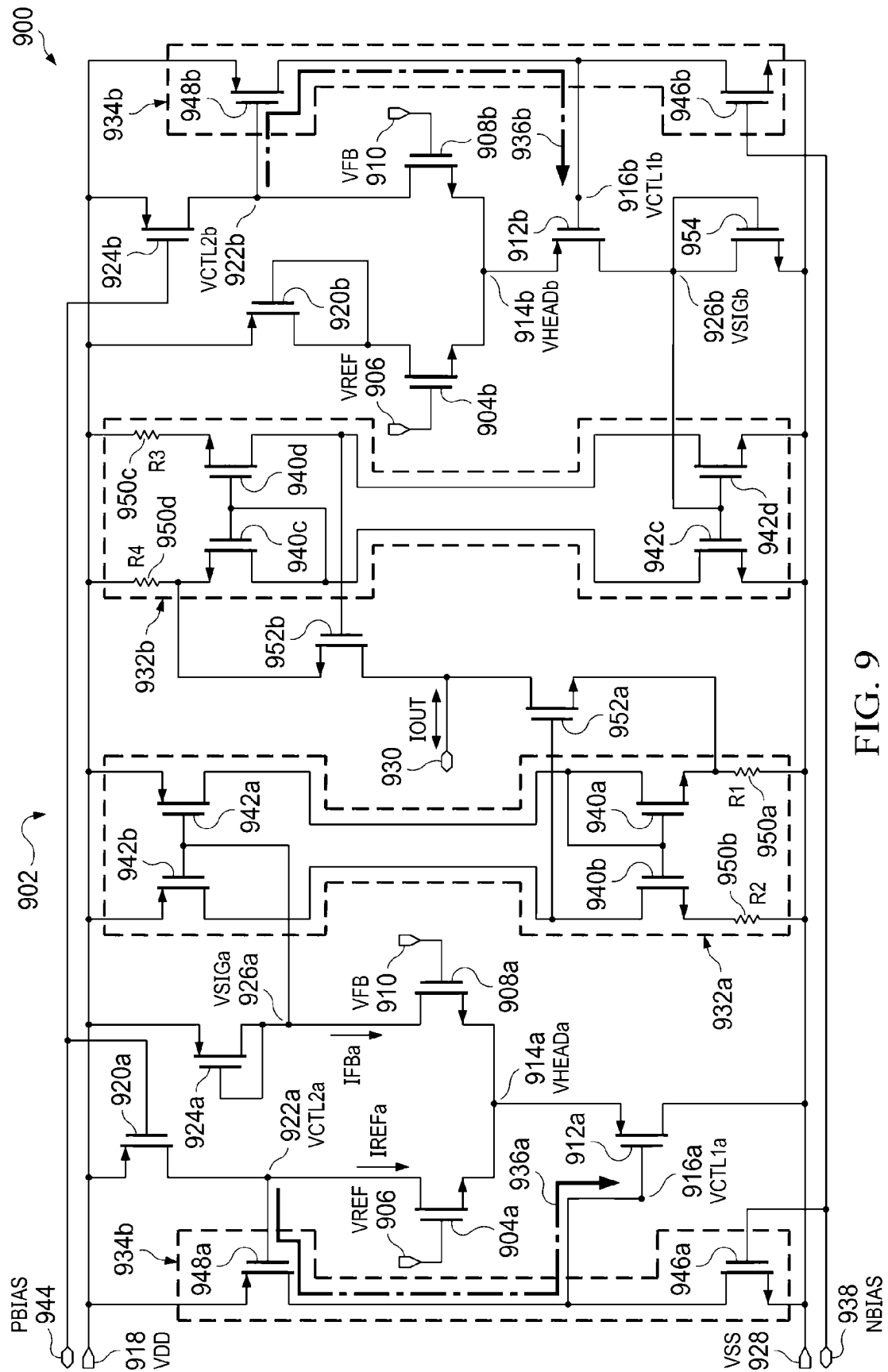


FIG. 9