



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0091496
(43) 공개일자 2020년07월30일

(51) 국제특허분류(Int. Cl.)
H01L 27/11556 (2017.01) H01L 27/11524 (2017.01)
H01L 27/1157 (2017.01) H01L 27/11582 (2017.01)
(52) CPC특허분류
H01L 27/11556 (2013.01)
H01L 27/11524 (2013.01)
(21) 출원번호 10-2020-7021057
(22) 출원일자(국제) 2018년12월07일
심사청구일자 2020년07월20일
(85) 번역문제출일자 2020년07월20일
(86) 국제출원번호 PCT/US2018/064401
(87) 국제공개번호 WO 2019/133219
국제공개일자 2019년07월04일
(30) 우선권주장
15/855,089 2017년12월27일 미국(US)

(71) 출원인
마이크론 테크놀로지, 인크
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
(72) 발명자
김창한
미국, 아이다호 83716, 보이세, 이스트 레드 시터 레인 2701, 아파트 넘버204
(74) 대리인
한양특허법인

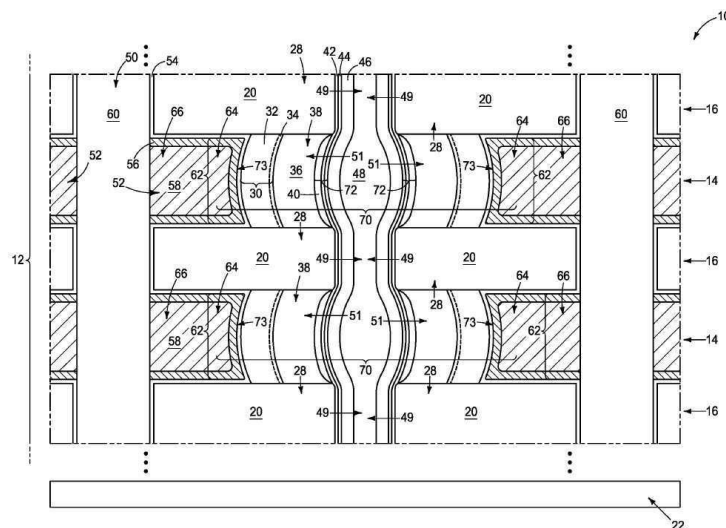
전체 청구항 수 : 총 33 항

(54) 발명의 명칭 메모리 셀, 메모리 어레이, 및 메모리 어레이를 형성하는 방법

(57) 요약

일부 실시예는 전도성 게이트, 및 전도성 게이트에 인접한 전하-차단 영역을 갖는 메모리 셀을 포함한다. 전하-차단 영역은 실리콘 옥시니트라이드 및 실리콘 디옥사이드를 포함한다. 전하-저장 영역은 전하-차단 영역에 인접한다. 터널링 물질은 전하-저장 영역에 인접한다. 채널 물질은 터널링 물질에 인접한다. 터널링 물질은 채널 물질과 전하-저장 영역 사이에 있다. 일부 실시예는 메모리 어레이를 포함한다. 일부 실시예는 조립체(가령, 메모리 어레이)를 형성하는 방법을 포함한다.

대표도 - 도16



(52) CPC특허분류

H01L 27/1157 (2013.01)

H01L 27/11582 (2013.01)

명세서

청구범위

청구항 1

전도성 게이트,

상기 전도성 게이트에 인접한 전하-차단 영역 - 상기 전하-차단 영역은 실리콘 옥시니트라이드 및 실리콘 디옥사이드를 포함함 - ,

상기 전하-차단 영역에 인접한 전하-저장 영역,

상기 전하-저장 영역에 인접한 터널링 물질, 및

상기 터널링 물질에 인접한 채널 물질 - 상기 터널링 물질은 채널 물질과 전하-저장 영역 사이에 있음 - 을 포함하는,

메모리 셀.

청구항 2

제1항에 있어서, 상기 전하-차단 영역은 전도성 게이트 가까이에 실리콘 옥시니트라이드를 포함하며, 실리콘 옥시니트라이드에 의해 전도성 게이트로부터 이격된 실리콘 디옥사이드를 포함하는, 메모리 셀.

청구항 3

제2항에 있어서, 전하-차단 영역의 실리콘 옥시니트라이드는 유전체 장벽 영역에 직접 맞닿아 있고, 유전체 장벽 영역은 전도성 게이트의 전도성 물질에 직접 맞닿아 있는, 메모리 셀.

청구항 4

제1항에 있어서, 전하-차단 영역의 실리콘 디옥사이드는 전하-저장 영역에 직접 맞닿아 있는, 메모리 셀.

청구항 5

제1항에 있어서, 전하-저장 영역은 실리콘 니트라이드를 포함하며, 실리콘 니트라이드는 전하-차단 영역의 실리콘 디옥사이드에 직접 맞닿아 있는, 메모리 셀.

청구항 6

제1항에 있어서, 전하-차단 영역은 전도성 게이트와 전하-저장 영역 사이에서 약 50 Å 내지 약 150 Å의 두께를 가지며, 전하-차단 영역의 실리콘 디옥사이드는 전도성 게이트와 전하-저장 영역 사이에서 약 10 Å 내지 약 30 Å의 두께를 갖는, 메모리 셀.

청구항 7

교대하는 절연성 레벨과 워드라인 레벨의 수직 스택 - 상기 워드라인 레벨은 전도성 영역을 포함함 - ,

상기 전도성 영역에 인접한 전하-저장 영역, 및

상기 전하-저장 영역과 전도성 영역 사이에 전하-차단 영역 - 상기 전하-차단 영역은 실리콘 옥시니트라이드를 따라 수직으로 뻗어 있는 실리콘 디옥사이드를 포함하고, 실리콘 디옥사이드는 실리콘 옥시니트라이드와 전하-저장 영역 사이에 있음 - 을 포함하는,

조립체.

청구항 8

제7항에 있어서, 스택을 따라 수직으로 뻗어 있는 채널 물질을 더 포함하고, 상기 전하-저장 영역은 전도성 영

역과 채널 물질 사이에 있는, 조립체.

청구항 9

제8항에 있어서, 채널 물질은 수직 방향을 따라 구불구불하되, 절연성 레벨을 따르는 채널 물질의 세그먼트는 내측으로 돌출되며, 전도성 레벨을 따르는 채널 물질은 외측으로 돌출되는, 조립체.

청구항 10

제9항에 있어서, 전도성 영역은 오목한 수직 면을 갖는, 조립체.

청구항 11

제7항에 있어서, 전하-저장 영역은 전도성 영역을 따르는 구조체로서 구성되되, 상기 구조체는 절연성 레벨의 재개 영역에 의해 서로 수직 방향에서 이격되어 있는, 조립체.

청구항 12

제7항에 있어서, 전도성 영역과 전하-차단 영역의 실리콘 옥시니트라이드 사이에서 유전체 장벽 영역을 포함하는, 조립체.

청구항 13

제7항에 있어서, 전하-차단 영역의 실리콘 옥시니트라이드는 전하-차단 영역의 실리콘 디옥사이드와 전하-저장 영역 사이에 두께를 가지며, 상기 두께는 약 20 Å 내지 약 140 Å의 범위인, 조립체.

청구항 14

교대하는 절연성 레벨과 워드라인 레벨의 수직 스택,

상기 스택을 따라 수직으로 뻗어 있는 채널 물질,

전도성 영역을 포함하는 워드라인 레벨 - 상기 전도성 영역은 갭에 의해 채널 물질로부터 이격됨 - ,

상기 갭의 적어도 일부분 위 및 아래에서 랫지(ledge)를 포함하는 절연성 레벨,

상기 갭 내 전하-저장 영역 - 전하-저장 영역은 랫지의 재개 영역에 의해 서로 수직 방향으로 이격됨 - , 및

갭 내 그리고 전하-저장 영역과 전도성 영역 사이의 전하-차단 영역 - 상기 전하-차단 영역은 실리콘 옥시니트라이드를 따라 수직으로 뻗어 있는 실리콘 디옥사이드를 포함하며, 실리콘 디옥사이드는 실리콘 옥시니트라이드와 전하-저장 영역 사이에 있음 - 을 포함하는,

메모리 어레이.

청구항 15

제14항에 있어서, 채널 물질은 수직 방향을 따라 구불구불하되, 절연성 레벨을 따르는 채널 물질의 세그먼트는 내측으로 돌출되고, 전도성 레벨을 따르는 채널 물질의 세그먼트는 외측으로 돌출되는, 메모리 어레이.

청구항 16

제15항에 있어서, 전도성 영역은 오목한 수직 면을 갖는, 메모리 어레이.

청구항 17

제14항에 있어서, 전하-저장 영역은 실리콘 니트라이드를 포함하는, 메모리 어레이.

청구항 18

제14항에 있어서, 전하-차단 영역의 실리콘 옥시니트라이드는 제1 수평 두께를 가지며 전하-차단 영역의 실리콘 디옥사이드는 제2 수평 두께를 갖고, 제1 수평 두께는 제1 수평 두께의 적어도 약 두 배인, 메모리 어레이.

청구항 19

제14항에 있어서, 터널링 물질은 채널 물질을 따라 뻗어 있고, 절연성 렛지는 터널링 물질에 직접 맞닿아 있는, 메모리 어레이.

청구항 20

제14항에 있어서, 터널링 물질은 제1 터널링 물질이고, 제1 터널링 물질은 전하-저장 물질에 인접하고 렛지의 상부 및 하부 표면에 직접 맞닿아 있는, 메모리 어레이.

청구항 21

제20항에 있어서, 렛지 각각은 렛지의 상부 표면과 하부 표면 사이에 뻗어 있는 측벽 표면을 가지며, 제1 터널링 물질과 채널 물질 사이에 제2 터널링 물질을 포함하며, 제2 터널링 물질은 채널 물질을 따라 수직으로 뻗어 있으며 렛지의 측벽 표면에 직접 맞닿아 있는, 메모리 어레이.

청구항 22

제21항에 있어서, 제2 터널링 물질과 채널 물질 사이에 제3 터널링을 포함하는, 메모리 어레이.

청구항 23

교대하는 제1 레벨과 제2 레벨의 스택을 관통하여 제1 개구부를 형성하는 단계 - 제1 레벨은 제1 물질을 포함하고, 제2 레벨은 제2 물질을 포함함 - ,

제1 개구부를 따라 제1 레벨의 제1 물질을 오목화하여 갭을 형성하는 단계 - 상기 갭은 제2 레벨의 제2 물질의 세그먼트들 사이에 수직으로 있고, 제2 레벨의 제2 물질의 세그먼트는 갭 위 및 아래 렛지임 - ,

갭을 따라 제1 레벨의 제1 물질의 에지를 산화하여 제1 물질의 나머지 부분을 따라 전하-차단 영역을 형성하는 단계,

갭 내에 그리고 전하-차단 영역을 따라 전하-포획 영역을 형성하는 단계,

제1 개구부 내에 수직으로 뻗어 있는 터널링 물질을 형성하는 단계 - 터널링 물질은 제2 레벨의 제2 물질의 에지를 따라 그리고 전하-포획 영역을 따라 뻗어 있음 - ,

제1 개구부 내에 그리고 터널링 물질에 인접하게 채널 물질을 형성하는 단계,

스택을 관통해 제2 개구부를 형성하는 단계 - 제2 개구부는 제1 물질의 나머지 부분을 관통해 뻗어 있음 - ,

제1 물질의 나머지 부분을 제거하여 제2 개구부를 따르는 공동을 형성하는 단계, 및

공동 내 전도성 영역을 형성하는 단계

를 포함하는,

조립체를 형성하는 방법.

청구항 24

제23항에 있어서, 산화는 인 시추 증기 생성을 이용하는, 조립체를 형성하는 방법.

청구항 25

제23항에 있어서, 산화는 플라즈마를 이용하는, 조립체를 형성하는 방법.

청구항 26

제23항에 있어서, 제1 물질은 실리콘 니트라이드를 포함하고, 제2 물질은 실리콘 디옥사이드를 포함하는, 조립체를 형성하는 방법.

청구항 27

제23항에 있어서, 제1 물질은 실리콘 니트라이드를 포함하고, 전하-차단 영역은 실리콘 옥시니트라이드를 포함하는, 조립체를 형성하는 방법.

청구항 28

제27항에 있어서, 전하-차단 영역은 실리콘 디옥사이드를 더 포함하는, 조립체를 형성하는 방법.

청구항 29

제28항에 있어서, 전하-차단 영역의 실리콘 옥시니트라이드는 제1 수평 두께를 가지며, 전하-차단 영역의 실리콘 디옥사이드는 제2 수평 두께를 갖고, 제1 수평 두께는 제1 수평 두께의 적어도 약 두 배인, 조립체를 형성하는 방법.

청구항 30

제28항에 있어서, 전하-차단 영역의 실리콘 옥시니트라이드는 약 20 Å 내지 약 140 Å 범위 내 수평 두께를 가지며, 전하-차단 영역의 실리콘 디옥사이드는 약 10 Å 내지 약 30 Å의 범위 내 수평 두께를 갖는, 조립체를 형성하는 방법.

청구항 31

제23항에 있어서, 채널 물질은 수직 방향을 따라 구불구불하되, 제2 레벨을 따르는 채널 물질의 세그먼트는 제1 개구부에 대해 내측으로 측방으로 돌출되며, 제1 레벨을 따르는 채널 물질의 세그먼트는 제1 개구부에 대해 외측으로 측방으로 돌출되는, 조립체를 형성하는 방법.

청구항 32

제23항에 있어서, 터널링 물질은 제2 터널링 물질이고, 전하-포획 영역의 에지를 따라 제1 터널링 물질을 형성하는 단계를 더 포함하며, 제1 터널링 물질은 갭 내에만 있고, 제2 터널링 물질은 제1 터널링 물질과 채널 물질 사이에 있으며, 제2 터널링 물질은 제1 터널링 물질과 조성이 상이한, 조립체를 형성하는 방법.

청구항 33

제32항에 있어서, 제2 터널링 물질을 따르는 제3 터널링 물질을 형성하는 단계를 더 포함하며, 제3 터널링 물질은 제2 터널링 물질과 채널 물질 사이에 있으며, 제3 터널링 물질은 제2 터널링 물질과 조성이 상이한, 조립체를 형성하는 방법.

발명의 설명

기술 분야

[0001] 메모리 셀(가령, NAND 메모리 셀), 메모리 어레이(가령, NAND 메모리 어레이), 및 메모리 어레이를 형성하는 방법.

배경 기술

[0002] 메모리는 전자 시스템을 위한 데이터 저장소를 제공한다. 플래시 메모리는 일종의 메모리이며, 현재의 컴퓨터 및 디바이스에서 많이 사용된다. 예를 들어, 현대의 개인 컴퓨터는 플래시 메모리 칩 상에 저장된 BIOS를 가질 수 있다. 또 다른 예를 들면, 컴퓨터 및 그 밖의 다른 디바이스가 종래의 하드 드라이브를 대체하여 솔리드 스테이트 드라이브에서 플래시 메모리를 이용하는 것이 점점 더 일반적이 되고 있다. 또 다른 예를 들면, 플래시 메모리는 무선 전자 디바이스에서 인기가 많은데, 왜냐하면 제조업체가 새 통신 프로토콜이 표준화될 때 이를 지원할 수 있게 하며, 향상된 특징부에 대해 디바이스를 원격으로 업그레이드할 수 있는 능력을 제공할 수 있게 하기 때문이다.

[0003] NAND는 플래시 메모리의 기본 아키텍처일 수 있고, 수직-적층형 메모리 셀을 포함하도록 구성될 수 있다.

[0004] NAND를 구체적으로 기술하기 전에, 집적 배열 내 메모리 어레이의 관계를 더 일반적으로 기술하는 것이 도움이 될 수 있다. 도 1은 액세스 라인(104)(가령, 신호 WL0 내지 WLn를 전도하기 위한 워드라인) 및 제1 데이터 라인(106)(가령, 신호 BL0 내지 BLn를 전도하기 위한 비트라인)과 함께 로우 및 컬럼으로 배열된 복수의 메모리 셀(103)을 갖는 메모리 어레이(102)를 포함하는 종래 기술 디바이스(100)의 블록도를 도시한다. 액세스 라인(104) 및 제1 데이터 라인(106)은 메모리 셀(103)로 그리고 이로부터 정보를 전송하기 위해 사용될 수 있다. 로우 디

코더(107) 및 컬럼 디코더(108)는 어드레스 라인(109) 상의 어드레스 신호 A0 내지 AX를 디코딩하여 메모리 셀(103) 중 어느 것이 액세스될 것인지를 결정할 수 있다. 감지 증폭기 회로(115)는 메모리 셀(103)로부터 읽힌 정보의 값을 결정하도록 동작한다. I/O 회로(117)는 메모리 어레이(102)와 입/출력(I/O) 라인(105) 간 정보의 값을 전송한다. I/O 라인(105) 상의 신호(DQ0 내지 DQn)가 메모리 셀(103)로부터 읽히거나 메모리 셀로 쓰일 정보의 값을 나타낼 수 있다. 그 밖의 다른 디바이스가 I/O 라인(105), 어드레스 라인(109), 또는 제어 라인(120)을 통해 디바이스(100)와 통신할 수 있다. 메모리 제어 유닛(118)은 메모리 셀(103) 상에서 수행될 메모리 동작을 제어하는 데 사용되고, 제어 라인(120) 상의 신호를 이용한다. 디바이스(100)는 제1 공급 라인(130) 및 제2 공급 라인(132) 상에서 공급 전압 신호 Vcc 및 Vss를 각각 수신할 수 있다. 디바이스(100)는 선택 회로(140) 및 입/출력(I/O) 회로(117)를 포함한다. 선택 회로(140)는, I/O 회로(117)를 통해, 신호 CSEL1 내지 CSELn에 응답하여, 메모리 셀(103)로부터 읽히거나 메모리 셀로 프로그램될 정보의 값을 나타낼 수 있는 제1 데이터 라인(106) 및 제2 데이터 라인(113) 상 신호를 선택할 수 있다. 컬럼 디코더(108)는 어드레스 라인(109) 상의 A0 내지 AX 주소 신호를 기초로 CSEL1 내지 CSELn 신호를 선택적으로 활성화시킬 수 있다. 선택 회로(140)는 제1 데이터 라인(106) 및 제2 데이터 라인(113) 상의 신호를 선택하여 읽기 및 프로그래밍 동작 동안 메모리 어레이(102)와 I/O 회로(117) 간 통신을 제공할 수 있다.

[0005]

도 1의 메모리 어레이(102)는 NAND 메모리 어레이일 수 있고, 도 2는 도 1의 메모리 어레이(102)에 대해 이용될 수 있는 3차원 NAND 메모리 디바이스(200)의 블록도를 도시한다. 디바이스(200)는 전하-저장 디바이스의 복수의 스트링을 포함한다. 제1 방향(Z-Z')에서, 전하-저장 디바이스의 각각의 스트링이, 예를 들어, 수직-적층형 32개의 전하-저장 디바이스를 포함할 수 있으며, 이때, 각각의 전하-저장 디바이스는, 예를 들어, 32개의 티어(티어 0-티어31) 중 하나씩에 대응한다. 각각의 스트링의 전하-저장 디바이스가 공통 채널 영역, 가령, 전하-저장 디바이스의 스트링이 그 주위에 형성되는 반도체 물질의 각각의 필라(pillar)에서 형성된 공통 채널 영역을 공유할 수 있다. 제2 (가령, X-X') 방향에서, 예를 들어, 복수의 스트링의 16개의 제1 그룹 중 각각의 제1 그룹이, 예를 들어, 복수(가령, 32개)의 액세스 라인(즉, 워드 라인(WL)이라고도 알려진 "전역 제어 게이트(CG) 라인")을 공유하는 8개의 스트링을 포함할 수 있다. 각각의 액세스 라인은 하나의 티어 내 전하-저장 디바이스를 연결할 수 있다. 각각의 전하-저장 디바이스가 정보의 2개의 비트를 저장할 수 있는 셀을 포함할 때, 동일한 액세스 라인에 의해 연결되는(따라서 동일한 티어에 대응하는) 전하-저장 디바이스들이, 예를 들어, 2개의 페이지, 가령, P0/P32, P1/P33, P2/P34 등으로 논리적으로 그룹화될 수 있다. 제3 방향(Y-Y')에서, 예를 들어, 복수의 스트링의 8개의 제2 그룹의 각각의 제2 그룹이, 8개의 데이터 라인 중 대응하는 데이터 라인에 의해 연결되는 16개의 스트링을 포함할 수 있다. 메모리 블록의 크기는 1,024 페이지 및 총 약 16MB(가령, 16개의 WL x 32개의 티어 x 2 비트 = 1,024 페이지/블록, 블록 크기 = 1,024 페이지 x 16KB/페이지 = 16MB)를 포함할 수 있다. 스트링, 티어, 액세스 라인, 데이터 라인, 제1 그룹, 제2 그룹 및/또는 페이지의 수가 도 2에 도시된 것보다 크거나 작을 수 있다.

[0006]

도 3은 X-X' 방향에서 도 2의 3D NAND 메모리 디바이스(200)의 메모리 블록(300)의 횡단면도를 나타내고, 도 2와 관련하여 기재된 스트링의 16개의 제1 그룹 중 하나 내 전하-저장 디바이스의 15개의 스트링을 포함한다. 메모리 블록(300)의 복수의 스트링이 복수의 서브세트(310, 320, 330)(가령, 타일 컬럼, 가령, 타일 컬럼_i, 타일 컬럼_j 및 타일 컬럼_k)으로 그룹화될 수 있으며, 이때, 각각의 서브세트(가령, 타일 컬럼)는 메모리 블록(300)의 "부분 블록"을 포함한다. 전역 드레인-측 선택 게이트(SGD) 라인(340)이 복수의 스트링의 SGD에 연결될 수 있다. 예를 들어, 전역 SGD 라인(340)은 복수(가령, 3개)의 서브-SGD 드라이버(332, 334, 336) 중 대응하는 하나씩을 통해, 복수(가령, 3개)의 서브-SGD 라인(342, 344, 346)에 연결될 수 있고, 각각의 서브-SGD 라인은 각각의 서브세트(가령, 타일 컬럼)에 대응한다. 서브-SGD 드라이버(332, 334, 336) 각각은 타 부분 블록의 것과 독립적으로 대응하는 부분 블록(가령, 타일 컬럼)의 스트링의 SGD를 동시에 연결 또는 차단할 수 있다. 전역 소스-측 선택 게이트(SGS) 라인(360)이 복수의 스트링의 SGS에 연결될 수 있다. 예를 들어, 전역 SGS 라인(360)은 복수의 서브-SGS 드라이버(322, 324, 326) 중 대응하는 하나씩을 통해, 복수의 서브-SGS 라인(362, 364, 366)에 연결될 수 있고, 각각의 서브-SGS 라인은 각각의 서브세트(가령, 타일 컬럼)에 대응한다. 서브-SGS 드라이버(322, 324, 326) 각각은 타 부분 블록의 것과 독립적으로 대응하는 부분 블록(가령, 타일 컬럼)의 스트링의 SGS를 동시에 연결 또는 차단할 수 있다. 글로벌 액세스 라인(가령, 글로벌 CG 라인)(350)이 복수의 스트링 중 각각의 스트링의 각각의 티어에 대응하는 전하-저장 디바이스를 연결할 수 있다. 각각의 글로벌 CG 라인(가령, 글로벌 CG 라인(350))은, 복수의 서브-스트링 드라이버(312, 314 및 316) 중 대응하는 하나씩을 통해, 복수의 서브-액세스 라인(가령, 서브-CG 라인)(352, 354, 356)에 연결될 수 있다. 서브-스트링 드라이버 각각은, 타 부분 블록 및/또는 타 티어의 것에 무관하게, 각각의 부분 블록 및/또는 티어에 대응하는 전하-저장 디바이스를

동시에 연결 또는 차단할 수 있다. 각자의 서브세트(가령, 부분 블록)에 대응하는 전하-저장 디바이스 및 각자의 티어가 전하-저장 디바이스의 "부분 티어" (가령, 단일 "타일")를 포함할 수 있다. 각자의 서브세트(가령, 부분 블록)에 대응하는 스트링이 서브-소스(372, 374 및 376) 중 대응하는 하나씩에 연결될 수 있으며, 이때, 각각의 서브-소스는 각자의 전원에 연결된다.

- [0007] NAND 메모리 디바이스(200)가 도 4의 개략적 도시와 관련하여 대안으로 기재된다.
- [0008] 메모리 어레이(200)는 워드라인(202_i 내지 202_N) 및 비트라인(228_i 내지 228_M)을 포함한다.
- [0009] 메모리 어레이(200)는 또한 NAND 스트링(206_i 내지 206_M)을 포함한다. 각각의 NAND 스트링은 전하-저장 트랜지스터(208_i 내지 208_N)를 포함한다. 전하-저장 트랜지스터는 전하를 저장하기 위해 부동 게이트 물질(가령, 폴리실리콘)을 이용하거나, 전하를 저장하기 위해 전하-포획 물질(가령, 실리콘 나이트라이드, 금속 나노닷(metallic nanodot) 등)을 이용할 수 있다.
- [0010] 전하-저장 트랜지스터(208)가 워드라인(202)과 스트링(206)의 교차점에 위치한다. 전하-저장 트랜지스터(208)는 데이터 저장을 위한 비휘발성 메모리 셀을 나타낸다. 각각의 NAND 스트링(206)의 전하-저장 트랜지스터(208)가 소스-선택 디바이스(가령, 소스-측 선택 게이트, SGS)(210)와 드레인-선택 디바이스(가령, 드레인-측 선택 게이트, SGD)(212) 사이에 소스에서 드레인으로 직렬 연결된다. 각각의 소스-선택 디바이스(210)는 스트링(206)과 소스-선택 라인(214)의 교차점에 위치되며, 각각의 드레인-선택 디바이스(212)는 스트링(206)과 드레인-선택 라인(215)의 교차점에 위치된다. 선택 디바이스(210 및 212)는 임의의 적합한 액세스 디바이스일 수 있으며, 도 1의 박스로 일반적으로 도시된다.
- [0011] 각각의 소스-선택 디바이스(210)의 소스는 공통 소스 라인(216)으로 연결된다. 각각의 소스-선택 디바이스(210)의 드레인은 대응하는 NAND 스트링(206)의 제1 전하-저장 트랜지스터(208)의 소스에 연결된다. 예를 들어, 소스-선택 디바이스(210_i)의 드레인은 대응하는 NAND 스트링(206_i)의 전하-저장 트랜지스터(208_i)의 소스에 연결된다. 소스-선택 디바이스(210)는 소스-선택 라인(214)에 연결된다.
- [0012] 각각의 드레인-선택 디바이스(212)의 드레인은 드레인 콘택트에서 비트라인(즉, 디지털 라인)(228)에 연결된다. 예를 들어, 드레인-선택 디바이스(212_i)의 드레인이 비트라인(228_i)에 연결된다. 각각의 드레인-선택 디바이스(212)의 소스가 대응하는 NAND 스트링(206)의 마지막 전하-저장 트랜지스터(208)의 드레인에 연결된다. 예를 들어, 드레인-선택 디바이스(212_i)의 소스는 대응하는 NAND 스트링(206_i)의 전하-저장 트랜지스터(208_N)의 드레인에 연결된다.
- [0013] 전하-저장 트랜지스터(208)는 소스(230), 드레인(232), 전하-저장 영역(234), 및 제어 게이트(236)를 포함한다. 전하-저장 트랜지스터(208)의 제어 게이트(236)는 워드라인(202)에 연결된다. 전하-저장 트랜지스터(208)의 컬럼은 특정 비트라인(228)에 연결된 NAND 스트링(206) 내 트랜지스터이다. 전하-저장 트랜지스터(208)의 로우는 특정 워드라인(202)에 공통으로 연결된 트랜지스터이다.
- [0014] 개선된 메모리 셀 설계, 개선된 메모리 어레이 아키텍처(가령, 개선된 NAND 아키텍처), 및 개선된 메모리 셀 및 개선된 메모리 어레이 아키텍처를 제조하기 위한 방법을 개발하는 것이 바람직할 것이다.

도면의 간단한 설명

- [0015] 도 1은 메모리 셀을 갖는 메모리 어레이를 갖는 종래 기술의 메모리 디바이스의 블록도이다.
- 도 2는 3D NAND 메모리 디바이스의 형태로 된 도 1의 종래 기술 메모리 어레이의 개략도이다.
- 도 3은 X-X' 방향으로의 도 2의 종래 기술의 3D NAND 메모리 디바이스의 횡단면도이다.
- 도 4는 종래 기술의 NAND 메모리 어레이의 개략도이다.
- 도 5-16은 예시적 조립체를 제조하기 위한 예시적 방법의 예시적 공정 단계에서의 구조의 영역들의 횡단면도이다.
- 도 6a 및 13a는 각각 도 6 및 13의 라인 A-A를 따르는 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 일부 실시예는 실리콘 옥시니트라이드를 포함하는 전하-차단 영역(charge-blocking region)을 갖는 메모리 셀을 포함한다. 전하-차단 영역은 실리콘 디옥사이드를 더 포함할 수 있다. 일부 실시예는 수직-적층된 메모리 셀을 갖는 메모리 어레이(가령, NAND 메모리 어레이)를 포함한다. 메모리 셀은 실리콘 옥시니트라이드를 포함하는 전하-차단 영역을 포함할 수 있다. 메모리 셀은 또한 전하-저장 영역을 포함하며, 이때, 수직-적층형 전하-저장 영역은 절연 물질의 개재 영역에 의해 서로 이격된다. 일부 실시예는 메모리 셀 및 메모리 어레이를 형성하는 방법을 포함한다. 예시적인 방법이 도 5-16을 참조하여 기재되며, 예시적 아키텍처가 도 16를 참조하여 기재된다.
- [0017] 도 5를 참조하면, 구성(즉, 어셈블리, 아키텍처 등)(10)은 교대하는 제1 레벨과 제2 레벨(14 및 16)의 스택(12)을 포함한다. 제1 레벨(14)은 제1 물질(18)을 포함하고, 제2 레벨(16)은 제2 물질(20)을 포함한다. 제1 물질(18)은 희생 물질(예를 들어, 실리콘 니트라이드)일 수 있고, 제2 물질(20)은 절연 물질(예를 들어, 실리콘 디옥사이드)일 수 있다.
- [0018] 레벨(14 및 16)은 임의의 적합한 두께를 가질 수 있으며; 서로 동일한 두께이거나 서로 다른 두께일 수 있다. 일부 실시예에서, 레벨(14 및 16)은 약 10 나노미터(nm) 내지 약 400 nm의 범위 내의 수직 두께를 가질 수 있다. 일부 실시예에서, 제1 레벨(14)은 제2 레벨(16)보다 두꺼울 수 있다. 예를 들어, 일부 실시예에서, 제1 레벨(14)은 약 20 nm 내지 약 40 nm의 범위 내의 두께를 가질 수 있고, 제2 레벨(16)은 약 15 nm 내지 약 30 nm 범위의 두께를 가질 수 있다.
- [0019] 제1 레벨(14)의 희생 물질(18) 중 일부는 궁극적으로 메모리 셀 게이트의 전도성 물질로 대체된다. 따라서, 레벨(14)은 궁극적으로 NAND 구성의 메모리 셀 레벨에 대응할 수 있다. NAND 구성은 메모리 셀들의 스트링(즉, NAND 스트링)을 포함할 것이고, 이때, 스트링 내의 메모리 셀들의 개수는 수직-적층형 레벨(14)의 수에 의해 결정된다. NAND 스트링은 임의의 적절한 개수의 메모리 셀 레벨을 포함할 수 있다. 예를 들어, NAND 스트링은 8개의 메모리 셀 레벨, 16개의 메모리 셀 레벨, 32개의 메모리 셀 레벨, 64개의 메모리 셀 레벨, 512개의 메모리 셀 레벨, 1024개의 메모리 셀 레벨 등을 가질 수 있다. 도 5의 다이어그램에 구체적으로 도시되어 있는 것보다 더 많은 수직-적층형 레벨이 존재할 수 있음을 나타내기 위해 수직 스택(12)은 스택의 도시된 영역 밖으로 외측으로 뻗어 있는 것으로 도시되어 있다.
- [0020] 스택(12)은 베이스(22) 위에 지지되는 것으로 도시되어 있다. 베이스(22)는 반도체 물질을 포함할 수 있고, 예를 들어, 단결정질 실리콘을 포함하거나, 단결정질 실리콘으로 본질적으로 구성되거나, 단결정질 실리콘으로 구성될 수 있다. 베이스(22)는 반도체 기판으로 지칭될 수 있다. "반도체 기판"이라는 용어는 반전도성 물질, 비제한적 예를 들면, 벌크 반전도성 물질, 가령, 반전도성 웨이퍼(단독으로 또는 다른 물질을 포함하는 조립체로), 및 반전도성 물질 층(단독으로 또는 다른 물질을 포함하는 조립체로)을 포함하는 임의의 구성을 의미한다. "기판"이라는 용어는 임의의 지지 구조체, 비제한적 예를 들면, 앞서 기재된 반도체 기판을 지칭한다. 일부 응용예에서, 베이스(22)는 집적 회로 제조와 연관된 하나 이상의 물질을 포함하는 반도체 기판에 대응할 수 있다. 이러한 물질은 예를 들어 내화성 금속 물질, 장벽 물질, 확산 물질, 절연체 물질 등 중 하나 이상을 포함할 수 있다.
- [0021] 스택(12)과 베이스(22) 사이에 갭이 제공되어 그 밖의 다른 구성요소 및 물질이 스택(12)과 베이스(22) 사이에 제공될 수 있음을 나타낼 수 있다. 이러한 그 밖의 다른 구성 요소 및 물질은 스택의 추가 레벨, 소스 라인 레벨, 소스-측 선택 게이트(SGS) 등을 포함할 수 있다.
- [0022] 도 6을 참조하면, 개구부(24)가 스택(12)을 관통해 형성된다. 개구부는 궁극적으로 메모리 어레이의 수직-적층형 메모리 셀과 연관된 채널 물질 필라(pillar)를 제조하는 데 이용되며, 일부 실시예에서 필라 개구부로 지칭될 수 있다. 개구부(24)는 위에서 볼 때 임의의 적합한 구성을 가질 수 있으며, 일부 실시예에서, 원형, 타원형, 다각형 등일 수 있다. 도 6a는 구성(10)의 도시된 영역의 상부 레벨(16)의 일부분의 평면도를 도시하고, 개구부(24)가 위에서 볼 때 원형인 예시적인 구성을 도시한다. 일부 실시예에서, 개구부(24)는 이후 공정 스테이지에서 형성되는 다른 개구부와 구별하기 위해 제1 개구부로 지칭될 수 있다.
- [0023] 도 7을 참조하면, 제1 레벨(14)의 물질(18)은 개구부(24)를 따라 오목화(recess)되어 갭(즉, 공동)(26)을 형성할 수 있다. 일부 실시예에서, 제1 레벨(14)의 물질(18)은 실리콘 니트라이드를 포함하거나, 실리콘 니트라이드로 본질적으로 구성되거나, 실리콘 니트라이드로 구성되며, 제2 레벨(16)의 물질(20)은 실리콘 디옥사이드를 포함하거나, 실리콘 디옥사이드로 본질적으로 구성되거나, 실리콘 디옥사이드로 구성될 수 있다. 이러한 실시예에서, 물질(18)은 인산을 이용해 물질(20)에 대해 선택적으로 에칭될 수 있다. "선택적 에칭"이라는 용어는 물질이 다른 물질보다 더 빨리 제거되는 것을 의미하며, 비제한적 예를 들어, 하나의 물질이 다른 물질에 대해 100%

선택적인 에칭 공정을 포함한다. 도시된 실시예에서, 물질(18)의 전면은 도 7의 공정 스테이지에서 곡선형이고 오목하다. 또 다른 실시예에서, 이러한 전면은 볼록하거나 직선이거나 임의의 다른 적절한 형상일 수 있다.

[0024] 갭(26)은 제2 레벨(16)의 물질(20)의 세그먼트(28)들 사이에 수직으로 있다. 일부 실시예에서, 물질(20)의 세그먼트(28)는 렛지(ledge)(28)로 지칭될 수 있다. 렛지(28)는 갭(26)의 위와 아래에 있다.

[0025] 렛지(28)는 상위(즉, 상부) 표면(29), 하위(즉, 하부) 표면(31) 및 측벽 표면(33)을 가진다. 측벽 표면(33)은 개구부(24)를 따라 있고 상부 표면과 하부 표면(29, 31) 사이에 뻗어 있다.

[0026] 도 8을 참조하면, 갭(26)을 따르는 제1 레벨(14)의 에지가 산화되어 전하-차단 영역(30)을 형성할 수 있다. 일부 실시예에서, 물질(18)은 실리콘 니트라이드를 포함하거나, 본질적으로 실리콘 니트라이드로 구성되거나, 실리콘 니트라이드로 구성된다. 이러한 물질(18)의 산화는 적어도 약 700 °C의 온도를 이용할 수 있고(그러나 적어도 약 700 °C로 제한되지 않으며, 적합한 산화 조건이 원하는 전기적 및/또는 그 밖의 다른 속성을 달성하면 더 낮을 수 있음), 플라즈마 및 증기 중 하나 또는 둘 다를 포함하거나 포함하지 않을 수 있다. 증기가 이용되면, 공정은 인 시추 증기 생성(ISSG: in situ steam generation)을 포함할 수 있다. 도시된 실시예에서, 산화는 전하-차단 영역(30)을 형성하여 두 개의 상이한 물질(32 및 34)을 포함하며, 이때 물질들 사이의 경계는 점선(35)으로 개략적으로 도시되어 있다. 물질(32)은 실리콘 옥시니트라이드를 포함하거나, 실리콘 옥시니트라이드로 본질적으로 구성되거나, 실리콘 옥시니트라이드로 구성될 수 있고, 물질(34)은 실리콘 디옥사이드를 포함하거나, 실리콘 디옥사이드로 본질적으로 구성되거나, 실리콘 디옥사이드로 구성될 수 있다. 점선(35)은 물질(32 및 34) 사이의 경계가 실리콘 옥시니트라이드와 실리콘 디옥사이드 간 명확한 계면(abrupt interface)일 수 있거나, 단계적 변화(gradient)일 수 있다. 일부 실시예에서, 전하-차단 영역(30)의 적어도 일부는 적절한 물질(들)(예를 들어, 실리콘 디옥사이드)의 증착 및 이에 이어서, 원하는 형태(가령, 도 8에 도시된 전하-차단 영역(30)의 볼록-곡선형과 유사한 형태, 오목-곡선형, 직선형 등)을 얻기 위한 적절한 에칭에 의해 형성될 수 있다.

[0027] 전하-차단 영역(30)은 갭(26)을 따라 수직으로 뻗어 있고 수평 두께 T1를 가진다. 이러한 수평 두께는 임의의 적절한 치수를 가질 수 있고, 일부 실시예에서 약 40 옹스트롬(Å) 내지 약 150 Å의 범위 내에 있을 수 있다. 전하-차단 영역의 실리콘 옥시니트라이드 물질(32)은 수평 두께 T2를 가지며, 전하-차단 영역의 실리콘 디옥사이드 물질(34)은 수평 두께 T3을 가진다. 일부 실시예에서, 수평 두께 T2는 수평 두께 T3의 적어도 약 2 배일 것이다. 일부 실시예에서, 수평 두께 T2는 약 20 옹스트롬(Å) 내지 약 140 Å의 범위 내에 있고, 수평 두께 T3는 약 10 Å 내지 약 30 Å의 범위 내에 있을 것이다. 일부 실시예에서, 수평 두께 T2 및 T3는 서로 구별되기 위해 제1 수평 두께 및 제2 수평 두께로 지칭될 수 있다.

[0028] 도 9를 참조하면, 전하-저장 물질(36)은 개구부(24) 내에 형성된다(예를 들어, 개구부 내에 증착된다). 전하-저장 물질은 임의의 적절한 조성물(들)을 포함할 수 있고, 일부 실시예에서 전하-포획 물질(charge-trapping material), 가령, 실리콘 니트라이드, 실리콘 옥시니트라이드, 전도성 나노닷 등을 포함할 수 있다. 대안 실시예(도시되지 않음)에서, 전하-저장 물질은 부동 게이트 물질(예를 들어, 다결정질 실리콘)으로서 구성될 수 있다. 해당 분야의 통상의 종사자라면 용어 "전하-포획"을 이해하며, "전하 트랩"은 전하 운반체(가령, 전자 또는 정공)를 가역적으로 포획할 수 있는 에너지 우물을 지칭할 수 있음을 이해할 것이다.

[0029] 일부 실시예에서, 전하-저장 물질(36)은 실리콘 니트라이드를 포함하거나, 실리콘 니트라이드로 본질적으로 구성되거나, 실리콘 니트라이드로 구성될 수 있다.

[0030] 도 10을 참조하면, 전하-저장 물질(36)은 갭(26) 내에 물질(36)을 남기면서, 개구부(24)의 중심에서 물질(36)을 제거하기 위해 적절한 에칭으로 패터닝된다. 물질(36)의 나머지 부분은 전하-저장 영역(38)(가령, 전하-포획 영역)인 것으로 간주될 수 있다. 영역(38)은 전하-차단 영역(30)을 따라 있다.

[0031] 도 11을 참조하면 터널링 물질(40, 42 및 44)은 개구부(24)의 외주를 따라 형성된다. 터널링 물질은 프로그래밍 동작, 소거 동작 등 동안 전하 운반체가 터널링 또는 그 밖의 다른 방식으로 통과하는 물질로서 기능할 수 있다. 일부 맥락에서, 터널링 물질 중 하나 이상이 게이트 유전체 물질 또는 간단히 유전체 물질이라고 지칭될 수 있다. 도시된 실시예에서, 세 개의 터널링 물질이 사용된다. 또 다른 실시예에서, 세 개 미만의 터널링 물질이 존재할 수 있으며, 또 다른 실시예에서 세 개보다 많은 터널링 물질이 존재할 수 있다. 일부 실시예에서, 터널링 물질(40, 42 및 44)은 원하는 전하 터널링 특성을 갖도록 밴드-갭 엔지니어링될 수 있다. 터널링 물질(42)은 물질(40 및 44)과 조성이 상이하다. 물질(40 및 44)은 어떤 실시예에서는 서로 조성이 상이할 수 있고, 다른 실시예에서는 서로 조성이 동일할 수 있다.

- [0032] 일부 실시예에서, 터널링 물질(42)은 실리콘 니트라이드를 포함할 수 있고, 터널링 물질(40 및 44)은 실리콘 디옥사이드를 포함할 수 있다. 일부 실시예에서, 터널링 물질(40)은 실리콘 옥시니트라이드 및 실리콘 디옥사이드 중 하나 또는 둘 다를 포함할 수 있고, 터널링 물질(42)은 실리콘 니트라이드를 포함할 수 있고, 터널링 물질(44)은 실리콘 디옥사이드를 포함할 수 있다.
- [0033] 일부 실시예에서, 터널링 물질(40, 42 및 44)은 각각 제1, 제2 및 제3 터널링 물질로 지칭될 수 있다.
- [0034] 제1 터널링 물질(40)은 전하-저장 물질(36)의 노출된 에지를 산화시킴으로써 형성될 수 있다. 따라서, 제1 터널링 물질(40)은 갭(즉, 공동)(26) 내에 완전히 포함된다. 제1 터널링 물질(40)이 갭(26) 내에 완전히 포함되는 실시예에서, 제1 터널링 물질(40)은 렛지(28)의 하부 표면(31)에 직접 맞는 상부 표면을 가지며, 렛지(28)의 상부 표면(29)에 직접 맞는 하부 표면을 가진다.
- [0035] 제2 터널링 물질(42)은 개구부(24)의 주변 에지를 따라 수직으로 뻗어 있고 렛지(28)의 측벽 에지(33)에 직접 맞닿아 있다.
- [0036] 도 12를 참조하면, 채널 물질(46)은 개구부(24) 내에 그리고 터널링 물질(40, 42 및 44)을 따라 형성된다. 도시된 실시예에서, 채널 물질(46)은 터널링 물질(44)에 직접 맞닿아 있다. 채널 물질(46)은 임의의 적절한 도핑된 반도체 물질(들)을 포함할 수 있고, 일부 실시예에서, 실리콘, 게르마늄, III/V 반도체 물질(가령, 갈륨 포스파이드) 등 중 하나 이상을 포함할 수 있다.
- [0037] 도시된 실시예에서, 채널 물질(46)은 개구부(24)의 주변부를 라이닝하고, 절연 물질(48)은 개구부(24)의 나머지 내부 영역을 채운다. 절연 물질(48)은 임의의 적절한 조성물 또는 조성물들, 가령, 예를 들어, 실리콘 디옥사이드를 포함할 수 있다. 채널 물질(46)의 도시된 구성은 절연 물질(48)이 채널 구성 내 "중공부" 내에 제공되는 점에서, 중공 채널 구성인 것으로 간주될 수 있다. 또 다른 실시예에서, 채널 물질은 중실 필라(solid pillar)로 구성될 수 있다.
- [0038] 채널 물질(46)은 개구부(24)의 주변부를 따라 수직으로 뻗어 있다, 즉, 다른 말로 해서, 스택(12)을 관통해 수직으로 뻗어 있다. 도시된 실시예에서, 채널 물질(46)은 수직 방향을 따라 구불구불(serpentine)하다. 절연성 제2 레벨(16)의 유전체 물질(20)을 따른 채널 물질(46)의 세그먼트는 개구부(24)에 대해 내측으로 측방으로 돌출되고(화살표(49)로 개략적으로 도시됨), 제1 레벨(14)을 따른 채널 물질(46)의 세그먼트는 개구부(24)에 대해 외측으로 돌출된다(화살표(51)로 개략적으로 도시됨).
- [0039] 도 13을 참조하면, 제2 개구부(50)는 스택(12)을 관통해 형성된다. 제2 개구부(50)는 물질(20)의 일부분을 관통해 그리고 전하-차단 영역(30)을 형성하기 위해 도 8의 산화가 사용된 후에 남아있는 물질(18)의 일부분을 통해 뻗어 있다.
- [0040] 도 13a는 구성(10)의 도시된 영역의 상부 레벨(16)의 일부분의 평면도를 도시하고, 제2 개구부(50)가 슬릿(즉, 트렌치)으로 구성되는 예시적인 구성을 도시한다.
- [0041] 도 14를 참조하면, 개구부(50)의 측부를 따라 노출된 물질(18)(도 13)은 공동(52)을 남기기 위해 제거된다. 이러한 제거는 임의의 적합한 공정을 이용할 수 있고, 일부 실시예에서 습식 에칭에서 인산을 사용할 수 있다.
- [0042] 도 15를 참조하면, 유전체 장벽 물질(54)은 개구부(50) 내에 증착된다. 유전체 장벽 물질(54)은 개구부(50)의 주변부 에지를 라이닝하고, 공동(52)의 주변부 에지를 라이닝한다. 유전체 장벽 물질(54)은 임의의 적합한 조성물(들)을 포함할 수 있고; 일부 실시예에서 하나 이상의 하이-k 물질을 포함할 수 있다(하이-k라는 용어는 실리콘 디옥사이드의 유전 상수보다 큰 유전 상수를 의미한다). 유전체 장벽 물질에 포함될 수 있는 예시적인 조성물은 하프늄 옥사이드, 지르코늄 옥사이드, 알루미늄 옥사이드, 하프늄 실리케이트, 지르코늄 실리케이트, 티타늄 옥사이드, 가돌리늄 옥사이드, 니오븀 옥사이드, 탄탈륨 옥사이드 등이다.
- [0043] 전도성 물질(56 및 58)은 라이닝된 개구부(50) 및 라이닝된 공동(52) 내에 제공된다. 전도성 물질(56 및 58)은 임의의 적절한 전기 전도성 조성물(들), 가령, 다양한 금속(가령, 티타늄, 텅스텐, 코발트, 니켈, 플래티넘, 루테튬 등), 금속-합유 조성물(가령, 금속 실리사이드, 금속 니트라이드, 금속 카바이드 등), 및/또는 전도성-도핑된 반도체 물질(가령, 전도성-도핑된 실리콘, 전도성-도핑된 게르마늄 등) 중 하나 이상을 포함할 수 있다. 일부 실시예에서, 전도성 물질(56)은 티타늄 니트라이드를 포함하거나, 티타늄 니트라이드로 본질적으로 구성되거나, 티타늄 니트라이드로 구성되고, 전도성 물질(58)은 텅스텐을 포함하거나, 텅스텐으로 본질적으로 구성되거나, 텅스텐으로 구성될 수 있다.
- [0044] 도 16을 참조하면, 공동(52) 내에 전도성 물질(56 및 58)을 남기면서 전도성 물질(56 및 58)은 개구부(50)의 중

양 영역에서 제거된다. 이어서, 절연 물질(60)은 개구부(50)의 중앙 영역 내에 형성된다. 절연 물질(60)은 임의의 적합한 조성물(들)을 포함할 수 있고, 일부 실시예에서 실리콘 옥사이드를 포함하거나, 실리콘 옥사이드로 본질적으로 구성되거나, 실리콘 옥사이드로 구성될 수 있다.

- [0045] 도시된 실시예에서, 유전체 장벽 물질(54)은 개구부(50)의 에지를 따라 유지된다. 또 다른 실시예에서, 유전체 장벽 물질(54)은 전도성 물질(56 및 58)를 제거하기 위해 이용되는 에칭 동안 제거될 수 있고, 따라서 도 16의 공정 스테이지와 유사한 공정 스테이지에서 공동(52) 내에만 남아 있을 수 있다.
- [0046] 공동(52) 내에 잔류하는 전도성 물질(56 및 58)은 함께 전도성 영역(62)을 형성한다. 도시된 전도성 영역(62)이 두 개의 전도성 물질(56 및 58)을 포함하지만, 또 다른 실시예에서 유사한 전도성 영역은 단일 전도성 물질만을 포함하거나, 두 개보다 많은 전도성 물질을 포함할 수 있다.
- [0047] 공동(52) 내의 전도성 영역(62)의 단자 부분은 전도성 게이트(64)에 대응할 수 있고, 전도성 영역(62)의 또 다른 부분은 워드라인(66)에 대응할 수 있다. 워드 라인은 레벨(14)을 따라 있고, 따라서 일부 실시예에서 레벨(14)을 따라 있으며 워드라인 레벨이라고 지칭될 수 있다. 이러한 워드라인 레벨은 도 16의 스택(12) 내의 절연 레벨(16)과 교대하는 것으로 간주될 수 있다.
- [0048] 전도성 게이트(64)는 유전체 장벽 물질(54), 전하-차단 영역(30), 전하-저장 영역(38), 터널링 물질(40, 42 및 44), 및 채널 물질(46)과 함께, 메모리 셀(70)에 포함될 수 있다. 일부 실시예에서 이러한 메모리 셀은 NAND 메모리 셀일 수 있다. 도시된 메모리 셀은 서로 수직으로 적층되고, NAND 스트링의 일부일 수 있다. 메모리 셀(70)은 하나의 메모리 어레이에 걸쳐 제조될 수 있는 많은 수의 실질적으로 동일한 메모리 셀을 나타내는 것으로 간주될 수 있고(이때, 용어 "실질적으로 동일"은 합리적인 제조 및 측정 공차 내에서 동일함을 의미함), 예를 들어, NAND 메모리 어레이는 도 1-4를 참조하여 앞서 기재된 것과 유사하다.
- [0049] 동작 시, 전하-저장 영역(38)은 메모리 셀(70)에 정보를 저장하도록 구성될 수 있다. 개별 메모리 셀(70)에 저장된 정보의 값(이때, 용어 "값"은 하나의 비트 또는 다수의 비트를 나타냄)이 전하-저장 영역에 저장된 전하량(가령, 전자의 수)을 기초로 할 수 있다. 개별 전하-저장 영역(38) 내의 전하량은 연관된 게이트(64)에 인가된 전압의 값 및/또는 연관된 채널 물질(46)에 인가된 값을 적어도 부분적으로 기초로 하여, 제어(가령, 증가 또는 감소)될 수 있다.
- [0050] 터널링 물질(40, 42 및 44)은 함께 메모리 셀(70)의 터널링 영역(72)을 형성한다. 이러한 터널링 영역은 전하-저장 영역(38)과 채널 물질(46) 사이에서 전하(가령, 전자)의 원하는 터널링(가령, 이동)을 가능하게 하도록 구성될 수 있다. 터널링 영역(72)은 선택된 기준, 비제한적 예를 들면, 등가 산화물 두께(EOT: equivalent oxide thickness)를 달성하도록 구성(즉, 엔지니어링)될 수 있다. EOT는 대표적인 물리적 두께와 관련하여 터널링 영역의 전기적 특성(예를 들어, 커패시턴스)을 정량화한다. 예를 들어, EOT는 누설 전류 및 신뢰도 고려 사항을 무시하고 주어진 유전체(가령, 터널링 영역(72))와 동일한 커패시턴스 밀도를 가져야 할 이론적 실리콘 디옥사이드 층의 두께로서 정의될 수 있다.
- [0051] 전하-차단 영역(30)은 전하-저장 영역(38)에 인접하고, 전하-저장 영역(38)으로부터 게이트(64)로 전하가 흐르는 것을 차단하기 위한 메커니즘을 제공할 수 있다. 유전체 장벽 물질(54)은 전하-차단 영역(30)과 게이트(64) 사이에 제공되며, 게이트(64)로부터 전하-저장 영역(38)으로의 전자의 백-터널링(back-tunneling)을 억제하는데 이용될 수 있다. 일부 실시예에서, 유전체 장벽 물질(54)은 메모리 셀(70) 내에 유전체 장벽 영역을 형성하는 것으로 간주될 수 있다.
- [0052] 도 16의 도시된 실시예에서, 채널 물질(46)은 도 12를 참조하여 앞서 기재된 것과 유사한 방식으로 수직 방향을 따라 구불구불한 모양을 가진다. 구체적으로, 워드라인 레벨(14)을 따른 채널 물질(46)의 영역(즉, 세그먼트)은 (화살표(51)로 나타내어지는 바와 같이) 전도성 게이트(64)를 향해 외측으로 측방으로 뻗어 있고, 절연 레벨(16)을 따르는 채널 물질(46)의 영역(즉, 세그먼트)은 (화살표(49)로 나타내어지는 바와 같이) 내측으로 측방으로 뻗어 있다. 또한, 도시된 실시예에서, 전도성 영역(62)은 유전체 장벽 물질(54)을 따라 오목한 수직면(73)을 가지며, 구불구불한 채널 물질(46)의 외측으로 뻗어 있는 세그먼트에 순응한다.
- [0053] 본 명세서에 기재된 실시예는 수직의 구불구불한 채널 물질(46), 곡선형 터널링 영역(72), 곡선형 전하-저장 영역(36), 곡선형 전하-차단 영역(30), 곡선형 유전체 장벽 물질(54) 및 게이트 영역을 따르는 곡선형 면(73)을 형성하기 위해 사용될 수 있고, 이들 모두는 도 16에 도시되어 있다. 또 다른 실시예에서, 채널 물질은 실질적으로 수직으로 직선형, 터널링 영역(72)은 실질적으로 수직으로 직선형, 전하-저장 영역(36)은 실질적으로 수직으로 직선형, 전하-차단 영역(30)은 실질적으로 수직으로 직선형, 유전체 장벽 물질(54)은 실질적으로 수직으로

직선형, 및/또는 게이트 영역을 따른 면(73)은 실질적으로 수직으로 직선형일 수 있다.

- [0054] 도시된 메모리 셀(70)은 상부 메모리 셀 및 하부 메모리 셀인 것으로 간주될 수 있다. 상부 메모리 셀의 전하-저장 영역(즉, 전하-저장 구조)(38)은 하부 메모리 셀의 전하-저장 영역(즉, 전하-저장 구조)(38)에 수직으로 이웃하는 것으로 간주될 수 있다. 수직으로 이웃하는 전하-저장 영역(38)은 절연 레벨(16)의 개재 영역(즉, 렛지)(28)에 의해 서로 수직방향에서 이격된다. 전하-저장 영역(38)의 서로간 수직 방향 분리는 공통 NAND 스트링 내 이웃하는 전하-저장 영역들 간 전하 누설을 완화 또는 방지할 수 있고, 전하-저장 영역의 다른 구성요소(가령, 이웃하는 전하-저장 영역, 제어 게이트, 채널, 터널 옥사이드 등)와의 결합을 완화시킬 수 있다. 이는 NAND 스트링의 모든 메모리 셀을 따라 뻗어 있는 연속 전하-저장 구조를 갖는 종래의 NAND 구성에 비해 실질적인 개선을 가능하게 할 수 있다. 예시적인 개선으로는 개선된 내구성, 읽기/쓰기 예산의 개선, 빠른 전하 획득의 개선, 빠른 전하 손실의 개선, 셀간 용량성 결합의 감소 등이 있을 수 있다.
- [0055] 앞서 언급된 조립체 및 구조는 집적 회로(용어 "집적 회로"는 반도체 기판에 의해 지지되는 전자 회로를 의미함) 내에서 사용될 수 있으며, 전자 시스템에 포함될 수 있다. 이러한 전자 시스템은 예를 들어 메모리 모듈, 디바이스 드라이버, 전력 모듈, 통신 모듈, 프로세서 모듈, 및 애플리케이션-특정 모듈에서 사용될 수 있으며, 다층, 멀티 칩 모듈을 포함할 수 있다. 전자 시스템은 다양한 시스템, 가령, 카메라, 무선 디바이스, 디스플레이, 칩 셋, 셋톱 박스, 게임, 조명, 차량, 시계, 텔레비전, 휴대폰, 개인용 컴퓨터, 자동차, 산업용 제어 시스템, 항공기 등일 수 있다.
- [0056] 달리 명시되지 않는 한, 본 명세서에 기재된 다양한 물질, 재료, 조성물 등은 현재 공지되어 있거나 차후 개발될 임의의 적합한 방법, 가령, ALD(atomic layer deposition), CVD(chemical vapor deposition), PVD(physical vapor deposition) 등에 의해 형성될 수 있다.
- [0057] "유전체" 및 "절연"이라는 용어는 절연 전기 특성을 갖는 물질을 기재하기 위해 사용될 수 있다. 상기 용어들은 본 개시에서 동의어로 간주된다. 어떤 경우에서의 용어 "유전체"와 다른 경우에서의 용어 "절연성"(또는 "전기 절연성")이 청구항 내 선행사를 단순화하기 위해 본 개시 내에서의 언어 다양화를 제공하기 위한 것일 수 있고, 임의의 유의미한 화학적 또는 전기적 차이를 가리키기 위해 사용되지 않는다.
- [0058] 도면에서 다양한 실시예의 특정 배향은 단지 예시 목적만 가지며, 실시예는 일부 응용예에서 도시된 배향에 대해 회전될 수 있다. 본 명세서에 제공된 설명 및 다음의 청구 범위는, 구조가 도면의 특정 배향에 있는지 또는 이러한 배향에 대해 회전되는지에 관계없이, 다양한 특징부들 간에 기재된 관계를 갖는 임의의 구조와 관련된다.
- [0059] 첨부된 도면의 횡단면도는 단지 횡단면의 평면 내의 특징부만 나타내고, 달리 지시되지 않는 한, 도면을 단순화하기 위해 횡단면의 평면을 벗어난 물질을 나타내지 않는다.
- [0060] 구조가 다른 구조 "상에", "인접한" 또는 "맞닿은" 것으로 언급될 때, 이는 다른 구조 직접 상에(directly on) 존재할 수도 있고 개재된 구조가 존재할 수도 있다. 이와 달리, 구조가 다른 구조 "직접 상에", "직접 인접한" 또는 "직접 맞닿은" 것으로 언급될 때, 개재 구조는 존재하지 않는다.
- [0061] 구조(예를 들어, 층, 물질 등)는 상기 구조가 기저 베이스(가령, 기판)로부터 일반적으로 상향으로 뻗어 있음을 가리키기 위해 "수직으로 뻗어 있는"으로 지칭될 수 있다. 수직으로 뻗어 있는 구조는 베이스의 상부 표면에 대해 실질적으로 직교로 뻗어 있을 수도 있고, 그렇지 않을 수도 있다.
- [0062] 일부 실시예는 전도성 게이트를 갖고, 전도성 게이트에 인접한 전하-차단 영역을 갖는 메모리 셀을 포함한다. 전하-차단 영역은 실리콘 옥시니트라이드 및 실리콘 디옥사이드를 포함한다. 전하-저장 영역은 전하-차단 영역에 인접해 있다. 터널링 물질은 전하-저장 영역에 인접해 있다. 채널 물질은 터널링 물질에 인접해 있다. 터널링 물질은 채널 물질과 전하-저장 영역 사이에 있다.
- [0063] 일부 실시예는 교대하는 절연 레벨과 워드라인 레벨의 수직 스택을 갖는 조립체를 포함한다. 워드라인 레벨은 전도성 영역을 포함한다. 전하-저장 영역은 전도성 영역을 따라 있다. 전하-차단 영역은 전하-저장 영역과 전도성 영역 사이에 있다. 전하-차단 영역은 실리콘 옥시니트라이드를 따라 수직으로 뻗어 있는 실리콘 디옥사이드를 포함한다. 실리콘 디옥사이드는 실리콘 옥시니트라이드와 전하-저장 영역 사이에 있다.
- [0064] 일부 실시예는 교대하는 절연 레벨과 워드라인 레벨의 수직 스택을 갖는 메모리 어레이를 포함한다. 채널 물질은 스택을 따라 수직으로 뻗어 있다. 워드라인 레벨은 전도성 영역을 포함한다. 전도성 영역은 갭에 의해 채널 물질로부터 이격되어 있다. 절연 레벨은 갭의 적어도 일부분 위와 아래에 렛지를 포함한다. 전하-저장 영역이

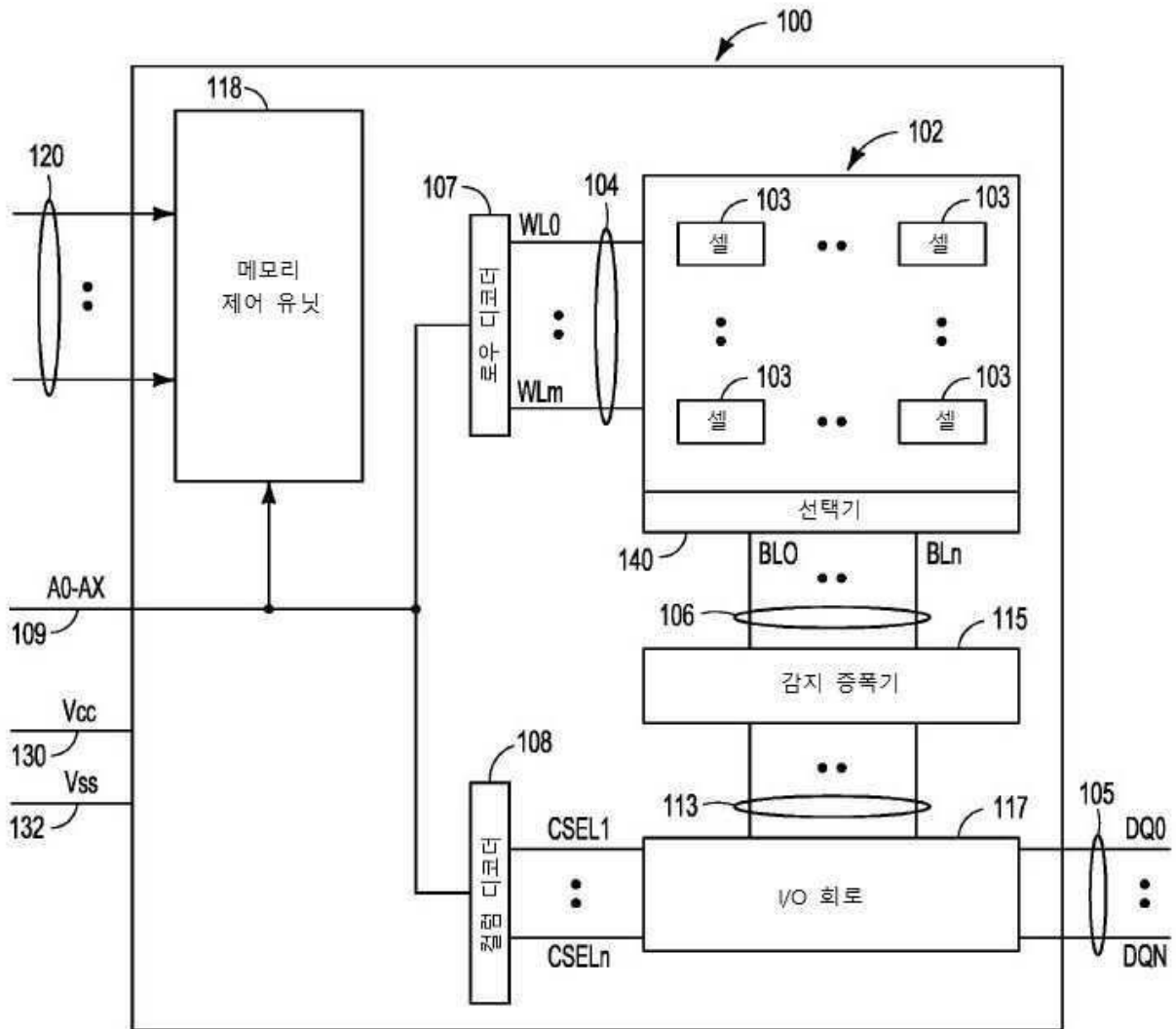
갭 내에 있다. 전하-저장 영역은 랫지의 개재 영역에 의해 수직 방향에서 서로 이격되어 있다. 전하-차단 영역은 갭 내에 그리고 전하-저장 영역과 전도성 영역 사이에 있다. 전하-차단 영역은 실리콘 옥시니트라이드를 따라 수직으로 뻗어 있는 실리콘 디옥사이드를 포함한다. 실리콘 디옥사이드는 실리콘 옥시니트라이드와 전하-저장 영역 사이에 있다.

[0065]

일부 실시예는 조립체를 형성하는 방법을 포함한다. 제1 개구부는 교대하는 제1 레벨과 제2 레벨의 스택을 관통해 형성된다. 제1 레벨은 제1 물질을 포함하고, 제2 레벨은 제2 물질을 포함한다. 제1 레벨의 제1 물질은 제1 개구부를 따라 오목화되어 갭을 형성할 수 있다. 갭은 제2 레벨의 제2 물질의 세그먼트들 사이에서 수직으로 존재한다. 제2 레벨의 제2 물질의 세그먼트는 갭 위 및 아래의 랫지이다. 제1 레벨의 제1 물질의 에지는 갭을 따라 산화되어 제1 물질의 나머지 부분을 따라 전하-차단 영역을 형성할 수 있다. 전하-포획 영역은 갭 내에 그리고 전하-차단 영역을 따라 형성된다. 수직으로 뻗어 있는 터널링 물질은 제1 개구부 내에 형성된다. 터널링 물질은 제2 레벨의 제2 물질의 에지를 따라 그리고 전하-포획 영역을 따라 뻗어 있다. 채널 물질은 제1 개구부 내에 그리고 터널링 물질을 따라 형성된다. 스택을 관통해 제2 개구부가 형성되는데, 이때 제2 개구부는 제1 물질의 나머지 부분을 관통해 뻗어 있다. 제1 물질의 나머지 부분은 제2 개구부를 따라 공동을 형성하기 위해 제거된다. 전도성 영역이 공동 내에 형성된다.

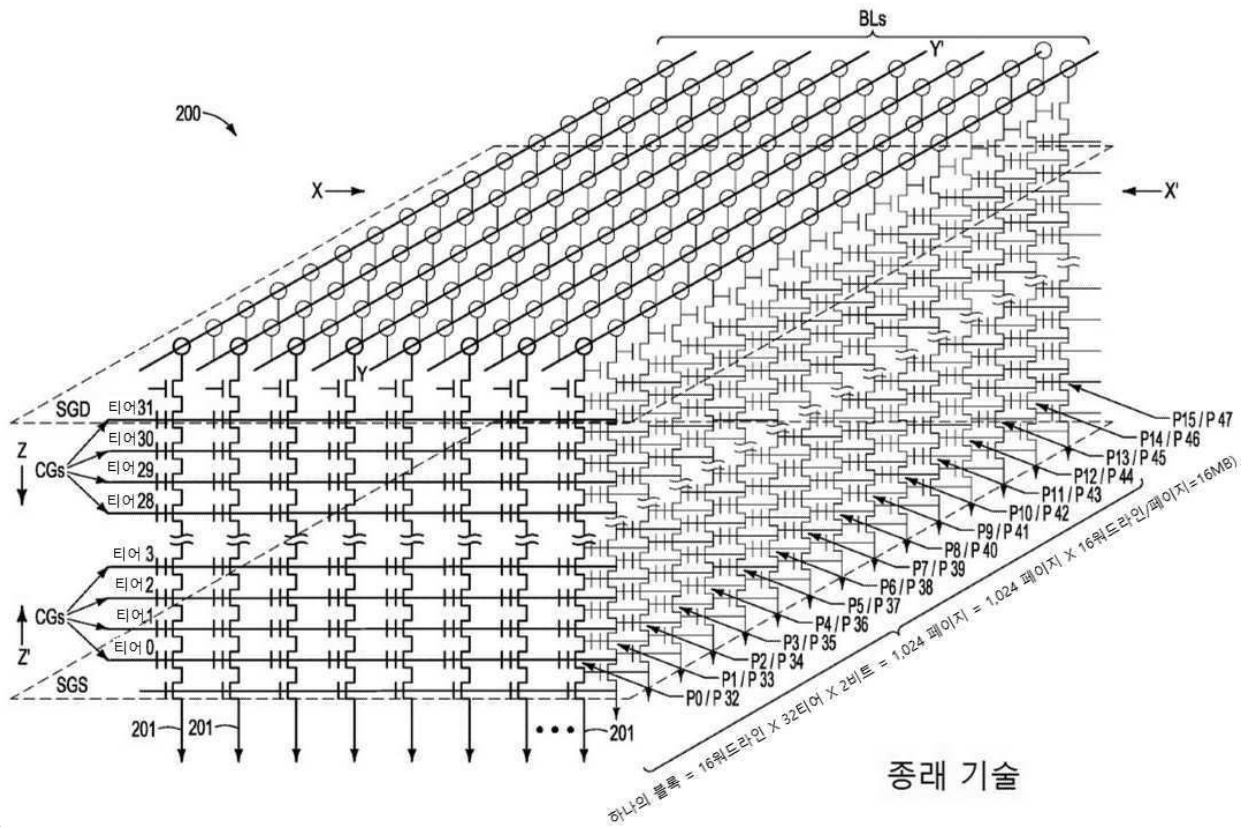
도면

도면1

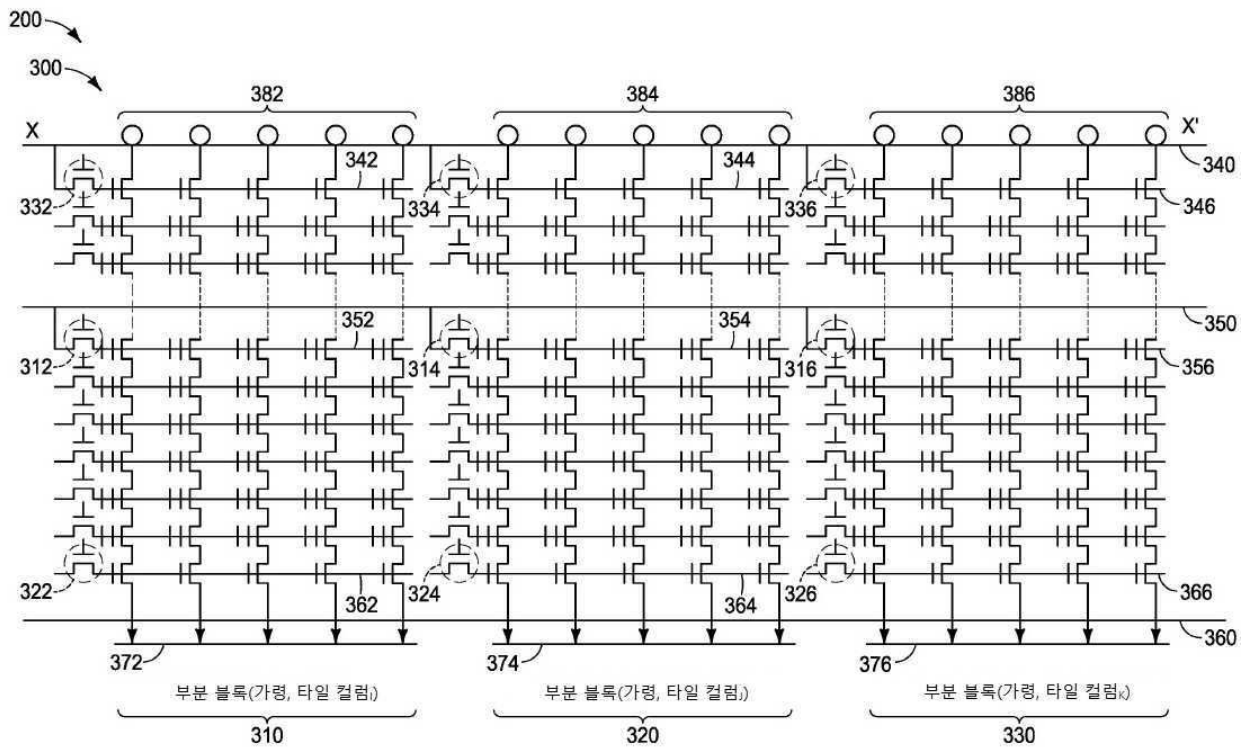


종래 기술

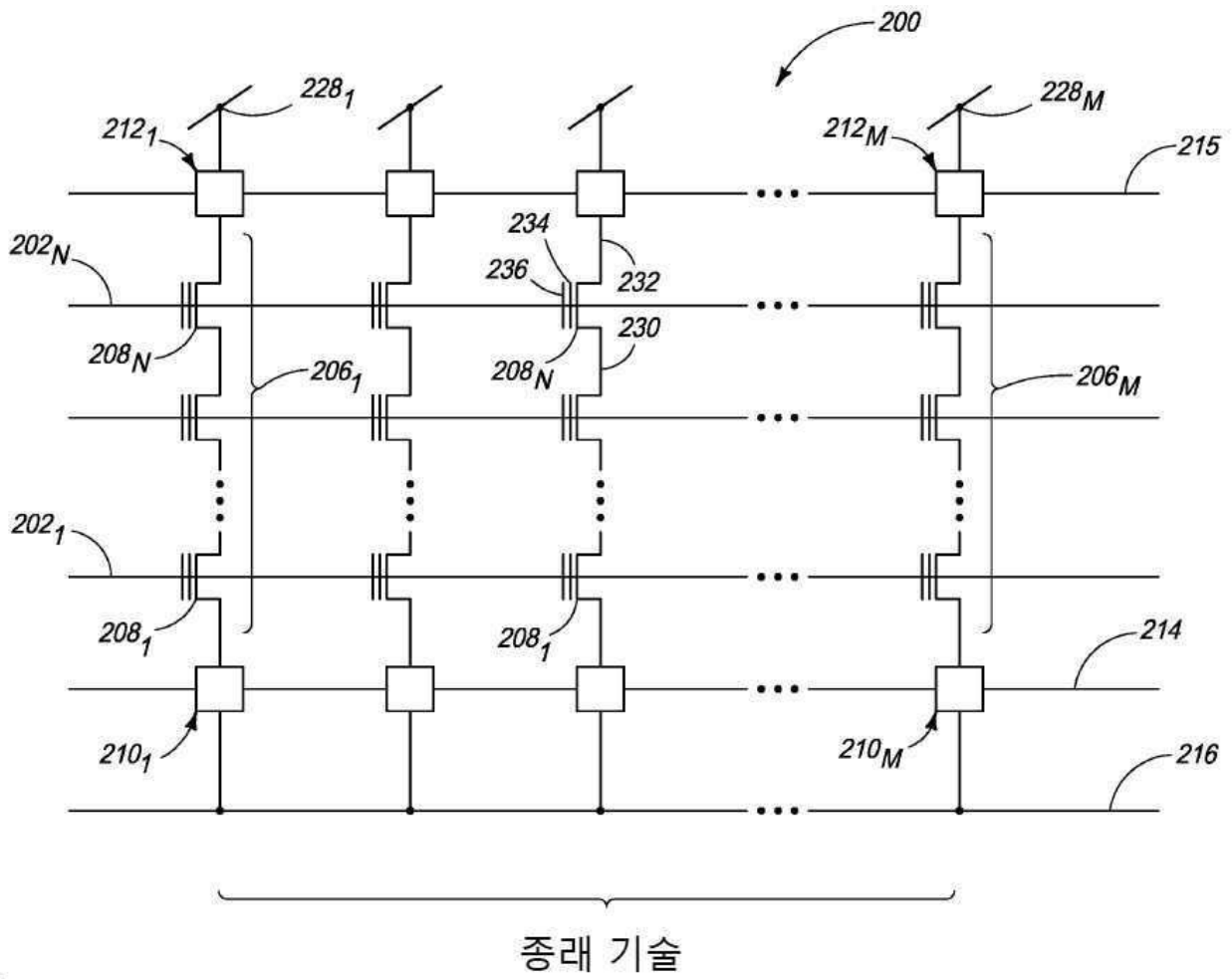
도면2



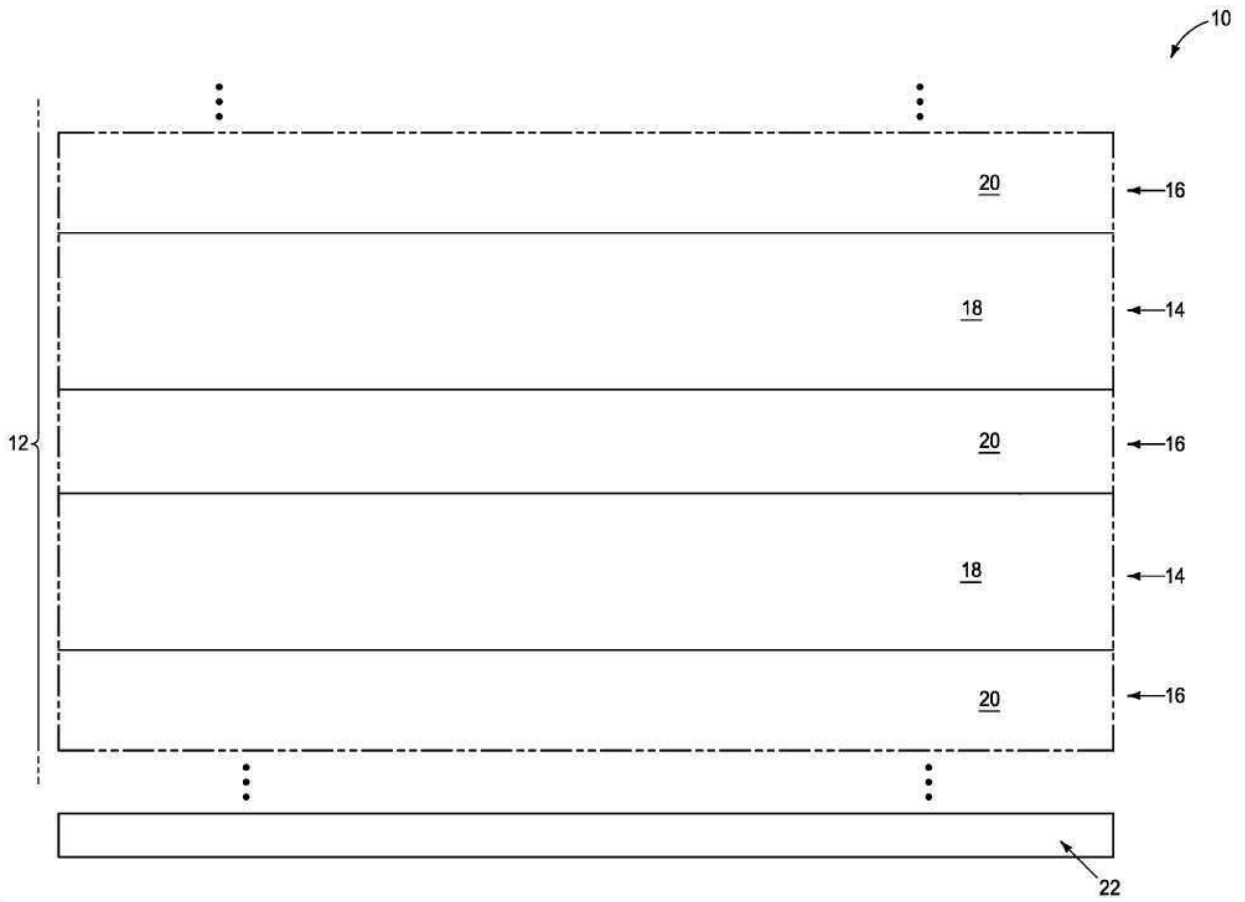
도면3



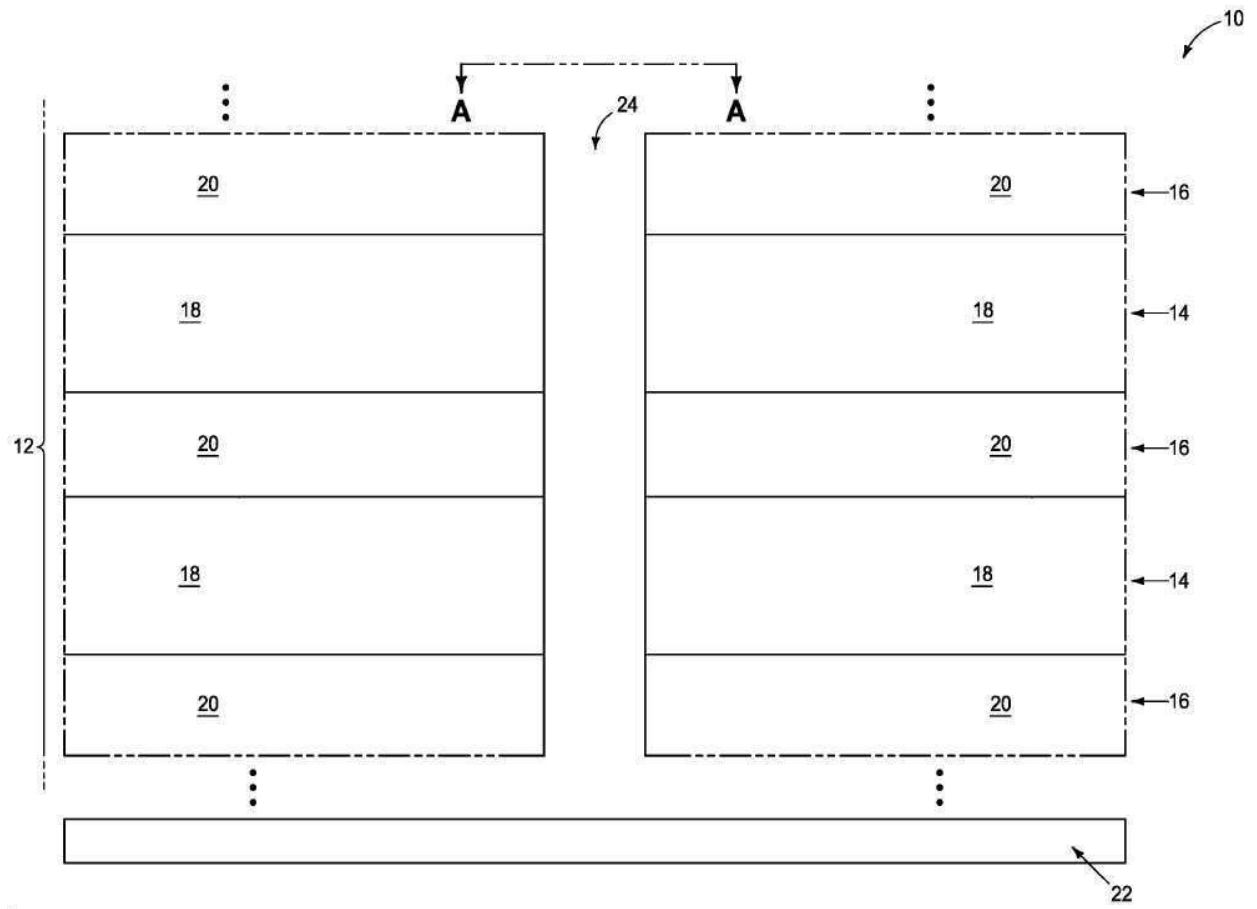
도면4



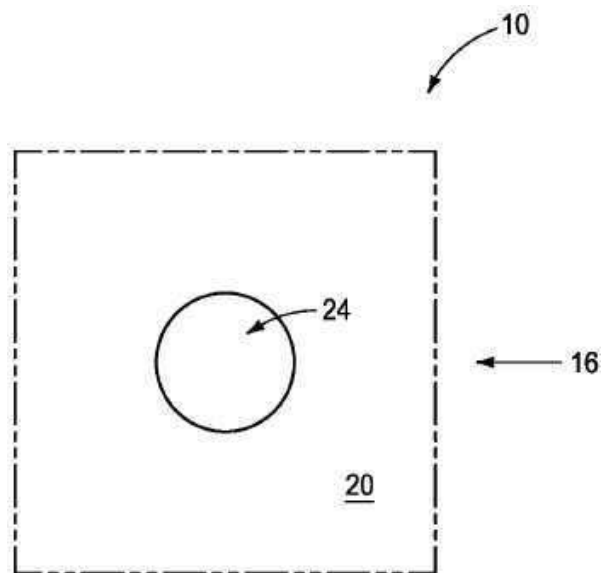
도면5



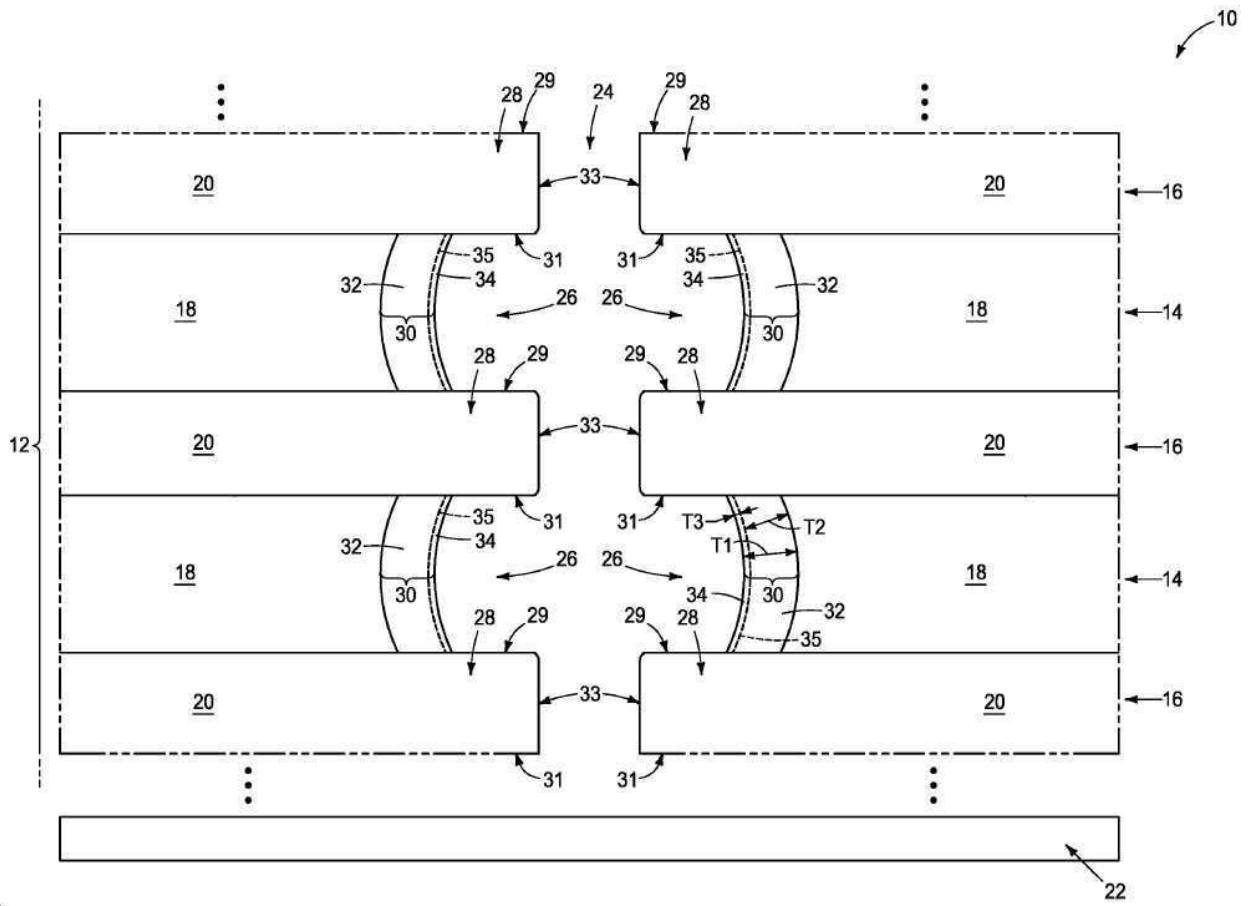
도면6



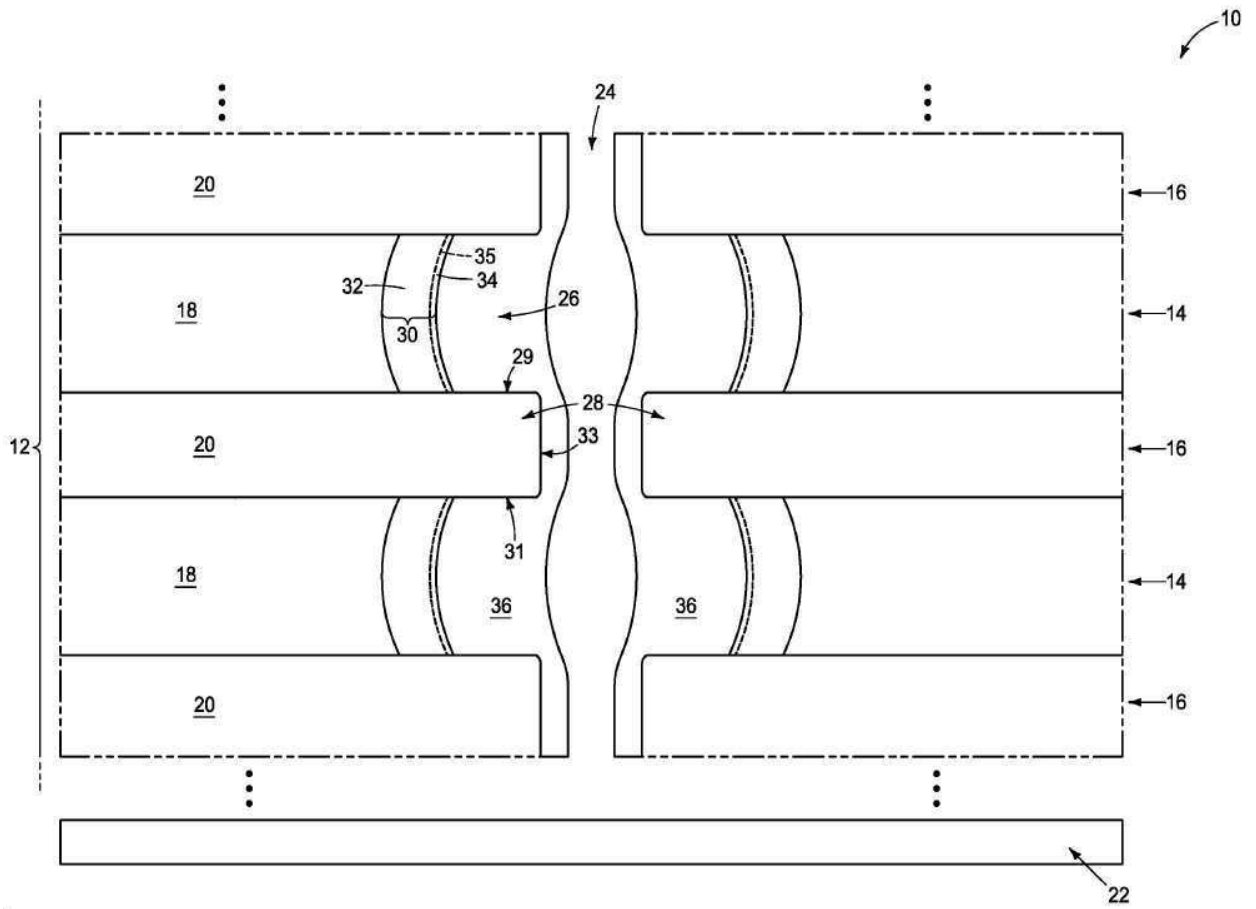
도면6a



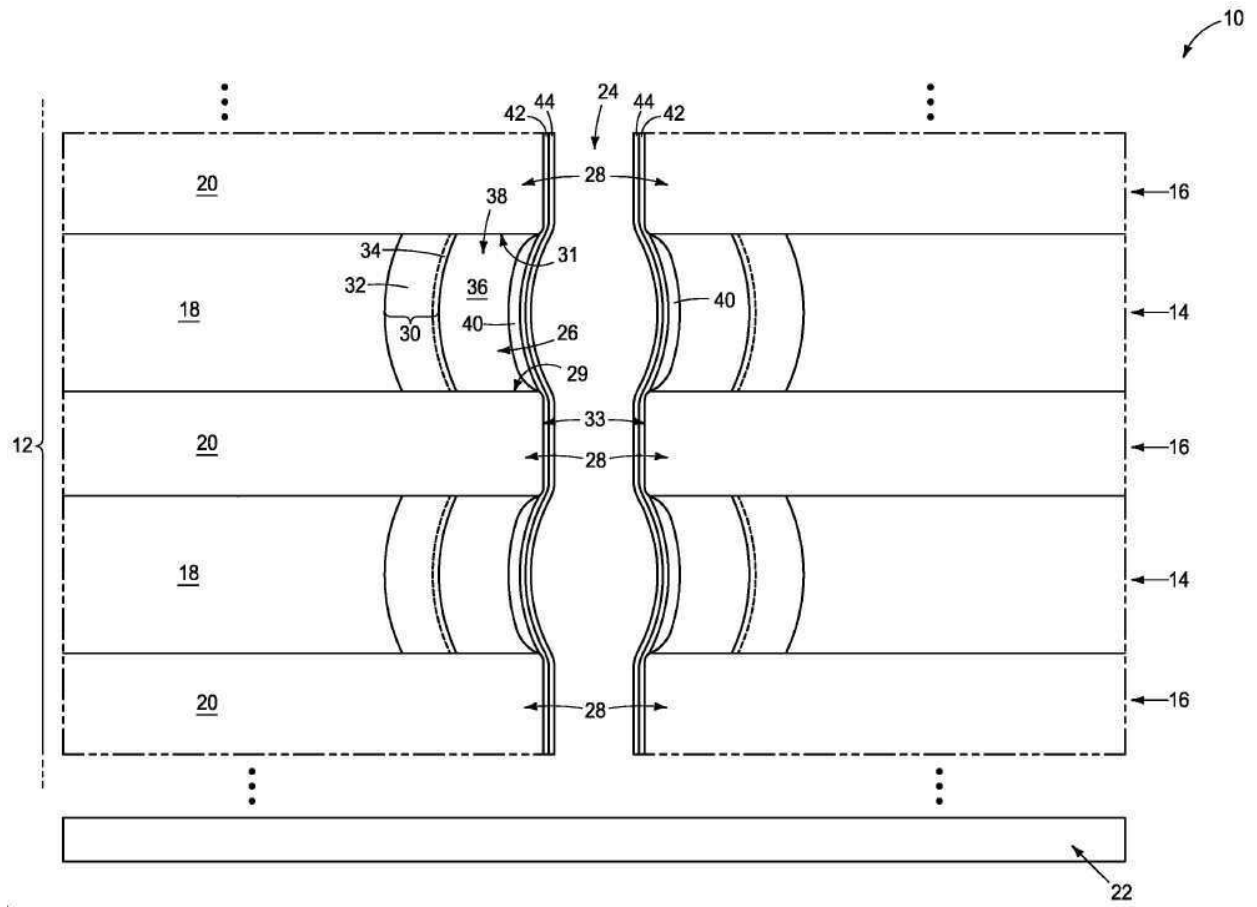
도면8



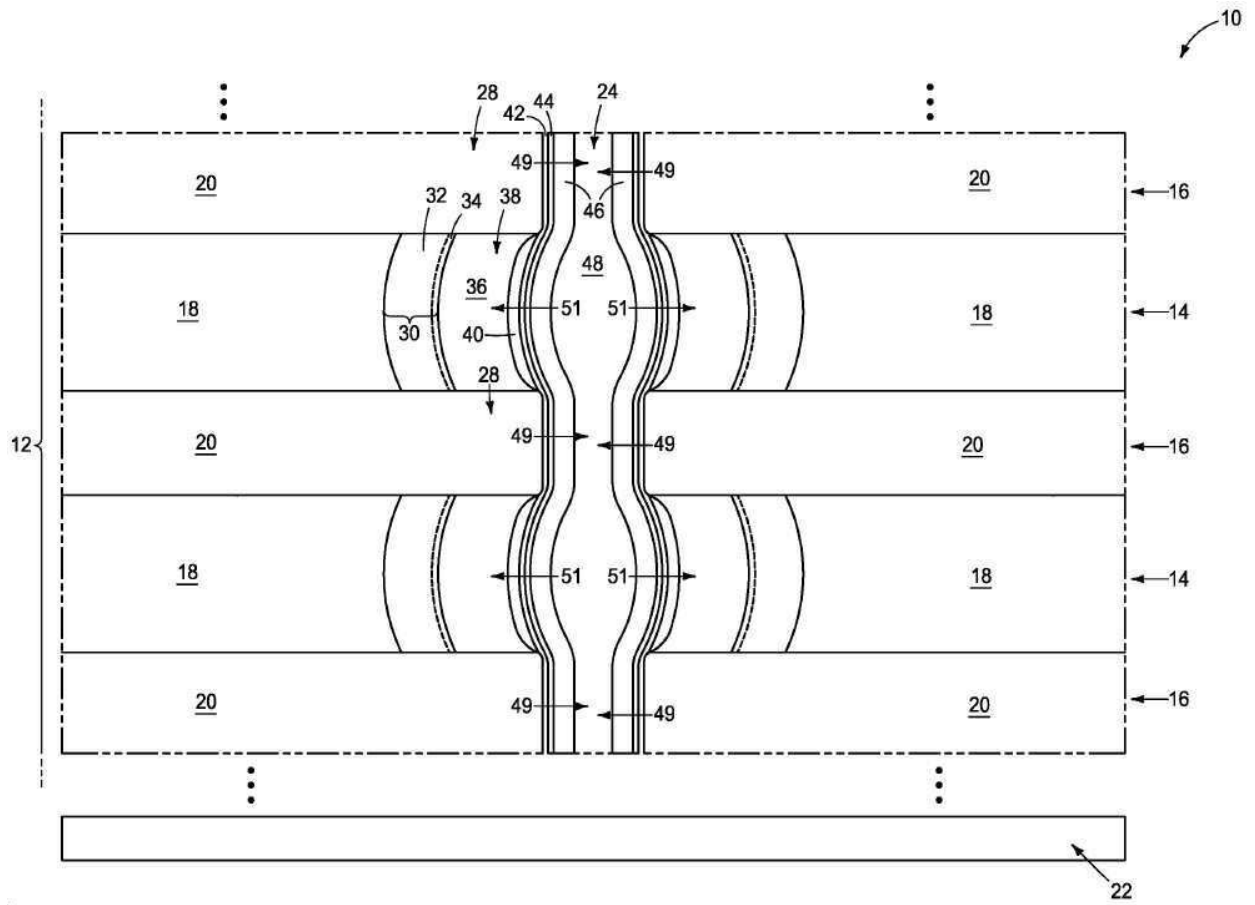
도면9



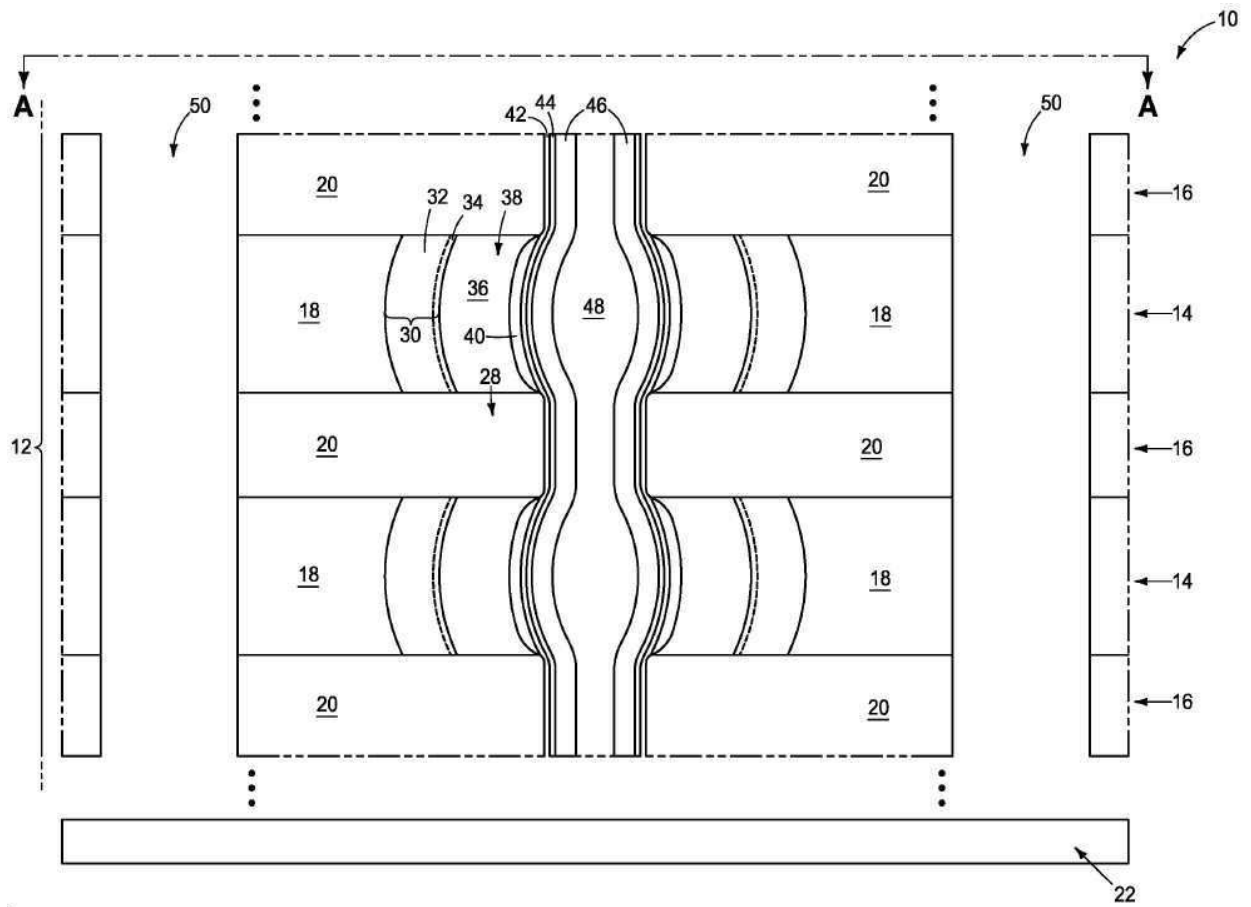
도면11



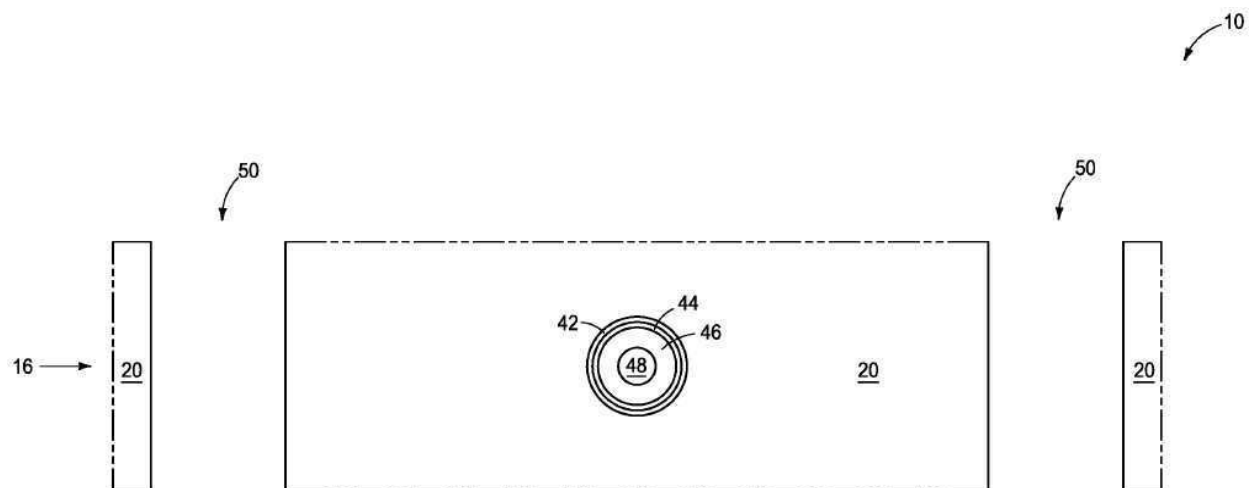
도면12



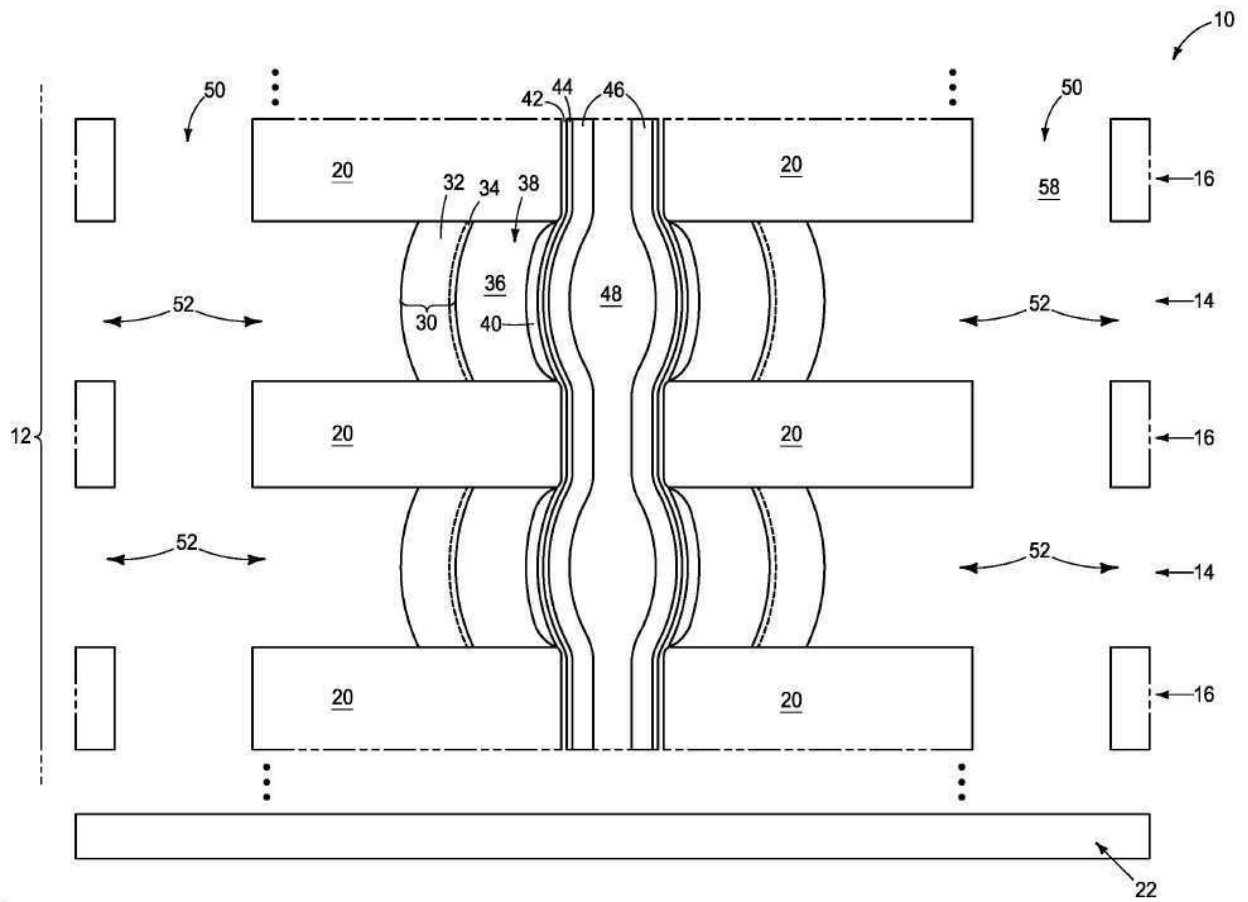
도면13



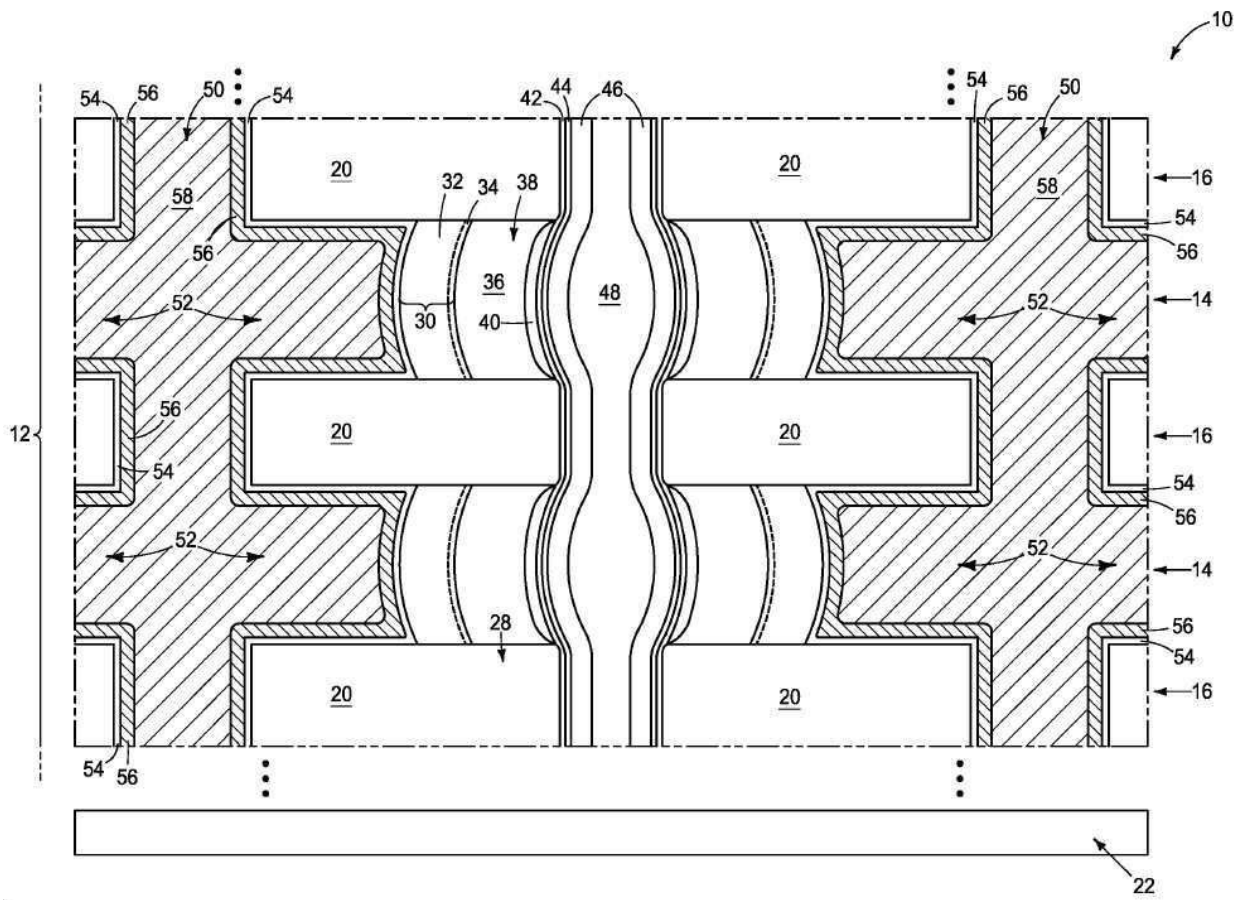
도면13a



도면14



도면15



도면16

