

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-243049

(P2007-243049A)

(43) 公開日 平成19年9月20日(2007.9.20)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 G	5 F O 4 8
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 3 2 1 D	5 F O 5 8
H O 1 L 27/092 (2006.01)	H O 1 L 21/316 M	5 F 1 4 O
H O 1 L 21/316 (2006.01)	H O 1 L 21/316 X	

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号	特願2006-66300 (P2006-66300)	(71) 出願人	000219967 東京エレクトロン株式会社 東京都港区赤坂五丁目3番6号
(22) 出願日	平成18年3月10日 (2006.3.10)	(74) 代理人	100070150 弁理士 伊東 忠彦
		(72) 発明者	秋山 浩二 東京都港区赤坂五丁目3番6号 TBS放送センター 東京エレクトロン株式会社内
		(72) 発明者	青山 真太郎 東京都港区赤坂五丁目3番6号 TBS放送センター 東京エレクトロン株式会社内
		(72) 発明者	高橋 毅 東京都港区赤坂五丁目3番6号 TBS放送センター 東京エレクトロン株式会社内
			最終頁に続く

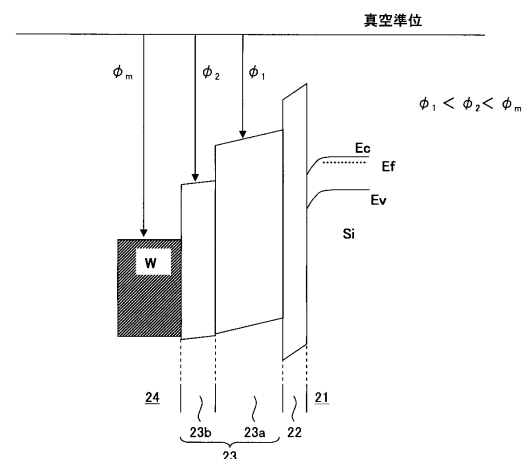
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 high - K ゲート絶縁膜を使った半導体装置において、ゲート絶縁膜への電荷のトラップを抑制する。

【解決手段】 ゲート電極を、その下の界面酸化膜に接して形成され、小さな電子親和力と大きなバンドギャップを有する第1の絶縁膜と、ゲート電極に接して形成され、より大きな電子親和力とより小さなバンドギャップを有する第2の絶縁膜の積層により形成する。

【選択図】 図12



【特許請求の範囲】

【請求項 1】

シリコン基板上に、界面酸化膜を介して形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記シリコン基板中、前記ゲート電極の第 1 および第 2 の側にそれぞれ形成された第 1 および第 2 の拡散領域と、
よりなる半導体装置であって、

前記ゲート絶縁膜は、前記界面酸化膜上に接して形成された第 1 の絶縁膜と、前記ゲート電極に接して形成された第 2 の絶縁膜を含み、

前記第 2 の絶縁膜は、前記第 1 の絶縁膜よりも大きな電子親和力を有し、前記ゲート電極は、前記第 2 の絶縁膜よりも大きな電子親和力を有することを特徴とする半導体装置。 10

【請求項 2】

前記第 1 の絶縁膜は、前記第 2 の絶縁膜よりも大きなバンドギャップを有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 の絶縁膜は、前記第 1 の絶縁膜に接して形成されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記第 1 の絶縁膜の伝導帯と前記第 2 の伝導帯との間には、段差が存在することを特徴とする請求項 1 ~ 3 記載の半導体装置。 20

【請求項 5】

前記第 1 および第 2 の絶縁膜は HfSiON 膜であり、前記第 1 の絶縁膜は前記第 2 の絶縁膜よりも高い Si 濃度を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

前記第 1 の絶縁膜と前記第 2 の絶縁膜の間で、 Si 濃度が不連続に変化することを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記第 1 の伝導帯は前記第 2 の伝導帯に、連続的に遷移することを特徴とする請求項 1 ~ 3 のうち、いずれか一項記載の半導体装置。

【請求項 8】

前記第 1 および第 2 の絶縁膜は HfSiON 膜であり、前記第 1 の絶縁膜は前記第 2 の絶縁膜よりも高い Si 濃度を有し、前記 Si 濃度は、前記第 1 の絶縁膜から前記第 2 の絶縁膜に、連続的に遷移することを特徴とする請求項 7 記載の半導体装置。 30

【請求項 9】

前記ゲート電極は、金属よりなることを特徴とする請求項 1 ~ 8 のうち、いずれか一項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に半導体装置に係り、特に高誘電体ゲート絶縁膜を有する半導体装置の関 40
する。

【背景技術】

【0002】

今日の超高速半導体装置では、微細化プロセスの進歩とともに、 30nm 以下のゲート長が可能になりつつある。一般に微細化とともに半導体装置の動作速度は向上するが、このように非常に微細化された半導体装置では、ゲート絶縁膜の膜厚を、微細化によるゲート長の短縮に伴って、スケールング則に従って減少させる必要がある。

【0003】

しかしゲート長が 30nm 以下になると、ゲート絶縁膜の厚さも、従来の熱酸化膜を使った場合、 1nm 、あるいはそれ以下に設定する必要があるが、このように非常に薄いゲ 50

ート絶縁膜ではトンネル電流が増大し、その結果ゲートリーク電流が増大する問題を回避することができない。

【0004】

このような事情で従来、比誘電率が熱酸化膜のものよりもはるかに大きく、このため実際の膜厚が大きくても SiO_2 膜に換算した場合の膜厚が小さい Ta_2O_5 や Al_2O_3 、 ZrO_2 、 HfO_2 、さらには ZrSiO_4 あるいは HfSiO_4 のような高誘電体材料（いわゆるhigh-K材料）をゲート絶縁膜に対して適用することが提案されている。このような高誘電体材料を使うことにより、ゲート長が30nm以下と、非常に短い超高速半導体装置においても1~2nm程度の物理的膜厚のゲート絶縁膜を使うことができ、トンネル効果によるゲートリーク電流を抑制することができる。特に HfSiON 膜を使ったゲート絶縁膜が、このような超微細化半導体装置のゲート絶縁膜として有望視されている。

10

【0005】

チャネル領域中のキャリアモビリティを向上させる観点からは、高誘電体ゲート酸化膜とシリコン基板との間に、1nm以下、好ましくは0.8nm以下の厚さのきわめて薄いベース酸化膜を介在させるのが好ましい。ベース酸化膜は非常に薄い必要があり、厚さが厚いと高誘電体膜をゲート絶縁膜に使った効果が相殺される。一方、かかる非常に薄いベース酸化膜は、シリコン基板表面を一様に覆う必要があり、また界面準位等の欠陥を形成しないことが要求される。従来、このように非常に薄い界面酸化膜を、紫外光励起酸素ラジカルにより形成する技術が確立している。

20

【特許文献1】特開2005-45166号公報

【特許文献2】特開2003-204061号公報

【特許文献3】特開2004-31760号公報

【特許文献4】特開2004-186567号公報

【特許文献5】特開2004-000614号公報

【非特許文献1】Jpn. J. Appl. Phys. vol.43, No.12, 2004, pp.8199-8202

【発明の開示】

【発明が解決しようとする課題】

【0006】

図1は、このような HfSiON 膜のリーク電流 J_g と酸化膜換算膜厚の関係を示す。ただし図1は、本発明者が本発明の基礎となる研究において得たものであり、本発明の一部を構成するものである。

30

【0007】

図1中、連続線はシリコン基板上に形成された熱酸化膜のリーク電流特性を示しており、図1中にはさらに、Si濃度を0%、10%、30%、60%とした場合の、前記 HfSiON 膜のリーク電流特性が示されている。ただし図1において酸化膜換算膜厚 EOT およびリーク電流 J_g は、シリコン基板上に、熱酸化膜あるいは HfSiON 膜を介してn+型の電極を有するMOSキャパシタを形成し、かかるMOSキャパシタに対して測定を行っている。その際、前記 HfSiON 膜は、シリコン基板表面に、厚さが0.4nmの界面酸化膜を介して形成している。

40

【0008】

図1を参照するに、同一のリーク電流値で比較した場合、 HfSiON 膜の酸化膜換算膜厚 EOT は、熱酸化膜に比べて大きく減少しているのがわかる。

【0009】

このように、 HfSiON 膜を使うことによりゲート絶縁膜の酸化膜換算膜厚 EOT は大きく減少させることができるが、このような HfSiON 膜中には、図2に示すように、特にpMOS構造の場合に多量の電荷トラップが形成されることが見いだされた。ただし図2は、 HfSiON 膜をゲート絶縁膜としたpMOS構造およびnMOS構造における電荷トラップ密度と HfSiON 膜中のSi濃度の関係を示す。このようにゲート絶縁膜中に多量の電荷トラップが形成されると、半導体装置のしきい値特性が変動してしまい、また移動度も低下し、半導体装置の安定な高速動作が不可能になる。

50

【課題を解決するための手段】

【0010】

一の側面によれば本発明は、
シリコン基板上に、界面酸化膜を介して形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記シリコン基板中、前記ゲート電極の第1および第2の側にそれぞれ形成された第1
および第2の拡散領域と、
よりなる半導体装置であって、
前記ゲート絶縁膜は、前記界面酸化膜よりもバンドギャップの小さい第1および第2の
絶縁膜を、前記界面酸化膜上に順次積層した構造を有し、
前記第1の絶縁膜は、前記第2の絶縁膜よりも大きなバンドギャップを有することを特
半導体装置を提供する。

10

【発明の効果】

【0011】

本発明によれば、前記ゲート絶縁膜を、界面酸化膜に接する部分においては大きな電子
親和力を有しゲート電極に接する部分では小さな電子親和力を有するように構成すること
により、nチャネルMOSトランジスタにおいては前記ゲート絶縁膜中にチャネル中の電
子に対する高い障壁が形成され、前記チャネル領域から前記ゲート絶縁膜への電子の侵入
が抑制されると同時に、仮に電子が侵入した場合でも、侵入した電子を、ゲート絶縁膜中
に蓄積することなく、速やかにゲート電極へと排出することができ、ゲート電極中への電
荷のトラップによるしきい値特性の変動を抑制することができる。またpチャネルMOS
トランジスタにおいても、チャネル領域中のホールに対し、ゲート絶縁膜中に高い障壁を
形成できると同時に、ゲート電極側から効率よくゲート絶縁膜中に電子を注入でき、仮に
ゲート絶縁膜中にホールが侵入しても、これを速やかに中和することが可能となる。

20

【発明を実施するための最良の形態】

【0012】

〔原理〕

図4(A)～(C)～図8(A)～(C)は、図3の基本構造を示すMOS構造において、ゲート絶縁膜の構成を様々に変化させた場合のバンド構造を示す。

【0013】

図3を参照するに、シリコン基板21上には界面酸化膜22を介してゲート絶縁膜23
が形成されており、前記ゲート絶縁膜23上には金属ゲート電極24が形成されている。

30

【0014】

図4(A)～(C)は、前記ゲート絶縁膜23が、前記界面酸化膜22に接して形成され
た、バンドギャップが大きい第1の絶縁膜23aと、前記ゲート電極24に接して形成
された、バンドギャップが前記第1の絶縁膜よりは小さい第2の絶縁膜23bよりなる場
合(以下、「TOP構成」と称する)を示しており、図4(A)は、前記図3の構成を有
するnチャネルMOSトランジスタにおいて蓄積状態が、pチャネルMOSトランジスタ
において反転状態が生じている場合を、図4(B)は、前記nチャネルMOSトランジスタ
およびpチャネルMOSトランジスタとも、フラットバンド状態となっている場合を、
さらに図4(C)は、前記nチャネルMOSトランジスタにおいて反転状態が、pチャネ
ルMOSトランジスタにおいて蓄積状態が生じている場合を示す。

40

【0015】

図4(A)の状態では、pチャネルMOSトランジスタにおいて、シリコン基板21表
面に形成されたチャネル領域中のホールに対して、前記第1の絶縁膜23aが高い障壁を
形成し、ホールのゲート絶縁膜23への侵入を抑制する。また前記第2の絶縁膜23bは
バンドギャップが小さいため、ゲート電極24から電子がゲート絶縁膜23に注入されや
すく、このようにして注入された電子は、前記第1の絶縁膜23aにチャネル領域から侵
入したホールを中和するように作用し、前記ゲート絶縁膜23における電荷トラップに起
因するMOSトランジスタのしきい値の変動が抑制できる。

50

【 0 0 1 6 】

図 4 (B) のフラットバンド状態では電荷注入は生じないが、図 4 (C) に示す、n チャンネル M O S トランジスタの反転状態では、前記シリコン基板 2 1 の表面に誘起されたチャンネル領域より電子がゲート絶縁膜 2 3 に侵入しようとする。しかし、この場合にも、界面酸化膜 2 2 に接して大きなバンドギャップを有する第 1 の絶縁膜 2 3 a が高い障壁を形成し、電子の侵入を抑制する。また、仮に界面準位などを介して電子が侵入しても、第 2 の絶縁膜 2 3 b が高いバリアを形成しないため、ゲート絶縁膜 2 3 に侵入した電子は速やかにゲート電極 2 4 へと逃がされ、膜中にトラップされたり、M O S トランジスタのしきい値特性が変調されたりするなどの問題が抑制される。すなわち、図 4 (A) ~ (C) のバンド構造は、n チャンネル M O S トランジスタ、p チャンネル M O S トランジスタのいずれにおいても、ゲート絶縁膜中へのキャリアのトラップを最小化できることがわかる。

【 0 0 1 7 】

図 5 (A) ~ (C) は、図 4 (A) ~ (C) のモデルにおいて、ゲート電極 2 4 と第 2 の絶縁膜の間に、バンドギャップの大きい第 3 の絶縁膜 2 3 c が形成された場合 (以下、「M I D 構成」と称する) を示す。この場合にも図 5 (A) は p チャンネル M O S トランジスタの反転状態を、図 5 (B) はフラットバンド状態を、図 5 (C) は n チャンネル M O S トランジスタの反転状態を示す。

【 0 0 1 8 】

図 5 (A) を参照するに、この場合にも、前記界面酸化膜 2 2 に接して形成された第 1 絶縁膜 2 3 a は、チャンネル領域中のホールに対して高いバリアを形成するが、ゲート電極 2 4 に接して、第 3 の絶縁膜 2 3 c が高いバリアを形成し、ゲート電極 2 4 からの前記絶縁膜 2 3 への電子の注入が抑制される。このため、p チャンネル M O S トランジスタの場合、図 4 (A) の場合のように効率的に、ゲート絶縁膜 2 3 中に注入されたホールを中和することはできない。

【 0 0 1 9 】

また図 5 (C) に示す n チャンネル M O S トランジスタにおいては、ゲート絶縁膜 2 3 に侵入した電子は、前記ゲート電極 2 4 に接して、バンドギャップの大きい第 3 の絶縁膜 2 3 c が形成されているため、バンドギャップの大きな第 1 の絶縁膜 2 3 a と第 3 の絶縁膜 2 3 c の間でトラップさされてしまう。

【 0 0 2 0 】

図 6 (A) ~ (C) は、図 3 のモデルにおいて、前記界面酸化膜 2 2 に接してバンドギャップの小さい第 1 の絶縁膜 2 3 a が形成され、前記ゲート電極 2 4 に接して、バンドギャップの大きな第 2 の絶縁膜 2 3 b が形成された場合 (以下、「B T M 構成」と称する) を示す。この場合にも図 6 (A) は p チャンネル M O S トランジスタの反転状態を、図 6 (B) はフラットバンド状態を、図 6 (C) は n チャンネル M O S トランジスタの反転状態を示す (以下、「B T M」構成と称する) 。

【 0 0 2 1 】

図 6 (A) を参照するに、この場合にも、前記界面酸化膜 2 2 に接して形成された第 1 絶縁膜は、チャンネル領域中のホールに対して高いバリアを形成するが、ゲート電極 2 4 に接して、第 2 の絶縁膜 2 2 b が高いバリアを形成し、ゲート電極 2 4 からの前記絶縁膜 2 4 への電子の注入が抑制される。このため、p チャンネル M O S トランジスタの場合、図 4 (A) の場合のように効率的に、ゲート絶縁膜 2 3 中に注入されたホールを中和することはできない。

【 0 0 2 2 】

また図 6 (C) に示す n チャンネル M O S トランジスタにおいては、ゲート絶縁膜 2 3 に侵入した電子は、前記ゲート電極 2 4 に接して、バンドギャップの大きい第 2 の絶縁膜 2 3 b が形成されているため、バンドギャップの大きな界面酸化膜 2 2 と前記第 2 の絶縁膜 2 3 b の間でトラップされてしまう。

【 0 0 2 3 】

図 7 (A) ~ (C) は、図 3 のモデルにおいて、前記ゲート絶縁膜 2 3 として、組成が

一様な HfSiON 膜 (Si 原子濃度 60%) を使った場合 (以下、Flat (60% Si) 構成と称する) を示す。この場合にも図 7 (A) は p チャンネル MOS トランジスタの反転状態を、図 7 (B) はフラットバンド状態を、図 7 (C) は n チャンネル MOS トランジスタの反転状態を示す。

【0024】

図 7 (A) を参照するに、 HfSiON 膜は、チャンネル領域中のホールに対して高いバリアを形成するが、ゲート電極 24 中の電子に対しては高いバリアを形成し、ゲート電極 24 からの前記絶縁膜 23 への電子の注入が抑制される。このため、p チャンネル MOS トランジスタの場合、図 4 (A) の場合のように効率的に、ゲート絶縁膜 23 中に注入されたホールを中和することはできない。

10

【0025】

また図 7 (C) に示す n チャンネル MOS トランジスタにおいては、ゲート絶縁膜 23 に侵入した電子は、前記ゲート絶縁膜 23 のバンドギャップが大きいいため、ゲート絶縁膜 23 への侵入が抑制される。ただし、ゲート絶縁膜 23 のバンドギャップは膜厚方向に一定であるため、侵入した電子のゲート電極 24 への排出が加速されるわけではない。

【0026】

図 8 (A) ~ (C) は、図 3 のモデルにおいて、前記ゲート絶縁膜 23 として、組成が一様な HfSiON 膜 (Si 原子濃度 0%) を使った場合 (Flat (0% Si) 構成) を示す。この場合にも図 8 (A) は p チャンネル MOS トランジスタの反転状態を、図 8 (B) はフラットバンド状態を、図 8 (C) は n チャンネル MOS トランジスタの反転状態を示す。

20

【0027】

図 8 (A) を参照するに、 HfSiON 膜 (実際には HfO_2 膜) は、チャンネル領域中のホールに対して高いバリアを形成するが、ゲート電極 24 中の電子に対しては低いバリアを形成し、ゲート電極 24 からの前記絶縁膜 23 への電子の注入が生じる。このため、p チャンネル MOS トランジスタの場合に、図 4 (A) の場合のように効率的に、ゲート絶縁膜 23 中に注入されたホールを中和することが可能である。

【0028】

また図 8 (C) に示す n チャンネル MOS トランジスタにおいては、チャンネル領域の電子は、前記ゲート絶縁膜 23 のバンドギャップが小さいため、ゲート絶縁膜 23 に容易に侵入してしまう。また、ゲート絶縁膜 23 のバンドギャップは膜厚方向に一定であるため、侵入した電子のゲート電極 24 への排出が加速されるわけではない。

30

【0029】

図 9 は、このような様々なバンド構造のゲート絶縁膜について求めた、トラップ準位密度の見積もりを示す。ただし図 9 中、縦軸はトラップ準位密度を、横軸は、図 10 に定義するように、界面酸化膜 22 とゲート絶縁膜 23 の界面における伝導帯下端とチャンネル領域 21 におけるフェルミレベル E_f のエネルギー差を示す。が負の場合、ゲート絶縁膜 23、特に界面酸化膜 22 と接してい絶縁膜 23 a の伝導帯下端が、チャンネル領域のフェルミレベルよりも高いエネルギー位置を有することを意味する。

【0030】

40

図 9 を参照するに、「Top」と記したデータ点は、図 4 (A) ~ (C) の「TOP 構成」において、絶縁膜 23 a を、Si を 60% の原子濃度 ($\text{Si} / (\text{Hf} + \text{Si})$) と定義) で含む HfSiON 膜とし、絶縁膜 23 b を HfO_2 膜 (Si 原子濃度 = 0%) とした場合を示し、一方、「Mid」と記した二点のうち、白丸で示したデータ点は、図 5 (A) ~ (C) の「MID 構成」において、絶縁膜 23 a, 23 c を、Si を 60% の原子濃度で含む HfSiON 膜とし、絶縁膜 23 b を HfO_2 膜 (Si 原子濃度 = 0%) とした場合を示す。また図 9 中、「Mid」と記した二点のうち、黒丸で示したデータ点は、図 5 (A) ~ (C) の「MID 構成」において、絶縁膜 23 a, 23 c を、Si を 60% の原子濃度で含む HfSiON 膜とし、絶縁膜 23 b を HfSiON 膜 (Si 原子濃度 = 100%) とした場合を示す。

50

【 0 0 3 1 】

さらに図 9 中、「B T M」と記したデータ点は、図 6 (A) ~ (C) の「B T M」構成において、絶縁膜 2 3 a を S i 原子濃度が 1 0 % の H f S i O N 膜とし、絶縁膜 2 3 b を、S i 原子濃度が 6 0 % の H f S i O N 膜とした場合を示し、「F l a t (6 0 % S i)」と記した点は、図 7 (A) ~ (C) の「F l a t (6 0 % S i)」構成に対応する。さらに図 9 中、「F l a t (0 % S i)」と記したデータ点は、図 8 (A) ~ (C) の「F l a t (0 % S i)」構成に対応する。

【 0 0 3 2 】

図 9 よりわかるように、トラップ準位密度が最も低いのは、図 4 (A) ~ (C) の「T O P 構成」であり、それに次ぐのが図 7 (A) ~ (C) の「F l a t (6 0 % S i)」構成であることがわかる。

10

[第 1 の実施形態]

図 1 1 は、本発明の第 1 の実施形態による半導体装置 2 0 の構成を示す。前記半導体装置 2 0 は、p チャネル M O S トランジスタあるいは n チャネル M O S トランジスタを構成する。

【 0 0 3 3 】

図 1 1 を参照するに、半導体装置 2 0 はシリコン基板 2 1 上に形成されており、前記シリコン基板 2 1 上にはチャネル領域 2 1 c に対応して、厚さが約 0 . 4 n m の界面酸化膜 2 2 が形成されており、前記界面酸化膜 2 2 上に、S i に富んだ組成の H f S i O N 膜よりなる第 1 のゲート絶縁膜 2 3 a が、0 . 7 ~ 2 . 5 n m、例えば 2 n m の膜厚に形成され、さらに前記第 1 のゲート絶縁膜 2 3 a 上に、H f O₂ 膜あるいは H f に富んだ組成の H f S i O N 膜よりなる第 2 のゲート絶縁膜 2 3 b が、0 . 7 ~ 1 . 5 n m、例えば 1 n m の膜厚に形成されている。前記第 1 および第 2 のゲート絶縁膜 2 3 a , 2 3 b は、全体としてゲート絶縁膜 2 3 を構成し、前記ゲート絶縁膜 2 3 上には、W などよりなる金属ゲート電極 2 4 が、前記第 2 のゲート絶縁膜 2 3 b に接して形成されている。

20

【 0 0 3 4 】

さらに、前記シリコン基板 2 1 中には、前記ゲート電極 2 4 直下のチャネル領域 2 1 c を画成するように、ソースおよびドレイン領域 2 1 a , 2 1 b が形成されている。前記半導体装置 2 0 が n チャネル M O S トランジスタの場合には、前記ソースおよびドレイン領域 2 1 a , 2 1 b は A s あるいは P により n 型にドーピングされ、一方、前記半導体装置 2 0 が p チャネル M O S トランジスタの場合には、前記ソースおよびドレイン領域 2 1 a , 2 1 b は B により p 型にドーピングされる。

30

【 0 0 3 5 】

図 1 2 は、図 1 1 の半導体装置 2 0 が n チャネル M O S トランジスタである場合の、ゲート絶縁膜 2 3 周辺のバンド構造を示す。ただし E_c は伝導帯を、E_v は価電子帯を、E_f はフェルミ準位を示す。

【 0 0 3 6 】

図 1 2 を参照するに、前記第 1 の絶縁膜 2 3 a は、S i を例えば 6 0 % の原子濃度で含む H f S i O N 膜よりなり、一方、前記第 2 の絶縁膜 2 3 b は、H f O₂ 膜あるいは S i を原子濃度で 1 0 % 以下の濃度で含む H f S i O N 膜より構成する。

40

【 0 0 3 7 】

前記第 1 および第 2 の絶縁膜 2 3 a , 2 3 b をこのように形成した場合、前記第 1 の絶縁膜 2 3 a の電子親和力 χ_1 、前記第 2 の絶縁膜 2 3 b の電子親和力 χ_2 、前記ゲート電極 2 4 の電子親和力 χ_m (すなわち仕事関数) の間には、

$$\chi_1 < \chi_2 < \chi_m$$

の関係が成立し、前記界面酸化膜 2 2 と第 1 の絶縁膜 2 3 a の間には、チャネル領域中の電子に対し、高い障壁が形成される。また、界面準位や絶縁膜 2 3 a , 2 3 b 中の欠陥などを伝って侵入した電子は、第 2 の絶縁膜 2 3 b の伝導帯上端が低い位置にあるため、容易にゲート電極 2 4 へと排出され、ゲート絶縁膜 2 3 中における電荷のトラップが最小限

50

に抑制される。

【0038】

図13は、図11の半導体装置20がpチャネルMOSトランジスタである場合の、ゲート絶縁膜23周辺のバンド構造を示す。図12と同様にEcは伝導帯を、Evは価電子帯を、Efはフェルミ準位を示す。

【0039】

図13の構成においても、前記第1の絶縁膜23aは、Siを原子濃度で例えば60%含むHfSiON膜よりなり、一方、前記第2の絶縁膜23bは、HfO₂膜あるいはSiを原子濃度で10%以下の濃度で含むHfSiON膜より構成する。

【0040】

そこで、前記第1および第2の絶縁膜23a, 23bをこのように形成した場合、前記第1の絶縁膜23aの電子親和力 χ_1 、前記第2の絶縁膜23bの電子親和力 χ_2 、前記ゲート電極24の電子親和力 χ_m (すなわち仕事関数)の間には、

$$\chi_1 < \chi_2 < \chi_m$$

の関係が成立する。

【0041】

この場合、チャネル領域21cのホールに対し、前記第1の絶縁膜23aは大きなバンドギャップを有するため効果的なバリアを形成し、ホールのゲート絶縁膜23への侵入を抑制する。

【0042】

また、ホールが界面準位や前記絶縁膜23a, 23bの欠陥を介して侵入しても、前記第2の絶縁膜23bの電子親和力 χ_2 が大きな値をとるため、前記ゲート電極24中の電子に対するゲート絶縁膜23の障壁高さが減少しており、ゲート電極24からゲート電極23への電子の注入が促進される。このようにして注入された電子は、前記ゲート絶縁膜23中に侵入したホールを中和し、これにより、前記ゲート絶縁膜23における電荷のトラップを抑制することが可能となる。

【0043】

なお、図12の半導体装置において、前記ゲート電極23としては、Wなど金属を使うことにより、フェルミレベルピニングの問題を軽減することが可能である。また、前記界面酸化膜22としては、例えば紫外光励起酸素ラジカルによりシリコン基板表面を酸化する際に膜厚が0.4nmで生じるセルフリミット効果を使って形成した酸化膜を使うのが好ましい。特許文献5を参照。

【0044】

図14中、「発明1」で示した点は、図11の構造について、ゲート絶縁膜23のリーク電流と酸化膜換算膜厚の関係を示す。ただし図14には、先に図1で示したデータも、比較のため示している。図1と同様に、実線は熱酸化膜についての基準データを示す。

【0045】

図14を参照するに、本発明による二層構造のゲート絶縁膜23のリーク電流値は、データ点「60%Si」で示したSi原子濃度が60%のHfSiON膜のリーク電流値の延長線上に位置しており、このことから、本発明のゲート絶縁膜23は、Siの原子濃度が60%のHfSiON膜とほぼ同等のリーク電流特性および酸化膜換算膜厚を示すことがわかる。

【0046】

図15中「発明1」で示した点、は、図11のゲート絶縁膜23の電荷トラップ密度の測定結果を示す。

【0047】

図15を参照するに、本発明のゲート絶縁膜23により、pチャネルMOSトランジスタの場合もnチャネルMOSトランジスタの場合も、電荷トラップ密度が従来のものに比べて改善されていることがわかる。

【0048】

10

20

30

40

50

図16は、同じ HfO_2 膜および Si の原子濃度が60%の HfSiON 膜を使って、前記図4(A)~(C)の「TOP構造」、図5(A)~(C)の「MID構造」、さらに図6(A)~(C)の「BTM構造」を形成した場合の、ゲート絶縁膜中のトラップ準位密度を示す。

【0049】

図16を参照するに、図4(A)~(C)の「TOP構造」において電荷トラップ密度が最も低く、図6(A)~(C)の「BTM構造」において電荷トラップ密度が最も大きい、これは先に予測された通りである。

【0050】

次に、図17(A)~(D)を参照しながら、図11の半導体装置の製造工程を簡単に説明する。 10

【0051】

図17(A)を参照するに、シリコン基板21の表面に希フッ酸(DHF)処理が施され、自然酸化膜が除去されると同時に、露出された新鮮なシリコン表面が水素終端される。

【0052】

次に図17(B)の工程において、このようにDHF処理されたシリコン基板21の表面に、典型的には400~500の紫外光励起ラジカル酸化処理により、膜厚が約0.4nmのシリコン酸化膜22が、前記界面酸化膜として形成され、さらに図17(C)の工程において、かかる界面酸化膜上に、ターシャリーブトキシハフニウム(HTB)およびテトラエトキシシラン(TEOS)を原料としたCVD法により、 Si を原子濃度で例えば60%含んだ HfSiO_4 膜23aが、典型的には480の基板温度で、0.7~2.5nm、例えば約2nmの膜厚に形成される。 20

【0053】

図18は、図17(C)の工程においてArキャリアガスの流量を1500sccm、HTBガスの流量を0.397sccmに設定し、40Paのプロセス圧下、TEOSガス流量を0~1sccmの範囲で変化させた場合に、形成される HfSiO_4 膜23a中に取り込まれる Si の原子濃度を示している。

【0054】

図18を参照するに、図17(C)の工程ではバンドギャップの大きい HfSiON 膜を形成する必要があるため、前記TEOS流量が、0.5sccm以上の値に設定される。 30

【0055】

さらに図17(D)の工程において、同じCVD装置内において、TEOSガスを例えば0.02sccm、あるいはそれ以下の流量で供給し、 Si の原子濃度が10%以下の HfSiO_4 膜23bを、0.7~1.5nm、例えば1nmの厚さに形成する。前記 HfSiO_4 膜23bは、 Si を含まない HfO_2 膜であってもよい。

【0056】

さらに図示はしないが、前記図17(D)の工程の後、前記CVD装置内に例えばリモートプラズマ源を使い、窒素ラジカルを導入することにより、前記 HfSiO_4 膜23a, 23bを、 HfSiON 膜に変換する。 40

【0057】

さらに、図示は省略するが、図17(D)の工程の後、前記 HfSiON 膜23b上にWなどの金属膜を堆積し、これをパターニングして金属ゲート電極24を形成した後、前記金属ゲート電極24をマスクに、前記シリコン基板21中にn型あるいはp型の不純物元素を導入し、図11の半導体装置が得られる。

[第2の実施形態]

図19は、本発明の第2の実施形態による半導体装置40の構成を示す。ただし図19中、先に説明した部分には同一の参照符号を付し、説明を書略する。 50

【0058】

図19を参照するに、本実施形態では前記図11の二層構造のゲート絶縁膜23の代わりに、組成勾配を有し、下面側においてSi濃度が高く、上面側に向かってSi濃度が徐々に減少するHfSiON膜43が使われる。図19の例では、前記HfSiON膜43は0.7~4nm、例えば3nmの膜厚を有し、界面酸化膜22に接する下面側ではSi原子濃度が60%、ゲート電極24に接する上面側では10~0%の組成を有する。

【0059】

本実施形態においても、半導体装置40はpチャネルMOSトランジスタあるいはnチャネルMOSトランジスタであるが、同一構成のゲート絶縁膜が、pチャネルMOSトランジスタでもnチャネルMOSトランジスタでも使われる。

10

【0060】

図20は、図19の半導体装置40におけるリーク電流Jgと酸化膜換算膜厚EOTの関係を示す。

【0061】

図20を参照するに、「発明2」として示すゲート絶縁膜43のリーク電流値は、同じく図20中、「60%Si」として示すSi原子濃度が60%のHfSiON膜のリーク電流値と、「発明1」で示す先の第1の実施形態のゲート絶縁膜23のリーク電流値の間に位置しているのがわかる。なお、図20中には、図1の本発明の関連技術によるゲート絶縁膜のリーク電流値も併せて示してある。

【0062】

20

図21は、前記HfSiON膜43の電荷トラップ密度を、前記HfSiON膜43をゲート電極に使うpチャネルMOSトランジスタを形成した場合およびnチャネルMOSトランジスタを形成した場合について示す。ただし図21中、前記HfSiON膜43についての結果を、「発明2」として、図11のHfSiON膜23についての結果8「発明1」および図2の本発明の関連技術についての結果と併せて示している。

【0063】

図21を参照するに、本実施形態によるHfSiON膜を使うことにより、pチャネルMOSトランジスタであってもnチャネルMOSトランジスタであっても、電荷トラップ密度を、先の第1の実施形態の場合よりもさらに減少させることができるのがわかる。

【0064】

30

なお、以上の説明では、界面酸化膜22に接するHfSiON膜23aが、Siを原子濃度で60%の濃度で含み、ゲート電極23に接するHfSiON膜23b膜が、Siを原子濃度で10%以下の濃度で含む例を説明したが、本発明はこのような特定の組成に限定されることはなく、図12あるいは13のバンド構造を実現できるものであれば、他の組成を使うことも可能である。

【0065】

また前記ゲート絶縁膜23a, 23bあるいは43として、HfSiON膜の代わりにZrSiON膜や、HfAlN膜、La₂O₃膜、LaAlON膜、LaSiON膜、Y₂O₃膜、YAlON膜、YSiON膜、Ta₂O₅膜、SrO膜およびこれらの複合膜等、いわゆるhigh-K膜を使うことが可能である。

40

【0066】

以上、本発明を好ましい実施形態について説明したが、本発明はかかる特定の実施形態に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【図面の簡単な説明】

【0067】

【図1】本発明の関連技術によるHfSiON膜のリーク電流と酸化膜換算膜厚の関係を示す図である。

【図2】本発明の関連技術によるHfSiON膜の電荷トラップ密度を示す図である。

【図3】本発明の原理を説明する図である。

50

【図 4】本発明の原理を説明する別の図である。

【図 5】本発明の原理を説明する別の図である。

【図 6】本発明の原理を説明する別の図である。

【図 7】本発明の原理を説明する別の図である。

【図 8】本発明の原理を説明する別の図である。

【図 9】本発明の原理を説明する別の図である。

【図 10】本発明の原理を説明する別の図である。

【図 11】本発明の第 1 の実施形態による半導体装置の構成を示す図である。

【図 12】図 11 の半導体装置が n チャネル MOS トランジスタである場合のバンド構造図である。

10

【図 13】図 11 の半導体装置が p チャネル MOS トランジスタである場合のバンド構造図である。

【図 14】図 11 の半導体装置で使われるゲート絶縁膜についての、リーク電流と酸化膜換算膜厚の関係を示す図である。

【図 15】図 11 の半導体装置におけるゲート絶縁膜中への電荷トラップ密度を、本発明の関連技術の場合と比較して示す図である。

【図 16】様々なゲート絶縁膜構造について、電荷トラップ密度を比較する図である。

【図 17】図 11 の半導体装置の製造工程を示す図である。

【図 18】図 17 のゲート絶縁膜成膜工程における TEOS 原料ガスの流量と得られる HfSiON 膜の Si 濃度の関係を示す図である。

20

【図 19】本発明の第 2 の実施形態による半導体装置の構成を示す図である。

【図 20】図 20 の半導体装置で使われるゲート絶縁膜についての、リーク電流と酸化膜換算膜厚の関係を示す図である。

【図 21】図 11 の半導体装置におけるゲート絶縁膜中への電荷トラップ密度を、本発明の関連技術の場合と比較して示す図である。

【符号の説明】

【0068】

21 シリコン基板

21a, 21b 拡散領域

21c チャンネル領域

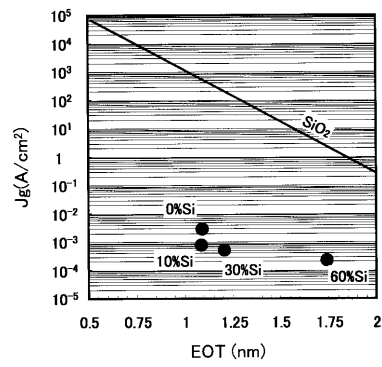
22 界面酸化膜

23, 23a, 23b ゲート絶縁膜

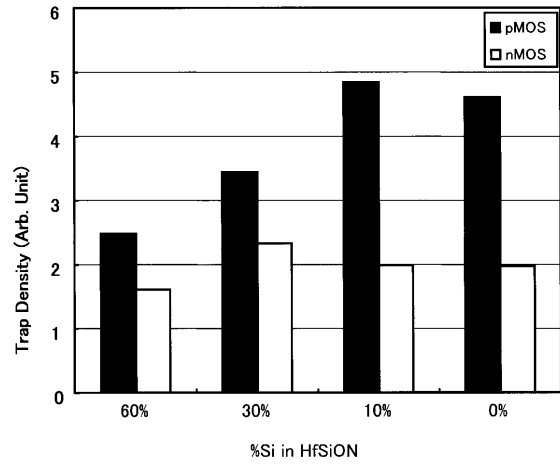
24 ゲート電極

30

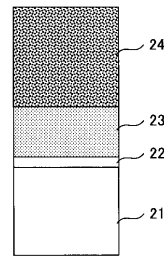
【 図 1 】



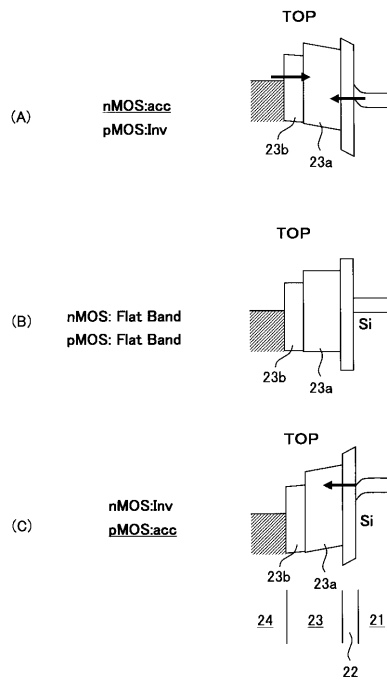
【 図 2 】



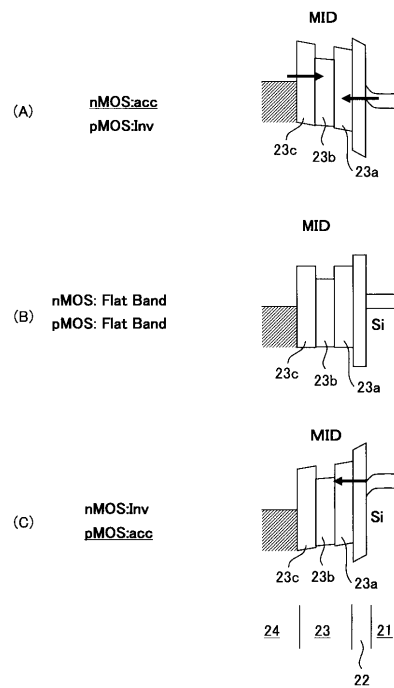
【 図 3 】



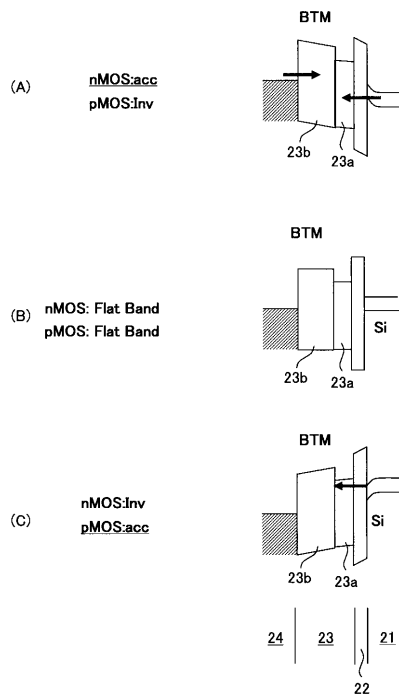
【 図 4 】



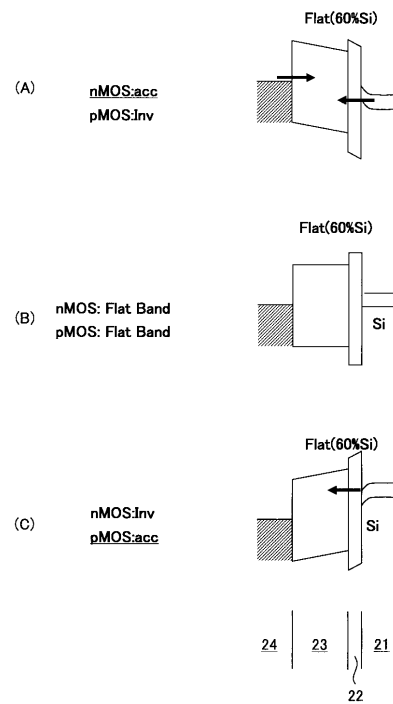
【 図 5 】



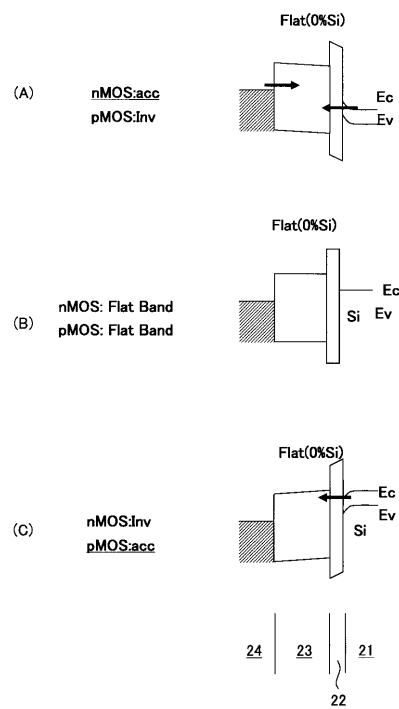
【 図 6 】



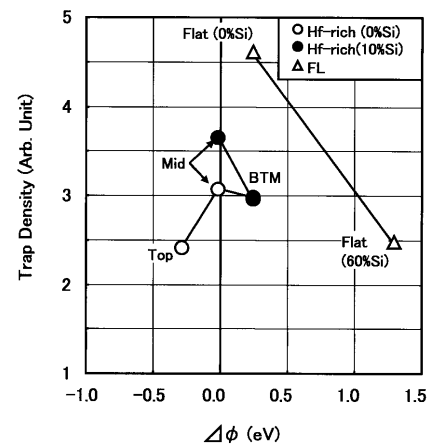
【 図 7 】



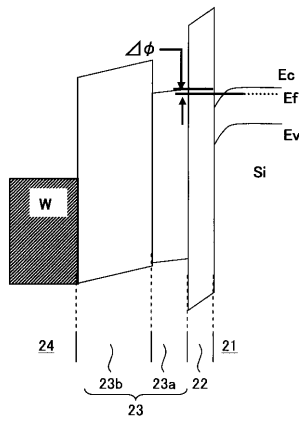
【 図 8 】



【 図 9 】

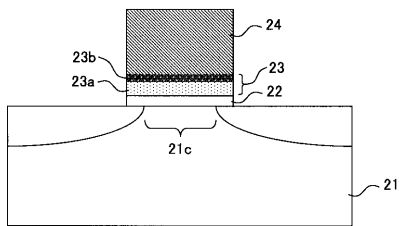


【図 10】

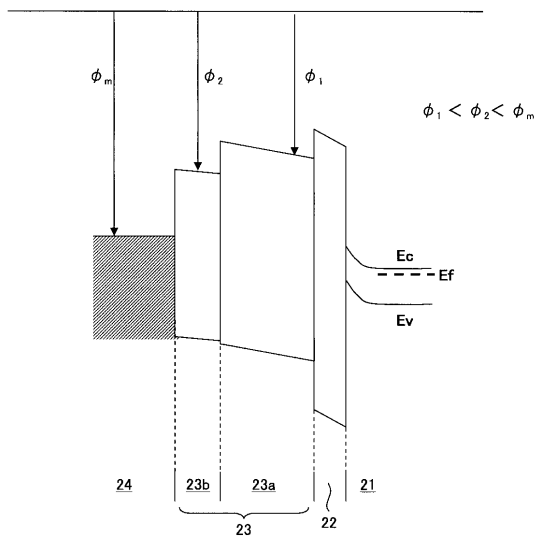


【図 11】

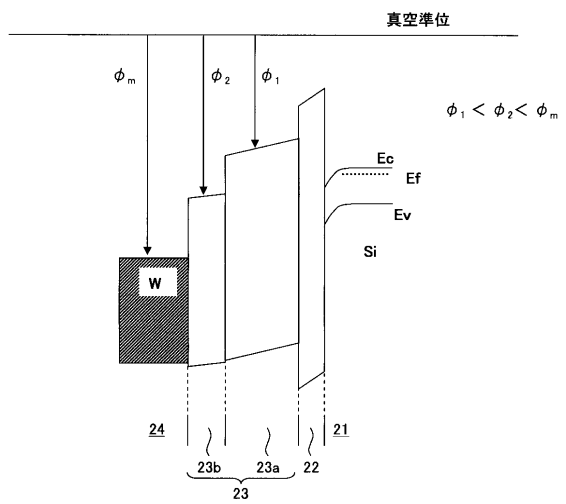
20



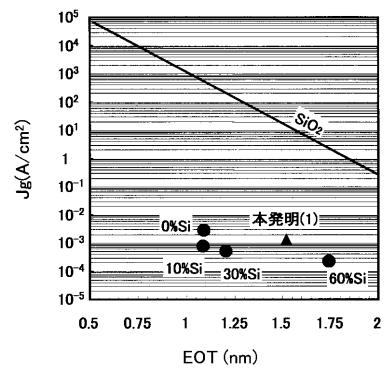
【図 13】



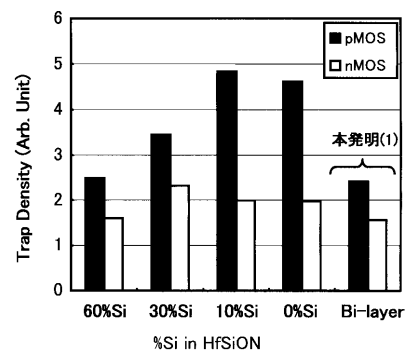
【図 12】



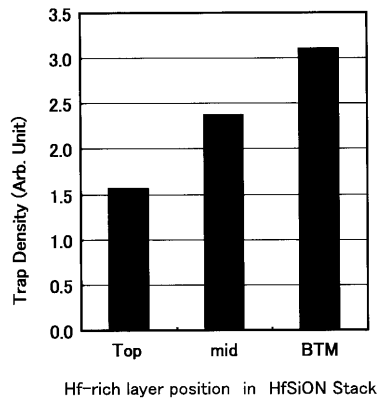
【図 14】



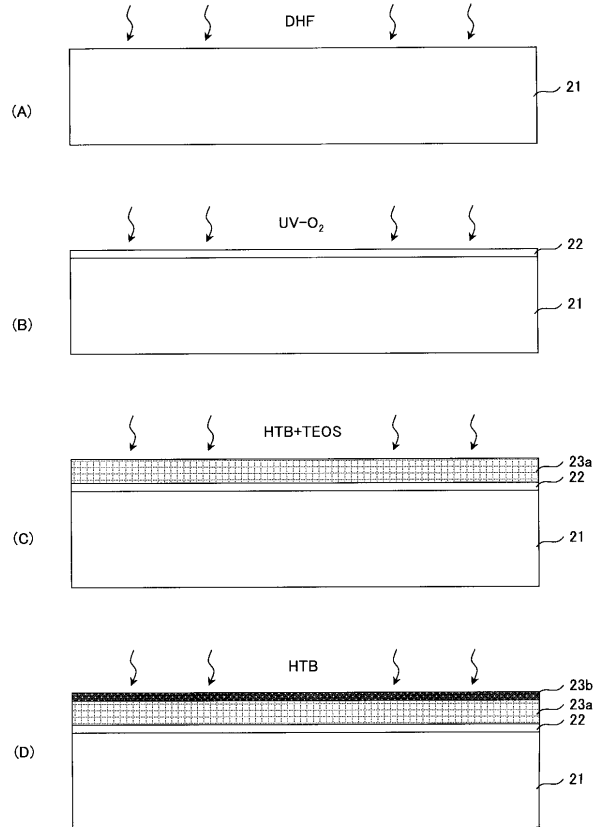
【図 15】



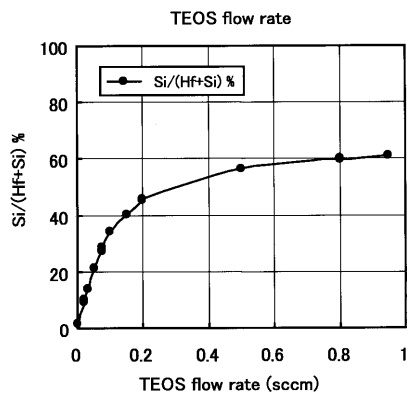
【図 16】



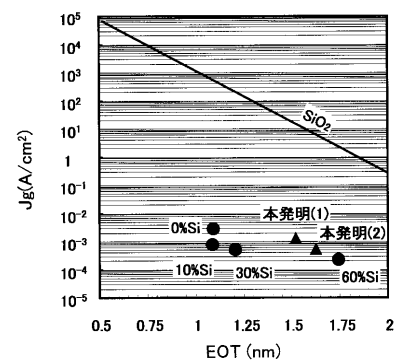
【図 17】



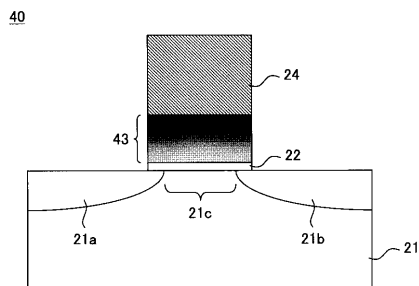
【図 18】



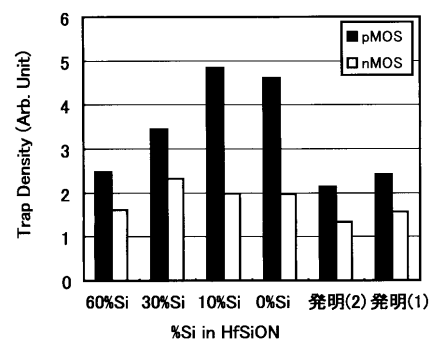
【図 20】



【図 19】



【図 21】



フロントページの続き

F ターム(参考) 5F048 AA07 AC03 BA01 BB09 BB11 BB17 BB18
5F058 BA01 BC02 BC03 BC08 BC11 BC20 BD04 BD05 BD10 BD15
BD18 BF04 BF06 BF25 BF27 BF54 BF74 BF78 BH16 BJ01
5F140 AA05 AA06 AB01 BA01 BD01 BD02 BD04 BD05 BD11 BD12
BD15 BE07 BE08 BE10 BF01 BF07