

公告本

申請日期： 89.6.15 案號： 89111783

類別： H03K 3/037, G01R 31/28

(以上各欄由本局填註)

發明專利說明書

478254

一、 發明名稱	中文	門鎖電路及暫存器電路
	英文	LATCH CIRCUIT AND REGISTER CIRCUIT
二、 發明人	姓名 (中文)	1. 高橋 弘行
	姓名 (英文)	1. Hiroyuki TAKAHASHI
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號 日本電氣股份有限公司內
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 西垣 浩司
	代表人 姓名 (英文)	1. Kouji NISHIGAKI



本案已向

國(地區)申請專利

日本 JP

申請日期

1999/06/16 特願平11-169769

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景發明之領域

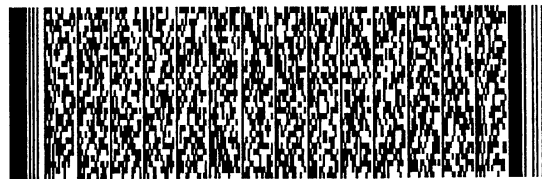
本發明係關於一種門鎖電路與暫存器電路，此門鎖電路對應於一輸入信號可暫時儲存之資料並進一步將資料輸出，此暫存器則係一種具有多級門鎖電路之暫存器電路。

相關技術之描述

圖1所示係一傳統暫存器電路與用以控制暫存器電路之一時鐘信號。

如圖1所示，一二級門鎖電路被設置成一主動端門鎖電路與一從動端門鎖電路，此主動端門鎖電路與從動端門鎖電路則相互連接，在一時鐘信號CLK之上升緣處，輸入資料則被接收自一資料輸入端子IN、並輸出於一暫存器輸出端子OUT，如圖1所示，當時鐘信號CLK處於低位準時，主動端門鎖電路即直接將輸入資料輸出至一連接點 P_m ，從動端門鎖電路自連接點 P_m 處接收輸入資料並鎖定此輸入資料。當時鐘信號CLK處於高位準時，暫存器電路即阻絕主動端門鎖電路之輸入資料，並鎖定(門鎖)內部資料 P_m ，然而，因為從動端門鎖電路變成通過之狀態，故從動端門鎖電路會將內部資料 P_m 輸出至一輸出端子OUT，因為時鐘信號CLK之信號位準由高變成低，當時鐘信號CLK之信號位準又由低變成高時，資料即被輸出至輸出端子OUT。

為求簡單起見，接下來將描述主動端門鎖電路之結構，輸入資料被輸入至一輸入傳輸電路，此電路由一PMOS

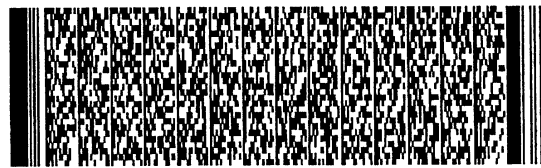


五、發明說明 (2)

M31 與一 NMOS M32 所組成，其汲極與源極則相互並聯，時鐘信號 CLK 與一反相之時鐘信號 CLKB 被分別輸入至 PMOS M31 之閘極與輸入傳輸電路之 NMOS M32，傳輸電路之一輸出端子被連接至一輸出驅動反相器 INV 32，反相器 INV 31 將資料輸出至連接點 P_m，輸出自連接點 P_m 之資料被輸入至一反相器 INV 32，反相器 INV 32 之輸出資料被輸出至由一 PMOS M33 與 NMOS M34 組成之一鎖定傳輸電路，此鎖定傳輸電路之一輸出端子被連接至反相器 INV 31 之輸入端子。

時鐘信號 CLKB 與 CLK 分別被輸入至鎖定傳輸電路之 PMOS M33 與 NMOS M34 之閘極，此結構適用於從動端門鎖電路，在從動端門鎖電路中，輸入資料從連接點 P_m 輸入，且資料係從輸出端子 OUT 輸出，然而，在從動端門鎖電路中，時鐘信號 CLK 與 CLKB 分別被輸入至 NMOS 電晶體與 PMOS 電晶體，另一方面，時鐘信號 CLK 與 CLKB 則分別被輸入至輸入傳輸電路之一 NMOS M35 與 PMOS M36，時鐘信號 CLK 與 CLKB 則分別被輸入至鎖定傳輸電路之一 NMOS M37 與 PMOS M38。

當門鎖電路處於通過狀態時，輸入傳輸電路即被開啟、且鎖定傳輸電路則被關閉，所以，輸入資料可通過一反相器而被輸出至門鎖電路之連接點，另一方面，當門鎖電路處於鎖定狀態時，輸入傳輸電路被關閉、而鎖定傳輸電路則被開啟，所以，在鎖定狀態時，輸入資料會被阻絕，就在鎖定狀態發生之時，輸出資料會通過鎖定反相器而被輸出至輸出反相器之輸入端子，所以，資料可被鎖定



五、發明說明 (3)

在一正反器結構之中。

門鎖電路可根據時鐘信號CLK與CLKB而開關於鎖定狀態與通過狀態之間，一暫存器電路由二門鎖電路所組成，此二門鎖電路相互串聯，如此，時鐘信號CLK與CLKB則被輸入至具有相反關係之二門鎖電路，對應於時鐘信號之高低位準，暫存器電路可連續將輸入信號輸出。

Tanaka等人之日本公開公報第60-198919號(以下稱作第一習知案)揭露有一正反器電路，此1位元之正反器電路係用做一LCD(Liquid Crystal Display)裝置驅動電路之用，其係以一第一(主)門鎖電路與一第二(次)門鎖電路所組成，藉由使用一時鐘信號與一控制信號之一邏輯電路，此二門鎖電路皆處於一通過狀態，正反器電路具有一電路結構可切換於一同步功能與非同步功能之間，其中，此同步功能係接收對應於一時鐘邊緣之資料，非同步功能係直接接收不同步於時鐘信號之資料，然而，此正反器電路並不處理低頻輸入信號與高頻輸入信號，此外，此電路亦不只操作非同步功能。

Noisshiki等人之日本公開公報第5-160682號(以下稱作第二習知案)揭露一高頻邏輯電路之一正反器電路，在此第二習知案中，一時鐘信號被共用於一輸入傳輸電路與一鎖定傳輸電路。

在傳統的暫存器電路中，二傳輸電路(質言之，係4個MOS電晶體之閘極)可為每一門鎖電路進行切換，當一暫存器係以二門鎖電路所組成時，則8個電晶體之負載皆受控



五、發明說明 (4)

於一作為控制信號之時鐘信號，因為近來具有輸入/輸出信號之大尺寸LSI皆使用許多暫存器，故施於時鐘信號之負載皆極大，此外，隨著LSI之操作頻率與日俱增，亦必須以高速驅動每一暫存器，且須防止暫存器造成時鐘信號之時滯。

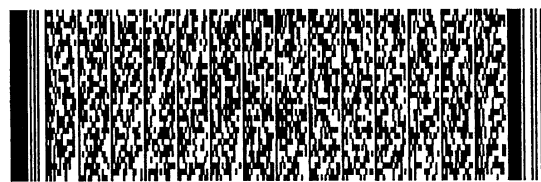
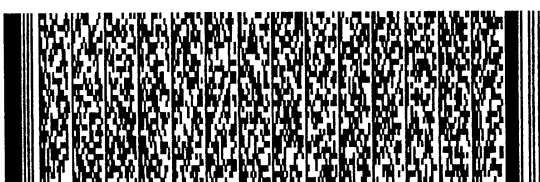
所以，在傳統的暫存器電路中，從一時鐘信號的觀點來看，輸入傳輸電路之閘極與源極之間的電容與鎖定傳輸電路之閘極與汲極之間的電容皆日趨增大，此一問題係一限制暫存器之高速操作的缺點。

另一方面，被輸入至一暫存器之時鐘信號應可驅動四個傳輸電路，其分別是資料接收主動端輸入傳輸電路，資料釋放從動端輸入傳輸電路，資料門鎖主動端鎖定傳輸電路，及資料門鎖從動端鎖定傳輸電路，這些傳輸電路皆係暫存器操作所必須者，然而，因為這些傳輸電路係以一時鐘信號及一與其反相之時鐘信號所趨動者，故其負載亦極大。

發明概要

本發明之目的係允許一時鐘信號被輸入至一門鎖電路與一暫存器電路，此門鎖電路包含一輸入傳輸電路與一鎖定傳輸電路，並且將具有複數級門鎖電路之一暫存器電路加以改進。

本發明之第一實施樣態係一門鎖電路，用以暫存一輸入信號、並進一步輸出此輸入信號，此門鎖電路包含一輸

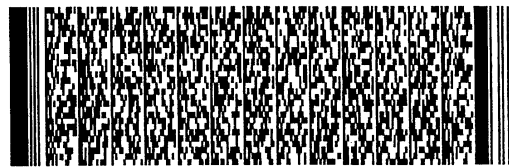
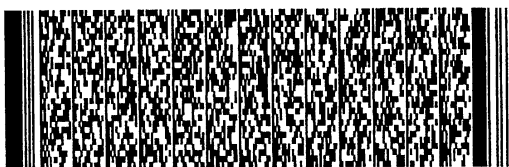


五、發明說明 (5)

入傳輸電路，以便輸入與輸出對應於一參考時鐘信號之輸入信號，此參考時鐘信號被施於該傳輸電路之一控制閘極；一第一反相器，其將輸入傳輸電路之一輸出信號反相；一第二反相器，其將第一反相器之一輸出信號反相；及一鎖定傳輸電路，其輸入第二反相器之一輸出信號，並將其輸出至第一反相器，其中，一第二時鐘信號被輸入至鎖定傳輸電路之閘極，第二時鐘信號之信號位準可因相對於參考時鐘信號之一上升緣的預定延遲而變成高位準，若相對於參考時鐘信號之一下降緣則變成低位準。

本發明之第二實施樣態係一暫存器電路，其包含複數個配置成多級之門鎖電路，其中，每一門鎖電路皆具有一輸入傳輸電路以輸入一參考時鐘信號；一第一反相器，可將輸入傳輸電路之一輸出信號反相；一第二反相器，可將第一反相器之一輸出信號反相；及一鎖定傳輸電路，以輸入第二反相器之一輸出信號、並將其輸出至第一反相器，其中，一第一級門鎖電路係一主動端暫存器電路，輸入暫存器電路被連接至第二反相器之一輸出端子，以便能形成一從動端暫存器電路，而且，一第三時鐘信號被輸入至主動端暫存器電路之鎖定傳輸電路的閘極，第三時鐘信號之信號位準可因相對於參考時鐘信號之一上升緣的預定延遲而變成高位準，而相對於參考時鐘信號之一下降緣則變成低位準。

本發明之第三實施樣態係一門鎖電路，用以暫存一輸入信號、並進一步輸出此輸入信號，此門鎖電路包含一第



五、發明說明 (6)

一開關，在ON時可收取輸入信號；一第一時鐘產生器，可產生一第一時鐘、並控制該第一時鐘之ON/OFF；一鎖定電路，用以透過該第一開關而鎖定輸入信號，且之後並將輸入信號輸出；及一第二時鐘產生器，以產生一第二時鐘，並控制該鎖定電路之ON/OFF操作，其中，第二時鐘與第一時鐘有一相位差。

根據本發明，控制主動端閘鎖電路之傳輸電路、與暫存器電路之從動端閘鎖電路的信號係對應於相對之時鐘信號而產生者，這些信號以一高頻操作時即會被關閉，所以，用以控制暫存器操作之時鐘信號線的負載亦會降低，此外，暫存器之資料釋放操作則以高速執行，並且，當暫存器係以高頻操作時，其電源之消耗亦不致增加。

本發明之其它目的、特色、與優點參考以下之較佳實施例與附圖將可更加明瞭。

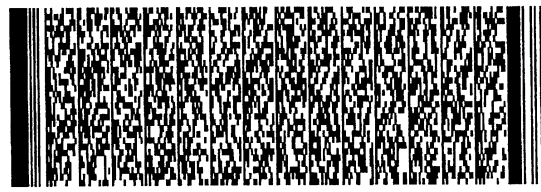
較佳實施例之詳細說明

以下參考附圖將詳述本發明之各較佳實施例。

[第一較佳實施例]

(1) 結構之描述

如圖2所示，閘鎖電路之二級彼此以串聯之方式連接，閘鎖電路之第一級係一主動端閘鎖電路，資料從一輸入端子IN輸入，且輸入資料從一連接點P_m輸出，閘鎖電路之第二級係一從動端閘鎖電路，輸入資料從連接點P_m輸入，且從一資料輸出端OUT輸出。



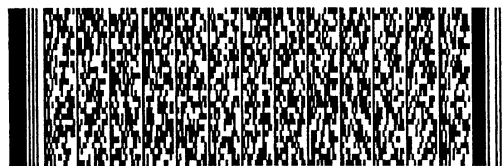
五、發明說明 (7)

以下先介紹主動端門鎖電路，接收自輸入端子IN之輸入資料被輸入至一輸入傳輸電路(第一開關)，此輸入傳輸電路由一PMOS M1與一NMOS M2所組成，其源極與汲極則以並聯方式連接，時鐘信號CLK之反相時鐘信號CLKB通過一反相器INV 5而被輸出至NMOS M2之閘極，輸入傳輸電路之一輸出端子被連接至一輸出驅動反相器INV1，反相器INV1之輸出資料被輸出至連接點Pm，連接點Pm之輸出資料被輸出至一門鎖通道之反相器INV2，反相器INV2之輸出資料則被輸出至一鎖定傳輸電路，此鎖定傳輸電路由一NMOS M3與一PMOS M4所組成，鎖定傳輸電路之輸出資料被輸出至一連接點Pm，此連接點Pm係反相器INV1之一輸入端子，此處，反相器INV1與INV2、鎖定傳輸電路M3與M4一起構成一鎖定電路。

時鐘信號CLK1被輸入至鎖定傳輸電路之NMOS M3之閘極，時鐘信號CLK1之一反相時鐘信號通過一反相器INV6被輸入至鎖定傳輸電路之PMOS M4之閘極。

主動端門鎖電路之結構與從動端門鎖電路相同，時鐘信號CLK被輸入至一輸入端傳輸電路之一NMOS M5之閘極，時鐘信號CLK之反相時鐘信號CLKB被輸入至輸入端傳輸電路之一PMOS M6之閘極，然而，一時鐘信號CLK2被輸入至一鎖定傳輸電路之一PMOS M7之閘極，時鐘信號CLK2之一反相時鐘信號被輸入至鎖定傳輸電路之一NMOS M8之閘極。

(2) 操作之描述

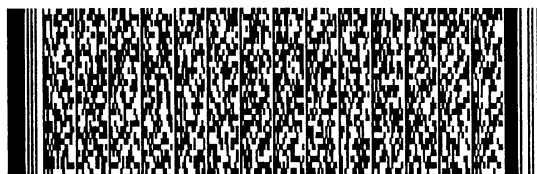


五、發明說明 (8)

以下參考圖2以描述第一較佳實施例之操作，當時鐘信號CLK之信號位準由高變至低時，主動端門鎖電路之輸入傳輸電路(M1與M2)即被開啟，所以，輸入傳輸電路(M1與M2)則變成通過狀態，結果，輸入資料通過一反相器而被輸入至連接點P_m，此時，因為時鐘信號CLK1之信號位準被固定在低位準，故鎖定傳輸電路亦被保持在關閉狀態，另一方面，當時鐘信號CLK之信號位準由低變至高時，輸入傳輸電路即被關閉，所以，連接點P_m之信號位準則變成浮置狀態，結果，輸入資料之電壓位準被保持在輸入傳輸電路被關閉前之狀態，此狀態係一門鎖狀態，在一段預定週期之後，時鐘信號CLK1即變成高位準，所以，鎖定傳輸電路即被開啟，在連接點P_m之輸入信號被輸入至反相器INV1之輸入端子，如此，即建構出一正反器電路，所以，資料可以一電路鎖定，此時，在連接點P_m之反相器INV1輸出之資料係一反相之輸出資料。

從動端門鎖電路之操作與主動端門鎖電路之操作相同，除了當時鐘信號CLK變成高位準時，從動端門鎖電路即變成通過狀態，當時鐘信號CLK變成低位準時，從動端門鎖電路即變成鎖定狀態，此外，鎖定傳輸電路係以時鐘信號CLK2而非時鐘信號CLK1所控制者，然而，從動端門鎖電路與主動端門鎖電路之鎖定傳輸電路的控制方法則係相同者。

暫存器電路之操作係對應於時鐘信號CLK之信號狀態而控制主動端門鎖電路與從動端門鎖電路之通過狀態與門



五、發明說明 (9)

鎖狀態，所以，在時鐘信號CLK之一上升緣處，接收自輸入端子IN之輸入資料被鎖定於主動端門鎖電路之外，並通過從動端門鎖電路而被輸出至輸出端子OUT。

當時鐘信號CLK處於低信號位準時，輸入資料即被從動端門鎖電路鎖定，所以，輸入端子OUT處之輸出資料並不會改變，此時，因為主動端門鎖電路變成通過狀態，結果，輸入資料即可從輸入端子IN輸入。

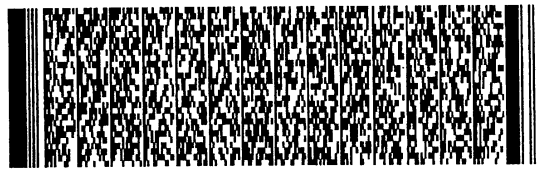
圖3B係前述操作之時脈圖，其中時鐘信號CLK係一低頻信號，時鐘信號CLK1與CLK2之脈衝寬度可得自下列公式：

$$\text{CLK1之脈衝寬度} = t_{KHKL} - t_{delay} \quad . . . (1)$$

$$\text{CLK2之脈衝寬度} = t_{KLKH} - t_{delay} \quad . . . (2)$$

其中， t_{KHKL} 代表時鐘信號CLK1與CLK2之高位準側之脈衝寬度， t_{KLKH} 代表時鐘信號CLK1與CLK2之低位準側之脈衝寬度，而 t_{delay} 係時鐘信號CLK變成高位準之後直到時鐘信號CLK1變成高位準為止之一時間間隔，或係時鐘信號CLK變成低位準之後直到時鐘信號CLK2變成高位準為止之一時間間隔。

當時鐘週期CLK係一高頻信號，且公式(1)與(2)滿足 $t_{KHKL} < t_{delay}$ 或 $t_{KLKH} < t_{delay}$ 之條件時，則不會產生時鐘信號CLK1與CLK2之脈衝，圖3A係時鐘信號CLK(高頻信號)、時鐘信號CLK1、與時鐘信號CLK2之時脈圖，在此例中，門鎖電路之鎖定傳輸電路保持在關閉狀態，所以，當



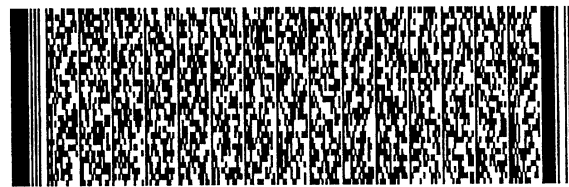
五、發明說明 (10)

時鐘信號CLK為一高頻信號時，因為週期 t_{delay} 為常數，故鎖定傳輸電路無法操作，換言之，其表現即如其不存在一樣，所以，在這些電路中，因為被時鐘信號CLK驅動之電晶體數目小於傳統電路所具有數目的一半，故施於時鐘信號CLK之負載可減少，且暫存器電路係以高頻操作，故暫存器較不會有時滯的現象。

當時鐘信號CLK係一高頻信號時，因為時鐘信號CLK1與CLK2並未產生，所以，時鐘信號CLK1與CLK2之電源消耗即可減少，在從動端門鎖電路中，並不需要將鎖定傳輸電路關閉，所以，只會操作輸出資料之電路(亦即只有輸入傳輸電路會被開啟)，結果，因電路開關之操作所造成之電流變動並不會發生，所以，從時鐘信號CLK被輸入後直到資料被釋放之時間間隔即可縮短。

當時鐘信號CLK係一低頻信號時，主動端門鎖電路之輸入傳輸電路(M1與M2)之連接點 P_m 的信號位準、及從動端門鎖電路之輸入傳輸電路(M5與M6)之連接點 P_{fs} 的信號位準係處於浮置狀態，然而，資料被鎖定之後直到一常數值週期開展為止，時鐘信號CLK1與CLK2皆會被輸入，所以，資料可被穩定地鎖定住，時間間隔 t_{delay} 可以對應於產品之一不穩定因子(如噪訊)加以指定。

藉由一類似於時鐘信號CLK之產生電路的邏輯電路可輕易地產生時鐘信號CLK1與CLK2，配合時鐘信號CLK之上升緣被一延遲電路延遲，即可產生時鐘信號CLK1之一上升緣，另一方面，配合時鐘信號CLK之下降緣被一延遲電路



五、發明說明 (11)

延遲，即可產生一時鐘信號CLK2，時鐘信號CLK1與CLK2下降緣之產生係配合時鐘信號CLK之一上升緣與下降緣，圖3C係時鐘信號CLK、CLK1、CLK2之脈衝週期與脈衝寬度之關係，如圖3C所示，脈衝週期($1/f$)與頻率成反比，所以，當時鐘週期CLK係一高頻信號時，其脈衝寬度即較為狹窄，同樣的，當時鐘信號CLK係一高頻信號時，時鐘信號CLK1與CLK2之脈衝寬度亦較為狹窄，即如圖3C所示，當時鐘信號CLK之信號位準時常由高變成低時，即不會產生時鐘信號CLK1與CLK2。

[第二較佳實施例]

圖4係本發明之第二較佳實施例之結構，根據此第二較佳實施例，一時脈化之反相器電路包含一PMOS(M11)、一PMOS(M12)、一NMOS(M13)、與一NMOS(M14)，且以串聯方式被設置在一電源與一參考電壓之間，接收自一輸入端子IN之輸入資料被輸入至PMOS(M11)與NMOS(M14)之閘極，一時鐘信號CLK被輸入至PMOS(M12)之閘極，時鐘信號CLK之反相時鐘信號CLKB通過一反相器INV13而被輸入至NMOS(M13)，一時鐘信號CLK1被輸入至一NMOS(M17)之閘極，時鐘信號CLK1之一反相時鐘信號通過一反相器INV14而被輸入至一PMOS(M16)之閘極，一時鐘信號CLK2被輸入至一NMOS(M25)之閘極，時鐘信號CLK2之一反相時鐘信號通過一反相器INV15而被輸入至一PMOS(M24)之閘極，輸入傳輸電路(M11至M14)之輸出資料通過一反相器INV11而被輸出至一連接點Pm，鎖定傳輸電路(M19至M22)之輸出資料



五、發明說明 (12)

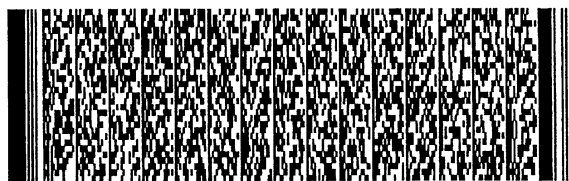
被輸入至一連接點Pfs，接收自連接點Pfs之輸出資料通過一反相器INV12被輸入至一輸出端子OUT，一鎖定傳輸電路(M15至M18)輸入接收自連接點Pm之資料、並將資料輸出至連接點Pfm，一鎖定傳輸電路(M23至M26)輸入接收自輸出端子OUT之資料、並將資料輸出至連接點Pfs。

根據本發明之第二較佳實施例，圖4係一暫存器電路之操作，其理論上與圖2之第一較佳實施例之暫存器電路有相同的操作方式，圖4所示之暫存器電路其傳送與阻絕信號的方式即如一反相器電路，且此暫存器電路之操作方式亦如一緩衝器電路，此第二較佳實施例之暫存器電路可以高速操作，此視其後端電路之負載與其電晶體之特性而定。

因為門鎖電路之連接點的信號位準已變成浮置狀態，當接收自輸入端子IN之輸入信號改變時，應防止門鎖電路之連接點受到噪訊之干擾，所以，資料應被輸入至時脈化反相電路(PMOS與NMOS)之電源端，而一時鐘信號則應被輸入至汲極輸出端，主動端電路與從動端電路可為如第一與第二較佳實施例所示之不同電路。

[第三較佳實施例]

圖5係本發明之第三較佳實施例之結構，根據第三較佳實施例，緩衝器電路在一門鎖狀態後之浮置週期中之穩定性可大為提高，在第一較佳實施例中，此階段緩衝器電路之操作亦為最不穩定者，直到鎖定脈衝被輸出為止，圖5係只有一主動端門鎖電路之結構，然而，此主動端門鎖



五、發明說明 (13)

電路之結構與從動端門鎖電路之結構相同，資料輸出傳輸電路之PMOS(W_p)與NMOS(W_n)之尺寸相同。

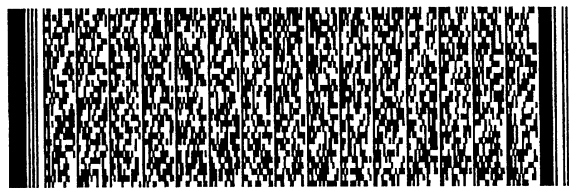
當資料被鎖定時，處於浮置狀態之連接點之電壓會因噪訊而起伏變動，電壓之起伏變動係導因於一傳輸電路之一PMOS中、其閘極與汲極之間的雜散電容(C_{gp})，與此傳輸電路之一NMOS中、其閘極與汲極之間的雜散電容(C_{gn})所致，此例中，時鐘信號CLK被輸入至PMOS(W_p)與NMOS(W_n)。

通常，一門鎖電路皆被設計成PMOS之尺寸係NMOS尺寸之兩倍大(其效能亦有兩倍之差，此係因遷移率之差所致)，換言之，電晶體效能之差異可藉由閘極寬度W加以補償，所以，一反相器邏輯電路之延遲時間可不需依賴於資料本身，然而，在一電晶體電路中，輸出位準分別藉一PMOS與一NMOS而上升或下降，所以，對應於不同型態電晶體之效能差並不受輸入資料之影響，結果，門鎖電路可被設計成PMOS之閘極寬度與NMOS之閘極寬度相同，只要門鎖電路不受輸入資料之影響即可，當PMOS與NMOS間之雜散電容C_{gd}有所差異時，則可以寬度W來加以補償，最佳之電晶體寬度可得自下列之公式：

$$C_{gp} \cdot W_p = C_{gn} \cdot W_n \quad \dots (3)$$

所以，當資料被鎖定在一門鎖電路時，處於浮置狀態之連接點處之噪訊在PMOS端與NMOS端可相互補償，故因噪訊鎖造成之電壓變動並不會發生於連接點。

[第四較佳實施例]



五、發明說明 (14)

圖6係本發明之第四較佳實施例的結構，如同第三較佳實施例，當一時鐘信號之信號位準有所改變而使得資料被鎖定時，可防止噪訊被輸入至一處於浮置狀態之連接點，圖6係一暫存器電路之時脈化反相器形態之門鎖電路結構，為防止暫存器之開關速度受到輸入資料的影響，應將暫存器設計成PMOS之尺寸為NMOS之兩倍大，然而，在此結構中，PMOS端較易受到噪訊的影響，所以，當資料被鎖定時，位在連接點Pfm之電壓即處於浮置的狀態，為防止此一問題，即將輸入時鐘信號CLK之PMOS的尺寸減小，一輸入時鐘信號CLK之提昇NMOS則與一輸入時鐘信號CLKB之PMOS並聯配置。

降低NMOS與提昇NMOS之間理想關係如公式(4)：

$$C_{gp} \quad W_p = C_{gn} (W_{n1} + W_{n2}) \quad . . . (4)$$

其中，Wn1係降低NMOS之尺寸，而Wn2係提昇NMOS之尺寸。

所以，當資料被鎖定於門鎖電路時，被施於處於浮置狀態之連接點之噪訊則可以PMOS與NMOS抵銷，結果，噪訊並不會造成連接點之變動。

[第五較佳實施例]

圖7係本發明之第五較佳實施例的結構，根據第五較佳實施例，以等於第一較佳實施例之CLK1與CLK2的預定延遲而產生門鎖脈衝之一門鎖脈衝產生部位伴隨有一暫態回應電路，此暫態回應電路可以一高電阻減弱一信號之波形。

與第一較佳實施例一樣，主動端門鎖電路與從動端門



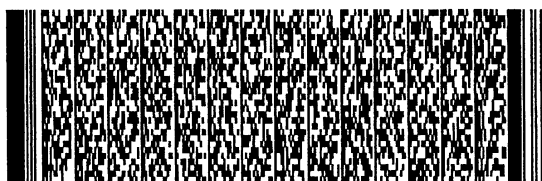
五、發明說明 (15)

鎖電路之輸入傳輸電路以一時鐘信號CLK與一時鐘信號CLK之反相時鐘信號CLKB開啟與關閉，時鐘信號CLK被一反相器(未顯示)反相成一反相時鐘信號CLKB，主動端門鎖電路之一傳輸電路則以並聯之NMOS M73與PMOS M74所組成，當這些MOS電晶體被開啟時，即形成一正反器電路且將資料鎖定。

一作為NMOS M73之閘極信號的時鐘信號CLK3從暫存器R1與R2之中繼連接點被輸入，暫存器R1與R2係在時鐘信號CLK與一作為參考電壓之最低電源電壓(GND)之間以串聯方式連接，一作為PMOS M74之閘極信號的時鐘信號CLK4則從暫存器R3與R4之中繼連接點被輸入，暫存器R3與R4係在反相時鐘信號CLKB與一最大電源電壓(VDD)之間以串聯方式連接，相對於主動端鎖定傳輸電路，從動端鎖定傳輸電路係以一NMOS M77與一PMOS M78所組成，然而，一作為閘極輸入信號之時鐘信號CLK5與時鐘信號CLK6亦被輸入，時鐘信號CLK5從暫存器R5與R6之中繼連接點被輸入，暫存器R5與R6則連接於反相時鐘信號CLKB與GND之間，時鐘信號CLK6從電阻R7與R8之一中繼連接點被輸入，電阻R7與R8則連接於時鐘信號CLK與VDD之間。

電阻R1至R8之每一電阻值皆係百萬歐姆(Mega-ohm)之級數，這些電阻可配置給每一暫存器，或者與複數個暫存器相連接(此時，時鐘信號CLK3至CLK6則與一時鐘信號相連接)。

在暫存器之低頻操作中，當資料被鎖定於主動端門鎖



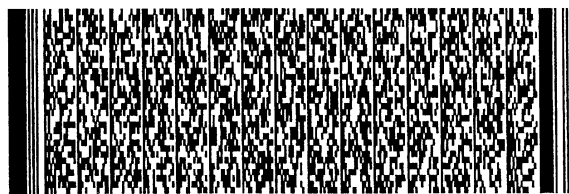
五、發明說明 (16)

電路時，主動端閃鎖電路之時鐘信號CLK3即變成對應於電阻R1與R2比率之一中繼電壓，所以，時鐘信號CLK3會將NMOS M73變成開啟的狀態，類似地，時鐘信號CLK4則係對應於電阻R3與R4比率之一中繼電壓，所以，時鐘信號CLK4會將PMOS M74變成開啟的狀態，從動端閃鎖電路之操作則與主動端閃鎖電路一樣。

因為從時鐘信號CLK與CLKB之觀點來看，時鐘信號CLK3至CLK6等於高電阻之信號負載，故信號CLK3至CLK6並不會影響信號改變的速度，在暫存器之高頻操作中，因為時鐘信號CLK3至CLK6之時間常數極長，故電阻無法跟上信號之充電，所以，時鐘信號CLK3至CLK6之時間常數即會降低，然而時鐘信號CLK4至CLK6之電壓則會上升，結果，鎖定傳輸電路之開關效能即會有所退化，故當信號頻率超出一預定頻率時，鎖定傳輸電路即會永遠保持開啟。

根據第五較佳實施例，當電阻從閃鎖狀態改變成通過狀態時，鎖定傳輸電路之關閉速度即會有所延遲，因為閘極電壓係一中繼電壓，故傳輸電路之效能極低，所以，輸入傳輸電路之信號傳輸速度極不易降低，然而，當輸入資料係一高頻信號時，即會有所降低，所以，當暫存器係為高速資料輸出而在高頻下操作時，這種問題並不會發生。

當高電阻係以以多晶矽層之擴散電阻所形成時，因用以配置於另一電晶體上，故暫存器電路之面積並不會有所增加，此外，亦不需提供一特殊之閃鎖信號(除了基本的時鐘信號之外)與其產生電路，本發明之電路特性相對於

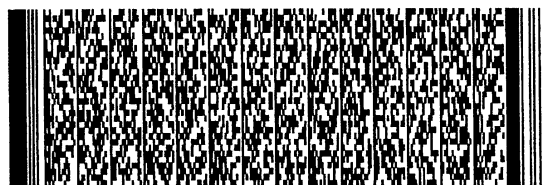


五、發明說明 (17)

傳統電路無需伴隨配置面積之增加。

第一至第五較佳實施例係描述二級門鎖電路，然而，當複數級門鎖電路係以串聯方式連接時，則可形成一多位元之暫存器電路，每一門鎖電路之反相器電路係以一PMOS與一NMOS所組成，而此PMOS與NMOS則串聯於一電源與一參考電壓之間，一輸入數位信號被輸入至這些電晶體之閘極，一輸出信號則得自作為這些晶體連接點之汲極，所以，一門鎖電路與一暫存器電路可在一MOS製程中整合製造。

根據本發明，接收自輸入端子IN之資料被輸入至一PMOS M1與一NMOS M2之源級與汲極，PMOS M1與NMOS M2則並聯成一傳輸電路，一參考時鐘信號被輸入至傳輸電路之PMOS M1之閘極，一傳輸電路之輸出端子則連接至輸出驅動反相器，此輸出驅動反相器之輸出信號被輸入至一連接點Pm，連接點Pm則連接至一門鎖通道反相器，門鎖通道反相器之一輸出信號被輸入至一資料鎖定傳輸電路，資料鎖定傳輸電路之輸出信號被輸入至輸入傳輸電路之輸出端子，輸入傳輸電路與資料鎖定傳輸電路即構成一門鎖電路，一相對參考時鐘電壓具有預定延遲之時鐘信號被輸入至資料鎖定傳輸電路，所以，用以控制暫存器電路操作之時鐘信號線之負載即得以降低，此外，暫存器電路之開關操作的資料釋放亦可以高速執行，並且，當暫存器電路以高頻操作時，暫存器之電源消耗亦不致增加。



圖式簡單說明

圖式之簡單說明

圖1係一習知之冏鎖電路與暫存器電路之結構示意圖；

圖2係根據本發明第一較佳實施例之冏鎖電路與暫存器電路之結構示意圖；

圖3A、3B、3C係用以說明依本發明第一較佳實施例之冏鎖電路與暫存器電路之示意圖；

圖4係根據本發明第二較佳實施例之冏鎖電路與暫存器電路之結構示意圖；

圖5係根據本發明第三較佳實施例之冏鎖電路之結構示意圖；

圖6係根據本發明第四較佳實施例之冏鎖電路之結構示意圖；

圖7係根據本發明第五較佳實施例之冏鎖電路與暫存器電路之結構示意圖。

符號說明

5~反相器INV

31~反相器INV

32~反相器INV

CLK1 - CLK6~時鐘信號

INV1~反相器

INV2~反相器

INV6~反相器

INV11 - INV15~反相器



圖式簡單說明

M1, M4, M6, M7, M11, M12, M16, M24, M31, M33, M34,
M36, M38, M74, M78~PMOS

M2, M3, M5, M8, M13, M14, M17, M25, M32, M35, M37,
M73, M77 ~NMOS

R1 - R6~暫存器

R7, R8~電阻

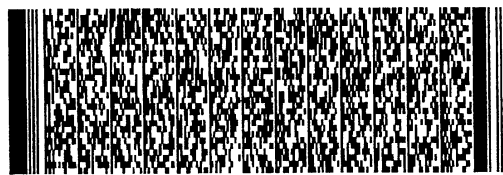


四、中文發明摘要 (發明之名稱：門鎖電路及暫存器電路)

本發明提供一種門鎖電路，此門鎖電路可暫時儲存資料並進一步輸出此輸入信號，其包含一輸入傳輸電路以輸入一參考時鐘信號，一第一反相器以將輸入傳輸電路之一輸出信號反相，一第二反相器以將第一反相器之一輸出信號反相，及一鎖定傳輸電路以便輸入第二反相器之一輸出信號、並將其輸出至第一反相器，其中，一第二時鐘信號被輸入至鎖定傳輸電路之閘極，第二時鐘信號因一預定之延遲而變成高位準，此延遲係相對於參考時鐘信號之一上升緣而言者，第二時鐘信號對應於參考時鐘信號之一下降緣則變成低位準。

英文發明摘要 (發明之名稱：LATCH CIRCUIT AND REGISTER CIRCUIT)

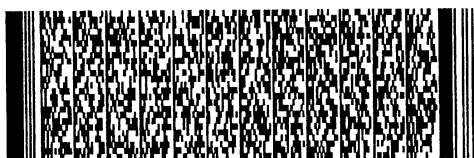
A latch circuit for temporarily storing an input signal and successively outputting the input signal is disclosed, that comprises an input transfer circuit for inputting a reference clock signal, a first inverter for inverting an output signal of the input transfer circuit, a second inverter for inverting an output signal of the first inverter, and a hold transfer circuit for inputting an output signal of the second inverter and outputting it to the first inverter, wherein a



四、中文發明摘要 (發明之名稱：門鎖電路及暫存器電路)

英文發明摘要 (發明之名稱：LATCH CIRCUIT AND REGISTER CIRCUIT)

second clock signal is input to the gate of the hold transfer circuit, the signal level of the second clock signal becoming high with a predetermined delay against a leading edge of the reference clock signal and becoming low corresponding to a trailing edge of the reference clock signal.



六、申請專利範圍

1. 一種門鎖電路，用以暫時儲存一輸入信號並進一步輸出該輸入信號，此門鎖電路包含：

一輸入傳輸電路，用以輸入與輸出該輸入信號，該輸入信號對應於一被施於該輸入傳輸電路之一控制閘極的參考時鐘信號；

一第一反相器，用以將該輸入傳輸電路之一輸出信號反相；

一第二反相器，用以將該第一反相器之一輸出信號反相；及

一鎖定傳輸電路，用以輸入該第二反相器之一輸出信號，並將該輸出信號輸出至該第一反相器；

其中，一第二時鐘信號被輸入至該鎖定傳輸電路之閘極，該第二時鐘信號相較於該參考時鐘信號之一上升緣以預定之延遲而變成高位準，且相較於該參考時鐘信號之一下降緣以預定之延遲而變成低位準。

2. 一種暫存器電路，包含被配置成複數級之複數個門鎖電路；

其中，每一門鎖電路皆具有：

一輸入傳輸電路，用以輸入與輸出對應一參考時鐘信號之一輸入信號，該參考時鐘信號則被供應至該輸入傳輸電路之一控制閘極；

一第一反相器，用以將該輸入傳輸電路之一輸出信號反相；

一第二反相器，用以將該第一反相器之一輸出信號



六、申請專利範圍

反相；及

一鎖定傳輸電路，用以輸入該第二反相器之一輸出信號，並將該輸出信號輸出至該第一反相器；

其中，第一級閃鎖電路係一主動端暫存器電路；

其中，該輸入傳輸電路被連接至該第二反相器之一輸出端子，以便形成一從動端暫存器電路；

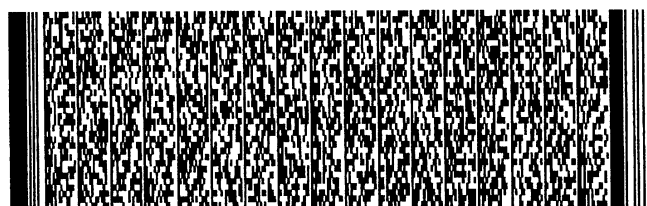
其中，一第二時鐘信號被輸入至該主動端暫存器電路之鎖定傳輸電路的閘極，該第二時鐘信號因一預定之延遲而變成高位準，此延遲係相對於該參考時鐘信號之一上升緣而言者，該第二時鐘信號對應該參考時鐘信號之一下降緣則變成低位準；且

其中，一第三時鐘信號被輸入至該主動端暫存器電路之鎖定傳輸電路的閘極，該第三時鐘信號因一預定之延遲而變成高位準，此延遲係相對於該參考時鐘信號之一下降緣而言者，該第三時鐘信號對應於該參考時鐘信號之一上升緣則變成低位準。

3. 如申請專利範圍第1項之閃鎖電路，其中，該預定之延遲係該輸入傳輸電路之一輸出信號被鎖定前之一時間延遲。

4. 如申請專利範圍第1項閃鎖電路，其中，當該閃鎖電路之操作週期變短時，該鎖定傳輸電路即不會產生該第二時鐘信號，如此，一包含該鎖定傳輸電路之正反器形成路徑即非於一非連接狀態。

5. 如申請專利範圍第2項之暫存器電路，其中，該主動端



六、申請專利範圍

暫存器電路以一預定之延遲產生該第二時鐘信號，該預定之延遲係相對於一基本時鐘信號之一脈衝前半寬度，當該基本時鐘信號之脈衝前半部已完成時，該主動端暫存器電路即停止該第二時鐘信號。

6. 如申請專利範圍第5項之暫存器電路，其中，該從動端暫存器電路以一預定之延遲產生該第三時鐘信號，該預定之延遲係相對於一基本時鐘信號之一脈衝後半寬度，當該基本時鐘信號之脈衝後半部已完成時，該從動端暫存器電路即停止該第三時鐘信號。

7. 如申請專利範圍第1項之門鎖電路，其中，該輸入傳輸電路係一時脈化之反相器電路，該反相器電路具有串聯於一電源與一參考電壓間之一第一電晶體與一第二電晶體，該參考時鐘信號被輸入至該第一電晶體之閘極，該輸入資料信號被輸入至該第二電晶體之閘極，該第一電晶體被配置在該電源端上，該第二電晶體被配置在該參考電壓端上。

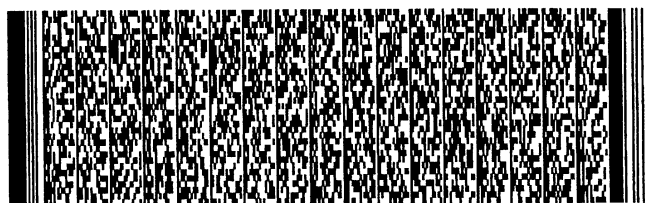
8. 如申請專利範圍第7項之門鎖電路，其中，該時脈化反相器電路之電晶體係一PMOS電晶體與一NMOS電晶體，該PMOS電晶體之尺寸幾乎與該NMOS電晶體之尺寸相同。

9. 如申請專利範圍第7項之門鎖電路，

其中，該第一電阻係一提昇PMOS；

其中，該第二電阻係一提昇NMOS；且

其中，一降低NMOS之時鐘信號被輸入至該第二電晶體之閘極。



六、申請專利範圍

10. 如申請專利範圍第7項之閃鎖電路，其中，該第二時鐘信號係通過一相對於該參考時鐘信號之高電阻的時間延遲、而以一長時間常數加以開啟/關閉。
11. 如申請專利範圍第2項之暫存器電路，其中，該輸入傳輸電路係一時脈化反相器電路，該反相器電路具有串聯於一電源與一參考電壓間之一第一電晶體與一第二電晶體，該參考時鐘信號被輸入至該第一電晶體之閘極，該輸入資料信號則被輸入至該第二電晶體之閘極，該第一電晶體被配置在該電源端上，該第二電晶體被配置在該參考電壓端上。
12. 如申請專利範圍第11項之暫存器電路，其中，該時脈化反相器電路之電晶體係一PMOS電晶體與一NMOS電晶體，該PMOS電晶體之尺寸幾乎與該NMOS電晶體之尺寸相同。
13. 如申請專利範圍第11項之暫存器電路，
其中，該第一電晶體係一提昇PMOS；
其中，該第二電晶體係一提昇NMOS；且
其中，一降低NMOS之時鐘信號被輸入至該第二電晶體之閘極。
14. 如申請專利範圍第11項之暫存器電路，其中，該第二時鐘信號係通過一相對於該參考時鐘信號之高電阻的時間延遲、而以一長時間常數加以開啟/關閉。
15. 一種閃鎖電路，用以暫時儲存一輸入信號並進一步輸出該輸入信號，此閃鎖電路包含：
一第一開關，其因ON而取得輸入信號；



六、申請專利範圍

一 第一時鐘產生器，其產生一第一時鐘與控制該第一開關之ON/OFF；

一 鎖定電路，其透過該第一開關來鎖定該輸入信號，接著，並輸出該輸入信號；及

一 第二時鐘產生器，其產生一第二時鐘與控制該鎖定電路之一ON/OFF操作；

其中，該第二時鐘與該第一時鐘有一預定之相位差。

16. 如申請專利範圍第15項之門鎖電路，其中，該開關包含一輸入傳輸電路，用以輸入並輸出對應於該第一時鐘之該輸入信號，該第一時鐘係被供應至該輸入傳輸電路之一控制閘。

17. 如申請專利範圍第16項之門鎖電路，其中，該鎖定電路包含：

一 第一反相器，用以將該輸入傳輸電路之一輸出信號反相；

一 第二反相器，用以將該第一反相器之一輸出信號反相；及

一 鎖定傳輸電路，用以輸入該第二反相器之一輸出信號，並將該輸出信號輸出至該第一反相器。

18. 如申請專利範圍第17項之門鎖電路，其中，該第二時鐘被輸入至該鎖定傳輸電路之閘極，該第二時鐘信號因一預定之延遲而變成高位準，此延遲係相對於該參考時鐘信號之一上升緣而言者，該第二時鐘信號對應該參考時鐘信號之一下降緣則變成低位準。



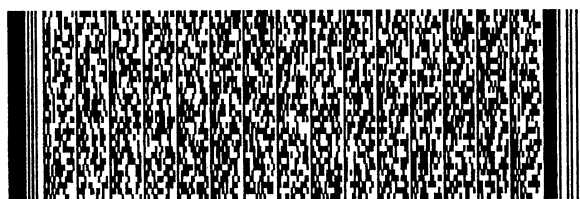
六、申請專利範圍

19. 一種暫存器電路，包含：

- 一第一開關，其因ON而取得輸入信號；
- 一第一時鐘產生器，其產生一第一時鐘與控制該第一開關之ON/OFF；
- 一第一正反器電路，其透過該第一開關來鎖定該輸入信號，接著，並輸出該第一輸出信號；
- 一第二時鐘產生器，其產生一第二時鐘與控制該正反器電路之一ON/OFF操作；
- 一第二開關，其藉由該第一時鐘之操作而取得該第一輸出信號；
- 一第二正反器電路，其透過該第一開關來鎖定該第一輸出信號，接著，並輸出一第二輸出信號；及
- 一第三時鐘產生器，其產生一第三時鐘與控制該第二正反器電路之一ON/OFF操作；

其中，該第二時鐘與該第一時鐘有一預定之相位差，而該第二時鐘與該第三時鐘則有較快之預定相位差。

20. 如申請專利範圍第19項之暫存器電路，其中，該第一與第二開關分別包含一輸入傳輸電路，以分別輸入與輸出對應於該第一時鐘之輸入信號，該第一時鐘係被供應至該輸入傳輸電路之一控制閘極。





圖式

圖式

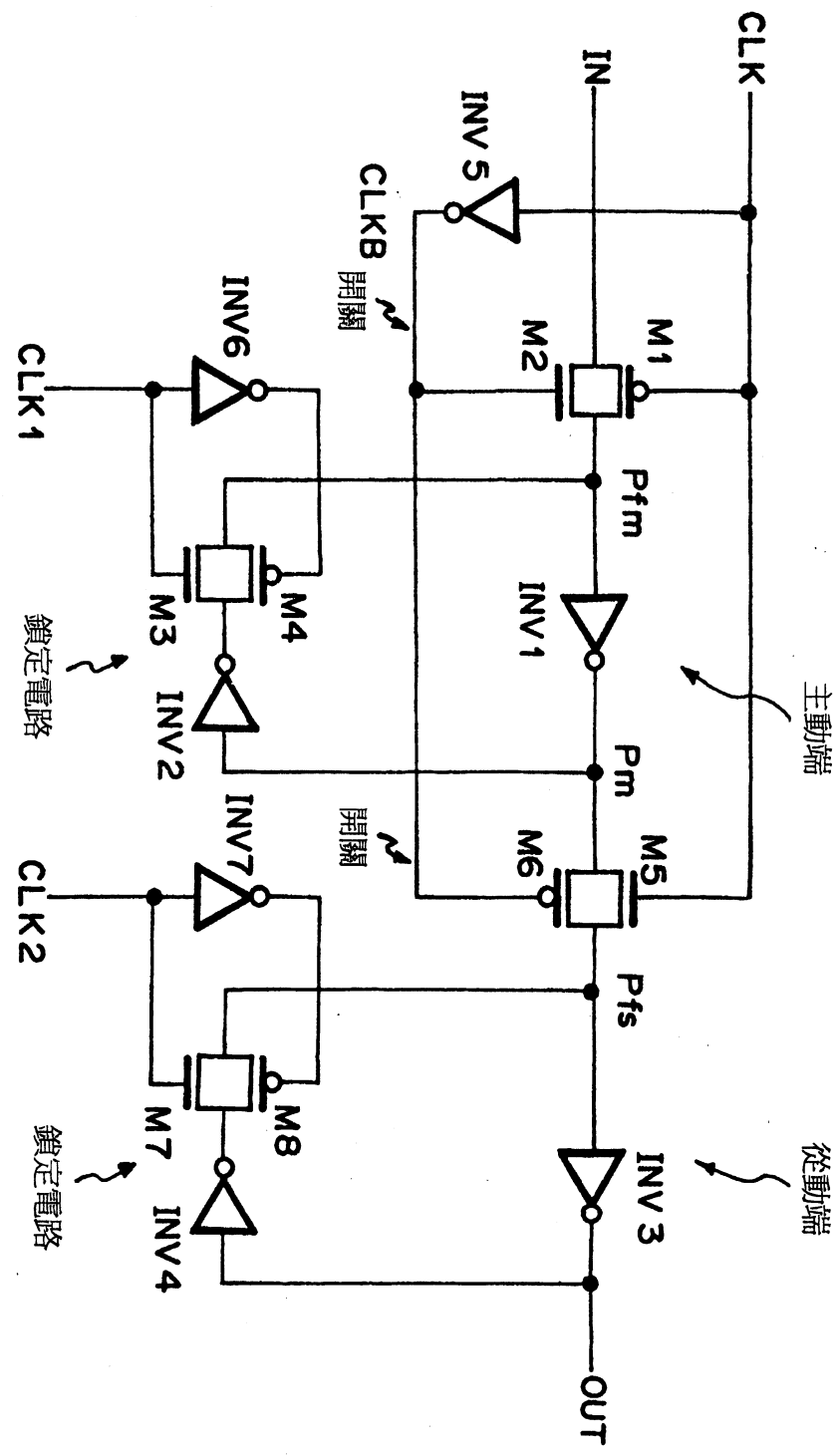


圖 2

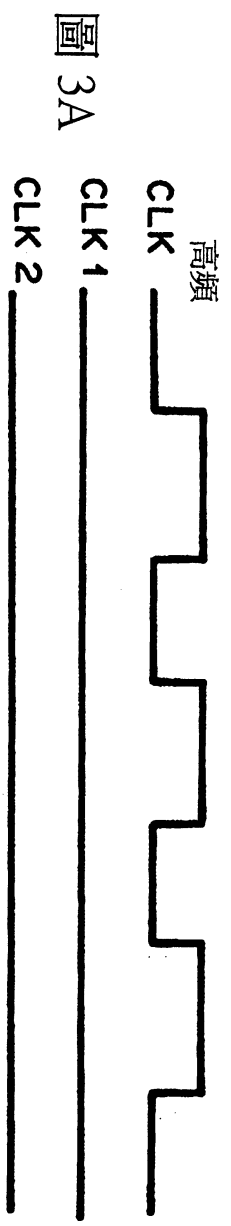


圖 3A

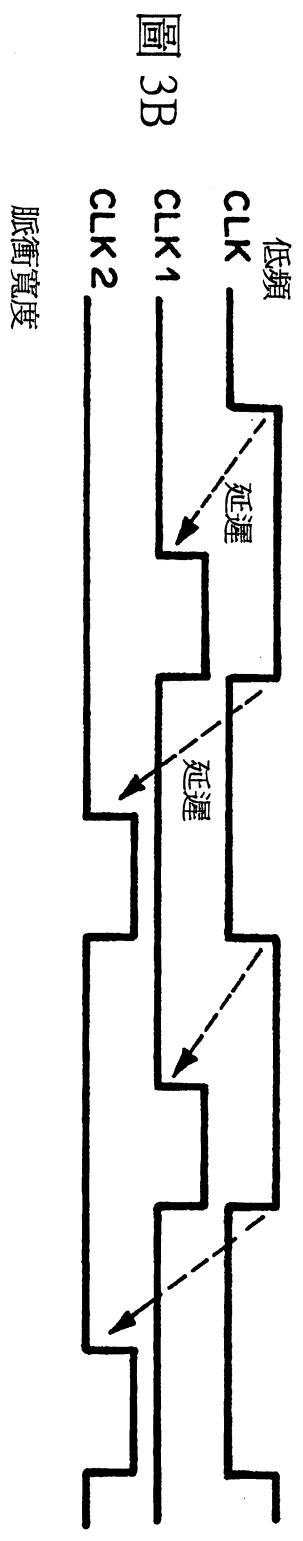


圖 3B

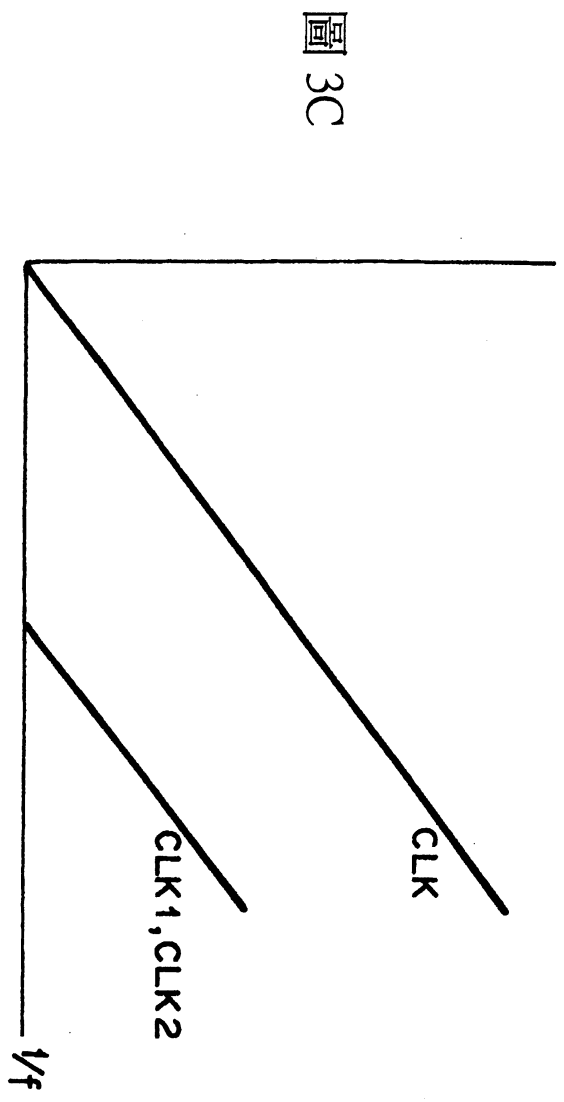
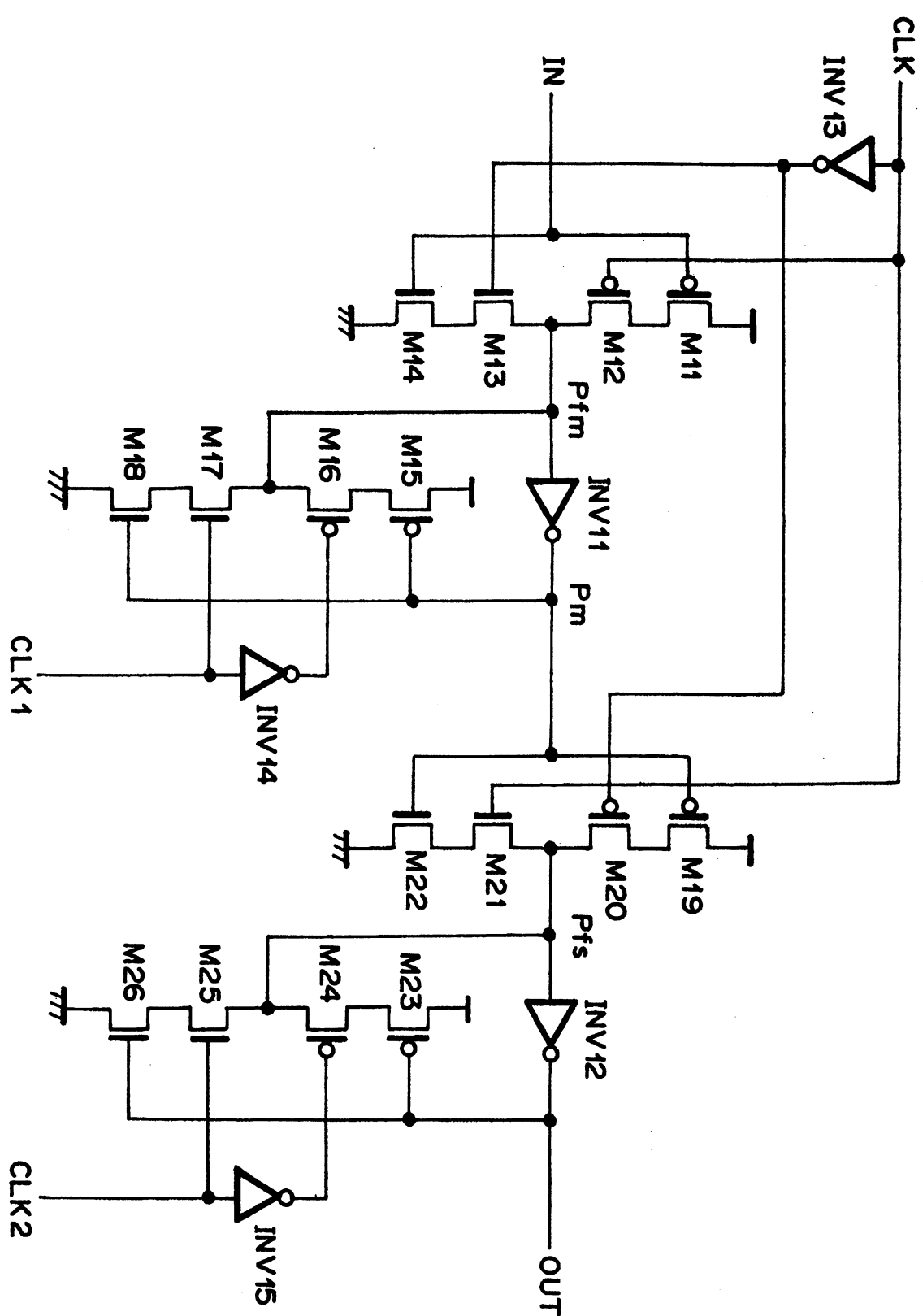


圖 3C

圖式



圖式

圖 4

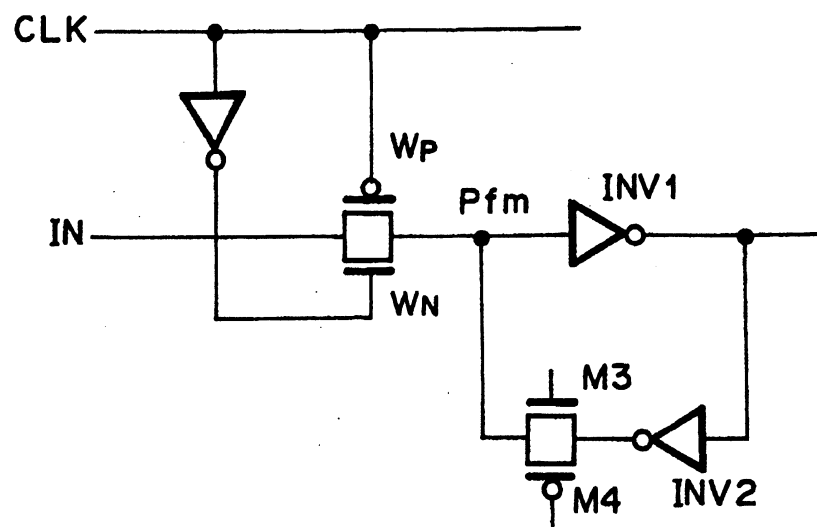


圖 5

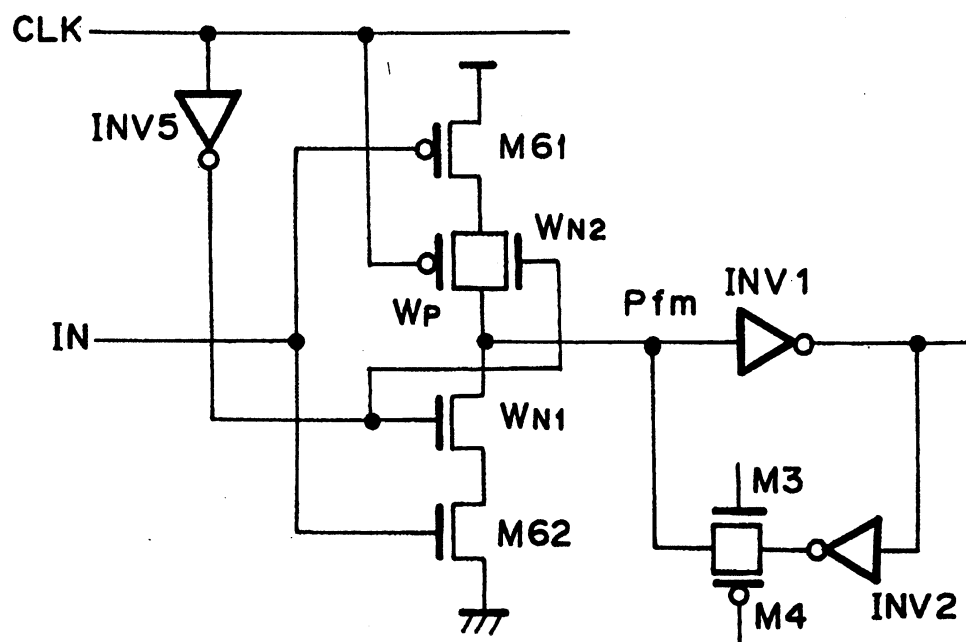


圖 6

圖式

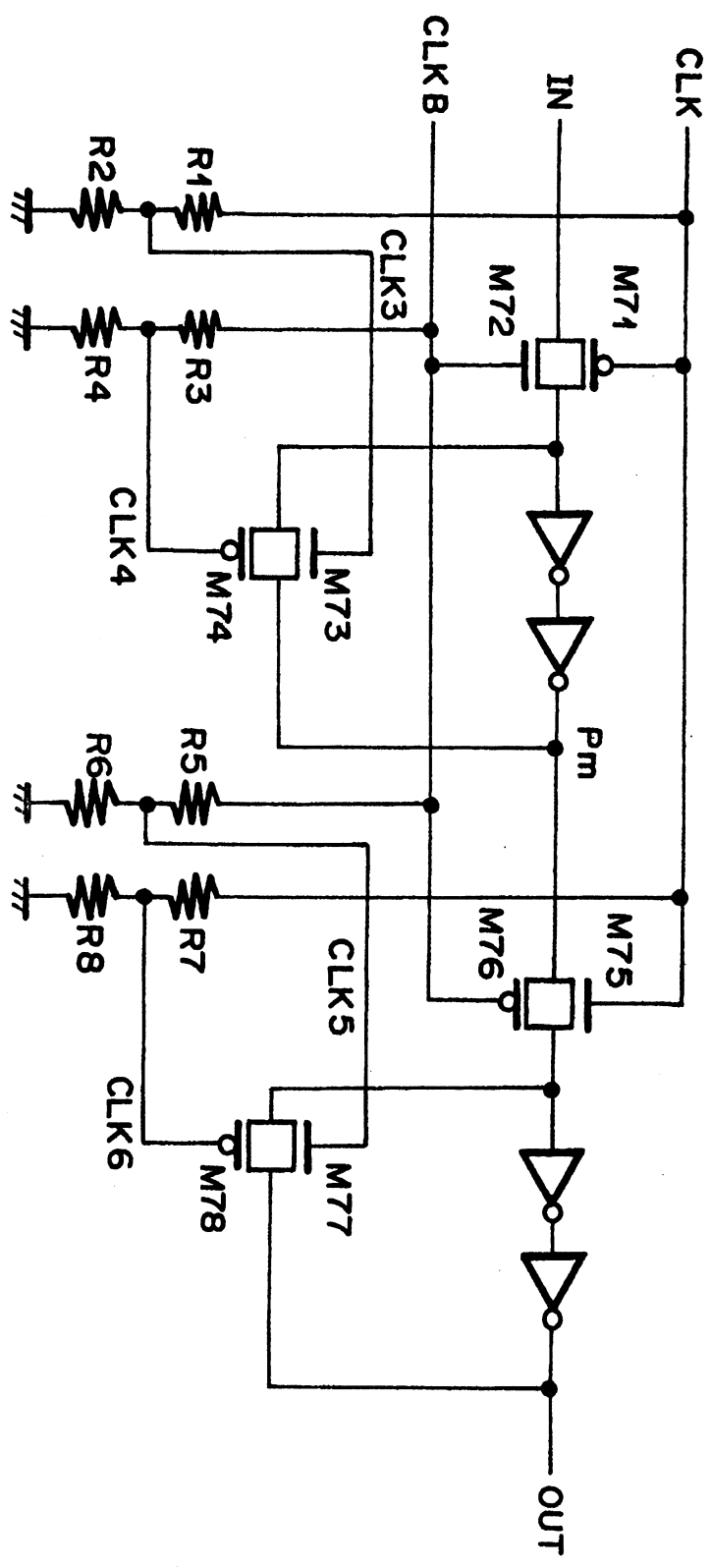


圖 7