



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2014년07월22일  
 (11) 등록번호 10-1422164  
 (24) 등록일자 2014년07월16일

- (51) 국제특허분류(Int. Cl.)  
*H01L 29/786* (2006.01)  
 (21) 출원번호 10-2009-7014411  
 (22) 출원일자(국제) 2007년12월26일  
 심사청구일자 2012년11월15일  
 (85) 번역문제출일자 2009년07월10일  
 (65) 공개번호 10-2009-0101225  
 (43) 공개일자 2009년09월24일  
 (86) 국제출원번호 PCT/JP2007/074983  
 (87) 국제공개번호 WO 2008/084697  
 국제공개일자 2008년07월17일  
 (30) 우선권주장

JP-P-2007-001930 2007년01월10일 일본(JP)

(56) 선행기술조사문헌

JP11202368 A\*

JP2000352941 A\*

JP2004103488 A

US07030412 B1

\*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 8 항

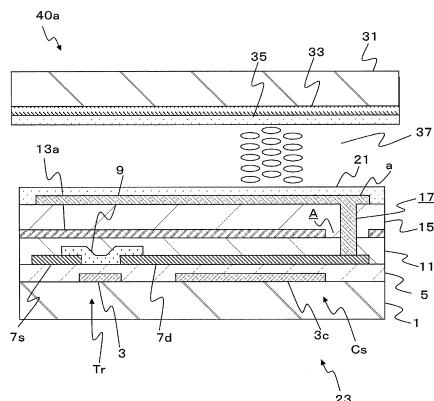
심사관 : 설관식

(54) 발명의 명칭 반도체 장치 및 표시 장치

**(57) 요 약**

본 발명은, 바텀 게이트형 유기 박막 트랜지스터에서의 동작 특성을, 그 상층에 설치한 전극의 영향을 받지 않고 안정된 특성으로 유지할 수 있으며, 이를 구동 소자로 함으로써 신뢰성이 높은 표시가 가능한 표시 장치를 제공하는 것을 목적으로 한다. 기판(1) 상에 설치된 바텀 게이트형 박막 트랜지스터(Tr)와, 박막 트랜지스터(Tr)의 상부에 보호막(11) 및 중간 절연막(15)을 통하여 설치된 화소 전극(a)을 구비하고, 박막 트랜지스터(Tr)와 화소 전극(a) 사이에는, 이들 사이에 절연성을 유지하고, 도전성의 차폐층(13a)이 배치되어 있다.

**대 표 도 - 도2**



## 특허청구의 범위

### 청구항 1

게이트 전극과, 상기 게이트 전극의 상층에 게이트 절연막을 통해 설치된 소스 전극 및 드레인 전극과, 유기 반도체 박막으로 구성되고, 상기 소스 전극과 드레인 전극 사이에 설치된 채널층을 기판 상에 가지는 바텀 게이트 형(bottom gate type) 박막 트랜지스터; 및

상기 박막 트랜지스터의 상부에 절연막을 통하여 설치된 전극을 구비한 반도체 장치에 있어서,

상기 박막 트랜지스터와 상기 전극 사이에는, 도전성의 차폐층이 배치되고,

상기 차폐층은, 상기 박막 트랜지스터 및 상기 전극 각각의 사이에서 절연성을 유지하는 한편, 상기 채널층, 및 상기 소스 전극 및 드레인 전극의 전체 면을 덮는 상태로 형성되어 있는, 반도체 장치.

### 청구항 2

제1항에 있어서,

상기 차폐층은, 상기 박막 트랜지스터의 상기 게이트 전극 또는 상기 소스 전극과 접속되어 있는, 반도체 장치.

### 청구항 3

제1항에 있어서,

상기 차폐층은, 상기 박막 트랜지스터에 대하여 독립적으로 전위 제어되는, 반도체 장치.

### 청구항 4

제1항에 있어서,

상기 전극은, 상기 차폐층에 설치된 개구부를 통해 상기 박막 트랜지스터에 접속되어 있는, 반도체 장치.

### 청구항 5

제1항에 있어서,

상기 기판 상에는 상기 박막 트랜지스터가 복수 개 배치되고,

상기 차폐층은, 복수의 상기 박막 트랜지스터를 덮은 상태로 공통으로 설치되어 있는, 반도체 장치.

### 청구항 6

게이트 전극과, 상기 게이트 전극의 상층에 게이트 절연막을 통해 설치된 소스 전극 및 드레인 전극과, 유기 반도체 박막으로 구성되고, 상기 소스 전극과 드레인 전극 사이에 설치된 채널층을 기판 상에 가지는 바텀 게이트 형 박막 트랜지스터; 및

상기 박막 트랜지스터의 상부에 절연막을 통하여 설치된 전극을 구비한 표시 장치에 있어서,

상기 박막 트랜지스터와 상기 전극 사이에는, 도전성의 차폐층이 배치되고,

상기 차폐층은, 상기 박막 트랜지스터 및 상기 전극 각각의 사이에서 절연성을 유지하는 한편, 상기 채널층의 전체 면 및 상기 소스 전극 및 드레인 전극의 일부를 덮는 상태로 형성되어 있는, 표시 장치.

### 청구항 7

제6항에 있어서,

상기 박막 트랜지스터의 상부에 설치된 전극은, 상기 박막 트랜지스터에 접속된 화소 전극인, 표시 장치.

### 청구항 8

제6항에 있어서,

상기 기판 상에는 상기 박막 트랜지스터가 복수 개 배치되고,

상기 박막 트랜지스터의 상부에 설치된 전극은, 복수의 상기 박막 트랜지스터에 대하여 공통으로 대향 배치된 공통 전극인, 표시 장치.

## 청구항 9

삭제

### 명세서

#### 기술 분야

[0001] 본 발명은 반도체 장치 및 표시 장치에 관한 것이며, 특히 유기 반도체 박막을 사용한 반도체 장치, 및 이 반도체 장치를 사용한 표시 장치에 관한 것이다.

#### 배경 기술

[0002] 박막 트랜지스터(thin film transistor: TFT)는, 액티브 매트릭스 구동형 평판 패널형 표시 장치에서의 화소 전극의 스위칭 소자로서 널리 사용되고 있다. 이와 같은 박막 트랜지스터에서, 채널층에 유기 반도체 박막을 사용한 유기 박막 트랜지스터는, 전공 처리 장치를 이용하지 않고 채널층(유기 반도체 박막)을 도포 성막할 수 있다. 그러므로, 채널층에 실리콘 박막을 사용한 무기 박막 트랜지스터에 비해, 저비용화에 유리하다.

[0003] 상기 표시 장치에서, 유기 박막 트랜지스터가 설치된 구동 기판의 구성은 하기와 같다. 즉, 절연성 기판 상에서의 표시 영역에는, 주사선과 신호선이 절연성을 유지하며 교차 설치되어 있다. 그리고, 이들 배선의 교차 지점에, 예를 들면 바텀 게이트형의 유기 박막 트랜지스터가 설치되어 있다. 또한, 유기 박막 트랜지스터를 덮는 절연막에는 각 유기 박막 트랜지스터에 이르는 컨택트 홀이 형성되어 있고, 이 절연막 상에는 컨택트 홀을 통하여 각 유기 박막 트랜지스터에 접속된 화소 전극이 배열 형성되어 있다[이상, 예를 들면 일본 공개 특허 2006-86502호 공보(특히 도 1~3 및 관련 기재부) 참조].

[0004] 그런데, 유기 박막 트랜지스터의 구성은, 제조 단계의 용이성뿐만 아니라 캐리어의 이동 특성의 관점으로부터 바텀 게이트형이 유리하다고 여겨지고 있다. 즉, 기판 상에 성막된 유기 반도체 박막은, 상면 측과 비교하여 하면 측의 평탄성이 높고, 그러므로 하면 측에 채널부가 형성되는 바텀 게이트형에서 캐리어의 이동 특성이 양호하게 된다고 여겨지기 때문이다.

[0005] 그러나, 바텀 게이트형의 유기 박막 트랜지스터를 사용한 반도체 장치 및 표시 장치에서는, 유기 박막 트랜지스터를 덮는 절연막 상의 전극이나 배선이, 채널부를 구성하는 유기 반도체 박막과 매우 근접한 거리에 배치되게 된다. 그러므로, 전극이나 배선 등에 인가되는 전위의 영향에 의해, 유기 박막 트랜지스터의 트랜지스터 특성이 쉽게 열화되는 문제가 발생한다.

[0006] 예를 들면, 표시 장치는, 유기 박막 트랜지스터의 상부에 화소 전극이 적층 배치됨으로써, 화소 전극에 인가되는 전위에 의해 유기 박막 트랜지스터가 전위 변조를 받는다. 이와 같은 전위 변조에 의해, 화소 전극의 구동이 불안정하게 되어 표시의 신뢰성이 열화된다. 또한, 유기 박막 트랜지스터를 스위칭시키기 위한 동작 전압의 진폭이 증대하여, 소비 전력의 상승이 일어난다.

[0007] 또한, 특히 표시 장치가 유기 전계 발광 소자를 사용한 유기 EL(electroluminescence) 표시 장치이면, 유기 박막 트랜지스터 위쪽의 근접한 위치에, 화소 전극에 대향하는 공통 전극이 배치될 수도 있다. 이와 같은 경우라도, 공통 전극에 인가되는 전위에 의해 유기 박막 트랜지스터가 전위 변조를 받으므로, 전술한 바와 같은 문제가 발생한다.

[0008] 따라서, 본 발명은, 바텀 게이트형의 유기 박막 트랜지스터에서의 동작 특성을, 그 상층에 설치된 전극의 영향을 받지 않고 안정된 특성을 유지할 수 있는 반도체 장치를 제공하는 것과, 반도체 장치를 구동 기판으로서 사용함으로써 신뢰성이 높은 표시가 가능한 표시 장치를 제공하는 것을 목적으로 한다.

#### 발명의 상세한 설명

[0009] 이와 같은 목적을 달성하기 위한 본 발명의 반도체 장치는, 기판 상에 설치된 바텀 게이트형의 박막 트랜지스터와, 상기 박막 트랜지스터의 상부에 절연막을 통하여 설치된 전극을 구비한 반도체 장치이며, 특히 박막 트랜지스터와 전극 사이에는, 이들 사이에 절연성을 유지하고, 도전성의 차폐층이 배치되어 있는 것을 특징으로 하고

있다.

또한, 본 발명의 반도체 장치는, 게이트 전극과, 상기 게이트 전극의 상층에 게이트 절연막을 통해 설치된 소스 전극 및 드레인 전극과, 유기 반도체 박막으로 구성되고, 상기 소스 전극과 드레인 전극 사이에 설치된 채널층을 기판 상에 가지는 바텀 게이트형(bottom gate type) 박막 트랜지스터; 및 상기 박막 트랜지스터의 상부에 절연막을 통하여 설치된 전극을 구비한 반도체 장치에 있어서, 상기 박막 트랜지스터와 상기 전극 사이에는, 도전성의 차폐층이 배치되고, 상기 차폐층은, 상기 박막 트랜지스터 및 상기 전극 각각의 사이에서 절연성을 유지하는 한편, 상기 채널층, 및 상기 소스 전극 및 드레인 전극의 전체 면을 덮는 상태로 형성되어 있는 것을 특징으로 하고 있다.

[0010] 또한, 본 발명의 반도체 장치는, 전술한 반도체 장치를 구동 기판으로서 사용한 표시 장치이며, 박막 트랜지스터의 상부에 설치된 전극은, 상기 박막 트랜지스터에 접속된 화소 전극이거나, 또는 복수의 박막 트랜지스터에 대하여 공통으로 대향 배치된 공통 전극이다.

또한, 본 발명의 표시 장치는, 게이트 전극과, 상기 게이트 전극의 상층에 게이트 절연막을 통해 설치된 소스 전극 및 드레인 전극과, 유기 반도체 박막으로 구성되고, 상기 소스 전극과 드레인 전극 사이에 설치된 채널층을 기판 상에 가지는 바텀 게이트형 박막 트랜지스터; 및 상기 박막 트랜지스터의 상부에 절연막을 통하여 설치된 전극을 구비한 표시 장치에 있어서, 상기 박막 트랜지스터와 상기 전극 사이에는, 도전성의 차폐층이 배치되고, 상기 차폐층은, 상기 박막 트랜지스터 및 상기 전극 각각의 사이에서 절연성을 유지하는 한편, 상기 채널층의 전체 면 및 상기 소스 전극 및 드레인 전극의 일부를 덮는 상태로 형성되어 있는 것을 특징으로 하고 있다.

[0011] 이와 같은 구성의 반도체 장치 및 표시 장치에서는, 바텀 게이트형의 박막 트랜지스터와 그 상부에 배치된 전극 사이에 도전성의 차폐층을 배치함으로써, 전극에 인가된 전위가 바텀 게이트형의 박막 트랜지스터의 채널층에 영향을 미치는 것이 방지된다.

[0012] 이상 설명한 바와 같이 본 발명에 의하면, 차폐층에 의해, 전극에 인가된 전위가, 바텀 게이트형의 박막 트랜지스터의 채널층에 영향을 미치는 것을 방지할 수 있으므로, 바텀 게이트형의 박막 트랜지스터에서의 동작 특성을, 그 상층에 설치한 전극의 영향을 받지 않고 안정되게 유지할 수 있다. 그리고, 화소 전극의 구동용으로서 바텀 게이트형의 박막 트랜지스터를 사용한 표시 장치에서, 신뢰성이 높은 표시를 행할 수 있게 된다.

### 실시예

[0042] 이하, 본 발명의 반도체 장치 및 표시 장치를 실시예를 도면을 참조하여 상세하게 설명한다. 그리고, 각 실시예에 있어서는, 본 발명의 반도체 장치를 구동 기판으로서 사용한 표시 장치의 구성을 설명한다.

[0043] <제1 실시예>

[0044] 제1 실시예에 있어서는, 액티브 매트릭스 방식의 액정 표시 장치에 본 발명을 적용한 실시예를 설명한다.

[0045] 도 1은 액정 표시 장치의 일구성예를 설명하기 위하여 개략적으로 나타낸 회로로 구성도이다. 이 도면에 나타낸 바와 같이, 액정 표시 장치(40)의 기판(1) 상에는, 표시 영역(1a)과 그 주변 영역(1b)이 설정되어 있다. 표시 영역(1a)에는, 복수의 주사선(41)과 복수의 신호선(43)이 종횡으로 배선되어 있고, 각각의 교차부에 대응하여 1개의 화소가 설치된 화소 어레이부로서 구성되어 있다. 또한, 주변 영역(1b)에는, 주사선(41)을 주사 구동하는 주사선 구동 회로(45)와, 휙도 정보에 따른 영상 신호(즉 입력 신호)를 신호선(43)에 공급하는 신호선 구동 회로(47)가 배치되어 있다.

[0046] 주사선(41)과 신호선(43)과의 각 교차부에 설치되는 화소 회로는, 예를 들면 박막 트랜지스터(Tr), 유지 용량(Cs) 및 화소 전극(a)으로 구성되어 있다. 그리고, 주사선 구동 회로(45)에 의한 구동에 의해, 박막 트랜지스터(Tr)를 통하여 신호선(43)으로부터 기입된 영상 신호가 유지 용량(Cs)에 유지되고, 유지된 신호량에 따른 전압이 화소 전극(a)에 공급되고, 이 전압에 따라 액정층을 구성하는 액정 문자가 경사져서 표시광의 투과가 제어된다.

[0047] 그리고, 이상과 같은 화소 회로의 구성은, 어디까지나 일레이며, 필요에 따라 화소 회로 내에 용량 소자를 설치하거나, 또한 복수의 트랜지스터를 설치하여 화소 회로를 구성해도 된다. 또한, 주변 영역(1b)에는, 화소 회로의 변경에 따라 필요한 구동 회로가 추가된다.

[0048] 도 2에는, 본 제1 실시예의 액정 표시 장치(40a)의 특징부를 설명하기 위한 1 화소분의 단면도를 나타낸다. 또한, 도 3에는 본 제1 실시예의 액정 표시 장치(40a)의 특징부를 설명하기 위한 구동 기판 측의 4 화소분의 평면

도를 나타낸다. 그리고, 평면도는, 설명을 위해 일부를 절단하며, 또한 전체를 덮는 절연성 재료로 이루어지는 막의 도시를 생략하고 있다. 그리고, 도 1과 동일한 구성 요소에는 동일한 부호를 부여하고 있다.

[0049] 이들 도면에 나타낸 바와 같이, 제1 실시예의 액정 표시 장치(40a)에서의 각 화소에는, 기판(1) 상에 게이트 전극(3), 게이트 절연막(5), 소스 전극(7s) 및 드레인 전극(7d), 및 유기 반도체 재료로 이루어지는 채널층(이하, 유기 채널층이라고 함)(9)을 전술한 순서로 적층한 바탕 게이트형의 박막 트랜지스터(Tr)가 설치되어 있다. 또한, 게이트 전극(3)과 같은 층에는 유지 용량(Cs)의 하부 전극(3c)이 형성되어 있고, 또한 소스 전극(7s) 및 드레인 전극(7d)과 같은 층에는, 드레인 전극(7d)으로부터 연장 형성된 유지 용량(Cs)의 상부 전극이 설치되어 있다. 또한, 평면도에 나타낸 바와 같이, 게이트 전극(3)은 같은 층에 의해 구성된 주사선(41)으로부터 연장되고, 소스 전극(7s)은 같은 층에 의해 구성된 신호선(43)으로부터 연장되고, 유지 용량(Cs)의 하부 전극(3c)은 복수 화소의 공통 전극으로서 배선되어 있다.

[0050] 이상과 같은 박막 트랜지스터(Tr) 및 유지 용량(Cs)을 덮는 절연성 보호막(11) 상에, 본 제1 실시예의 특징인 도전성 차폐층(13a)이 설치되어 있다. 이 차폐층(13a)은, 적어도 유기 채널층(9) 상을 덮은 상태로 설치되어 있는 것으로 하고, 특히 본 제1 실시예에 있어서는 표시 영역의 전체면을 덮은 상태로 설치되어 있는 것으로 한다. 다만, 이 차폐층(13a)에는, 유지 용량(Cs)의 상부 전극에 노출되는 개구부(A)가 화소마다 설치되어 있는 것으로 한다.

[0051] 이와 같은 차폐층(13a)은, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전위 제어할 수 있도록 구성되어 있다.

[0052] 이상과 같은 차폐층(13a)을 덮는 충간 절연막(15) 상에, 화소 전극(a)(평면도에서는 2점 쇄선으로 도시)이 설치되어 있다. 각 화소 전극(a)은, 개구부(A)의 내측에 설치한 컨택트부(17)를 통하여 유지 용량(Cs)의 상부 전극[드레인 전극(7d)]에 접속되어 있다.

[0053] 그리고, 이들 화소 전극(a)을 덮은 상태에서, 예를 들면 표면 러빙(rubbing) 처리된 배향막(21)이 설치되고, 구동 기판(23)이 구성되어 있다.

[0054] 이상과 같이 구성된 구동 기판(23)을 구성하는 각 층은 일반적인 재료를 사용하여 구성할 수 있고, 특히 이를 한정하지 않는다. 또한, 각 층은 기능을 해치지 않는 한, 복수의 재료로 이루어지는 다층 구조를 가지고 있어도 된다. 이러한 예로서는, 베이스부와의 밀착성 확보를 위해 전극 하부에 대한 밀착층의 도입이나, 전극 상에 대한 에지 스토퍼층의 도입, 가스 배리어성 확보나 연성(ductility) 확보를 위한 적층 메탈 구조 도입 등이 있다. 각 재료의 대표적인 예를 하기에 나타낸다.

[0055] 게이트 전극(3): 알미늄, 금, 금/크롬의 적층막, 은, 팔라듐, 나아가서는 이들의 적층막.

[0056] 게이트 절연막(5): 산화 실리콘, 질화 실리콘, 폴리비닐페놀, 폴리메틸메타크릴레이트(PMMA) 등.

[0057] 소스 · 드레인 전극(7s, 7d): 금, 금/크롬의 적층막, 은, 백금, 팔라듐, 나아가서는 이들의 적층막.

[0058] 유기 채널층(9): 펜타센, 자이티오펜(xytiophene) 등의 티오펜 올리고머, 폴리티오펜 등.

[0059] 보호막(11): 질화 실리콘, 산화 실리콘, 폴리파라자일렌, 폴리비닐알코올 등.

[0060] 차폐층(13a): 금, 금/크롬의 적층막, 은, 알루미늄, 나아가서는 이들의 적층막.

[0061] 충간 절연막(15): 질화 실리콘, 폴리파라자일렌, PMMA 등의 아크릴계 수지, 폴리비닐알코올 등.

[0062] 화소 전극(a): 알미늄, 금, 금/크롬의 적층막, 은, 팔라듐, 이들의 적층막.

[0063] 또한, 각 층의 형성 및 가공 방법에 대해서는, 공지의 기술을 널리 사용할 수 있다. 예를 들면, 진공 증착, 스펀팅이나 CVD의 일반적인 성막 방법, 스판 코트나 캡 코트, 스크린 인쇄, 잉크젯 인쇄 등의 용액을 사용한 성막 방법, 포토리소그래피법, 전자선 리소그래피법, 마이크로 프린팅법, 나노임프린트법 등의 패턴 전사 방법, 웨트 에칭법, 드라이 에칭법, 리프트 오프 등의 에칭 및 패턴 형성 기술을 조합시킬 수 있다. 이들을 조합시킬 경우, 필요한 가열이나 세정 등 일반적인 반도체 형성 기술도 당연히 사용할 수 있다.

[0064] 그리고, 차폐층(13a)이 차광 기능을 갖추고 있는 경우, 차폐층(13a)의 형성 보다 나중의 단계에서 행해지는 리소그래피 등의 광을 사용한 프로세스에 대하여, 유기 채널층(9)의 내성이 향상된다.

[0065] 또한, 각 층의 두께에 대해서도 기능을 해치지 않는 한 이를 한정하지 않는다. 예를 들면, 게이트 전극(3), 소스 · 드레인 전극(7s, 7d), 차폐층(13a), 화소 전극(a), 게이트 절연막(5), 및 유기 채널층(9)은, 1μm 이하, 보

다 바람직하게는 500nm 이하이다. 또한, 보호막(11) 및 충간 절연막(15)은 5μm 이하, 보다 바람직하게는 3μm 이하이다.

[0066] 또한, 화소 전극(a)과 유지 용량(Cs) 사이의 컨택트부(17)를 구성하는 접속 구멍의 형상 및 크기에 대해서도 한정하지 않는다. 이 경우, 충간 절연막(15)의 접속 구멍과 보호막(11)의 접속 구멍이, 형상 및 크기가 반드시 일치할 필요는 없고, 예를 들면 [충간 절연막(15)의 개구 형상 > 보호막(11)의 개구 형상]인 구성이나, [충간 절연막의 개구 형상 < 보호막의 개구 형상]인 구성도 포함된다.

[0067] 또한, 기판(1)에 관해서도, 제조 프로세스에서의 열이력에 대하여 내열성을 가지는 범위에서, 특별히 재질이나 판 두께가 한정되지 않는다. 예를 들면, 유리 등의 경질 재료로부터, 폴리에테르술폰(PES)이나 폴리에틸렌나프탈레이트(PEN) 등의 연질 플라스틱 재료도 사용할 수 있다. 또한, 게이트 전극(3)보다 하층의 구조를 기판(1)으로 생각하면, 전술한 유리나 플라스틱 상에 보호막이나 베퍼층이 위치해도 된다. 예를 들면, 유리 기판 상에 질화 실리콘(SiNx) 박막이 가스 배리어의 목적으로 형성되어 있는 경우나, 플라스틱 필름 상에 SiNx나 표면 보호와 평탄화용의 아크릴계 박막 등이 설치되어 있는 구성이라도 된다.

[0068] 또한, 구동 기판(23)의 제작 순서는 특별히 한정되지 않는다. 예를 들면, 화소 전극(a)과 유지 용량(Cs) 사이의 컨택트부(17)를 구성하는 접속 구멍을 보호막(11)에 형성하는 단계는, 차폐층(13a)을 형성하기 전, 차폐층(13a)을 형성한 후, 혹은 충간 절연막(15)에 형성하는 접속 구멍과 동시에 중의 어느 때라도 행할 수 있다.

[0069] 이상과 같은 구동 기판(23)은, 화소 전극(a)을 반사 재료로 구성함으로써, 액정 표시 장치(40a)에서의 배면판으로서 사용되고 있다.

[0070] 이상과 같은 구동 기판(23)의 배향막(21) 층에는, 대향 기판(31)이 배치되어 있다. 이 대향 기판(31)은, 유리 기판과 같은 투명 기판으로 이루어지고, 구동 기판(23) 층을 향해 모든 화소에 공통인 대향 전극(33) 및 배향막(35)이 이 순서로 배치되어 있다. 그리고, 이와 같은 대향 기판(31) 층의 구성 재료에 대해서도, 일반적인 액정 표시 장치의 구성 재료를 적용해도 된다.

[0071] 그리고, 이와 같은 구동 기판(23)과 대향 기판(31) 사이에, 여기서는 도시하지 않는 스페이서가 끼워지고, 또한 액정층(37)이 충전 밀봉되어 액정 표시 장치(40a)가 구성되어 있다. 그리고, 도면 중에는 명기하고 있지 않지만, 예를 들면, 대향 기판(31)의 외면 상에 반사 방지막 등의 외광의 반사를 억제하는 기능을 가지는 부위가 존재해도 되고, 이 경우는 상기 기능을 가지는 부위를 형성한 후, 구동 기판(23)과 대향 기판(31) 사이에 스페이서를 끼워서 액정층(37)을 충전 밀봉하는 조립 단계를 행하면 된다. 또한, 대향 기판(31) 층에는, 필요에 따라 컬러 필터 층을 설치해도 된다.

[0072] 이상과 같은 제1 실시예에 따른 구성의 액정 표시 장치(반도체 장치)(40a)에서는, 바텀 게이트형의 박막 트랜지스터(Tr)와 그 상부에 배치된 화소 전극(a) 사이에 도전성의 차폐층(13a)을 배치함으로써, 화소 전극(a)에 인가된 전위가 박막 트랜지스터(Tr)의 유기 채널층(9)에 영향을 미치는 것이 방지된다. 그러므로, 바텀 게이트형의 박막 트랜지스터(Tr)에서의 동작 특성을, 화소 전극(a)에 인가되는 전압에 영향을 받지 않고 안정되게 유지할 수 있게 된다. 이 결과, 화소 전극(a)에 인가되는 전압의 안정화가 도모되므로 신뢰성이 높은 표시를 행할 수 있다.

[0073] 또한, 표시 영역의 실질적으로 전체면이 차폐층(13a)으로 덮힌 구성이므로, 차폐층(13a)이, 유기 채널층(9)에 대하여 가장 높은 가스 배리어 성능을 나타낼 수 있다. 그러므로, 유기 채널층(9)의 열화가 방지되고, 박막 트랜지스터(Tr)의 신뢰성의 향상을 도모할 수 있다.

[0074] 또한, 유기 채널층(9)에 대향 배치된 차폐층(13a)의 전위를, 다른 전극에 대하여 독립적으로 제어할 수 있으므로, 이 차폐층(13a)에 인가되는 전위에 의해 박막 트랜지스터(Tr)의 동작 특성을 제어할 수도 있게 된다. 구체적인 일례로서는, 차폐층(13a)에 임의의 전위(예를 들면 0V)를 인가함으로써, 화소 전극(a)의 전위를 차폐하고, 박막 트랜지스터(Tr)의 안정 동작을 실현하며, 전력 절약화에 공헌한다. 또한, 동작 전압 내에서, 박막 트랜지스터(Tr)의 오프 전류와 온 전류의 조정이 가능해지므로, 이를 사용하여 표시 시의 콘트라스트의 제어를 행할 수 있게 된다.

[0075] 그리고, 제1 실시예에서는, 적어도 박막 트랜지스터(Tr)의 유기 채널층(9)을 덮은 상태로 설치된 차폐층(13a)이, 독립적으로 전위 제어할 수 있는 구성이면 되고, 차폐층(13a)은 패터닝되어 있어도 된다. 예를 들면, 동일한 색의 광을 추출하는 화소마다 차폐층(13a)을 패터닝해도 되고, 신호선(43)을 따라 적, 녹, 청색의 각 화소가 배열되어 있는 경우에는, 신호선(43)을 따라 차폐층(13a)을 패터닝하면 된다. 그리고, 각 색마다 차

폐층(13a)에 인가하는 전위를 제어하는 구성으로 함으로써, 색조 보정을 행할 수 있게 된다.

[0076] <제2 실시예>

도 4에는, 제2 실시예의 액정 표시 장치(40b)의 특징부를 설명하기 위한 1 화소분의 단면도를 나타낸다. 또한, 도 5에는 본 제2 실시예의 액정 표시 장치(40b)의 특징부를 설명하기 위한 구동 기판 측의 4 화소분의 평면도를 나타낸다. 그리고, 평면도는, 설명을 위해 일부를 잘라내고, 전체를 덮는 절연성 재료로 이루어지는 막의 도시는 생략하고 있다. 또한, 액정 표시 장치의 일구성예를 설명하기 위한 개략적인 회로 구성은, 제1 실시예에서 도 1을 사용하여 설명한 구성과 동일해도 된다.

[0078] 이들 도면에 나타낸 제2 실시예의 액정 표시 장치(40b)가, 도 2 및 도 3을 사용하여 설명한 제1 실시예의 액정 표시 장치와 다른 점은, 차폐층(13b)의 구성에 있으며, 그 외의 구성은 동일한 것으로 한다.

[0079] 즉 제2 실시예의 액정 표시 장치(40b)에서의 차폐층(13b)은, 보호막(11)에 형성한 접속 구멍과 이 내부를 매립하는 도전성 재료로 이루어지는 컨택트부(11a)를 통하여 소스 전극(7s)에 접속되어 있는 점이 특징적이다. 다만, 이 차폐층(13b)은, 소스 전극(7s)에 접속되어 있으면 되므로, 컨택트부(11a)의 레이아웃을 고려하여 소스 전극(7s)으로부터 연장 설치된 신호선(43)의 부분에 접속되어 있어도 된다(평면도 참조). 또한, 1개의 신호선(43)을 공유하는 상태에서 복수의 박막 트랜지스터(Tr)를 덮는 각 차폐층(13b)은, 적어도 1개소에서 신호선(43)에 접속되어 있으면 되고, 그 접속 개소는 주변 영역이라도 된다.

[0080] 각 차폐층(13b)은, 1개의 신호선(43)을 공유하는 박막 트랜지스터(Tr)를 덮는 부분마다 분할되어 있고, 적어도 박막 트랜지스터(Tr)의 유기 채널층(9)을 덮은 상태에서 신호선(43)을 따라 패터닝되어 있는 것으로 한다. 그리고, 각 차폐층(13b)은, 각 소스 전극(7s) 또는 그 연장 상의 신호선(43)에 접속되어 있으면 되므로, 화소마다 패터닝되어 있어도 된다.

[0081] 이상과 같은 제2 실시예에 따라 구성된 액정 표시 장치(반도체 장치)(40b)에도, 바텀 게이트형 박막 트랜지스터(Tr)와 그 상부에 배치된 화소 전극(a) 사이에 도전성 차폐층(13b)이 배치되어 있다. 그러므로, 제1 실시예와 마찬가지로, 바텀 게이트형 박막 트랜지스터(Tr)에서의 동작 특성이 안정되도록 유지할 수 있게 되고, 또한 화소 전극(a)에 인가되는 전압의 안정화가 도모되므로 신뢰성이 높은 표시를 행할 수 있게 된다.

[0082] <제3 실시예>

[0083] 도 6에는, 본 제3 실시예의 액정 표시 장치(40c)의 특징부를 설명하기 위한 1 화소분의 단면도를 나타낸다. 또한, 도 7에는 본 제3 실시예의 액정 표시 장치(40c)의 특징부를 설명하기 위한 구동 기판 측의 4 화소분의 평면도를 나타낸다. 그리고, 평면도는, 설명을 위해 일부를 절단하고 있고, 전체를 덮는 절연성 재료로 이루어지는 막의 도시하지 생략하고 있다. 또한, 액정 표시 장치의 일구성예를 설명하기 위한 개략적인 회로 구성은, 제1 실시예에서 도 1을 사용하여 설명한 구성과 동일해도 된다.

[0084] 이들 도면에 나타낸 제3 실시예의 액정 표시 장치(40c)가, 도 2~도 5를 사용하여 설명한 제1 실시예 및 제2 실시예의 액정 표시 장치와 다른 점은, 차폐층(13c)의 구성에 있으며, 그 외의 구성은 동일한 것으로 한다.

[0085] 즉, 제3 실시예의 액정 표시 장치(40c)에서의 차폐층(13c)은, 보호막(11) 및 게이트 절연막(5)에 형성된 접속 구멍과 이 내부를 매립하는 도전성 재료로 이루어지는 컨택트부(5a)를 통하여 게이트 전극(3)에 접속되어 있는 점이 특징적이다. 다만, 이 차폐층(13c)은, 게이트 전극(3)에 접속되어 있으면 되므로, 컨택트부(5a)의 레이아웃을 고려하여 게이트 전극(3)으로부터 연장 설치된 주사선(41)의 부분에서 접속되어 있어도 된다(평면도 참조). 또한, 1개의 주사선(41)을 공유하는 상태에서 복수의 박막 트랜지스터(Tr)를 덮는 각 차폐층(13c)은, 적어도 1개소에서 주사선(41)에 접속되어 있으면 되고, 그 접속 개소는 주변 영역이라도 된다.

[0086] 각 차폐층(13c)은, 1개의 주사선(41)을 공유하는 박막 트랜지스터(Tr)를 덮는 부분마다 분할되어 있고, 적어도 박막 트랜지스터(Tr)의 유기 채널층(9)을 덮은 상태에서 주사선(41)을 따라 패터닝되어 있는 것으로 한다. 그리고, 각 차폐층(13c)은, 각 게이트 전극(3) 또는 그 연장 상의 주사선(41)에 접속되어 있으면 되므로, 화소마다 패터닝되어 있어도 된다.

[0087] 이상과 같은 제3 실시예에 따라 구성된 액정 표시 장치(반도체 장치)(40c)에도, 바텀 게이트형 박막 트랜지스터(Tr)와 그 상부에 배치된 화소 전극(a) 사이에 도전성의 차폐층(13c)이 배치되어 있다. 그러므로, 제1 실시예와 마찬가지로, 바텀 게이트형 박막 트랜지스터(Tr)에서의 동작 특성을 안정되게 유지할 수 있게 되고, 또한 화소 전극(a)에 인가되는 전압의 안정화가 도모되므로 신뢰성이 높은 표시를 행할 수 있게 된다.

- [0088] 또한, 유기 채널층(9)에 대향 배치된 차폐층(13c)을 게이트 전극(3)과 접속함으로써, Tr1에 대한 화소 전극(a)의 영향을 배제함과 동시에 트랜지스터의 구동 능력을 향상시킬 수 있다.
- [0089] <제4 실시예>
- [0090] 제4 실시예에서는, 발광 소자로서 유기 전계 발광 소자를 사용한 액티브 매트릭스 방식의 유기 EL 표시 장치에 본 발명을 적용한 실시예를 설명한다. 그리고, 이하의 각 도면에서는, 전술한 제1 실시예 ~ 제3 실시예와 동일한 구성 요소에는 동일한 부호를 부여하여 설명하기로 한다.
- [0091] 도 8은 유기 EL 표시 장치의 일구성예를 설명하기 위한 개략적인 회로 구성도이다. 이 도면에 나타낸 바와 같이, 유기 EL 표시 장치(50)의 기판(1) 상에는, 표시 영역(1a)과 그 주변 영역(1b)이 설정되어 있다. 표시 영역(1a)에는, 복수의 주사선(41)과 복수의 신호선(43)이 종횡으로 배선되어 있고, 각각의 교차부에 대응하여 1개의 화소가 설치된 화소 어레이부로서 구성되어 있다. 또한, 주변 영역(1b)에는, 주사선(41)을 주사 구동하는 주사선 구동 회로(45)와 휘도 정보에 따른 영상 신호(즉 입력 신호)를 신호선(43)에 공급하는 신호선 구동 회로(47)가 배치되어 있다.
- [0092] 주사선(41)과 신호선(43)과의 각 교차부에 설치되는 화소 회로는, 예를 들면 스위칭용 박막 트랜지스터(Tr1), 구동용 박막 트랜지스터(Tr2), 유지 용량(Cs), 및 유기 전계 발광 소자(EL)로 구성되어 있다. 그리고, 주사선 구동 회로(45)에 의한 구동에 의해, 스위칭용 박막 트랜지스터(Tr1)를 통하여 신호선(43)으로부터 기입된 영상 신호가 유지 용량(Cs)에 유지되고, 유지된 신호량에 따른 전류가 구동용 박막 트랜지스터(Tr2)로부터 유기 전계 발광 소자(EL)에 공급되고, 이 전류값에 따른 휘도로 유기 전계 발광 소자(EL)가 발광한다. 그리고, 구동용 박막 트랜지스터(Tr2)와 유지 용량(Cs)은, 공통의 전원 공급선(Vcc)(49)에 접속되어 있다.
- [0093] 그리고, 이상과 같은 화소 회로의 구성은, 어디까지나 일레이며, 필요에 따라 화소 회로 내에 용량 소자를 설치하거나, 또한 복수의 트랜지스터를 설치하여 화소 회로를 구성해도 된다. 또한, 주변 영역(1b)에는, 화소 회로의 변경에 따라 필요한 구동 회로가 추가된다.
- [0094] 도 9에는, 본 제4 실시예의 유기 EL 표시 장치(50a)의 특징부를 설명하기 위한 1 화소분의 단면도를 나타낸다. 또한, 도 10에는 본 제4 실시예의 유기 EL 표시 장치(50a)의 특징부를 설명하기 위한 주요부의 평면도를 나타낸다. 그리고, 평면도는, 설명을 위해 일부를 절단하고 있고, 또한 전체를 덮는 절연성 재료로 이루어지는 막의 도시는 생략하고 있다. 그리고, 도 8과 동일한 구성 요소에는 동일한 부호를 부여하고 있다.
- [0095] 이들 도면에 나타낸 바와 같이, 제4 실시예의 유기 EL 표시 장치(50a)에서의 각 화소에는, 제1 실시예의 박막 트랜지스터와 동일한 적층 구조로 이루어지는 바텀 게이트형 박막 트랜지스터(Tr1, Tr2), 및 유지 용량(Cs)이 설치되어 있다. 그리고, 단면도에서는 박막 트랜지스터(Tr1)만 도시하고 있다.
- [0096] 그리고, 이상과 같은 박막 트랜지스터(Tr1, Tr2) 및 유지 용량(Cs)을 덮는 절연성의 보호막(11) 상에, 본 제4 실시예의 특징적인 도전성의 차폐층(13a)이 설치되어 있다. 이 차폐층(13a)은, 적어도 박막 트랜지스터(Tr1, Tr2)의 유기 채널층(9) 상을 덮은 상태에서 설치되어 있는 것으로 하고, 특히 본 제4 실시예에서는 표시 영역의 전체 면을 덮은 상태로 설치되어 있는 것으로 한다. 다만, 이 차폐층(13a)에는, 박막 트랜지스터(Tr2)의 소스(7s)[또는 드레인 전극(7d)]에 면하는 개구부(A)가 화소마다 설치되어 있는 것으로 한다.
- [0097] 이와 같은 차폐층(13a)은, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다.
- [0098] 이상과 같은 차폐층(13a)을 덮는 충간 절연막(15) 상에는 화소 전극(a)(평면도에서는 2점 쇄선으로 도시)이 설치되어 있다. 각 화소 전극(a)은, 개구부(A)의 내측에 형성한 컨택트부(17)를 통하여 박막 트랜지스터(Tr2)의 소스(7s)[또는 드레인 전극(7d)]에 접속되어 있다. 이 화소 전극(a)은, 양극 또는 음극으로서 사용되며, 여기서는 또한 반사 전극으로서 형성되어 있는 것으로 한다.
- [0099] 이들 화소 전극(a)은, 중앙부를 넓게 노출시킨 상태에서 주위 에지부가 화소간 절연막(51)으로 덮혀져 있다. 이 화소간 절연막(51)은, 예를 들면 유기 절연 재료를 스펀 코트나 바 코팅 등으로 도포하고, 포토리소그래피에 의해 가공함으로써 형성할 수 있다. 그리고, 화소간 절연막(51)으로부터 노출되어 있는 화소 전극(a) 상에는, 유기 EL 재료층(53)이 소정의 순서로 적층 성막되어 있다. 이 유기 EL 재료층(53)은, 진공 증착법이나 잉크젯 법 등에 의해 형성된다. 이 때, 표시부에 다색 표시 기능을 부가하고자 하는 경우에는, 화소마다 표시 색을 색칠하여 분류하면 된다.
- [0100] 또한, 화소간 절연막(51) 및 유기 EL 재료층(53) 상에는, 이들 층에 의해 화소 전극(a)에 대하여 절연성을 유지

한 상태로 공통 전극(55)이 설치되어 있다. 이 공통 전극(55)은, 화소 전극(a)과는 정반대로 음극 또는 양극으로서 사용되며, 여기서는 또한 투명 전극으로서 구성되어 있는 것으로 한다. 이 공통 전극(55)은, 진공 증착법이나 스퍼터링법에 따라 형성된다. 그리고, 화소 전극(a)과 공통 전극(55)에 의해 유기 EL 재료층(53)이 끼워진 각 부분이, 유기 전계 발광 소자(EL)로서 기능하는 부분이 된다.

[0101] 그리고, 이상과 같은 공통 전극(55) 상에, 광투과성을 가지는 접착제층(57)을 통하여 투명 기판(59)이 접합되어, 유기 EL 표시 장치(50a)가 구성되어 있다. 그리고, 여기서는 도시는 생략하였으나, 투명 기판(59) 측은, 예를 들면 컬러 필터나 반사 방지막 등의 화질 개량을 위한 층을 가지고 있어도 된다. 또한, 접착제층(57)은 반드시 모든 화소 상에 균일하게 존재할 필요는 없고, 예를 들면 주변 영역에만 존재하고 있어도 된다. 이 경우, 공통 전극(55)과 투명 기판(59) 사이에는 물리적 공간이 존재하지만, 동작에 지장이 없다면 그래도 상관없다.

[0102] 이와 같이 구성된 유기 EL 표시 장치(50a)는, 유기 전계 발광 소자(EL)에서의 발광광이 투명 기판(59) 측으로부터 추출되는 탑 이미션형이 된다.

[0103] 그리고, 이상과 같은 제4 실시예에 따라 구성된 유기 EL 표시 장치(50a)에도, 바텀 게이트형 박막 트랜지스터(Tr)와 그 상부에 배치된 화소 전극(a) 사이에 도전성의 차폐층(13a)이 배치되어 있다. 그러므로, 제1 실시예와 마찬가지로, 바텀 게이트형 박막 트랜지스터(Tr)에서의 동작 특성을 안정하게 유지할 수 있게 되고, 또한 화소 전극(a)에 인가되는 전압의 안정화가 도모되므로, 신뢰성이 높은 표시를 행할 수 있게 된다. 또한, 표시 영역의 실질적으로 전체 면이 차폐층(13a)으로 덮힌 구성이므로, 차폐층(13a)의 높은 가스 배리어성에 의해 유기 채널층(9)의 열화가 방지되어 신뢰성의 향상을 도모할 수 있다.

[0104] 또한, 박막 트랜지스터(Tr1, Tr2)에서의 유기 채널층(9)에 대향 배치된 차폐층(13a)의 전위를, 다른 전극에 대하여 독립적으로 제어할 수 있으므로, 이 차폐층(13a)에 인가되는 전위에 의해 박막 트랜지스터(Tr1, Tr2)의 동작 특성을 제어할 수 있는 점도, 제1 실시예와 동일하다.

#### <제5 실시예>

[0106] 도 11에는, 본 제5 실시예의 유기 EL 표시 장치(50a)의 특징부를 설명하기 위한 구동 기판 측의 4 화소분의 평면도를 나타낸다. 이 도면에 나타낸 제5 실시예는, 제4 실시예의 변형예적인 실시예이다.

[0107] 도 11에 나타낸 바와 같이, 본 제5 실시예에서는, 차폐층(13a)이 박막 트랜지스터(Tr1)의 유기 채널층(9)을 덮는 부분과, 박막 트랜지스터(Tr2)의 채널층(9)을 덮는 부분으로 분할되어 패턴 형성되어 있다. 그리고, 박막 트랜지스터(Tr1)를 덮는 차폐층(13a)은, 서로 접속되고, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다. 마찬가지로, 박막 트랜지스터(Tr2)를 덮는 차폐층(13a)은, 서로 접속되고, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다. 그 외의 구성은, 제4 실시예와 동일한 것으로 한다.

[0108] 이와 같은 제5 실시예의 구성의 유기 EL 표시 장치(50a)에서는, 각 화소의 스위칭용 박막 트랜지스터(Tr1)와, 유기 전계 발광 소자(EL)에 흐르는 전류를 제어하는 구동용 박막 트랜지스터(Tr2)를 개별적으로 덮은 상태에서 패터닝된 각 차폐층(13a)에, 상이한 전위를 인가할 수 있다. 따라서, 각 박막 트랜지스터(Tr1, Tr2)의 동작 특성을 고려한 후, 각각의 동작에 적합한 제어를 행할 수 있게 된다.

#### <제6 실시예>

[0110] 도 12에는, 제6 실시예에 따른 유기 EL 표시 장치(50a)의 특징부를 설명하기 위한 구동 기판 측의 4 화소분의 평면도를 나타낸다. 이 도면에 나타낸 제6 실시예는, 제4 실시예의 변형예적인 실시예의 또 다른 예이다.

[0111] 도 12에 나타낸 바와 같이, 본 제6 실시예에서는, 차폐층(13a)이 같은 색의 광을 추출하는 화소마다 분할되어 패턴 형성되어 있다. 도시한 예에서는, 신호선(43)을 따라 적, 녹, 청색의 각 화소가 배열되어 있는 예이며, 신호선(43)을 따라 차폐층(13a)이 패터닝되어 있는 경우를 예시하고 있다.

[0112] 그리고, 패터닝된 차폐층(13a)은, 각 색마다 서로 접속되고, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다.

[0113] 그리고, 이상과 같은 제6 실시예에 따라 구성된 유기 EL 표시 장치(50a)에서는, 적, 녹, 청색의 각 표시 색마다 패터닝된 각 차폐층(13a)에 상이한 전위를 인가할 수 있다. 즉, 적색용 차폐층, 녹색용 차폐층, 청색용 차폐층

을 독립적으로 제어할 수 있으므로, 예를 들면 차폐층(13a)에 인가하는 전위를 제어함으로써 색조 보정을 행할 수 있게 된다.

[0114] <제7 실시예>

도 13에는, 제7 실시예의 유기 EL 표시 장치(50b)의 특징부를 설명하기 위한 1 화소분의 단면도를 나타낸다. 또한, 도 14에는 제7 실시예의 유기 EL 표시 장치(50b)의 특징부를 설명하기 위한 주요부 평면도를 나타낸다. 그리고, 평면도는, 설명을 위해 일부를 절단하고 있고, 또한 전체를 덮는 절연성 재료로 이루어지는 막의 도시는 생략하고 있다. 또한, 유기 EL 표시 장치의 일구성예를 설명하기 위한 개략적인 회로 구성은, 제4 실시예에서도 8을 사용하여 설명한 구성과 동일하면 되고, 전술한 제4 실시예 ~ 제6 실시예와 동일한 구성 요소에는 동일한 부호를 부여하여 설명을 행하기로 한다.

[0116] 이들 도면에 나타낸 제7 실시예의 유기 EL 표시 장치(50b)가, 도 9를 사용하여 설명한 제4 실시예 및 그 외의 실시예의 유기 EL 표시 장치와 다른 점은, 차폐층(13a, 13b)의 구성에 있으며, 그 외의 구성은 동일한 것으로 한다.

[0117] 즉, 제7 실시예의 유기 EL 표시 장치(50b)에는, 각 화소에 공통으로 설치된 차폐층(13a)에 의해 박막 트랜지스터(Tr2)가 덮혀져 있다. 이 차폐층(13a)은, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다.

[0118] 또한, 각 화소마다 패터닝된 차폐층(13b)에 의해 박막 트랜지스터(Tr1)가 덮혀져 있다. 이들 차폐층(13b)은, 보호막(11)에 형성된 접속 구멍과 이 내부를 매립하는 도전성 재료로 이루어지는 컨택트부(11a)를 통하여 박막 트랜지스터(Tr1)의 소스 전극(7s)에 접속되어 있다. 다만, 이 차폐층(13b)은, 박막 트랜지스터(Tr1)의 소스 전극(7s)에 접속되어 있으면 되므로, 컨택트부(11a)의 레이아웃을 고려하여 소스 전극(7s)으로부터 연장 형성된 신호선(43)의 부분에 접속되어 있어도 된다(평면도 참조).

[0119] 그리고, 각 차폐층(13b)은, 화소 레이아웃을 고려하여, 가능하면 1개의 신호선(43)을 공유하는 박막 트랜지스터(Tr1)를 덮는 부분마다 분할되어 있는 것이 바람직하고, 적어도 박막 트랜지스터(Tr1)의 유기 채널층(9)을 덮은 상태에서 신호선(43)을 따라 패터닝되어 있는 것도 바람직하다. 이 경우, 1개의 신호선(43)을 공유하는 상태에서 복수의 박막 트랜지스터(Tr)를 덮는 각 차폐층(13b)은, 적어도 1개소에서 신호선(43)에 접속되어 있으면 되고, 이 접속 개소가 주변 영역이라도 된다. 이 경우에도, 박막 트랜지스터(Tr2)를 덮는 차폐층(13a)은, 표시 영역의 주위둘레에서 서로 접속되어 공통으로 구동되는 구성이면 된다.

[0120] 이상과 같은 제7 실시예의 구성의 유기 EL 표시 장치(50b)에서는, 구동용 박막 트랜지스터(Tr2)의 차폐층(13a)이 모든 화소에서 공통으로 되어 있으므로, 한번에 모든 화소에서의 구동용 박막 트랜지스터(Tr2)를 제어하여 휘도를 조정할 수 있다. 또한, 스위칭용 박막 트랜지스터(Tr1)의 유기 채널층(9)에 대향 배치된 차폐층(13b)을 소스 전극(7s)과 접속시킴으로써, 화소 전극(a)의 전위의 Tr1에 대한 영향을 없애고, Tr1의 안정 동작과 동작 전압 저감이 가능하게 된다.

[0121] <제8 실시예>

[0122] 도 15에는, 본 제8 실시예에 따른 유기 EL 표시 장치(50b)의 특징부를 설명하기 위한 구동 기판 측의 4 화소분의 평면도를 나타낸다. 이 도면에 나타낸 제8 실시예는, 제7 실시예의 변형예적인 실시예이다.

[0123] 도 15에 나타낸 바와 같이, 본 제8 실시예에서는, 박막 트랜지스터(Tr2)를 덮는 차폐층(13a)이 동일한 색의 광을 추출하는 화소마다 분할되어 패턴 형성되어 있다. 도시한 예에서는, 신호선(43)을 따라 적, 녹, 청색의 각 화소가 배열되어 있는 예이며, 신호선(43)을 따라 차폐층(13a)이 패터닝되어 있는 경우를 예시하고 있다.

[0124] 또한, 이와 같은 구성에 있어서도, 각 차폐층(13b)은, 1개의 신호선(43)을 공유하는 박막 트랜지스터(Tr1)를 덮는 부분마다 분할되어 있어도 되고, 적어도 박막 트랜지스터(Tr1)의 유기 채널층(9)을 덮은 상태에서 신호선(43)을 따라 패터닝되어 있어도 된다. 그리고, 1개의 신호선(43)을 공유하는 상태에서 복수의 박막 트랜지스터(Tr)를 덮는 각 차폐층(13b)은, 적어도 1개소에서 신호선(43)에 접속되어 있으면 되고, 그 접속 개소는 주변 영역이라도 된다.

[0125] 그리고, 이상과 같은 제8 실시예에 따라 구성된 유기 EL 표시 장치(50b)에서는, 적, 녹, 청색의 각 표시 색마다 패터닝된 각 차폐층(13a)에 상이한 전위를 인가할 수 있다. 즉, 적색용 차폐층, 녹색용 차폐층, 청색용 차폐층을 독립적으로 제어할 수 있으므로, 예를 들면 차폐층(13a)에 인가하는 전위를 제어함으로써 색조 보정을 행할 수 있게 된다. 또한, 스위칭용 박막 트랜지스터(Tr1)의 유기 채널층(9)에 대향 배치된 차폐층(13b)을 소스 전

극(7s)과 접속시킴으로써, 화소 전극(a)의 전위의 Tr1에 대한 영향을 없애고, Tr1의 안정 동작과 동작 전압 저감이 가능하게 된다.

[0126] <제9 실시예>

도 16에는, 본 제9 실시예의 유기 EL 표시 장치(50c)의 특징부를 설명하기 위한 1 화소분의 단면도를 나타낸다. 또한, 도 17에는 본 제9 실시예의 유기 EL 표시 장치(50c)의 특징부를 설명하기 위한 주요부 평면도를 나타낸다. 그리고, 평면도는, 설명을 위해 일부를 절단하고 있고, 또한 전체를 덮는 절연성 재료로 이루어지는 막의 도시는 행하지 않고 있다. 또한, 유기 EL 표시 장치의 일구성 예를 설명하기 위한 개략적인 회로 구성은, 제4 실시예에서 도 8을 사용하여 설명한 구성과 동일하면 되고, 전술한 제4 실시예 ~ 제7 실시예와 동일한 구성 요소에는 동일한 부호를 부여하여 설명하기로 한다.

[0128] 이들 도면에 나타낸 제9 실시예의 유기 EL 표시 장치(50c)가, 도 9를 사용하여 설명한 제4 실시예 및 그 외의 실시예의 유기 EL 표시 장치와 다른 점은, 차폐층(13a, 13c)의 구성에 있으며, 그 외의 구성은 동일한 것으로 한다.

[0129] 즉, 제9 실시예의 유기 EL 표시 장치(50c)에는, 각 화소에 공통으로 설치된 차폐층(13a)에 의해 박막 트랜지스터(Tr2)가 덮혀져 있다. 이 차폐층(13a)은, 표시 영역으로부터 주변 영역에 인출되어 배선되어 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다.

[0130] 또한, 각 화소마다 패터닝된 차폐층(13c)에 의해 박막 트랜지스터(Tr1)가 덮혀져 있다. 이들 차폐층(13c)은, 보호막(11) 및 게이트 절연막(5)에 형성된 접속 구멍과 그 내부를 매립하는 도전성 재료로 이루어지는 컨택트부(5a)를 통하여 박막 트랜지스터(Tr1)의 게이트 전극(3)에 접속되어 있다. 다만, 이 차폐층(13c)은, 박막 트랜지스터(Tr1)의 게이트 전극(3)에 접속되어 있으면 되므로, 컨택트부(5a)의 레이아웃을 고려하여 주사선(41)의 부분에서 접속되어 있어도 된다(평면도 참조).

[0131] 그리고, 각 차폐층(13c)은, 화소 레이아웃을 고려하여, 가능하면 1개의 주사선(41)을 공유하는 박막 트랜지스터(Tr)를 덮는 부분마다 분할되어 있는 것이 좋고, 적어도 박막 트랜지스터(Tr1)의 유기 채널층(9)을 덮은 상태에서 주사선(41)을 따라 패터닝되어 있는 것도 좋다. 이 경우, 1개의 주사선(41)을 공유하는 상태에서 복수의 박막 트랜지스터(Tr)를 덮는 각 차폐층(13c)은, 적어도 1개소에서 주사선(41)에 접속되어 있으면 되고, 그 접속 개소는 주변 영역이라도 된다. 이 경우에도, 박막 트랜지스터(Tr2)를 덮는 차폐층(13a)은, 표시 영역의 주위둘레에서 서로 접속되어 공통으로 구동되는 구성이면 된다.

[0132] 이상과 같이 구성된 제9 실시예에 따른 유기 EL 표시 장치(50c)에서는, 구동용 박막 트랜지스터(Tr2)의 차폐층(13a)이 모든 화소에서 공통으로 되어 있으므로, 한번에 모든 화소에서의 구동용 박막 트랜지스터(Tr2)를 제어하여 휙도를 조정할 수 있다. 또한, 유기 채널층(9)에 대향 배치된 차폐층(13c)을 게이트 전극(3)과 접속시킴으로써, Tr1에 대한 화소 전극(a)의 영향을 배제함과 동시에 트랜지스터의 구동 능력을 향상시킬 수 있다.

[0133] <제10 실시예>

[0134] 도 18에는, 본 제10 실시예에 따른 유기 EL 표시 장치(50c)의 특징부를 설명하기 위한 구동 기판 측의 4 화소분의 평면도를 나타낸다. 이 도면에 나타낸 제10 실시예는, 제9 실시예의 변형예적인 실시예이다.

[0135] 본 제10 실시예에서는, 도 18에 나타낸 바와 같이, 박막 트랜지스터(Tr2)를 덮는 차폐층(13a)이 동일한 색의 광을 추출하는 화소마다 분할되어 패턴 형성되어 있다. 도시한 예에서는, 신호선(43)을 따라 적, 녹, 청색의 각 화소가 배열되어 있는 예이며, 신호선(43)을 따라 차폐층(13a)이 패터닝되어 있는 경우를 예시하고 있다.

[0136] 그리고, 이상과 같은 제10 실시예에 따라 구성된 유기 EL 표시 장치(50c)에서는, 적, 녹, 청색의 각 표시 색마다 패터닝된 각 차폐층(13a)에 상이한 전위를 인가할 수 있다. 즉, 적색용 차폐층, 녹색용 차폐층, 청색용 차폐층을 독립적으로 제어할 수 있으므로, 예를 들면, 차폐층(13a)에 인가하는 전위를 제어함으로써 색조 보정을 행할 수 있게 된다. 또한, 유기 채널층(9)에 대향 배치된 차폐층(13c)을 게이트 전극(3)과 접속시킴으로써, Tr1에 대한 화소 전극(a)의 영향을 배제함과 동시에 트랜지스터의 구동 능력을 향상시킬 수 있다.

[0137] <제11 실시예>

[0138] 도 19에는, 본 제11 실시예의 유기 EL 표시 장치(60a)의 특징부를 설명하기 위한 1 화소분의 단면도를 나타낸다. 또한, 도 20에는 본 제11 실시예의 유기 EL 표시 장치(60a)의 특징부를 설명하기 위한 주요부 평면도를 나타낸다. 그리고, 평면도는, 설명을 위해 일부를 절단하고 있고, 또한 전체를 덮는 절연성 재료로 이루

어지는 막의 도시는 생략하고 있다. 또한, 유기 EL 표시 장치의 일구성예를 설명하기 위한 개략적인 회로 구성은, 제4 실시예에서 도 8을 사용하여 설명한 구성과 동일해도 되고, 전술한 제4 실시예 ~ 제10 실시예와 동일한 구성 요소에는 동일한 부호를 부여하여 설명하기로 한다.

[0139] 이들 도면에 나타낸 제11 실시예의 유기 EL 표시 장치(60a)가, 도 9 및 도 10을 사용하여 설명한 제4 실시예의 탑 이미션형 유기 EL 표시 장치와 다른 점은, 화소 전극(a)의 구성 및 차폐층(13a)의 구성에 있으며, 그 외의 구성은 동일한 것으로 한다.

[0140] 즉 제11 실시예의 유기 EL 표시 장치(60a)에서는, 박막 트랜지스터(Tr1, Tr2)의 소스 전극(7s) 및 드레인 전극(7d)과 동일 층에서 화소 전극(a)이 구성되어 있다. 각 화소 전극(a)은, 박막 트랜지스터(Tr2)의 소스 전극(7s)[또는 드레인 전극(7d)]으로부터 연장된 상태로 설치되어 있다. 또한, 이들 화소 전극(a)은, 양극 또는 음극으로서 사용되지만, 여기서는 가시광에 대한 광투과성을 가지거나 또는 반투과성을 가지는(가시광에 대하여 유한한 투과율을 가지는) 도전성 재료로 형성되어 있는 것으로 한다. 이 때, 화소 전극(a)은 가시광에 대하여 70% 정도의 투과율을 가지는 것이 바람직하다.

[0141] 또한, 박막 트랜지스터(Tr1, Tr2) 및 유지 용량(Cs)을 덮는 절연성 보호막(11)이, 화소 전극(a)의 중앙부를 넓게 노출시킨 상태에서 주위 에지부를 덮는 형상으로 패터닝된 화소간 절연막으로서 형성되어 있다.

[0142] 그리고, 이 보호막(11) 상에 설치된 차폐층(13a)은, 적어도 박막 트랜지스터(Tr1, Tr2)의 유기 채널층(9) 상을 덮은 상태에서 설치되어 있는 것으로 하고, 특히 본 제11 실시예에서는 화소 전극(a)을 넓게 노출시키는 개구부(A)가 화소마다 설치되어 있는 것으로 한다. 이와 같은 차폐층(13a)은, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다.

[0143] 또한, 이 차폐층(13a)을 덮는 충간 절연막(15)도, 화소 전극(a)의 중앙부를 넓게 노출시킨 상태에서 화소 전극(a)의 주위 에지부를 덮는 형상으로 패터닝된 화소간 절연막으로서 형성되어 있다. 다만, 충간 절연막(15)에 의해 차폐층(13a)이 완전히 덮힌 상태로 되어 있는 것으로 한다.

[0144] 이와 같은 화소간 절연막을 구성하는 보호막(11)과 충간 절연막(15)에는, 연속된 패턴 예칭에 의해 화소 전극(a)을 노출시키는 개구 부분을 형성해도 된다.

[0145] 그리고, 화소간 절연막으로부터 노출되어 있는 화소 전극(a) 상에 유기 EL 재료층(53)이 적층 성막되어 있는 점, 화소간 절연막과 유기 EL 재료층(53)에 의해 화소 전극(a)에 대하여 절연성을 유지한 상태로 공통 전극(55)가 설치되어 있는 점, 그리고, 화소 전극(a)과 공통 전극(55)으로 유기 EL 재료층(53)이 끼워진 각 부분이 유기 전계 발광 소자(EL)로서 기능하는 점은, 제4 실시예에서 설명한 바와 동일하다. 다만, 공통 전극(55)은, 여기서는 반사 전극으로서 구성되어 있는 것으로 한다.

[0146] 이와 같이 구성된 유기 EL 표시 장치(60a)는, 유기 전계 발광 소자(EL)에서의 발광광이 화소 전극(a)을 투과하여 기판(1) 측으로부터 추출되는 보텀 이미션형이 된다.

[0147] 그리고, 이상과 같은 제11 실시예에 따라 구성된 유기 EL 표시 장치(60a)에서는, 바텀 게이트형 박막 트랜지스터(Tr1, Tr2)와 그 상부에 배치된 공통 전극(55) 사이에 도전성 차폐층(13a)이 배치되어 있다. 그러므로, 제1 실시예와 동일한 효과를 얻을 수 있다. 즉, 공통 전극(55)에 인가되는 전위에 영향을 받지 않고, 바텀 게이트형 박막 트랜지스터(Tr)에서의 동작 특성을 안정화되도록 유지할 수 있게 되고, 또한 화소 전극(a)에 인가되는 전압의 안정화가 도모되므로, 신뢰성이 높은 표시를 행할 수 있게 된다. 또한, 표시 영역의 실질적으로 전체면이 차폐층(13a)으로 덮힌 구성이므로, 차폐층(13a)의 높은 가스 배리어성에 의해 유기 채널층(9)의 열화가 방지되어 신뢰성의 향상을 도모할 수 있다.

[0148] 또한, 박막 트랜지스터(Tr1, Tr2)에서의 유기 채널층(9)에 대향 배치된 차폐층(13a)의 전위를, 다른 전극에 대하여 독립적으로 제어할 수 있으므로, 이 차폐층(13a)에 인가되는 전위에 의해 박막 트랜지스터(Tr1, Tr2)의 동작 특성을 제어할 수 있는 점도, 제1 실시예와 동일하다.

[0149] <제12 실시예>

[0150] 도 21에는, 제12 실시예에 따른 유기 EL 표시 장치(60a)의 특징부를 설명하기 위한 구동 기판 측의 4 화소분의 평면도를 나타낸다. 이 도면에 나타낸 제12 실시예는, 제11 실시예의 변형예적인 실시예이다.

[0151] 도 21에 나타낸 바와 같이, 본 제12 실시예에서는, 차폐층(13a)이 박막 트랜지스터(Tr1)의 유기 채널층(9)을 덮는 부분과, 박막 트랜지스터(Tr2)의 채널층(9)을 덮는 부분으로 분할되어 패턴 형성되어 있다. 그리고, 박막

트랜지스터(Tr1)를 덮는 차폐층(13a)은 서로 접속되고, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다. 마찬가지로, 박막 트랜지스터(Tr2)를 덮는 차폐층(13a)도 서로 접속되고, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다. 그 외의 구성은, 제11 실시예와 동일한 것으로 한다.

[0152] 이와 같은 제12 실시예에 따라 구성된 유기 EL 표시 장치(60a)에서는, 각 화소의 스위칭용 박막 트랜지스터(Tr1)와, 유기 전계 발광 소자(EL)에 흐르는 전류를 제어하는 구동용 박막 트랜지스터(Tr2)를 개별적으로 덮은 상태에서 패터닝된 각 차폐층(13a)에, 상이한 전위를 인가할 수 있다. 따라서, 각 박막 트랜지스터(Tr1, Tr2)의 동작 특성을 고려한 후에, 각각의 동작에 적합한 제어를 행할 수 있게 된다.

[0153] <제13 실시예>

[0154] 도 22에는, 제13 실시예에 따른 유기 EL 표시 장치(60a)의 특징부를 설명하기 위한 구동 기판 측의 4 화소분의 평면도를 나타낸다. 이 도면에 나타낸 제13 실시예는, 제11 실시예의 변형예적인 실시예의 또 다른 예이다.

[0155] 도 22에 나타낸 바와 같이, 본 제13 실시예에서는, 차폐층(13a)이 동일한 색의 광을 추출하는 화소마다 분할되어 패턴 형성되어 있다. 도시한 예에서는, 신호선(43)을 따라 적, 녹, 청색의 각 화소가 배열되어 있는 예이며, 신호선(43)을 따라 차폐층(13a)이 패터닝되어 있는 경우를 예시하고 있다.

[0156] 그리고, 패터닝된 차폐층(13a)은, 각 색마다 서로 접속되고, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다.

[0157] 그리고, 이상과 같은 제22 실시예에 따라 구성된 유기 EL 표시 장치(60a)에서는, 적, 녹, 청색의 각 표시 색마다 패터닝된 각 차폐층(13a)에 상이한 전위를 인가할 수 있다. 즉, 적색용 차폐층, 녹색용 차폐층, 청색용 차폐층을 독립적으로 제어할 수 있으므로, 예를 들면 차폐층(13a)에 인가되는 전위를 제어함으로써 색조 보정을 행할 수 있게 된다.

[0158] <제14 실시예>

[0159] 도 23에는, 제14 실시예에 따른 유기 EL 표시 장치(60b)의 특징부를 설명하기 위한 1 화소분의 단면도를 나타낸다. 또한, 도 24에는 본 제14 실시예의 유기 EL 표시 장치(60b)의 특징부를 설명하기 위한 주요부 평면도를 나타낸다. 그리고, 평면도는, 설명을 위해 일부를 절단하고 있고, 또한 전체를 덮는 절연성 재료로 이루어지는 막의 도시는 생략하고 있다. 또한, 유기 EL 표시 장치의 일구성 예를 설명하기 위한 개략적인 회로 구성은, 제4 실시예에서 도 8을 사용하여 설명한 구성과 동일하면 되고, 전술한 실시예와 동일한 구성 요소에는 동일한 부호를 부여하여 설명하기로 한다.

[0160] 이들 도면에 나타낸 제14 실시예에 따른 유기 EL 표시 장치(60b)가, 도 19를 사용하여 설명한 제11 실시예 및 그 외의 실시예에 따른 보텀 이미션형 유기 EL 표시 장치와 다른 점은, 차폐층(13a, 13b)의 구성에 있으며, 그 외의 구성은 동일한 것으로 한다.

[0161] 즉, 제14 실시예에 따른 유기 EL 표시 장치(60b)에는, 각 화소에 공통으로 설치된 차폐층(13a)에 의해 박막 트랜지스터(Tr2)가 덮혀져 있다. 이 차폐층(13a)은 서로 접속되고, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다.

[0162] 또한, 각 화소마다 패터닝된 차폐층(13b)에 의해 박막 트랜지스터(Tr1)가 덮혀져 있다. 이들 차폐층(13b)은, 보호막(11)에 형성된 접속 구멍과 그 내부를 매립하는 도전성 재료로 이루어지는 컨택트부(11a)를 통하여 박막 트랜지스터(Tr1)의 소스 전극(7s)에 접속되어 있다. 다만, 이 차폐층(13b)은, 박막 트랜지스터(Tr1)의 소스 전극(7s)에 접속되어 있으면 되므로, 컨택트부(11a)의 레이아웃을 고려하여 소스 전극(7s)으로부터 연장 설치된 신호선(43)의 부분에 접속되어 있어도 된다(평면도 참조).

[0163] 그리고, 각 차폐층(13b)은, 화소 레이아웃을 고려하여, 가능하면 1개의 신호선(43)을 공유하는 박막 트랜지스터(Tr1)를 덮는 부분마다 분할되어 있는 것이 바람직하고, 적어도 박막 트랜지스터(Tr1)의 유기 채널층(9)을 덮은 상태에서 신호선(43)을 따라 패터닝되어 있는 것도 바람직하다. 이 경우, 1개의 신호선(43)을 공유하는 상태에서 복수의 박막 트랜지스터(Tr)를 덮는 각 차폐층(13b)은, 적어도 1개소에서 신호선(43)에 접속되어 있으면 되고, 그 접속 개소는 주변 영역이라도 된다. 이 경우에도, 박막 트랜지스터(Tr2)를 덮는 차폐층(13a)은, 표시 영역의 주위둘레에서 서로 접속되어 공통으로 구동되는 구성이면 된다.

- [0164] 이상과 같은 제14 실시예의 구성의 유기 EL 표시 장치(60b)에서는, 구동용 박막 트랜지스터(Tr2)의 차폐층(13a)이 모든 화소에서 공통으로 되어 있으므로, 모든 화소에서의 구동용 박막 트랜지스터(Tr2)를 한번에 제어하여 휙도를 조정할 수 있다. 또한, 스위칭용 박막 트랜지스터(Tr1)의 유기 채널층(9)에 대향 배치된 차폐층(13b)을 소스 전극(7s)과 접속시킴으로써, 화소 전극(a)의 전위의 Tr1에 대한 영향을 없애고, Tr1의 안정 동작과 동작 전압 저감이 가능하게 된다.
- [0165] 그리고, 본 제14 실시예에서는, 적어도 박막 트랜지스터(Tr2)의 유기 채널층(9)을 덮은 상태에서 설치된 차폐층(13a)의 전위가 독립적으로 제어할 수 있으면 된다. 그러므로, 동일한 색의 광을 추출하는 화소마다 차폐층(13a)이 신호선(43)을 따라 패터닝되어 있는 경우, 도면 중 2점 쇄선으로 나타내는 단자에 의해, 각 색마다 차폐층(13a)에 인가하는 전위를 개별적으로 제어하는 구성으로 할 수도 있다. 이로써, 적, 녹, 청색의 각 표시 색마다 패터닝된 각 차폐층(13a)에 상이한 전위를 인가할 수 있다. 즉, 적색용 차폐층, 녹색용 차폐층, 청색용 차폐층을 독립적으로 제어할 수 있게 되므로, 예를 들면 차폐층(13a)에 인가하는 전위를 제어함으로써 색조 보정을 행할 수 있게 된다.
- [0166] <제15 실시예>
- [0167] 도 25에는, 제15 실시예의 유기 EL 표시 장치(60c)의 특징부를 설명하기 위한 1 화소분의 단면도를 나타낸다. 또 도 26에는 본 제15 실시예의 유기 EL 표시 장치(60c)의 특징부를 설명하기 위한 주요부 평면도를 나타낸다. 그리고, 평면도는, 설명을 위해 일부를 절단하고 있고, 또한 전체를 덮는 절연성 재료로 이루어지는 막의 도시는 생략하고 있다. 또한, 유기 EL 표시 장치의 일구성예를 설명하기 위한 개략적인 회로 구성은, 제4 실시예에서 도 8을 사용하여 설명한 구성과 동일하면 되고, 전술한 실시예와 동일한 구성 요소에는 동일한 부호를 부여하여 설명하기로 한다.
- [0168] 이들 도면에 나타낸 제15 실시예의 유기 EL 표시 장치(60c)가, 도 19를 사용하여 설명한 제11 실시예 및 그 외의 실시예의 보텀 이미션형 유기 EL 표시 장치와 다른 점은, 차폐층(13a, 13c)의 구성에 있으며, 그 외의 구성은 동일한 것으로 한다.
- [0169] 즉, 제15 실시예의 유기 EL 표시 장치(60c)에는, 각 화소에 공통으로 설치된 차폐층(13a)에 의해 박막 트랜지스터(Tr2)가 덮혀져 있다. 이 차폐층(13a)은 서로 접속되고, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다.
- [0170] 또한, 각 화소마다 패터닝된 차폐층(13c)에 의해 박막 트랜지스터(Tr1)가 덮혀져 있다. 이들 차폐층(13c)은, 보호막(11) 및 게이트 절연막(5)에 형성된 접속 구멍과 그 내부를 매립하는 도전성 재료로 이루어지는 컨택트부(5a)를 통하여 박막 트랜지스터(Tr1)의 게이트 전극(3)에 접속되어 있다. 다만, 이 차폐층(13c)은, 박막 트랜지스터(Tr1)의 게이트 전극(3)에 접속되어 있으면 되므로, 컨택트부(5a)의 레이아웃을 고려하여 주사선(41)의 부분에서 접속되어 있어도 된다(평면도 참조).
- [0171] 그리고, 각 차폐층(13c)은, 화소 레이아웃을 고려하여, 가능하면 1개의 주사선(41)을 공유하는 박막 트랜지스터(Tr)를 덮는 부분마다 분할되어 있는 것이 바람직하고, 적어도 박막 트랜지스터(Tr1)의 유기 채널층(9)을 덮은 상태에서 주사선(41)을 따라 패터닝되어 있는 것도 바람직하다. 이 경우, 1개의 주사선(41)을 공유하는 상태에서 복수의 박막 트랜지스터(Tr)를 덮는 각 차폐층(13c)은, 적어도 1개소에서 주사선(41)에 접속되어 있으면 되고, 그 접속 개소는 주변 영역이라도 된다. 이 경우에도, 박막 트랜지스터(Tr2)를 덮는 차폐층(13a)은, 표시 영역의 주위둘레에서 서로 접속되어 공통으로 구동되는 구성이면 된다.
- [0172] 이상과 같이 구성된 제15 실시예의 유기 EL 표시 장치(60c)에서는, 구동용 박막 트랜지스터(Tr2)의 차폐층(13a)이 모든 화소에서 공통으로 되어 있으므로, 모든 화소에서의 구동용 박막 트랜지스터(Tr2)를 한번에 제어하여 휙도를 조정할 수 있다. 또한, 유기 채널층(9)에 대향 배치된 차폐층(13c)을 게이트 전극(3)과 접속시킴으로써, Tr1에 대한 화소 전극(a)의 영향을 배제함과 동시에 트랜지스터의 구동 능력을 향상시킬 수 있다.
- [0173] 그리고, 본 제15 실시예에서는, 적어도 박막 트랜지스터(Tr2)의 유기 채널층(9)을 덮은 상태에서 설치된 차폐층(13a)의 전위를 독립적으로 제어할 수 있으면 된다. 그러므로, 동일한 색의 광을 추출하는 화소마다 차폐층(13a)이 신호선(43)을 따라 패터닝되어 있는 경우, 도면 중 2점 쇄선으로 나타내는 단자에 의해, 각 색마다 차폐층(13a)에 인가하는 전위를 개별적으로 제어하는 구성으로 할 수도 있다. 이로써, 적, 녹, 청색의 각 표시 색마다 패터닝된 각 차폐층(13a)에 상이한 전위를 인가할 수 있다. 즉, 적색용 차폐층, 녹색용 차폐층, 청색용 차폐층을 독립적으로 제어할 수 있게 되므로, 예를 들면 차폐층(13a)에 인가하는 전위를 제어함으로써 색조 보정을 행할 수 있게 된다.

정을 행할 수 있게 된다.

[0174] <제16 실시예>

[0175] 제16 실시예에서는, 액티브 매트릭스 방식의 전기 영동형 표시 장치에 본 발명을 적용한 실시예를 설명한다.

[0176] 도 27에는, 제16 실시예의 전기 영동형 표시 장치(70a)의 특징부를 설명하기 위한 1 화소분의 단면도를 나타낸다. 그리고, 전기 영동형 표시 장치(70a)의 일구성예를 설명하기 위한 개략적인 회로 구성은, 제1 실시예에 있어서도 1을 사용하여 설명한 구성과 동일하면 되고, 전술한 실시예와 동일한 구성 요소에는 동일한 부호를 부여하여 설명하기로 한다.

[0177] 이 전기 영동형 표시 장치(70a)는, 제1 실시예에서 도 2 및 도 3을 사용하여 설명한 액정 표시 장치와 동일하게, 기판(1) 측으로부터 화소 전극(a)까지 구성되어 있다.

[0178] 즉, 박막 트랜지스터(Tr) 및 유지 용량(Cs)을 덮는 절연성 보호막(11) 상에, 적어도 유기 채널층(9) 상을 덮은 상태에서(여기서는 표시 영역의 전체면을 덮은 상태에서) 차폐층(13a)이 형성되어 있고, 차폐층(13a)은, 표시 영역으로부터 주변 영역으로 인출되어 배선되고, 다른 전극 및 배선에 대하여 독립적으로 전압 제어할 수 있는 구성으로 되어 있다.

[0179] 그리고, 이 화소 전극(a) 상을 덮은 상태에서, 시트형 전기 영동형 표시부(61), 화소 전극(a)에 대향 배치되는 공통 전극(63), 및 투명 기판(65)이 설치되어 있다. 이들은, 공통 전극(63) 및 전기 영동형 표시부(61)가 적층 성막된 투명 기판(65)을, 화소 전극(a) 측에 접합시킴(라미네이팅함)으로써 기판(1)의 위쪽에 설치되어 있다.

[0180] 그리고, 여기서 도시는 생략하였으나, 투명 기판(65) 측에는, 예를 들면 컬러 필터나 반사 방지막 등의 화질 개량을 위한 층이 형성되어 있어도 된다. 이 경우, 화소 전극(a) 상에 투명 기판(65)을 접합시킨 후에, 이들의 화질 개량을 위한 층이 형성된다.

[0181] 이상과 같은 제16 실시예의 구성의 전기 영동 표시 장치(반도체 장치)(70a)에서는, 제1 실시예의 액정 표시 장치와 동일한 효과를 얻을 수 있다.

[0182] 그리고, 본 액티브 매트릭스형의 전기 영동 표시 장치에서도, 차폐층을 제2 실시예(도 4 및 도 5)나 제3 실시예(도 6 및 도 7)와 동일한 구성으로 함으로써, 이를 각 실시예와 동일한 효과를 얻을 수 있게 된다.

[0183] 그리고, 이상 설명한 각 실시예에서는, 액정 표시 장치를 예시하여 1개의 박막 트랜지스터에 의해 액티브 매트릭스형의 화소 회로가 구성되어 있는 경우를 설명하고, 유기 EL 표시 장치를 예시하여 2개의 박막 트랜지스터에 의해 액티브 매트릭스형 화소 회로가 구성되어 있는 경우를 설명하였다. 그러나, 본 발명은 3개 이상의 박막 트랜지스터에 의해 화소 회로가 구성되어 있는 액정 표시 장치, 유기 EL 표시 장치, 전기 영동 표시 장치, 나아가서는 다른 액티브 매트릭스형 표시 장치에도 적용 가능하며, 동일한 효과를 얻을 수 있다. 또한, 3개 이상의 박막 트랜지스터에 의해 화소 회로가 구성되어 있는 경우이면, 각각의 기능 박막 트랜지스터마다 차폐층을 분할해도 되고, 그 분할 패턴이나 전극에 대한 접속이 적절하면 된다.

[0184] 즉, 화소 회로를 구성하는 박막 트랜지스터(Tr)의 개수에 의하지 않고, 각 박막 트랜지스터의 동작 조건을 고려하여 차폐층의 배선을 연구함으로써, 각 박막 트랜지스터의 역할에 맞는 보상이 가능하게 된다.

[0185] <제17 실시예>

[0186] 도 28은, 본 발명을 적용한 전기 영동형 표시 장치의 단면도이다. 이 도면에 기초하여, 본 발명을 적용한 컬러 표시 액티브 매트릭스형 표시 장치의 실시예를 설명한다.

[0187] 이 도면에 나타낸 전기 영동 표시 장치(70a')는, 예를 들면 광의 3원색인 적색(R) 화소, 녹색(G) 화소, 및 청색(B) 화소를 1조(組)로 하고, 복수 조가 기판(1) 상에 배열되어 있다. 각 화소의 구성이, 제16 실시예와 상이한 점은, 차폐층(13a)이 반사 재료로 이루어지는 것에 한정되는 점, 이를 덮는 충간 절연막(15)이 각 화소마다 상이한 구성으로 설치되어 있는 점, 또한 화소 전극(a)이 투명 전극으로 구성되어 있는 점에 있다. 그 외의 구성은 제16 실시예와 동일하다. 즉, 차폐층(13a)은, 예를 들면 알루미늄 등의 가시광을 반사하는 물질로 구성되어 있다. 특히, 이 차폐층(13a)의 가시광 반사율이, 표시 성능을 좌우하는 중요한 요인이 된다. 따라서, 차폐층(13a)의 가시광 반사율을 향상시키기 위해, 차폐층(13a) 표면에 불규칙한 요철을 제작해도 된다.

[0188] 또한, 충간 절연막(15)은, 적색(R) 화소, 녹색(G) 화소, 및 청색(B) 화소마다 착색한 각 충간 절연막(15r, 15g, 15b)으로 구성되어 있고, 컬러 필터 기능(색선택 기능)을 가지고 있다. 즉, 적색(R) 화소에는 적색광 만을 투

파시키는 필터 기능을 구비한 충간 절연막(15r)이 설치되고, 그 외에, 각 색의 화소마다 동일한 충간 절연막(15g, 15b)이 설치되어 있다. 그리고, 충간 절연막(15r, 15g, 15b)은, 예를 들면 표시광의 색 순도를 높이기 위해, 각각에 적합한 막 두께, 투과율, 색조로 조정되어 있는 것으로 한다.

[0189] 이와 같은 충간 절연막(15)은, 먼저 각 색에 착색한 충간 절연막을 소정의 막 두께로 도포하고, 다음으로, 포토리소그래피법 등으로 필요 부위만이 남도록 가공하는 단계를, 각 색마다 3회 반복하여 행함으로써 형성된다.

[0190] 이상과 같은 구성에 의해, 전기 영동 표시 장치(70a')에서의 투명 기판(65) 측으로부터 입사된 외광(h)은, 전기 영동형 표시부(61)를 통과하고, 각 화소의 충간 절연막(15r, 15g, 15b)을 통과함으로써 색 선택되고, 또한 차폐층(13a)에서 반사되어 다시 투명 기판(65) 측으로부터 각 색의 광(H)으로서 추출된다.

[0191] 이로써, 본 발명에 특징적으로 설치되는 차폐층(13a)을 반사층으로서 사용한 컬러 표시가 가능하게 된다.

[0192] 그리고, 전술한 구성은, 특히 표시 영역의 전체면을 덮은 상태에서 반사층 이 되는 차폐층(13a)이 설치된 구성에서 유효하지만, 액티브 매트릭스형 전기 영동 표시 장치의 차폐층으로서 제2 실시예(도 4 및 도 5)나 제3 실시예(도 6 및 도 7)에서 설명한 차폐층을 사용한 구성에도 적용할 수 있다.

[0193] <제18 실시예>

[0194] 본 제18 실시예에서는, 전술한 각 실시예의 표시 장치 중, 각 전극이나 배선에 대하여 독립적으로 차폐층의 전위를 제어할 수 있는 구성의 표시 장치에서의 차폐층 제어의 일례를 설명한다.

[0195] 도 29에는, 이와 같은 제어를 행하기 위한 흐름도를 나타낸다. 여기서는, 차폐층의 전위 제어에 의해 동작 환경에 따른 휙도에서의 표시를 행하는 단계를, 흐름도를 따라 설명한다.

[0196] 먼저 제1 단계 S1에서는, 수광 소자에 의해 표시 장치의 동작 환경의 밝기(외광)를 감지하여 광전 변환한다.

[0197] 다음으로, 제2 단계 S2에서는, 수광 소자에 의해 광전 변환된 전기 신호에 기초하여, 동작 환경의 밝기에 적합한 휙도 표시가 행해지도록 차폐층에 인가할 전위를 산출한다.

[0198] 그 후, 제3 단계 S3에서는, 산출된 전위를 차폐층에 인가하여 표시를 행한다.

[0199] 이상과 같은 제어를 행하기 위해, 본 발명의 차폐층을 설치한 표시 장치의 주변 영역에는, 제1 단계 S1의 광전 변환을 행하기 위한 수광 소자, 및 제2 단계 S2의 처리를 행하기 위한 화면 휙도 제어 회로가 설치되어 있는 것으로 한다.

[0200] 이상과 같은 제어를 행함으로써, 동작 환경(어두움·밝음)에 따른 휙도를 얻을 수 있도록, 차폐층에 적절한 전위를 인가한 표시를 행할 수 있게 된다.

[0201] 그리고, 전술한 각 제1 실시예 ~ 제18 실시예에서는, 본 발명을 표시 장치에 적용한 구성을 설명하였다. 그러나, 본 발명은, 표시 장치에 대한 적용으로 한정되지 않고, 바텀 게이트형 박막 트랜지스터 상에 절연막을 통하여 배선이나 전극이 설치되어 있는 구성이면, 메모리나 센서 등의 반도체 장치에 널리 적용할 수 있다.

[0202] 이와 같이 구성된 반도체 장치에서, 박막 트랜지스터와 전극 사이에, 절연성을 유지하여 도전성 차폐층을 배치함으로써, 박막 트랜지스터의 동작 특성을 안정화시킬 수 있다. 또한, 트랜지스터의 부하 동작에 따른 특성 변동(바이어스 스트레스에 의한 임계값 변동)을 차폐층에 인가하는 전위로 보상할 수 있으므로, 트랜지스터의 장기 수명화를 달성할 수 있다. 또한, 차폐층으로서 가스 배리어성이 우수한 금속을 사용함으로써 보호막의 가스 배리어성을 강화할 수 있고, 트랜지스터의 스토리지 라이프를 개선할 수 있다.

[0203] 또한, 이들 트랜지스터에 대한 효과는, 전술한 표시 장치의 실시예에 대하여 동일하게 얻어지는 효과이기도 하다.

### 도면의 간단한 설명

[0013] 도 1은, 본 발명이 적용되는 액정 표시 장치의 일구성예를 설명하기 위한 개략적인 회로 구성도이다.

[0014] 도 2는, 제1 실시예의 액정 표시 장치의 특징부를 설명하기 위한 1 화소분의 단면도이다.

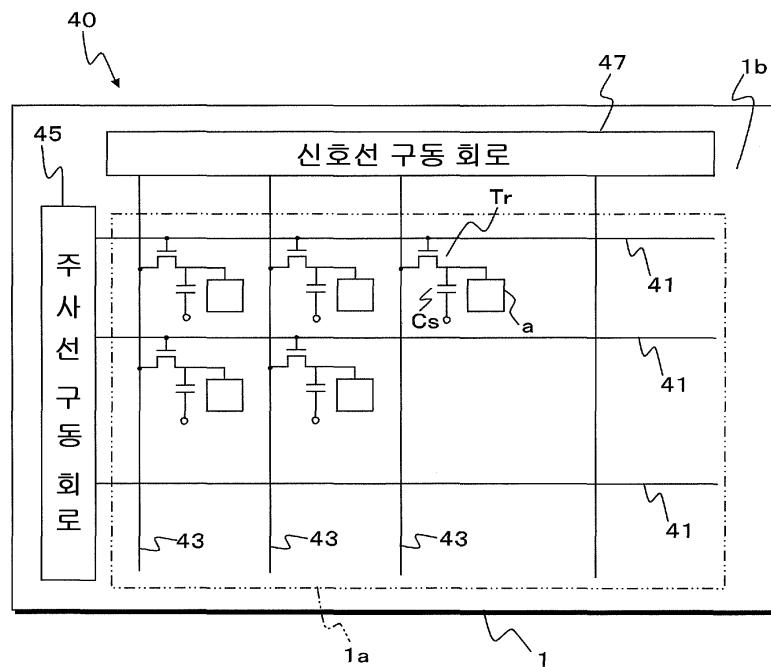
[0015] 도 3은, 제1 실시예의 액정 표시 장치의 특징부를 설명하기 위한 구동 기판 측의 4 화소분의 평면도이다.

[0016] 도 4는, 제2 실시예의 액정 표시 장치의 특징부를 설명하기 위한 1 화소분의 단면도이다.

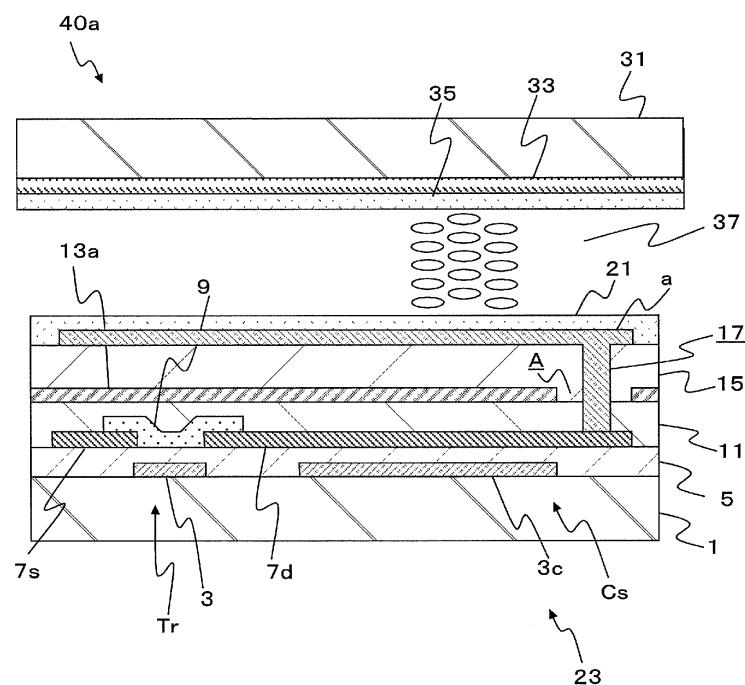
- [0017] 도 5는, 제2 실시예의 액정 표시 장치의 특징부를 설명하기 위한 구동 기관 측의 4 화소분의 평면도이다.
- [0018] 도 6은, 제3 실시예의 액정 표시 장치의 특징부를 설명하기 위한 1 화소분의 단면도이다.
- [0019] 도 7은, 제3 실시예의 액정 표시 장치의 특징부를 설명하기 위한 구동 기관 측의 4 화소분의 평면도이다.
- [0020] 도 8은, 본 발명이 적용되는 유기 EL 표시 장치의 일구성예를 설명하기 위하여 개략적으로 나타낸 회로 구성도이다.
- [0021] 도 9는, 제4 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 1 화소분의 단면도이다.
- [0022] 도 10은, 제4 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도이다.
- [0023] 도 11은, 제5 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도이다.
- [0024] 도 12는, 제6 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도이다.
- [0025] 도 13은, 제7 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 1 화소분의 단면도이다.
- [0026] 도 14는, 제7 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도를 나타낸다.
- [0027] 도 15는, 제8 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도를 나타낸다.
- [0028] 도 16은, 제9 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 1 화소분의 단면도이다.
- [0029] 도 17은, 제9 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도를 나타낸다.
- [0030] 도 18은, 제10 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도를 나타낸다.
- [0031] 도 19는, 제11 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 1 화소분의 단면도이다.
- [0032] 도 20은, 제11 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도를 나타낸다.
- [0033] 도 21은, 제12 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도이다.
- [0034] 도 22는, 제13 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도이다.
- [0035] 도 23은, 제14 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 1 화소분의 단면도이다.
- [0036] 도 24는, 제14 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도를 나타낸다.
- [0037] 도 25는, 제15 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 1 화소분의 단면도이다.
- [0038] 도 26은, 제15 실시예의 유기 EL 표시 장치의 특징부를 설명하기 위한 4 화소분의 주요부 평면도를 나타낸다.
- [0039] 도 27은, 제16 실시예의 전기 영동 표시 장치의 특징부를 설명하기 위한 1 화소분의 단면도이다.
- [0040] 도 28은, 제17 실시예를 설명하는 단면도이다.
- [0041] 도 29는, 제18 실시예를 설명하는 흐름도이다.

## 도면

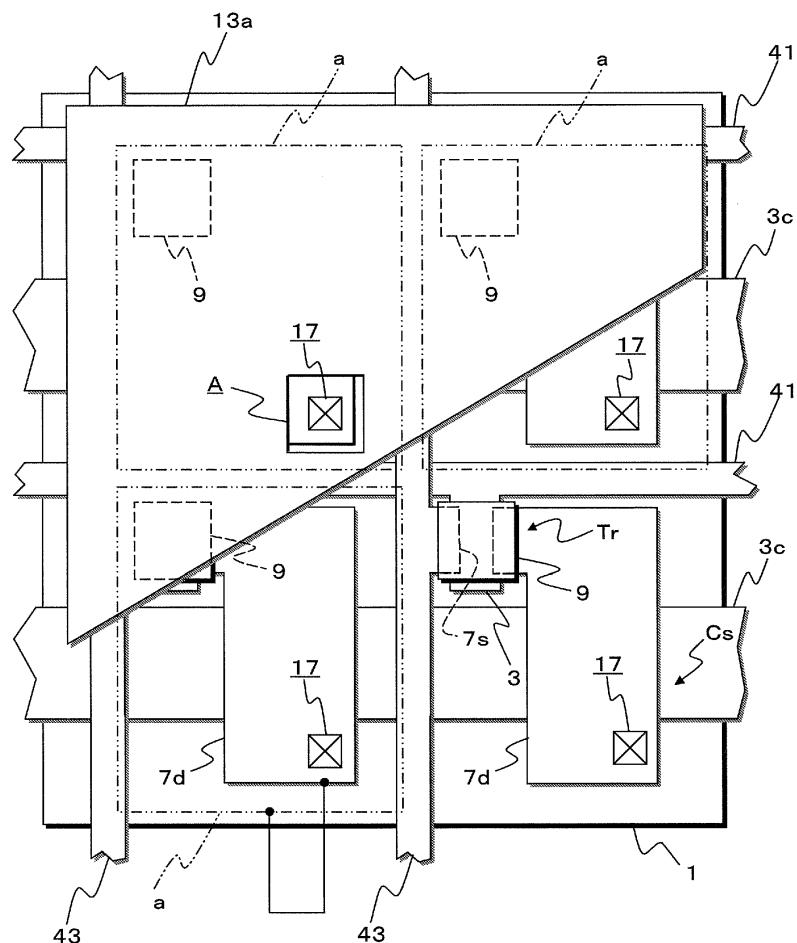
## 도면1



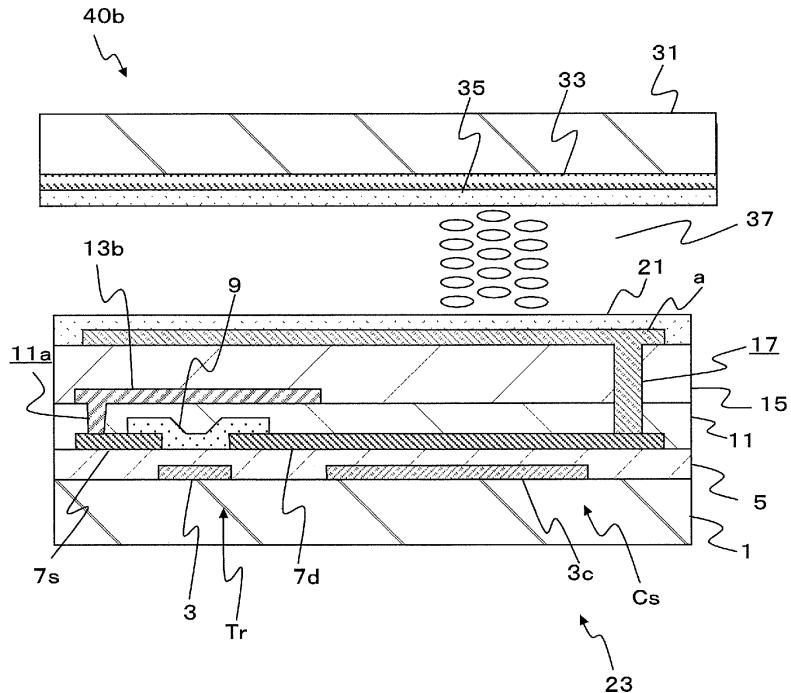
## 도면2



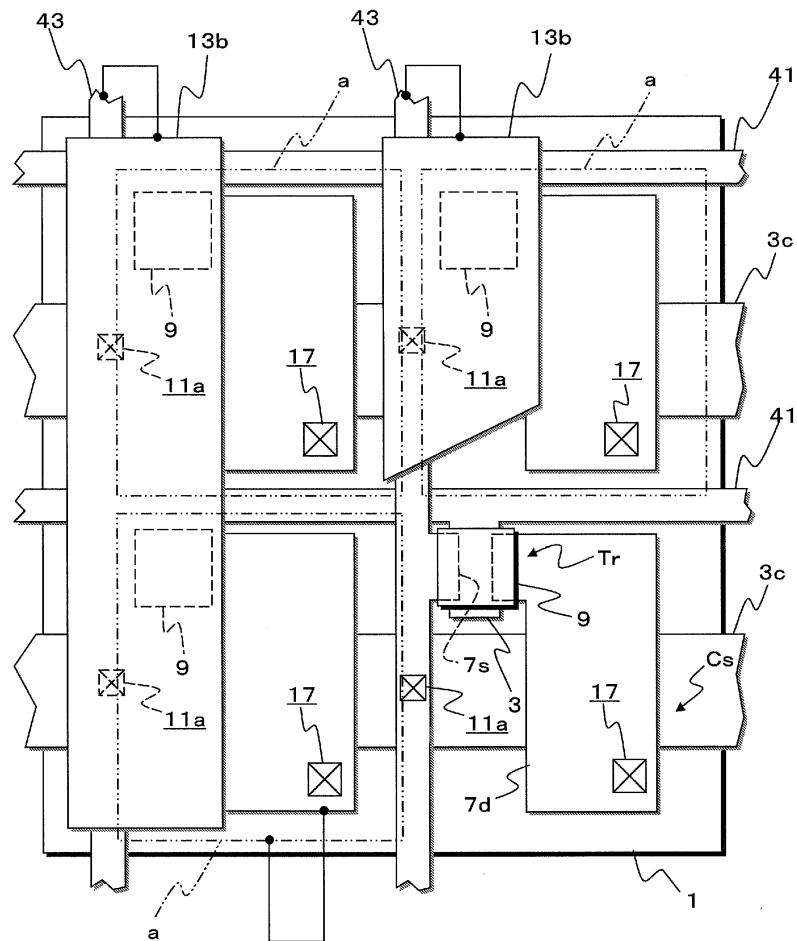
## 도면3



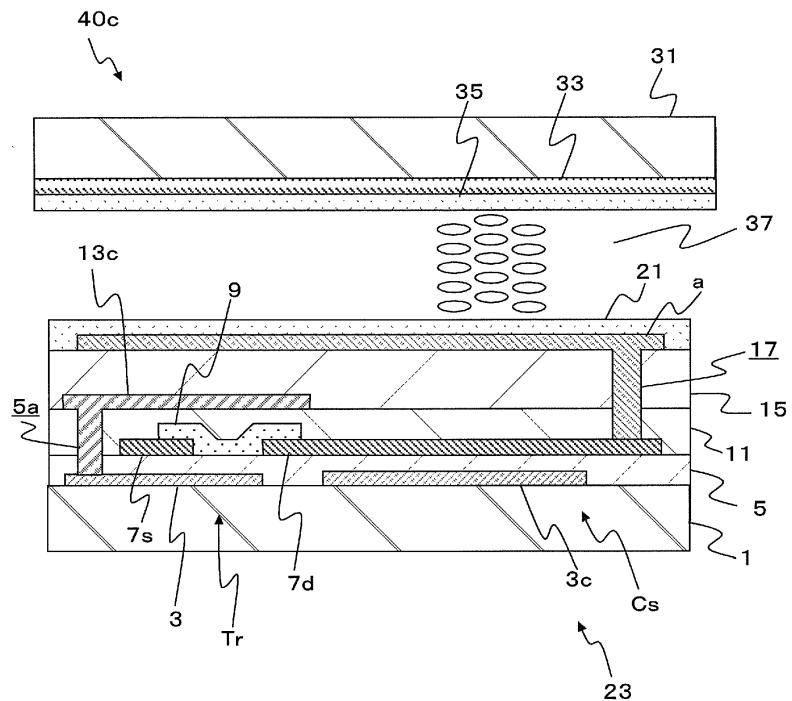
## 도면4



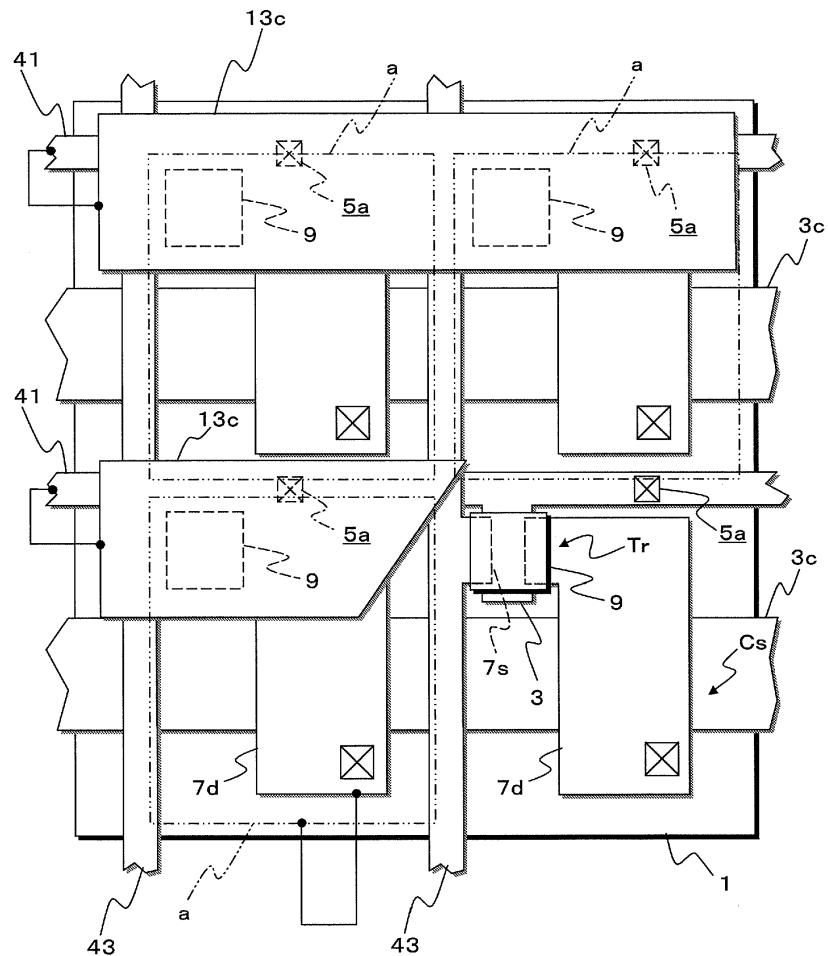
도면5



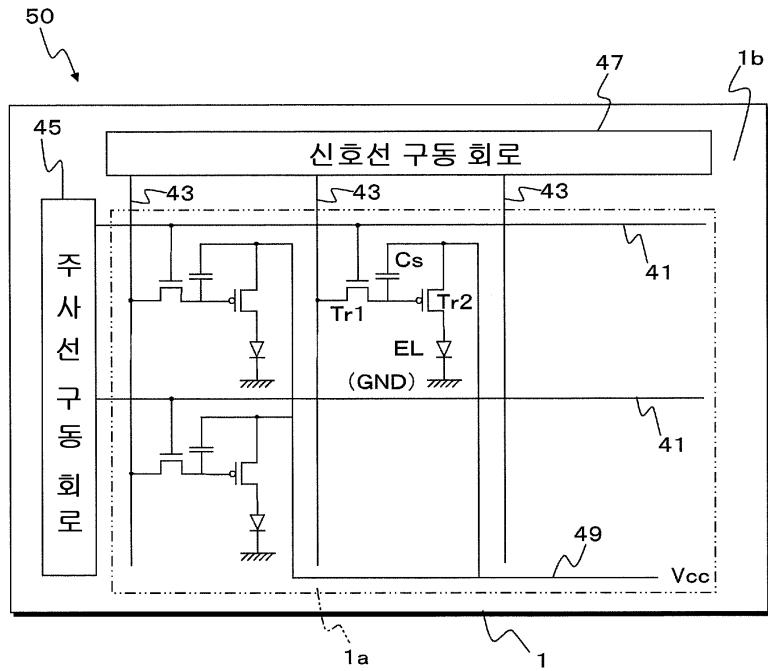
도면6



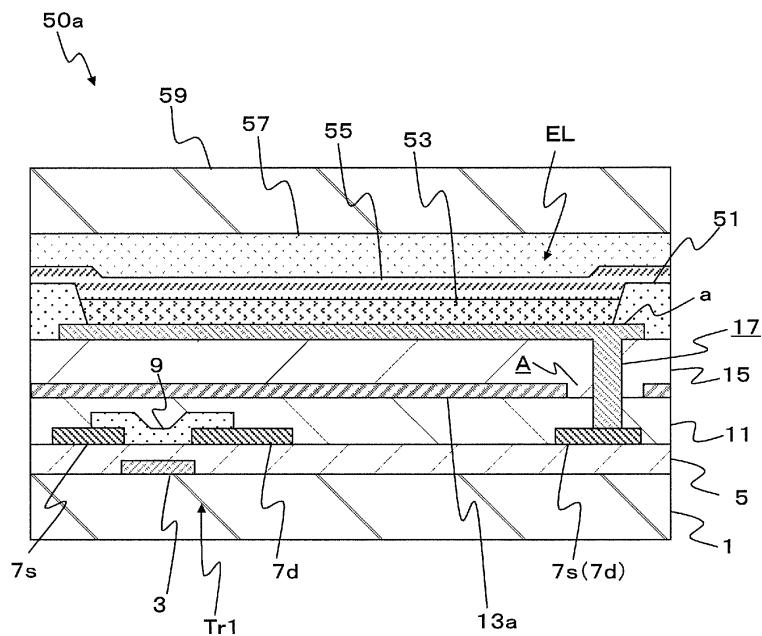
## 도면7



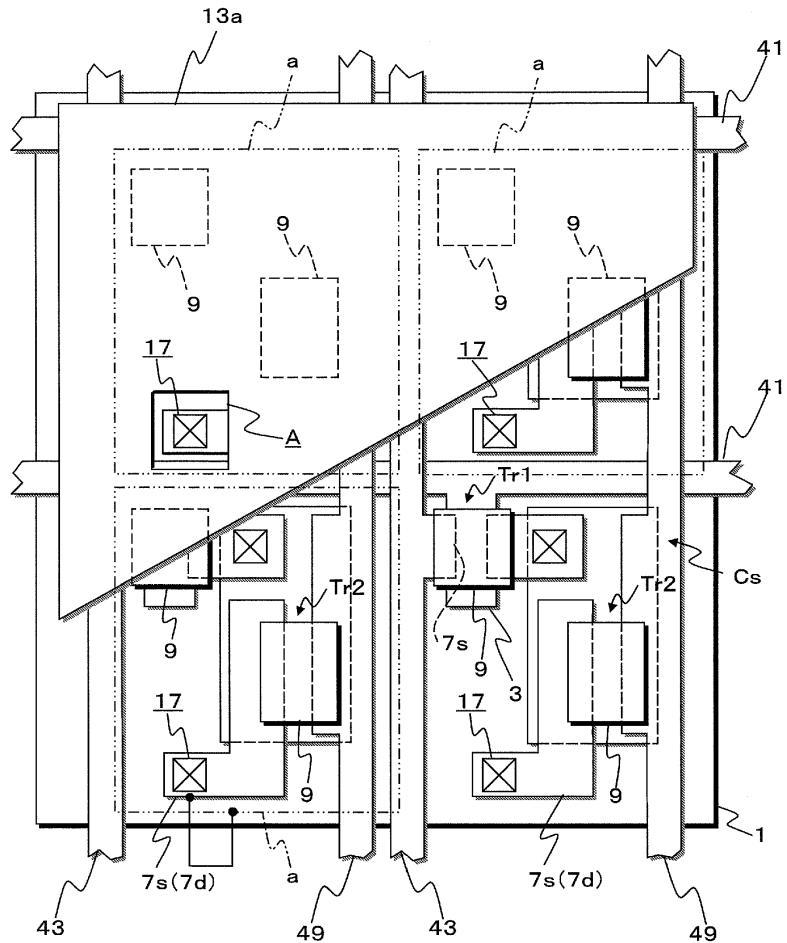
도면8



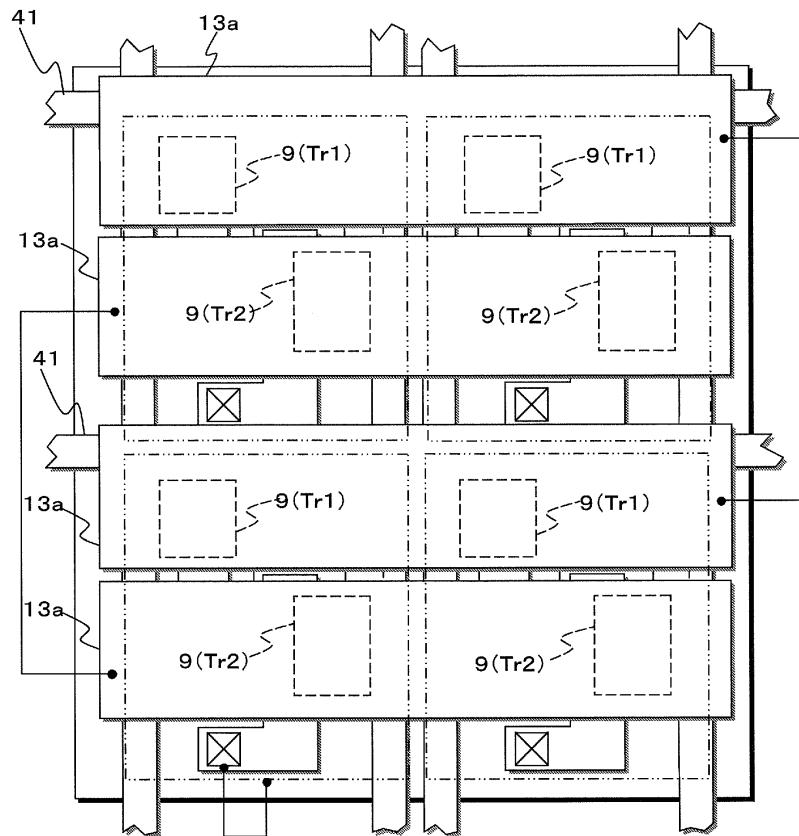
도면9



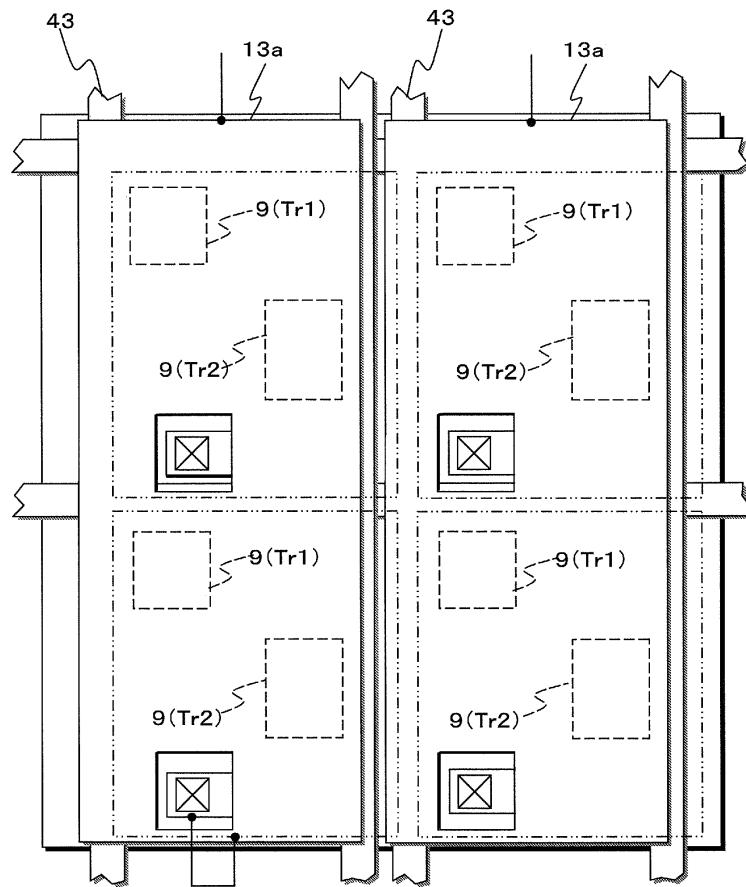
도면10



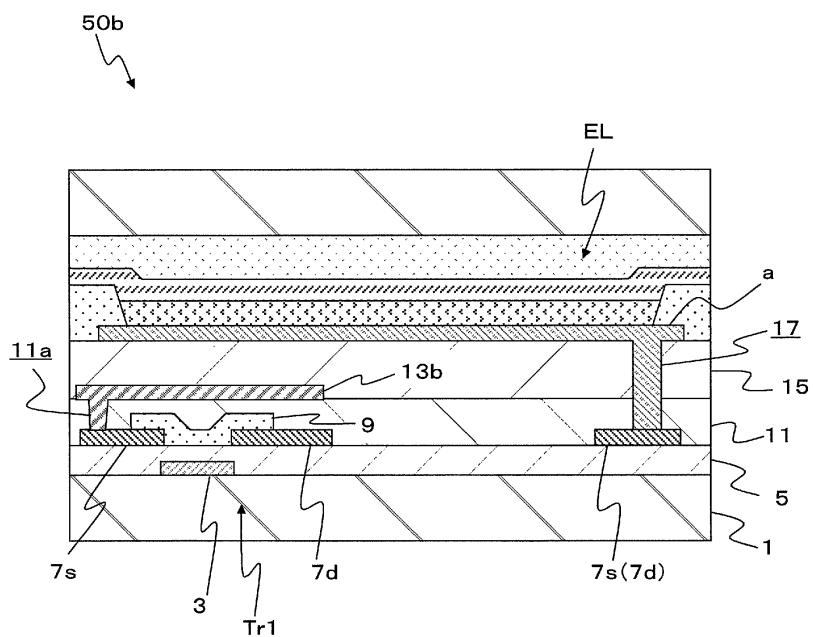
도면11



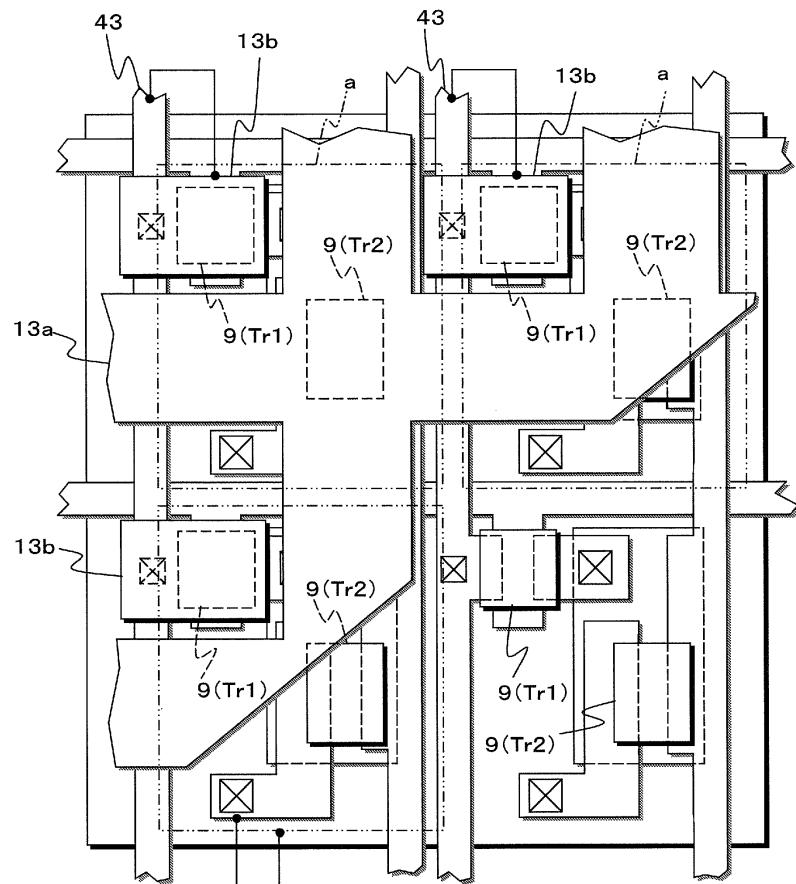
도면12



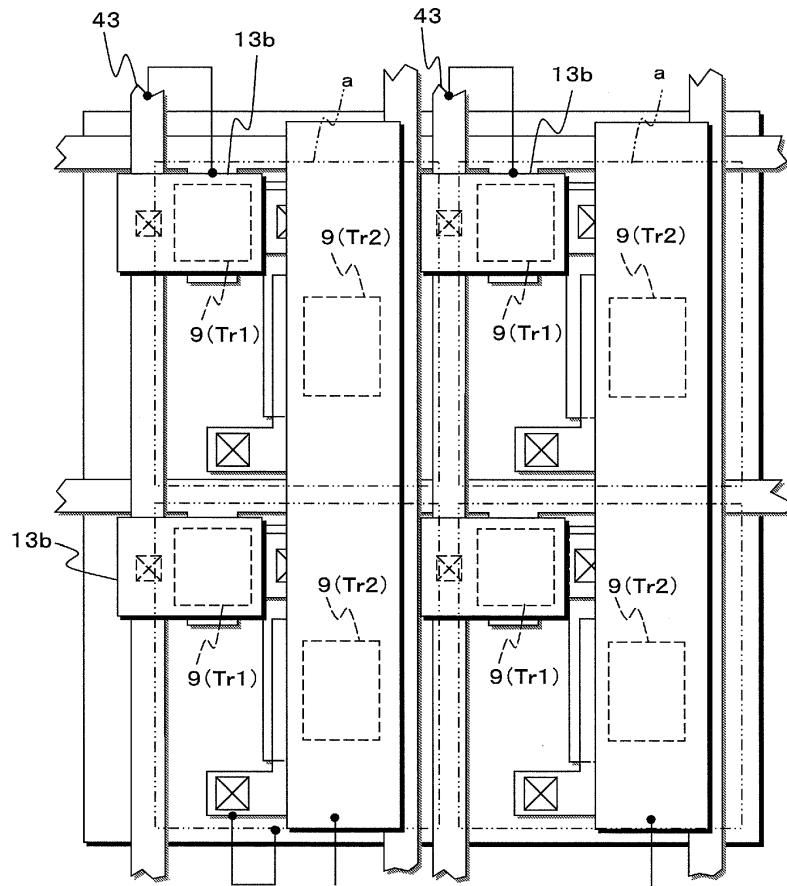
도면13



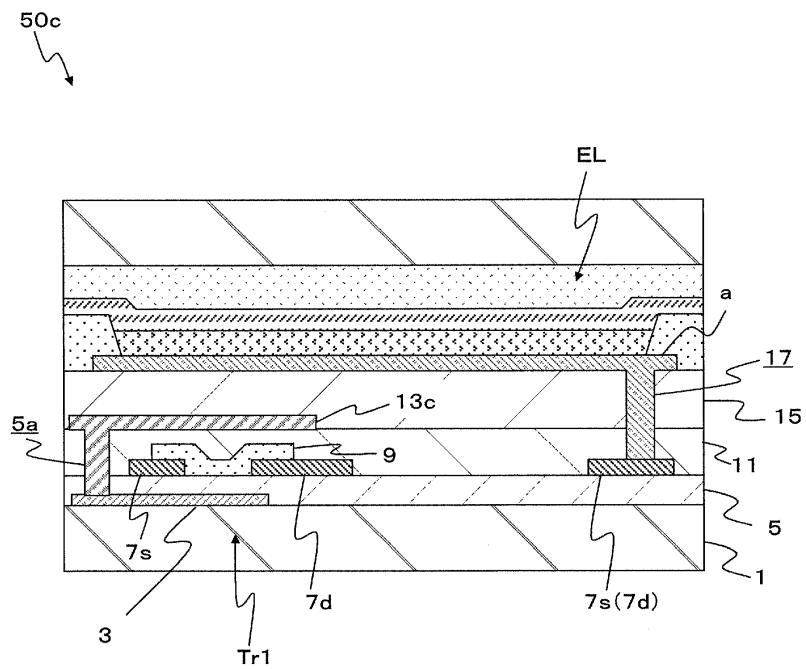
도면14



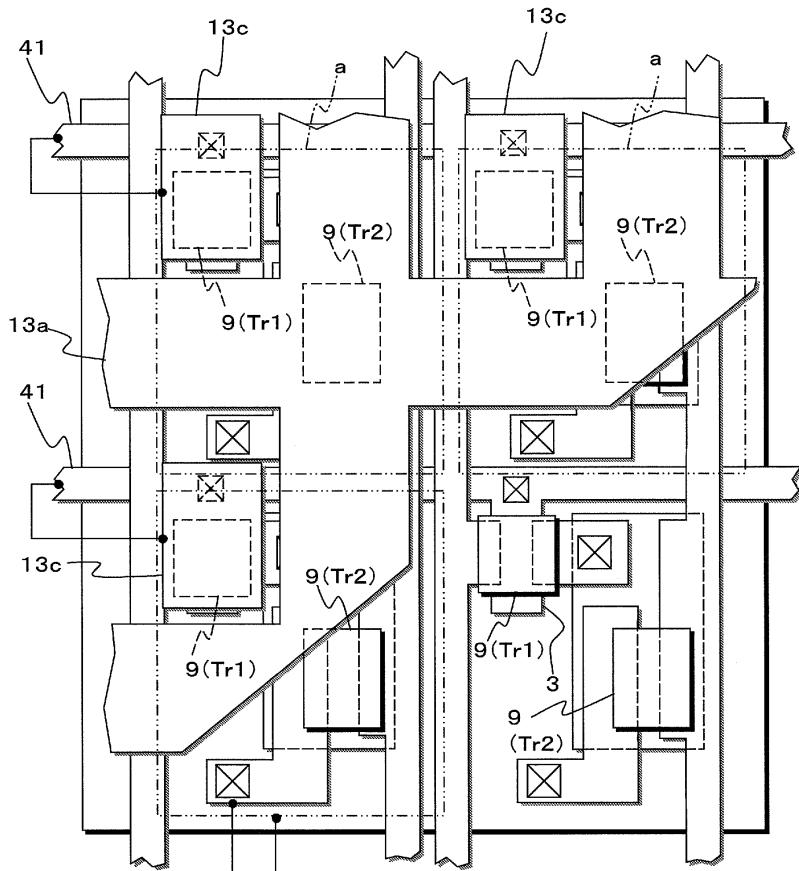
도면15



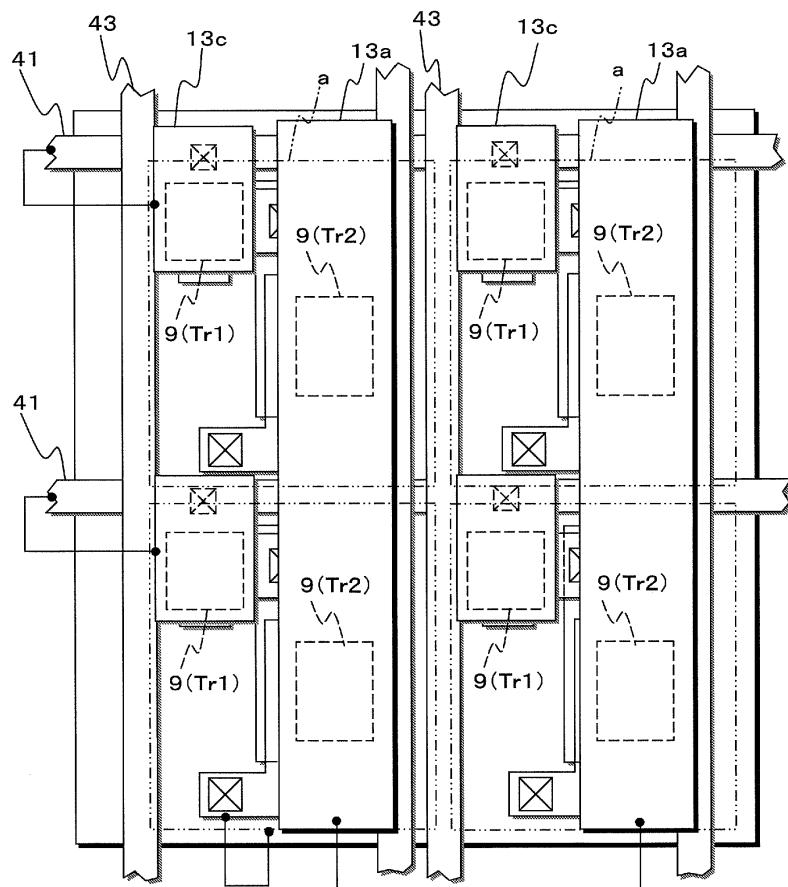
도면16



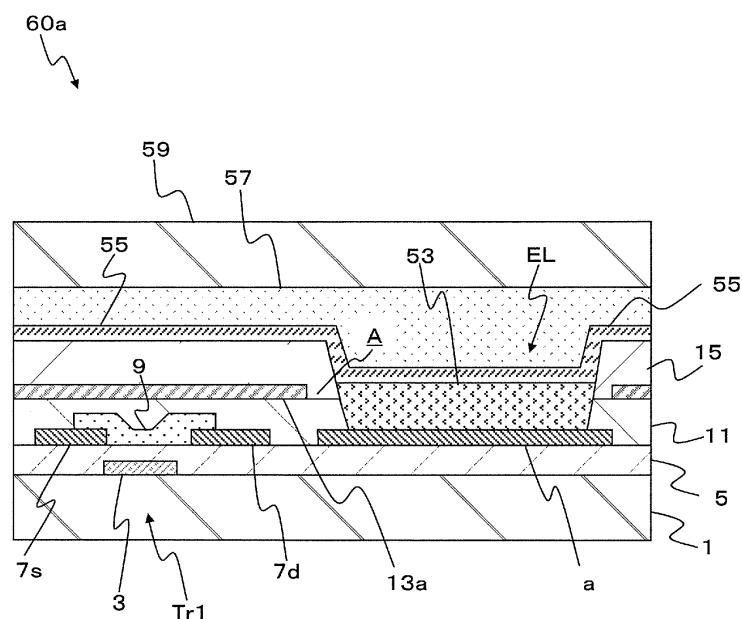
도면17



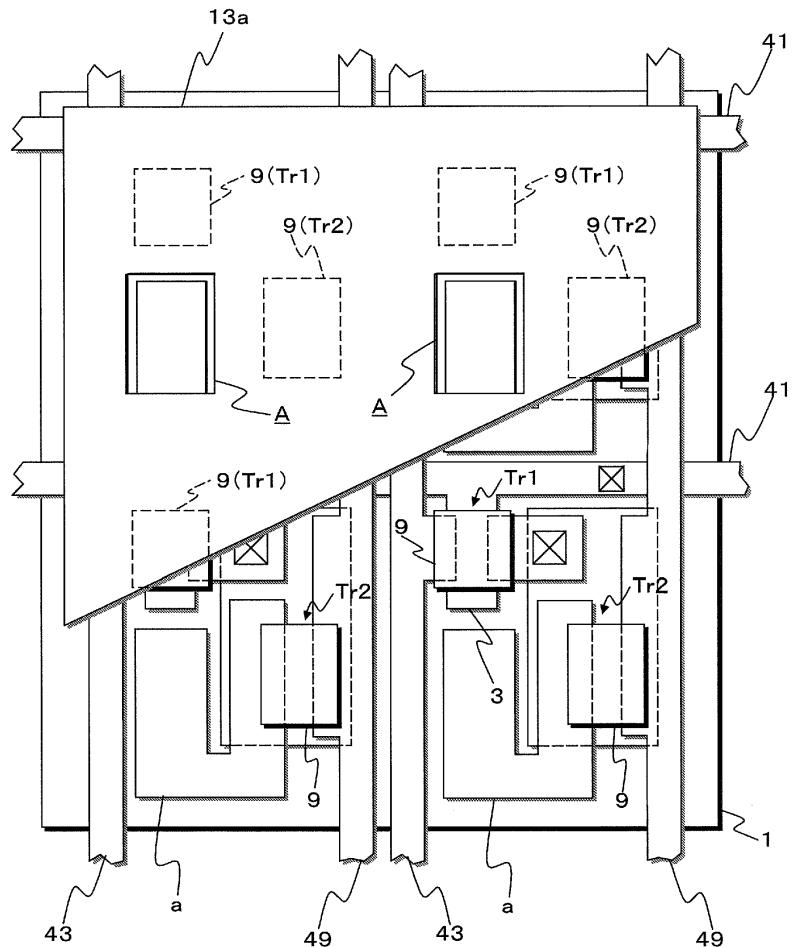
도면18



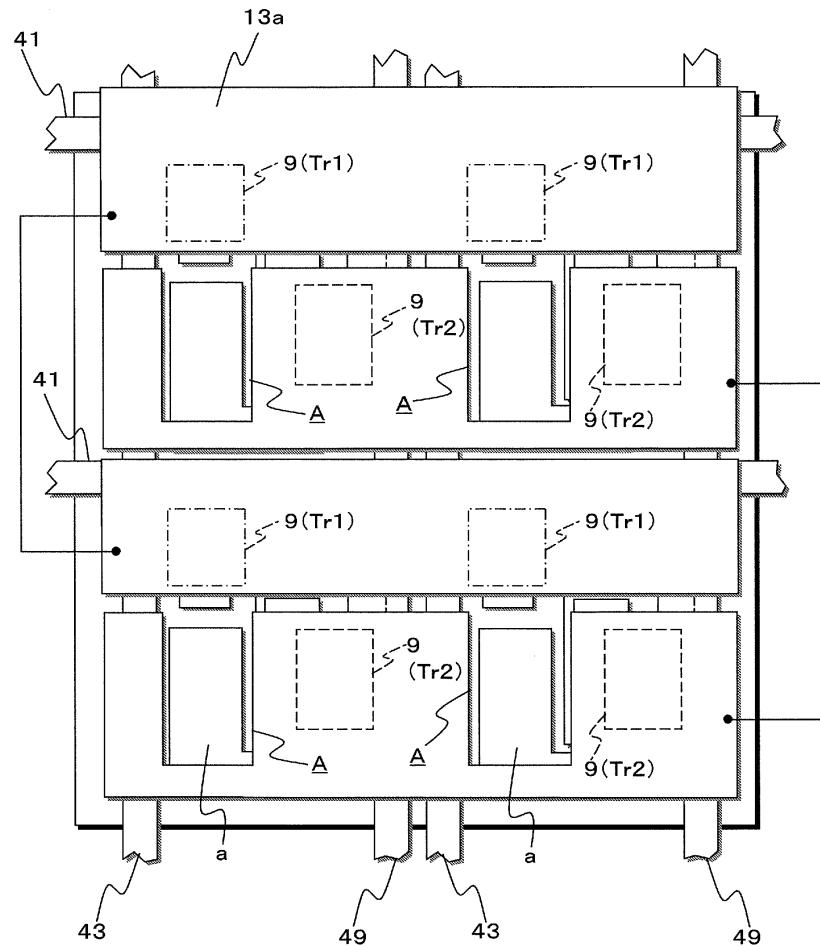
도면19



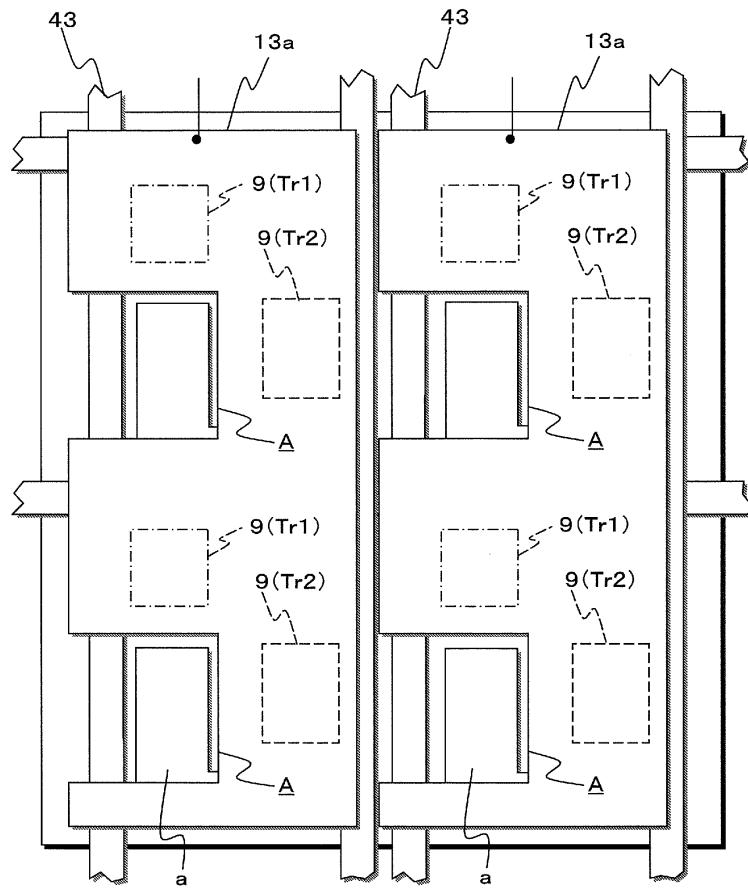
도면20



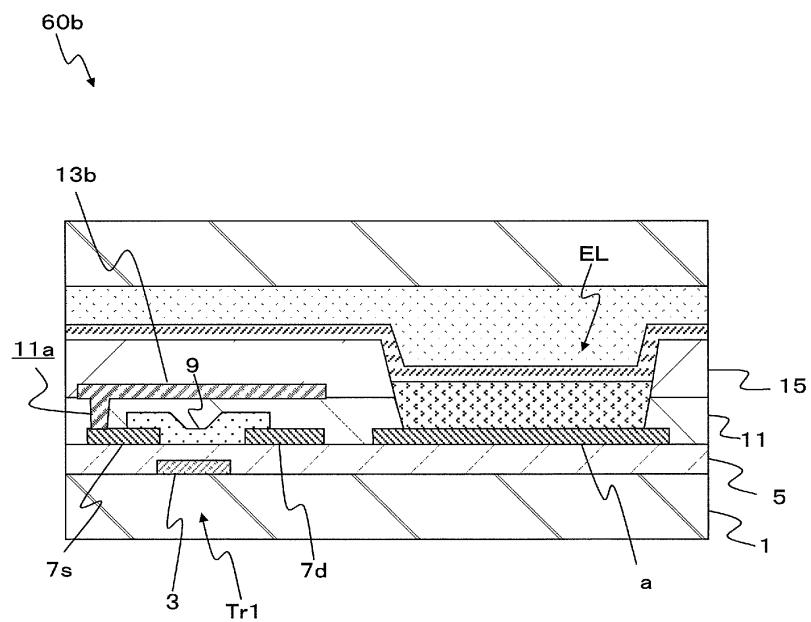
도면21



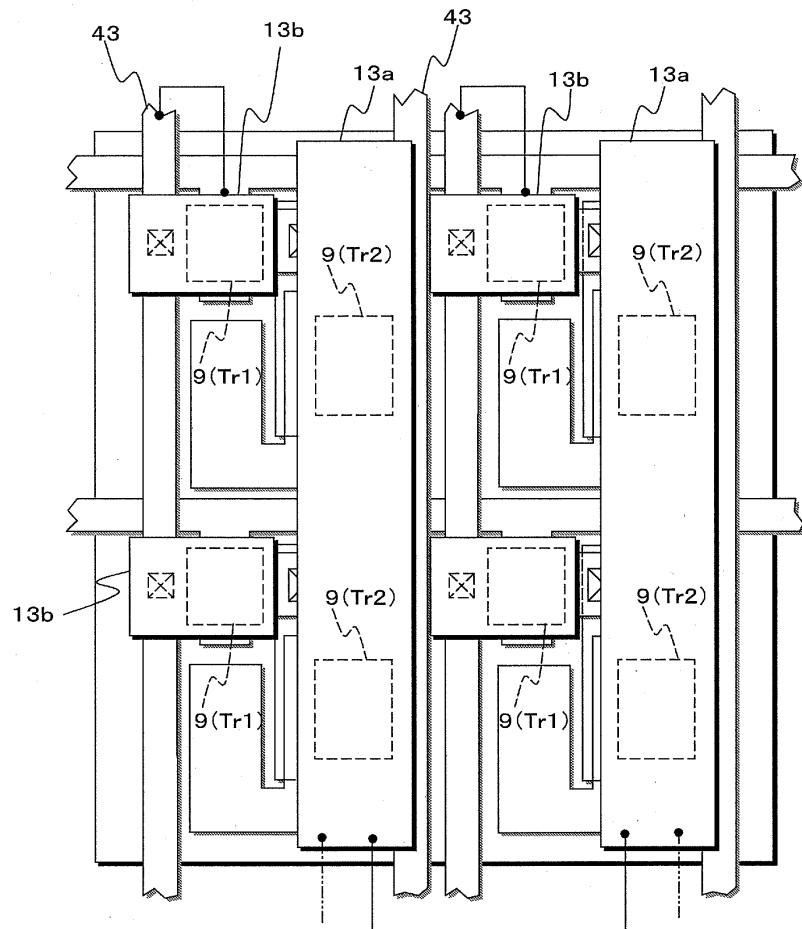
도면22



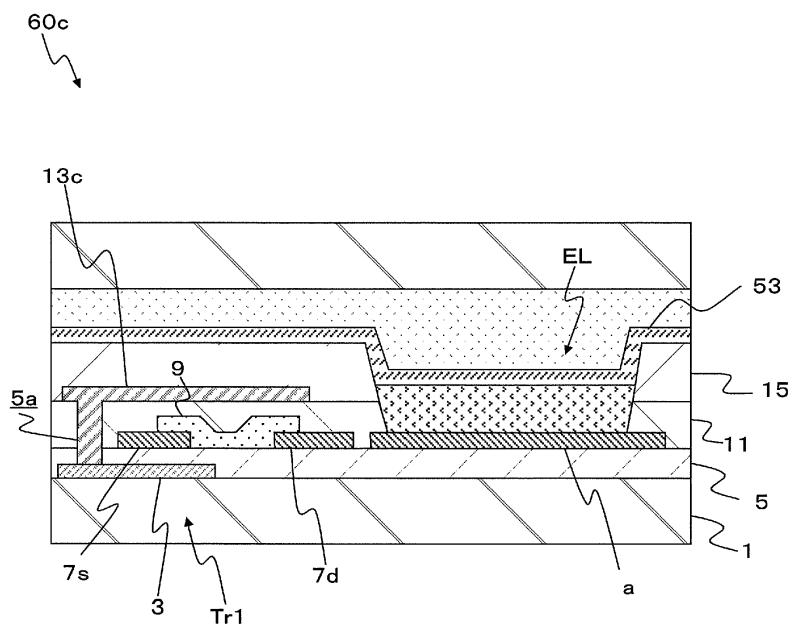
도면23



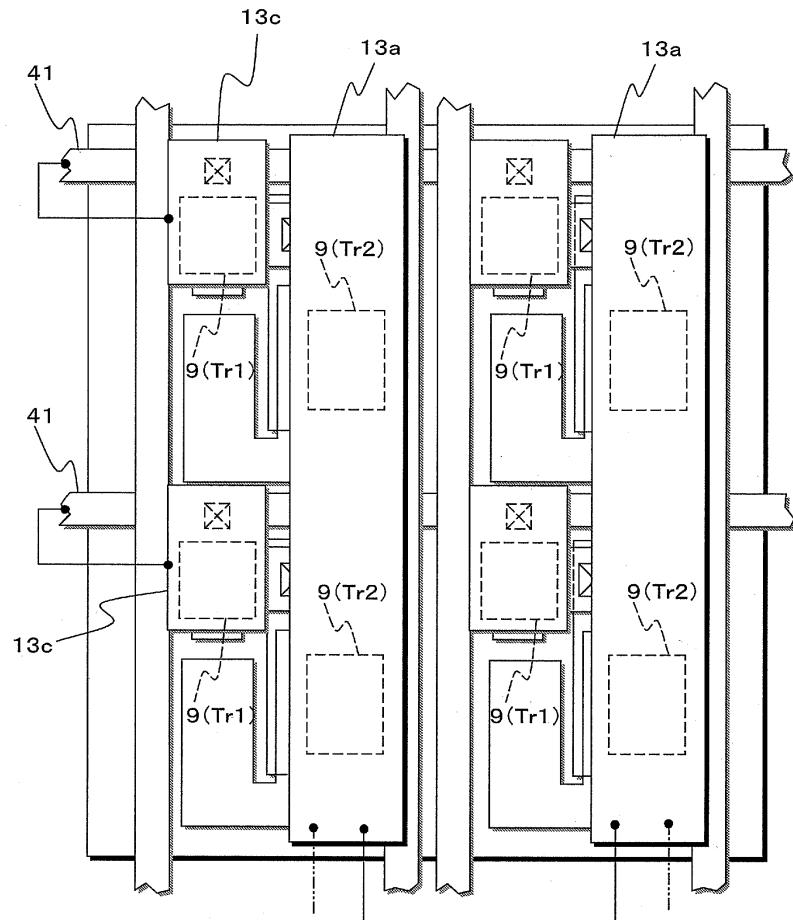
도면24



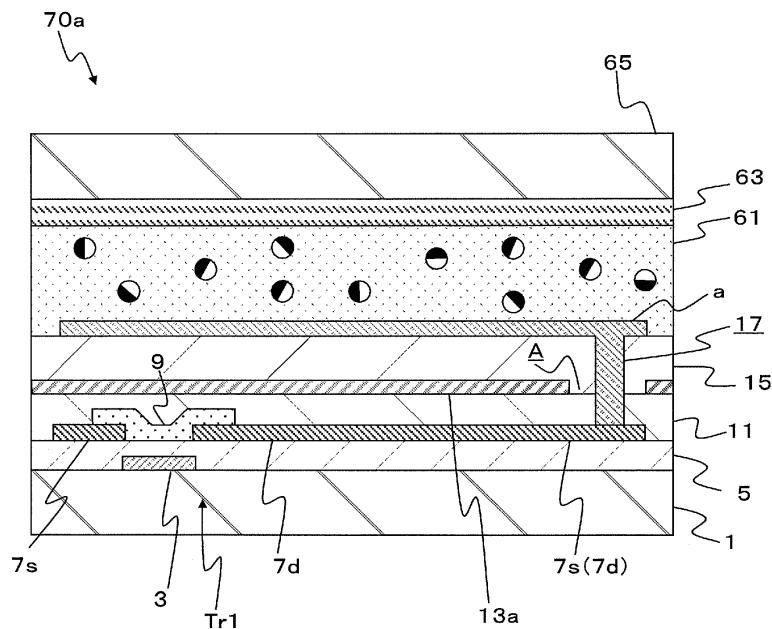
도면25



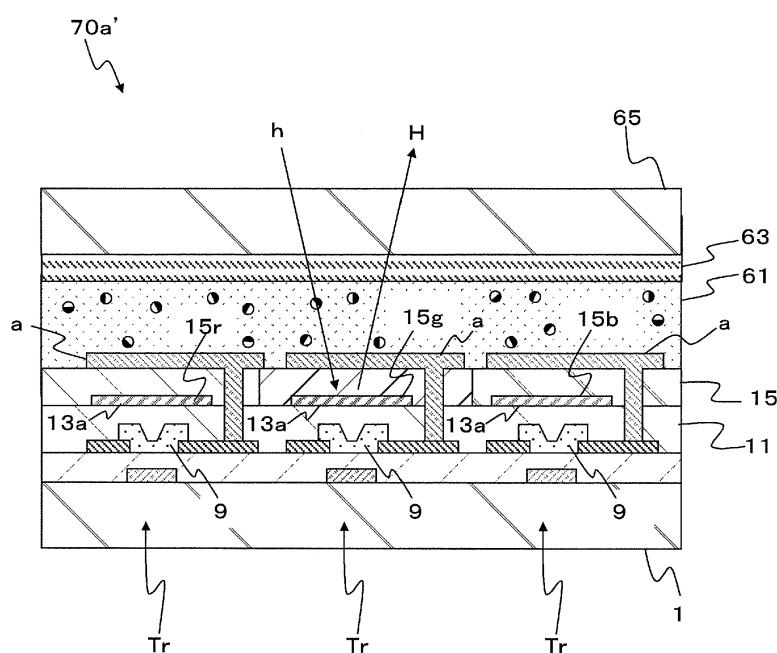
도면26



도면27



도면28



도면29

