

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年5月31日(2007.5.31)

【公開番号】特開2005-303032(P2005-303032A)

【公開日】平成17年10月27日(2005.10.27)

【年通号数】公開・登録公報2005-042

【出願番号】特願2004-117629(P2004-117629)

【国際特許分類】

H 01 L 29/866 (2006.01)

G 01 R 31/26 (2006.01)

【F I】

H 01 L 29/90 D

G 01 R 31/26 C

【手続補正書】

【提出日】平成19年4月5日(2007.4.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

(a) 第1導電型の半導体基板上に第1導電型の第1半導体層を形成する工程、

(b) 前記第1半導体層の存在下で、前記第1半導体層上および前記半導体基板の裏面に第1絶縁膜を形成する工程、

(c) 前記第1絶縁膜を選択的にエッチングし、前記第1半導体層上の前記第1絶縁膜に前記第1半導体層に達する開口部を形成し、前記半導体基板の前記裏面の前記第1絶縁膜を残す工程、

(d) 前記(c)工程後、前記開口部内を含む前記第1半導体層上の前記第1絶縁膜上に不純物導入材料を配置する工程、

(e) 前記不純物導入材料の存在下で前記半導体基板に熱処理を施すことにより、前記開口部から前記第1半導体層に第2導電型の不純物を導入し、前記開口部の底部にて前記第1半導体層の表面に第2導電型の第2半導体層を形成し、前記半導体基板と前記第1半導体層と前記第2半導体層とを備えた半導体素子を形成する工程、

(f) 前記(e)工程後、前記半導体基板の前記裏面の前記第1絶縁膜を除去する工程、

(g) 前記(f)工程後、前記半導体素子の特性を検査する工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項2】

前記(g)工程において所望の特性が得られなかった場合には、

さらに、前記半導体基板に前記(e)工程における前記熱処理とは別途の熱処理を施した後に、前記(g)工程を再度実施することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記半導体素子は、P N構造ダイオードであり、

前記(g)工程は、前記P N構造ダイオードのシェナー電圧を検査する工程であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】

前記(e)工程における前記熱処理によって、前記不純物導入材料の一部の前記不純物

が、前記半導体基板の前記裏面の前記第1絶縁膜内に取り込まれ、

前記(f)工程は、前記不純物が導入された前記半導体基板の前記裏面の前記第1絶縁膜を除去する工程であることを特徴とする請求項1記載の半導体装置の製造方法。

**【請求項5】**

前記(c)工程における前記第1絶縁膜のエッチングは、スピンドルエッチング法にて行うこと  
を特徴とする請求項1記載の半導体装置の製造方法。

**【請求項6】**

前記(c)工程における前記第1絶縁膜のエッチングは、  
前記第1半導体層上に形成された前記第1絶縁膜上に選択的にエッチングマスクを形成  
する工程と、

前記エッチングマスクを使用するドライエッチング法を含むことを特徴とする請求項1  
記載の半導体装置の製造方法。