

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-27131
(P2009-27131A)

(43) 公開日 平成21年2月5日(2009.2.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	5 F 0 3 2
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 A	5 F 0 4 8
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 0 2 B	5 F 0 8 3
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 3 0 1 G	5 F 1 0 1
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 0 1 R	5 F 1 4 0

審査請求 未請求 請求項の数 10 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2008-71283 (P2008-71283)
 (22) 出願日 平成20年3月19日 (2008. 3. 19)
 (31) 優先権主張番号 特願2007-162734 (P2007-162734)
 (32) 優先日 平成19年6月20日 (2007. 6. 20)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110000567
 特許業務法人 サトー国際特許事務所
 (72) 発明者 松野 光一
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 Fターム(参考) 5F032 AA35 AA44 AA45 AA46 AA48
 AA49 AA67 AA70 AA77 AA79
 AA84 BA01 BA05 BB06 CA17
 DA02 DA09 DA24 DA33 DA78

最終頁に続く

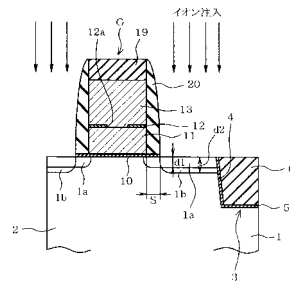
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】素子分離領域にSOG (spin on glass) 膜を用いる構成で、LDD (lightly doped drain) 構造を採用するトランジスタを形成する場合に、活性領域に転位が形成されて接合リーク特性が悪化するのを抑制することができる構成の半導体装置及びその製造方法を提供する。

【解決手段】シリコン基板1にトレンチ4を形成してSOG膜6を埋め込む構成で、LDD構造形成のための高濃度不純物領域1bを形成するためのイオン注入をしてから、SOG膜6をそれよりも深くなるように落とし込む。その後、熱処理を行なって注入したイオンを活性化。SOG膜6による引張応力がイオン注入した活性領域2に作用して転位が発生するのを抑制する。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

基板表面からの深さが第 1 の深さを有する溝部が周囲に形成されることで区画された素子形成領域を有する半導体基板と、

前記素子形成領域にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の両脇の前記素子形成領域に、前記基板表面からの深さが前記第 1 の深さより浅い第 2 の深さで形成され、前記溝部の側壁に露出した露出面を有するソース/ドレイン領域と、

前記溝部に埋め込み形成された素子分離絶縁膜とを具備し、

前記ゲート電極は前記素子形成領域から前記素子分離絶縁膜上に延出し、前記ゲート電極が上方に位置していない前記素子分離絶縁膜の上面は、前記第 1 の深さより浅くかつ前記第 2 の深さより深い高さに位置し、前記溝部の側壁に露出した前記露出面が全体にわたり前記素子分離絶縁膜に接していないことを特徴とする半導体装置。

10

【請求項 2】

基板表面からの深さが第 1 の深さを有する溝部が周囲に形成されることで区画された素子形成領域を有する半導体基板と、

前記素子形成領域にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の両脇の前記素子形成領域に、前記基板表面からの深さが前記第 1 の深さより浅い第 2 の深さで形成されたソース/ドレイン領域と、

前記溝部に埋め込み形成された素子分離絶縁膜とを具備し、

前記ゲート電極は前記素子形成領域から前記素子分離絶縁膜上に延出し、前記ゲート電極が上方に位置する部分を除く前記塗布型酸化膜の上面は、前記第 1 の深さより浅くかつ前記第 2 の深さより深い高さに位置することを特徴とする半導体装置。

20

【請求項 3】

ゲート絶縁膜を介してゲート電極が形成される第 1 導電型の半導体基板の素子形成領域の周囲に溝を形成する工程と、

前記溝内に塗布型酸化膜を埋め込み形成して素子分離領域を形成する工程と、

前記素子形成領域に第 1 の濃度で不純物を導入して前記第 1 導電型とは逆導電型である第 2 導電型の低濃度不純物領域を形成する工程と、

前記ゲート電極に L D D 構造形成用のスペーサを形成する工程と、

前記素子形成領域に前記ゲート電極および前記スペーサをマスクとして前記第 1 の濃度より濃い第 2 の濃度の濃度で不純物をイオン注入により導入し、前記第 2 導電型の高濃度不純物領域を形成する工程と、

30

前記素子分離領域として前記溝に埋め込み形成された前記塗布型酸化膜を前記高濃度でイオン注入した不純物のピーク分布深さよりも深くまで除去するウェットエッチング処理工程と、

前記イオン注入の不純物を活性化させるために実施する熱処理工程と、

前記塗布型酸化膜上に非塗布型酸化膜を形成する工程と

を備えたことを特徴とする半導体装置の製造方法。

【請求項 4】

40

請求項 3 に記載の半導体装置の製造方法において、

前記ウェットエッチング処理工程では、前記スペーサも同時に除去することを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 3 ないし 4 のいずれかに記載の半導体装置の製造方法において、

前記半導体基板の溝内を埋め込む塗布型酸化膜は、ポリシラザン膜であることを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 1 に記載の半導体装置において、

前記ゲート電極の側壁面に形成された第 1 のシリコン酸化膜と、

50

前記シリコン酸化膜に積層するように形成されたスペーサ状の第1のシリコン窒化膜と

、
前記ゲート電極の上面および側壁面の前記シリコン窒化膜の表面、前記ソース/ドレイン領域の上面、前記溝部に埋め込み形成された素子分離絶縁膜の上面を覆うように積層形成された第2のシリコン酸化膜および第2のシリコン窒化膜とを備えていることを特徴とする半導体装置。

【請求項7】

第1導電型の半導体基板の素子形成領域の周囲に溝を形成する工程と、
前記溝内に塗布型酸化膜を埋め込み形成して素子分離領域を形成する工程と、
前記素子形成領域にゲート絶縁膜を介してゲート電極を積層形成する工程と、
前記素子形成領域に前記ゲート電極をマスクとして第1の濃度で不純物を導入して前記第1導電型とは逆導電型である第2導電型の低濃度不純物領域をソース/ドレイン領域として形成する工程と、

前記ゲート電極上面および側壁と前記半導体基板の表面と前記素子分離領域の表面とに第1のシリコン酸化膜およびシリコン窒化膜を積層形成する工程と、

前記シリコン窒化膜をスペーサ加工する工程と、

前記ゲート電極上面および側壁と前記半導体基板の表面と前記素子分離領域の表面とにスペーサ形成用シリコン酸化膜を形成する工程と、

前記スペーサ形成用シリコン酸化膜をスペーサ加工してスペーサを形成する工程と、

前記素子形成領域に前記ゲート電極および前記スペーサをマスクとして前記第1の濃度より濃い第2の濃度の濃度で不純物をイオン注入により導入し、前記第2導電型の高濃度不純物領域を形成する工程と、

前記スペーサを除去すると共に前記素子分離領域として前記溝に埋め込み形成された前記塗布型酸化膜を前記高濃度でイオン注入した不純物のピーク分布深さよりも深くまで除去するウェットエッチング処理工程と、

前記イオン注入の不純物を活性化させるために実施する熱処理工程と、

前記塗布型酸化膜上に非塗布型酸化膜を形成する工程と

を備えたことを特徴とする半導体装置の製造方法。

【請求項8】

請求項7に記載の半導体装置の製造方法において、

前記熱処理工程に続いて、

前記ゲート電極および前記ソース/ドレイン領域並びに前記溝に埋め込み形成された前記塗布型酸化膜の上面に第2のシリコン酸化膜および第2のシリコン窒化膜を積層形成する工程を設けたことを特徴とする半導体装置の製造方法。

【請求項9】

第1導電型の半導体基板の素子形成領域の周囲に溝を形成する工程と、

前記溝内に塗布型酸化膜を埋め込み形成して素子分離領域を形成する工程と、

前記素子形成領域にゲート絶縁膜を介してゲート電極を積層形成する工程と、

前記素子形成領域に前記ゲート電極をマスクとして第1の濃度で不純物を導入して前記第1導電型とは逆導電型である第2導電型の低濃度不純物領域を形成する工程と、

前記ゲート電極にLDD構造形成用のスペーサを形成する工程と、

前記素子形成領域に前記ゲート電極および前記スペーサをマスクとして前記第1の濃度より濃い第2の濃度の濃度で不純物をイオン注入により導入し、前記第2導電型の高濃度不純物領域を形成する工程と、

前記ゲート電極および前記スペーサ部分を覆うようにレジストをパターンニングする工程と、

前記レジストをマスクとして用い、前記素子分離領域として前記溝に埋め込み形成された前記塗布型酸化膜を前記高濃度でイオン注入した不純物のピーク分布深さよりも深くまで除去するウェットエッチング処理工程と、

前記レジストを剥離する工程と、

10

20

30

40

50

前記イオン注入の不純物を活性化させるために実施する熱処理工程と、
前記塗布型酸化膜上に非塗布型酸化膜を形成する工程と
を備えたことを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 9 に記載の半導体装置の製造方法において、
前記熱処理工程に続いて、

前記ゲート電極および前記ソース/ドレイン領域並びに前記溝に埋め込み形成された前記塗布型酸化膜の上面に第 2 のシリコン酸化膜および第 2 のシリコン窒化膜を積層形成する工程を設けたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、素子形成領域の周囲に塗布型の酸化膜を埋め込んだ構成の素子分離領域を設けた半導体装置およびその製造方法に関する。

【背景技術】

【0002】

例えば、フラッシュメモリ装置などの半導体装置は、微細な素子分離構造を形成するため S T I (Shallow Trench Isolation) による素子分離構造を採用している。S T I 構造は、半導体基板の表面に細長い素子分離溝を形成し当該素子分離溝内に素子分離用の絶縁膜を形成することで形成するもので、これによって素子形成領域を分離形成している。上記した S T I 構造を採用している特許文献 1 のものでは、素子分離溝内に塗布型酸化膜としてポリシラザン膜を埋め込むと共に当該ポリシラザン膜上に H D P (high density plasma) C V D 法によるシリコン酸化膜を形成して素子分離絶縁膜が構成されている。

【0003】

上記したポリシラザン膜は、ポリシラザンの塗布液を塗布した後に熱処理をすることで酸化膜に転換するものであるが、この熱処理をする際にポリシラザン自身が収縮するのでその応力が半導体基板側に作用する。特に塗布量が多い部分においては発生する応力も大きくなるので、ポリシラザンと接触している部分の半導体基板に与えるひずみ応力も大きくなる。

【0004】

たとえば周辺回路部のトランジスタを形成する領域では、半導体基板の素子形成領域を囲むようにして S T I を形成するので、素子形成領域がポリシラザン膜と接する部分では大きな応力を受けて結晶欠陥や転位が発生する原因となりやすい。特に、トランジスタの不純物拡散領域として L D D (lightly doped drain) 構造を採用する場合に、高濃度不純物領域を形成する際に転位が発生しやすくなる問題がある。

【0005】

すなわち、L D D 構造の高濃度不純物領域を形成する場合に、半導体基板の内部において p n 接合が形成される深さ、つまりイオン注入時に不純物濃度がピークレベルにある深さの位置で、イオン打ち込みによる結晶欠陥が多数発生している。この結晶欠陥を低減させて不純物を活性化させるために熱処理を行う。このとき、素子形成領域と接する S T I の部分で半導体基板がポリシラザンから応力を受けるので、結晶欠陥を核として半導体基板の内部に線状欠陥である転位が発生しやすくなる。このような転位は p n 接合のリーク電流増大の原因となるので抑制することが望ましい。

【0006】

このような半導体基板に発生する結晶欠陥の低減を図ろうとするものとして、例えば特許文献 2 に示すものがある。この特許文献 2 に示されるものは、半導体基板に不純物をイオン注入により打ち込んだ領域に、素子分離領域から応力を受けて結晶欠陥が発生するのを抑制するため、埋め込んだ酸化膜をあらかじめ落とし込んでおくことで応力による悪影響を低減するようにしたものである。

【0007】

10

20

30

40

50

しかしながら、上記の特許文献 2 に示されるものは、S T I 領域に埋め込み形成した埋め込み酸化膜をドライエッチング法により落とし込みを行い、この後、シリコン基板にイオン注入法により不純物を打ち込むことでソース/ドレイン領域を形成するので、次のような不具合がある。

【 0 0 0 8 】

まず、S T I 領域の埋め込み酸化膜の落とし込みを行った状態でシリコン基板に不純物を打ち込むことは、S T I 領域と接する部分のシリコン基板の埋め込み酸化膜が除去された部分からのイオン注入の回り込みが発生するので、ソース/ドレイン領域の形状が所定の形状とならず変形してしまうためこのような工程を採用することは難しい。

【 0 0 0 9 】

そこで、先に不純物のイオン注入を行うことも考えられるが、この場合には不純物をシリコン基板にイオン注入した後に S T I 領域の埋め込み酸化膜の落とし込みを行うことになるが、ドライエッチングにより埋め込み酸化膜の落とし込みを行うと、先行して行ったシリコン基板の表面の不純物が導入された部分が不純物と共にエッチングされてソース/ドレイン領域が所定どおり形成されなくなる不具合がある。このことは、前述した技術的課題である L D D 構造を形成するための高濃度不純物領域を形成する場合には、特に顕著に影響を受けることになるため、工程順序を変更することで課題を解決することはできない。

【特許文献 1】特開 2 0 0 6 - 1 5 6 4 7 1 号公報

【特許文献 2】特開 2 0 0 4 - 2 2 8 5 5 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

本発明は、S T I 構造により素子分離を行う半導体装置において、ソース/ドレイン領域の形成時に半導体基板に転位などが発生するのを抑制できる構成の半導体装置およびその製造方法を提供する。

【課題を解決するための手段】

【 0 0 1 1 】

本発明の半導体装置の一態様は、基板表面からの深さが第 1 の深さを有する溝部が周囲に形成されることで区画された素子形成領域を有する半導体基板と、前記素子形成領域にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両脇の前記素子形成領域に、前記基板表面からの深さが前記第 1 の深さより浅い第 2 の深さで形成され、前記溝部の側壁に露出した露出面を有するソース/ドレイン領域と、前記溝部に埋め込み形成された素子分離絶縁膜とを具備し、前記ゲート電極は前記素子形成領域から前記素子分離絶縁膜上に延出し、前記ゲート電極が上方に位置していない前記素子分離絶縁膜の上面は、前記第 1 の深さより浅くかつ前記第 2 の深さより深い高さに位置し、前記溝部の側壁に露出した前記露出面が全体にわたり前記素子分離絶縁膜に接していないことを特徴とする。

【 0 0 1 2 】

本発明の半導体装置の製造方法の一態様は、ゲート絶縁膜を介してゲート電極が形成される第 1 導電型の半導体基板の素子形成領域の周囲に溝を形成する工程と、前記溝内に塗布型酸化膜を埋め込み形成して素子分離領域を形成する工程と、前記素子形成領域に第 1 の濃度で不純物を導入して前記第 1 導電型とは逆導電型である第 2 導電型の低濃度不純物領域を形成する工程と、前記ゲート電極に L D D 構造形成用のスペーサを形成する工程と、前記素子形成領域に前記ゲート電極および前記スペーサをマスクとして前記第 1 の濃度より濃い第 2 の濃度の濃度で不純物をイオン注入により導入し、前記第 2 導電型の高濃度不純物領域を形成する工程と、前記素子分離領域として前記溝に埋め込み形成された前記塗布型酸化膜を前記高濃度でイオン注入した不純物のピーク分布深さよりも深くまで除去するウェットエッチング処理工程と、前記イオン注入の不純物を活性化させるために実施する熱処理工程と、前記塗布型酸化膜上に非塗布型酸化膜を形成する工程とを備えたことを特徴とする。

10

20

30

40

50

【発明の効果】

【0013】

本発明によれば、ソース/ドレイン領域の形成時に半導体基板に転位などが発生するのを抑制でき、接合リーク不良を改善することができる。

【発明を実施するための最良の形態】

【0014】

(第1の実施形態)

以下、本発明をNAND型フラッシュメモリ装置の周辺回路部などに形成されるLDD構造を有するトランジスタに適用した場合の第1の実施形態について図1～図16を参照しながら説明する。なお、以下の図面の記載において、同一又は類似の部分には同一又は類似の符号で表している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なる。

10

【0015】

先ず、図1および図2を参照して本実施形態のトランジスタの構成を説明する。図1および図2はNAND型フラッシュメモリ装置に用いる周辺回路のトランジスタの縦断面図および平面図を模式的に示しており、図1は、図2中切断線A-Aで示す部分の断面に対応している。

【0016】

半導体基板であるP型シリコン基板1に、素子形成領域である活性領域2を囲うようにSTI (shallow trench isolation) 構造の素子分離領域3が形成されている。素子分離領域3は、シリコン基板1に形成されたトレンチ(溝)部4の内壁面に沿って形成されたHTO (high temperature oxide) 膜5およびこのHTO膜5上に形成された素子分離膜としての塗布型酸化膜であるSOG (spin on glass) 膜6から構成されている。トレンチ部4は底面部がシリコン基板1の表面からの深さH1に位置するように形成されている。SOG膜6は、その上面がトレンチ部4の底面部から所定高さ、つまりシリコン基板1の表面からの深さが深さH1より浅い深さH2の位置に位置するようにトレンチ部4に埋め込み形成されている。SOG膜6は、例えばポリシラザン(PSZ; polysilazane)の薬液を塗布して熱処理をすることで酸化膜に転換したポリシラザン膜である。また、このSOG膜6の上面には所定膜厚のTEOS (tetraethyl orthosilicate) 酸化膜7およびシリコン窒化膜8が積層形成され、さらに溝4内およびその上部を埋め込むようにBPSG膜9が形成されている。

20

30

【0017】

活性領域2の上部にはこの活性領域2を、図2中上下方向に横切るようにしてゲート電極Gが形成されている。このゲート電極Gは、シリコン基板1上に形成されたゲート絶縁膜10を介して形成されている。このゲート電極Gは下層から多結晶シリコン膜11、ゲート間絶縁膜12、多結晶シリコン膜13およびコバルトシリサイド(CoSi₂)膜14が積層されて構成されている。なお、このゲート電極Gは、メモリセルトランジスタのゲート電極の形成工程と同じ工程で形成されている。なお、ゲート電極Gの、メモリセルトランジスタの浮遊ゲート電極層に相当する多結晶シリコン膜11とメモリセルトランジスタの制御ゲート電極層に相当する多結晶シリコン膜13との間のゲート間絶縁膜12には開口部12aが形成され、多結晶シリコン膜11、13間が電氣的に短絡した状態に形成されている。

40

【0018】

活性領域2の表層部には、ゲート電極Gを挟むようにしてLDD構造のソース/ドレイン領域が、ゲート電極Gの下部の除く活性領域2全体にわたり形成されている。このLDD構造のソース/ドレイン領域はシリコン基板1の導電型とは逆導電型であるN型の不純物拡散領域であり、第1の濃度の低濃度不純物拡散領域1aおよび第1の濃度より高い第2の濃度の高濃度不純物領域1bで構成されている。低濃度不純物拡散領域1aは一端がゲート電極Gの下まで延出することでゲート電極Gと所定長だけオーバーラップしている。高濃度不純物領域1bは一端部がゲート電極Gの側壁から所定間隔離れた位置に位置す

50

るよう形成されている。また、シリコン基板 1 の表面からの、高濃度不純物領域 1 b の形成深さすなわち不純物分布がピークレベルにある深さまたは p n 接合部の深さ d 1 は、低濃度不純物拡散領域 1 a の形成深さ（不純物分布がピークレベルにある深さまたは p n 接合部の深さ）d 2 よりも深く形成されている。なお、高濃度不純物領域 1 b は深さ d 2 を保って、ゲート電極 G の延出方向および延出方向と直交する方向に沿って、活性領域 2 の端部まで形成されている。同様に、低濃度不純物領域 1 a も深さ d 1 を保って、ゲート電極 G の延出方向および延出方向と直交する方向に沿って、活性領域 2 の端部まで形成されている。したがって、活性領域 2 と素子分離領域 3 の境界面である活性領域 2 の側壁それぞれに、低濃度不純物領域 1 a および高濃度不純物領域 1 b の p n 接合部が露出している。

10

【 0 0 1 9 】

また、高濃度不純物領域 1 b の形成深さ d 2 は、活性領域 2 に隣接する素子分離領域 3 の S O G 膜 6 の上面の深さ H 2 より浅くなるよう形成されている。

ゲート電極 G の側壁面および活性領域 2 の表面には、前述した素子分離領域 3 の S O G 膜 6 の上面に形成したものと同一 T E O S 酸化膜 7 およびシリコン窒化膜 8 が積層形成されている。そして、この上面にゲート電極 G の上面の高さまで B P S G 膜 9 が埋め込み形成されている。

【 0 0 2 0 】

ゲート電極 G の上面および B P S G 膜 9 の上面には、エッチングストップパとしてのシリコン窒化膜 1 5 が形成されている。そして、この上面には層間絶縁膜 1 6 が積層形成されている。また、層間絶縁膜 1 6、シリコン窒化膜 1 5、B P S G 膜 9、シリコン窒化膜 8 および T E O S 酸化膜 7 を貫通するようにコンタクトホールが形成されており、その内部にコンタクトプラグ 1 7 が埋め込み形成されている。コンタクトプラグ 1 7 の上部は配線層 1 8 に電氣的に接続する構成とされており、コンタクトプラグ 1 7 の下部はソース/ドレイン領域の高濃度不純物領域 1 b に接している。

20

【 0 0 2 1 】

上記構成のトランジスタにおいては、シリコン基板 1 の活性領域 2 に隣接する素子分離領域 3 の S O G 膜 6 が所定深さ H 2 まで落とし込まれていて、活性領域 2 に形成している L D D 構造の高濃度不純物領域 1 b の形成深さ d よりも深いので、活性領域 2 の側壁に露出する高濃度不純物領域 1 b の p n 接合部全体と S O G 膜 6 が接することがなく、高濃度不純物領域 1 b が S O G 膜 6 から受ける収縮応力の影響が緩和される。これによって、結晶欠陥が応力を受けることによるシリコン基板 1 内での転位の発生を抑制することができ、リーク電流の低減を図るとともに転位発生に起因した素子不良の発生を抑制することができる。

30

また、高濃度不純物領域 1 b に加えて活性領域 2 の側壁に露出する低濃度不純物領域 1 a の p n 接合部についても S O G 膜 6 が接することがなく、応力の緩和を図ることができ、上記した応力による悪影響を抑制する効果を高めたものとする事ができる。

【 0 0 2 2 】

次に、上記構成の製造工程について図 3 ~ 図 1 5 を参照して説明する。図 3 および図 4 は、製造工程の段階における上記した効果の得られる部分を三次元的に示す模式的な図であり、図 5 ~ 図 1 5 は図 1 に対応した部分の製造工程の各段階における模式的な構成を示す図である。

40

【 0 0 2 3 】

まず、図 5 に示すように、素子分離領域 3 を形成し、その後、ゲート電極 G の積層構造を形成する。

まず、シリコン基板 1 に、ゲート酸化膜 1 0 を所定膜厚で形成し、次にメモリセルトランジスタ部において浮遊ゲート電極となり、周辺回路部においては下部電極となる多結晶シリコン膜 1 1 を形成する。この後、多結晶シリコン膜 1 1 の上面にシリコン窒化膜などのハードマスク材料（図示せず）を堆積させてからリソグラフィ処理にてレジストをパターンニングする。このレジストをマスクにシリコン窒化膜を加工してハードマスクを形成

50

し、これをマスクとして多結晶シリコン膜 11、シリコン酸化膜 10 およびシリコン基板 1 を R I E (reactive ion etching) 法により加工して、シリコン基板 1 の表面からの深さが H 1 のトレンチ (溝) 4 を形成する。

【 0 0 2 4 】

次に、H T O 膜 5 をトレンチ 4 の内壁面に成膜形成し、この後、S O G 膜 6 を形成するためのポリシラザンを塗布し、トレンチ 4 内をポリシラザン塗布液で充填する。続いて、4 0 0 ~ 5 0 0 程度の酸化性雰囲気中にて熱処理を行い、ポリシラザン塗布液をシリコン酸化膜へ転換し S O G 膜 6 を形成する。次に、C M P (chemical mechanical polishing) 法により、シリコン窒化膜をストッパ膜として S O G 膜 6 を研磨することで平坦化処理を行い、トレンチ 4 内部に S O G 膜 6 が埋め込まれた状態とする。

10

【 0 0 2 5 】

次に、S O G 膜 6 をストッパ膜としてのシリコン窒化膜の膜厚分だけエッチバックしてから、シリコン窒化膜を剥離し、メモリセルトランジスタ部においてゲート間絶縁膜となる絶縁膜 12 を形成する。この絶縁膜 12 は例えば O N O (oxide-nitride-oxide) 膜やアルミナ等を有する高誘電体膜で構成される。このゲート間絶縁膜 12 は、浮遊ゲート型の不揮発性メモリのメモリセルトランジスタで必要であるが周辺回路部のトランジスタとしては必要がないため、フォトリソグラフィ処理により開口部 12 a を形成する。次に、絶縁膜 12 および開口部 12 a 上に、上部電極を構成する多結晶シリコン膜 13 を形成する。このとき、多結晶シリコン膜 13 は開口部 12 a を介して多結晶シリコン膜 11 と電気的に短絡される。さらにこの上面にゲート電極 G の加工時に使用するマスク材としてシリコン窒化膜 19 を成膜し、図 5 の状態とする。

20

【 0 0 2 6 】

次に、図 6 に示すように、フォトリソグラフィ法および R I E 法を用いてゲート電極 G のパターンニングを行なう。シリコン窒化膜 19 をエッチングしてハードマスクとし、これをマスクとして多結晶シリコン膜 13、ゲート間絶縁膜 12、多結晶シリコン膜 11 をエッチングする。この際、S O G 膜 6 も、その上面がシリコン基板 1 の表面付近に位置する程度までエッチバックされる。

【 0 0 2 7 】

続いて、図 7 に示すように、ゲート電極 G および素子分離領域 3 の S O G 膜 6 をマスクとして N 型の不純物のイオン注入を行い、ゲート電極 G の下部を除く活性領域 2 全体に、シリコン基板 1 の表面からの深さ d 1 に不純物分布のピークレベルが位置する第 1 の濃度の N 型の低濃度不純物領域 1 a を形成する。この低濃度不純物領域 1 a は、L D D 構造を有するソース/ドレインを形成するためのものである。なお、図 7 において、低濃度不純物領域 1 a とシリコン基板 1 との境界線が不純物分布のピークレベルを示している。

30

【 0 0 2 8 】

次に、図 8 に示すように、ゲート電極 G の側壁に活性領域 2 の面に接する部分での幅寸法 S のスペーサ 20 を形成する。これは、L P - C V D (low pressure chemical vapor deposition) 法により T E O S 酸化膜をライナー状すなわち全面に形成し、この後ライナー状の T E O S 膜を R I E 法によりエッチバック処理を行って形成する。

【 0 0 2 9 】

このスペーサ 20 を利用して、図 9 に示すように、高濃度で N 型のイオン注入処理を行ってゲート電極 G およびスペーサ 20 の下部を除く活性領域 2 全体に、第 1 の濃度より濃い第 2 の濃度の N 型の高濃度不純物領域 1 b を活性領域 2 に形成する。このとき、高濃度不純物領域 1 b の一端部はスペーサ 20 によって遮られる幅寸法 S だけゲート電極 G から離れた位置に位置する。また、高濃度不純物領域 1 b は低濃度不純物領域 1 a のシリコン基板 1 の表面からの深さ d 1 よりも深い位置 d 2 に不純物分布のピークができるようにイオン注入される。なお、図 8 においても、高濃度不純物領域 1 b とシリコン基板 1 との境界線は不純物分布のピークレベルを示している。なお、このイオン注入では、イオン注入領域が、イオン損傷によりシリコンがアモルファス化している。また、不純物のピーク分布深さ d 1、d 2 は、注入するイオン種や注入条件である加速電圧や注入量に依存してい

40

50

る。不純物のピーク分布深さ d_2 の領域には図 10 に示しているように点欠陥 P が発生しやすい状態となっている。

【0030】

図 3 は、上記した図 9 に示す状態を三次元的に示したものである。シリコン基板 1 の活性領域 2 は、素子分離領域 3 で包囲された状態に設けられている。加工途中におけるゲート電極 G にはスペーサ 20 が側壁部に形成されている。高濃度不純物領域 1 b の端部はスペーサ 20 の外側に沿う位置に形成されている。図 3 において、スペーサ 20 のシリコン基板 1 の表面での幅寸法 S は高濃度不純物領域 1 b が低濃度不純物領域 1 a に対して後退する寸法にほぼ等しい。

【0031】

次に、図 10 に示すように、フォトリソグラフィ処理により図示しないメモリセルトランジスタが形成される領域を覆い、図示の周辺回路部のトランジスタ形成部分が露出するようにレジストをパターンニングする。このレジストをマスクとして、フッ酸系の薬液によりウェットエッチング処理を行い、SOG 膜 6 の上面の高さがシリコン基板 1 の表面からの深さ寸法 H_2 となるようにエッチングで落とし込みをする。このエッチングの深さ寸法 H_2 は、前述した高濃度不純物領域 1 b の不純物のピーク分布深さ d_2 よりも深くなるように設定されている。このウェットエッチング処理では、TEOS 酸化膜で形成されているスペーサ 20 およびスペーサ 20 の下部に位置する SOG 膜 6 も同時にエッチング除去される。

【0032】

図 4 は上記したウェットエッチング処理を行った状態を三次元的に示したものである。この状態では、SOG 膜 6 が上述したように深さ方向に H_2 だけ落とし込まれることに加えて、スペーサ 20 がエッチングにより除去されることに伴い、素子分離領域 3 のスペーサ 20 の下部に位置している SOG 膜 6 もエッチングされている。さらにウェットエッチング処理の効果として、ゲート電極 G の下部の領域に形成されている SOG 膜 6 についてもサイドエッチングが進行して、図示のようにゲート電極 G の下部の SOG 膜 6 の側壁が若干えぐれた状態となる。これにより、活性領域 2 に形成した高濃度不純物領域 1 b および低濃度不純物領域 1 a はいずれも、素子分離領域 3 に面する部分で SOG 膜 6 とは直接接しない状態となる。すなわち、活性領域 2 の側壁に露出した高濃度不純物領域 1 b および低濃度不純物領域 1 a の露出面はいずれも SOG 膜 6 とは接しない。

【0033】

続いて、RTA (rapid thermal annealing) により、イオン注入処理により低濃度不純物領域 1 a および高濃度不純物領域 1 b に導入した不純物の活性化を行なうと共に結晶性の回復も行なう。これによって、活性領域 2 に LDD 構造のソース/ドレインが形成される。このとき、上述したように SOG 膜 6 の落とし込みを行なっているので、SOG 膜 6 による高い引張ストレスの影響を低減した状態で熱処理をすることができるため、RTA 処理に起因して転位が発生するのを抑制でき、これによって pn 接合リーク電流の特性を良好に維持することができ、図 16 (a) に示すように、接合リーク電流の規格値 I_o を満たすことができる。

【0034】

この場合、上述の SOG 膜 6 の落とし込み深さ H_2 は、高濃度不純物領域 1 b の深さ寸法 d_2 に対して浅いか深いかによって大きく変動することが確認できた。図 16 (b) はその落とし込み深さ H を変化させた場合の pn 接合のリーク電流特性を測定した結果を示す。この結果によると、落とし込み深さ H が高濃度不純物領域 1 b の深さ d_2 よりも大きいとき ((a) $H_2 > d_2$) に、接合リーク電流の規格値 I_o を満たし、深さ d_2 よりも小さくなるにしたがって ((b) $H_2 < d_2$ 、 (c) $H_2 << d_2$) 接合リーク電流が増大していることがわかる。ここで、(c) の $H_2 << d_2$ の条件は、従来相当の構成つまり SOG 膜 6 の落とし込みをしていない構成のものに相当することになる。

【0035】

なお、このアニール処理にて、低濃度不純物領域 1 a および高濃度不純物領域 1 b の p

10

20

30

40

50

n接合部が形成されるが、このpn接合部の位置は不純物のピーク分布の深さ d_1 、 d_2 に比べ厳密に言えば若干深くなる。したがって、SOG膜6の上面の高さをpn接合部が形成される深さより深く形成してもよい。

【0036】

次に、図11に示すように、ゲート電極Gの上表面、側面、活性領域2の表面およびSOG膜6の表面を覆うようにTEOS酸化膜7およびシリコン窒化膜8をLP-CVD法により成膜する。

【0037】

次に、図12に示すように、ゲート電極Gの上表面まで部分を満たすように非塗布型の酸化膜としてBPSG膜9を形成する。ここでは、CVD法によりBPSG膜9をゲート電極Gが埋まる状態となるように成膜し、その後メルト処理を行ってボイドの発生を抑制し、その後、CMP法によりシリコン窒化膜8をストッパとして研磨し、図示の状態のように平坦化を図る。

【0038】

続いて、図13に示すように、シリコン窒化膜8、TEOS酸化膜7およびシリコン窒化膜19を除去すると共にBPSG膜9のエッチバックを行い、ゲート電極Gの多結晶シリコン膜13の上表面を露出させた状態とする。図示の状態ではBPSG膜9の上表面と多結晶シリコン膜13の上表面を一致させた状態としているが、多結晶シリコン膜13をBPSG膜9の上表面よりも突出するようにしても良い。

【0039】

次に、図14に示すように、多結晶シリコン膜13の上部をコバルトシリサイド層14に形成した上で全面にバリア膜としてのシリコン窒化膜15を成膜する。コバルトシリサイド層14の形成では、図13の状態が多結晶シリコン膜13の表面をウェットエッチング処理などで清浄にした後にコバルト膜を成膜し、熱処理を行なうことでコバルト膜と接している多結晶シリコン膜13の部分が反応してシリサイド化しコバルトシリサイド層14を形成することができる。シリサイド化の後、未反応のコバルト膜を剥離し、シリコン窒化膜15をコバルトシリサイド層14による汚染防止のバリア絶縁膜として形成する。

【0040】

この後、図15に示すように、CVD法により層間絶縁膜としてTEOS酸化膜16を400nm成膜する。その後、デュアルダマシン構造を採用したコンタクトプラグ17および配線層18を形成する。フォトリソグラフィ処理により、TEOS酸化膜16にコンタクトホール17aおよび配線溝18aをRIE技術により形成する。この後、図1に示しているように、コンタクトホール17aおよび配線溝18a内に導体を埋め込みコンタクトプラグ17および配線層18を形成する。埋め込む導体は、バリアメタルとしてTi/TiNを積層でCVD法により成膜した後、タングステン(W)をCVD法にて充填する。これによって、図1に示す構成を得ることができる。以後、図示はしないが、この上層への多層配線プロセスへ続く。

【0041】

このような製造工程を採用しているため、LDD構造を形成するための高濃度不純物領域用のイオン注入の後にRTA処理で発生しやすい結晶欠陥に起因した転位の発生を抑制することができ、接合リーク電流特性を良好に維持することができる。具体的には、イオン注入の後に、素子分離領域3のSOG膜6を深さ H_2 ($H_2 > d_2$)まで落とし込んだ後にRTA処理をするので、SOG膜6が活性領域2に及ぼす引張応力を緩和することができるようになる。

また、SOG膜6の落とし込み深さ H_2 を、高濃度不純物領域1bの不純物のピーク分布位置の深さまたはpn接合が形成される深さ d_2 よりも深くすることが良好な結果を得られることがわかった。

【0042】

(第2の実施形態)

図17ないし図22は本発明の第2の実施形態を示すものであり、以下、第1の実施形

10

20

30

40

50

態と異なる部分について説明する。この実施形態では、第1の実施形態において図10で示した素子分離構造3を形成しているSOG膜6の落とし込みのウェットエッチング工程で、同時に剥離されるゲート電極Gの側壁に形成されたスペーサ20の膜厚が薄い構成の場合に発生する不具合を解決するものである。

【0043】

スペーサ20の膜厚が薄い場合には、SOG膜6の落とし込みのウェットエッチング処理の際に先にスペーサ20が剥離されてしまい、さらにエッチングが進むとゲート電極Gとシリコン基板1との間のゲート酸化膜10の端面部にエッチング液が接触してゲート酸化膜10にダメージを与えてしまうことになる。したがって、パターン設計や加工工程の都合上で、スペーサ20の膜厚を厚く形成することができない場合には、この課題を解決する必要がある。

10

【0044】

本実施形態においては、この課題を解決するために、次のような構成を採用している。図17はその構成を示すもので、薄い膜厚で形成されたスペーサがSOG膜6の落とし込み処理において完全に剥離されないように内部にシリコン窒化膜を介在させるように構成している。図17に示す加工後の構成では、ゲート電極Gの側壁にシリコン酸化膜としてHTO (high temperature oxide) 21が形成されると共にシリコン窒化膜22が形成された状態となっている。この場合、HTO膜21は、形成時においてはゲート電極Gの側壁を全面に覆う状態となっていたものが、加工工程を経ることで、下端部がシリコン基板1に接触すると共に、上端部が多結晶シリコン膜13の中位程度の高さとなる状態に形成されている。

20

【0045】

この構成を採用することで、シリコン窒化膜22によりゲート酸化膜10がウェットエッチング工程でエッチング液が接触して損傷を受けるのを防止することができる。

次に、上記構成の製造工程について、図18～図22を参照して説明する。

第1の実施形態と同様にして図6のようにゲート電極の加工をした後、図7のようにソース/ドレイン領域となる低濃度不純物拡散領域1aを形成するためのイオン注入処理を行う。この後、図18に示すように、LP-CVD法によりHTO膜21をゲート電極Gの上面、側壁およびシリコン基板1の上面、SOG膜6の上面部分の全面に渡って積層形成する。

30

【0046】

次に、図19に示すように、ライナー状に形成されたシリコン窒化膜22をスペーサ加工する。これにより、ゲート電極Gの上面部分およびシリコン基板1の上面、SOG膜6の上面部分のシリコン窒化膜22は除去され、ゲート電極Gの側壁部分のシリコン窒化膜22がスペーサ状に残る構成となる。このとき、ゲート電極Gの上面部分およびシリコン基板1の上面、SOG膜6の上面部分のHTO膜21は若干エッチングされるので膜厚が薄くなる。

【0047】

次に、図20に示すように、ゲート電極Gの側壁にスペーサ23を形成する。これは、シリコン基板1にLDD構造を形成するためのもので、所定の膜厚でTEOS酸化膜をライナー状に全面に形成し、この後、TEOS酸化膜をRIE法によりエッチバック処理を行って形成する。

40

このスペーサ23を利用して、図21に示すように、高濃度でN型のイオン注入処理を行ってゲート電極Gおよびスペーサ23の下部を除く活性領域2全体に、第1の濃度より濃い第2の濃度のN型の高濃度不純物領域1bを活性領域2に形成する。この高濃度不純物領域1bは第1の実施形態における高濃度不純物領域1bと同様に形成されるもので、これによってLDD構造を形成している。

【0048】

続いて、図22に示すように、フォトリソグラフィ処理により図示しないメモリセルトランジスタが形成される領域を覆い、図示の周辺回路部のトランジスタ形成部分が露出す

50

るようにレジストをパターンニングする。このレジストをマスクとして、第1の実施形態と同様にして、フッ酸系の薬液によりウェットエッチング処理を行い、SOG膜6の上面の高さがシリコン基板1の表面からの深さ寸法H2となるようにエッチングで落とし込みをする。

【0049】

このウェットエッチング処理では、TEOS酸化膜で形成されているスペーサ23およびゲート電極Gの上面部分のRTO膜21、スペーサ23の下部に位置するRTO膜21およびゲート酸化膜10も同時にエッチングされる。さらに、落とし込みに必要なウェットエッチング処理を所定時間実施する間に、ゲート電極Gの側壁面に形成されているRTO21が、シリコン窒化膜22で覆われていない上端部においてエッチング液にさらされているので、上端部から下方にかけてエッチングが進行し、多結晶シリコン膜13の中位程度の高さまでエッチングで除去される。しかし、シリコン窒化膜22を形成しているので、ゲート電極Gの下部のゲート酸化膜10にエッチングが及ぶのを防止でき、ゲート酸化膜10を確実に保護することができる。

10

【0050】

また、このSOG膜6の落とし込みのウェットエッチング処理においても、第1の実施形態と同様に、ゲート電極Gが素子分離領域3に突出している端部においては、図4に示したように、SOG膜6が落とし込みエッチングされることで、ゲート電極Gの側面のシリコン窒化膜22の直下部分が若干えぐれた状態にエッチングされる。これにより、少なくとも活性領域2の側壁に露出した高濃度不純物領域1bの露出面はSOG膜6と接しない状態に形成される。また、エッチング量を適切に調整することで、低濃度不純物領域1aについても第1の実施形態の構成と同様の状態に形成することが可能である。

20

【0051】

この後、第1の実施形態で示した工程と同様に、RTA処理により、低濃度不純物領域1aおよび高濃度不純物領域1bに導入した不純物の活性化を行なうと共に結晶性の回復も行なう。これによって、活性領域2にLDD構造のソース/ドレインが形成される。また、前述のようにSOG膜6の落とし込みを行なっているので、SOG膜6による高い引張ストレスの影響を低減した状態で熱処理をすることができるため、RTA処理に起因して転位が発生するのを抑制でき、これによってpn接合リーク電流の特性を良好に維持することができる。

30

【0052】

以下、第1の実施形態と同様に、図11～図15に示した工程を実施することで図17に示した構成を得ることができる。

そして、以上の工程を採用することで、スペーサ23の膜厚を薄くする必要がある場合においても、耐フッ酸性のあるシリコン窒化膜22をゲート電極Gの側壁に形成しているので、塗布型酸化膜であるSOG膜6を落とし込みするウェットエッチング処理においてゲート電極Gのゲート酸化膜10にダメージを与えることなく加工工程を実施することができるようになり、工程能力の向上を図ることができる。

【0053】

(第3の実施形態)

40

図23～図26は本発明の第3の実施形態を示すもので、以下、第1の実施形態と異なる部分について説明する。なお、この第3の実施形態においても、LDD構造を形成するためのゲート電極Gの側壁のスペーサの膜厚を薄いものとする場合においても、ゲート電極Gの直下のゲート酸化膜10にダメージを与えないようにして加工を行う点で、第2の実施形態と同じ課題を解決するものである。

【0054】

図23に示すように、ゲート電極Gの側壁面にはLDD構造形成のために使用したスペーサ20が残された状態とされている。TEOS酸化膜7およびシリコン窒化膜8はスペーサ20を介した状態でゲート電極Gの側壁面に形成されている。そして、このような構成を採用しているので、ゲート電極Gの直下のゲート酸化膜10はスペーサ20により保

50

護された状態とすることができ、ゲート酸化膜 10 がダメージを受けることのない構成とすることができる。

【0055】

図 24 ~ 図 26 は、上記構成の製造工程のうち、第 1 の実施形態と異なる工程を示すものである。図 24 は、第 1 の実施形態において、図 9 に示した工程の次の工程に対応する。図 9 の工程では、スペーサ 20 を用いてイオン注入を行って LDD 構造を形成するための高濃度不純物領域 1b を形成したところである。続いて SOG 膜 6 の落とし込みのためのウェットエッチング処理を行うのに先立って、第 1 の実施形態においては、メモリセル領域をレジストで覆うパターンニングをしていたのに対して、この実施形態においては、図 24 に示すように、ゲート電極 G およびスペーサ 20 をも覆うようにレジストパターン 24 を形成している。

10

【0056】

なお、ゲート電極 G、スペーサ 20 およびレジストパターン 24 は、図 2 と同等の平面図で示すと、図 26 に示すような配置で形成されている。すなわち、ゲート電極 G に対して、スペーサ 20 はこれを囲むようにゲート電極 G の側壁面に形成されており、これらゲート電極 G およびスペーサ 20 の全体を覆うようにレジストパターン 24 が形成されている。

【0057】

次に、図 25 に示すように、レジストパターン 24 をマスクとして、前述同様に SOG 膜 6 の落とし込みのウェットエッチング処理を行う。このとき、ゲート電極 G の側壁面に形成されているスペーサ 20 は、レジストパターン 24 で覆われているので、エッチングされずにそのまま残ることになる。これにより、ゲート電極 G の直下に形成されているゲート酸化膜 10 は、エッチング液にさらされることがなくなり、ダメージを受けるのを防止することができる。

20

【0058】

この後、レジストパターン 24 を剥離する処理を行い、さらに、第 1 の実施形態で示した工程と同様に、RTA 処理により、低濃度不純物領域 1a および高濃度不純物領域 1b に導入した不純物の活性化を行なうと共に結晶性の回復も行なう。これによって、活性領域 2 に LDD 構造のソース/ドレインが形成される。また、前述のように SOG 膜 6 の落とし込みを行なっているので、SOG 膜 6 による高い引張ストレスの影響を低減した状態で熱処理をすることができるため、RTA 処理に起因して転位が発生するのを抑制でき、これによって pn 接合リーク電流の特性を良好に維持することができる。

30

以下、第 1 の実施形態と同様に、図 11 ~ 図 15 に示した工程を実施することで図 23 に示した構成を得ることができる。

【0059】

(他の実施形態)

本発明は、上記実施例にのみ限定されるものではなく、次のように変形または拡張できる。

SOG 膜 6 の落とし込み深さ H2 は、高濃度不純物領域 1b 形成のための不純物イオン注入条件により決まる深さ d2 に依存しており、不純物深さ d2 よりも SOG 膜 6 表面位置が下に下がるように設定することが必要十分条件であるから、その条件に適合する深さ H2 であれば良い。

40

【0060】

また、高濃度不純物領域 1b の不純物のピーク分布深さ d2 を基準として説明をしているが、より厳密にはイオン注入後の RTA 処理後には不純物深さが若干深くなる。本来イオン注入後の深さ方向のプロファイルから得られる分布と活性化アニールにより不純物が拡散した後の分布とは一致しないが、半導体素子形成技術の微細化に伴いイオン注入後の活性化アニール温度が低温化され、ほぼイオン注入後の分布 Peak とアニール後のピーク分布 (pn 接合部) の深さとは若干異なるもののほぼ一致するとみなすことができる。

【図面の簡単な説明】

50

【 0 0 6 1 】

【 図 1 】 本発明の第 1 の実施形態を示す模式的な縦断面図

【 図 2 】 模式的な平面図

【 図 3 】 製造工程の一段階を三次元的に示す模式図 (その 1)

【 図 4 】 製造工程の一段階を三次元的に示す模式図 (その 2)

【 図 5 】 製造工程の一段階を模式的に示す縦断面図 (その 1)

【 図 6 】 製造工程の一段階を模式的に示す縦断面図 (その 2)

【 図 7 】 製造工程の一段階を模式的に示す縦断面図 (その 3)

【 図 8 】 製造工程の一段階を模式的に示す縦断面図 (その 4)

【 図 9 】 製造工程の一段階を模式的に示す縦断面図 (その 5)

10

【 図 1 0 】 製造工程の一段階を模式的に示す縦断面図 (その 6)

【 図 1 1 】 製造工程の一段階を模式的に示す縦断面図 (その 7)

【 図 1 2 】 製造工程の一段階を模式的に示す縦断面図 (その 8)

【 図 1 3 】 製造工程の一段階を模式的に示す縦断面図 (その 9)

【 図 1 4 】 製造工程の一段階を模式的に示す縦断面図 (その 1 0)

【 図 1 5 】 製造工程の一段階を模式的に示す縦断面図 (その 1 1)

【 図 1 6 】 (a) 高濃度不純物領域の p n 接合のリーク電流特性図および (b) S O G 膜の落とし込み深さを変えて測定した同特性図

【 図 1 7 】 本発明の第 2 の実施形態を示す模式的な縦断面図

【 図 1 8 】 製造工程の一段階を模式的に示す縦断面図 (その 1)

20

【 図 1 9 】 製造工程の一段階を模式的に示す縦断面図 (その 2)

【 図 2 0 】 製造工程の一段階を模式的に示す縦断面図 (その 3)

【 図 2 1 】 製造工程の一段階を模式的に示す縦断面図 (その 4)

【 図 2 2 】 製造工程の一段階を模式的に示す縦断面図 (その 5)

【 図 2 3 】 本発明の第 3 の実施形態を示す模式的な縦断面図

【 図 2 4 】 製造工程の一段階を模式的に示す縦断面図 (その 1)

【 図 2 5 】 製造工程の一段階を模式的に示す縦断面図 (その 2)

【 図 2 6 】 模式的な平面図

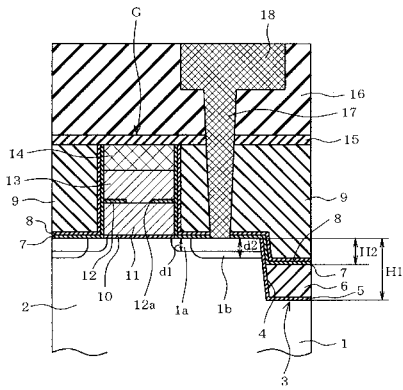
【 符号の説明 】

【 0 0 6 2 】

30

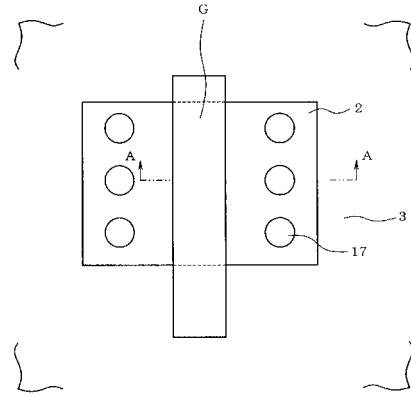
図面中、1はシリコン基板(半導体基板)、1aは低濃度不純物領域、1bは高濃度不純物領域、2は活性領域(素子形成領域)、3は素子分離領域(素子分離構造体)、4はトレンチ(溝)、5はHTO膜、6はSOG膜(塗布型の酸化膜)、7はTEOS酸化膜、8はシリコン窒化膜、9はBPSG膜(非塗布型の酸化膜)、20、23はスペーサ、21はHTO膜(シリコン酸化膜)、22はシリコン窒化膜、Gはゲート電極である。

【 图 1 】

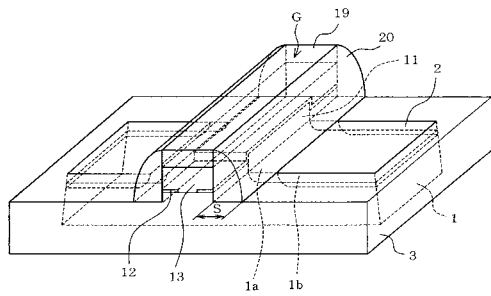


- 1: 半导体基板
- 2: 离子形成领域
- 3: 离子分离构造体
- 6: 涂布型膜
- 9: 非涂布型膜
- 1a: 低浓度不纯物领域
- 1b: 高浓度不纯物领域
- 4: 沟

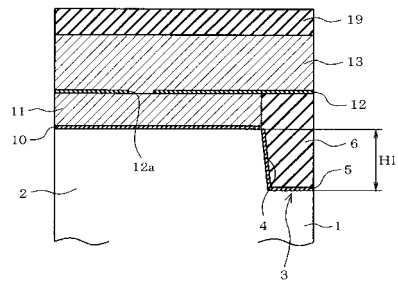
【 图 2 】



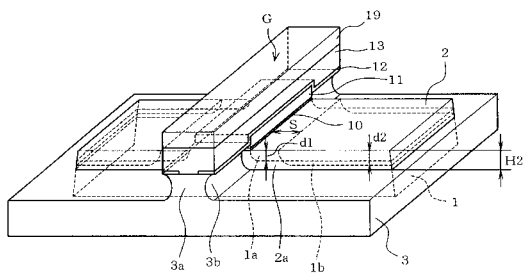
【 图 3 】



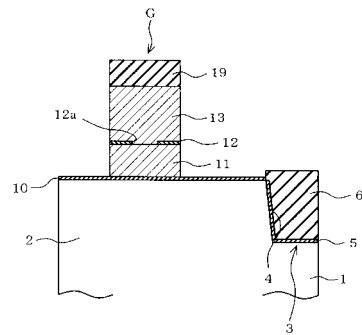
【 图 5 】



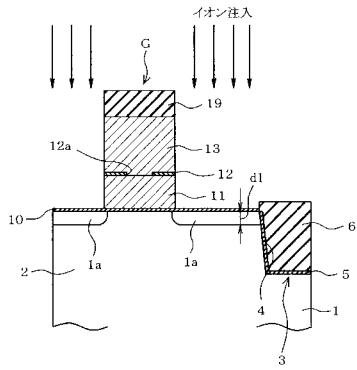
【 图 4 】



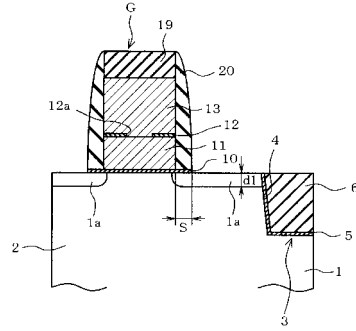
【 图 6 】



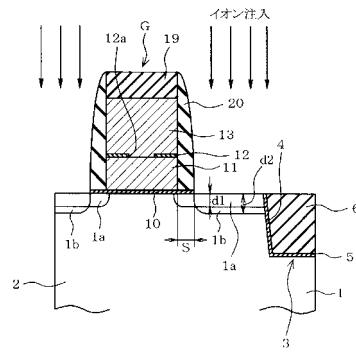
【 図 7 】



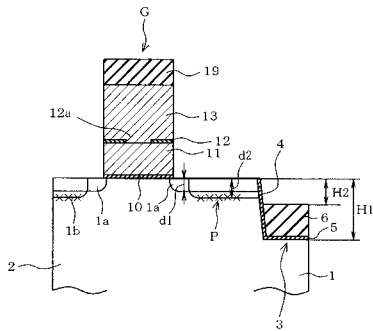
【 図 8 】



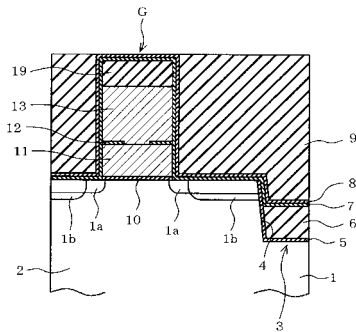
【 図 9 】



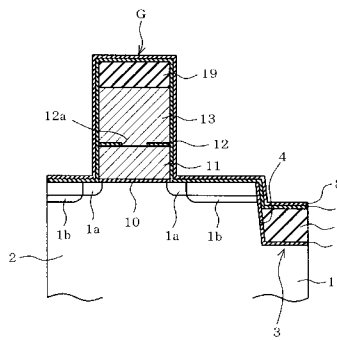
【 図 10 】



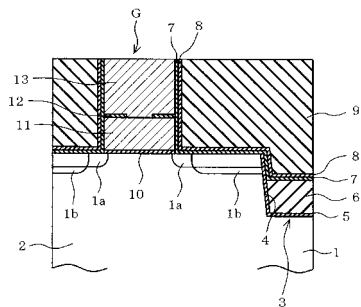
【 図 12 】



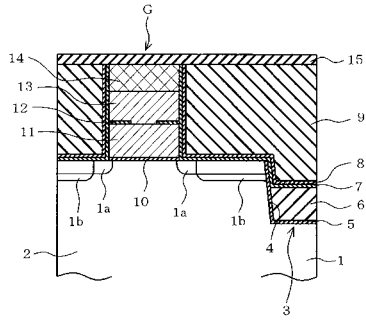
【 図 11 】



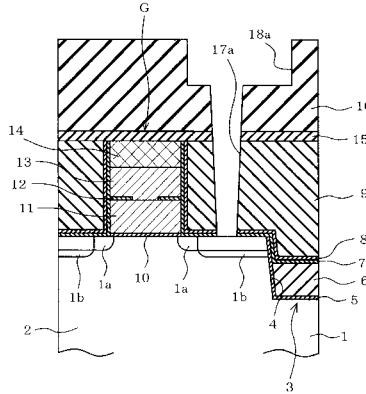
【 図 13 】



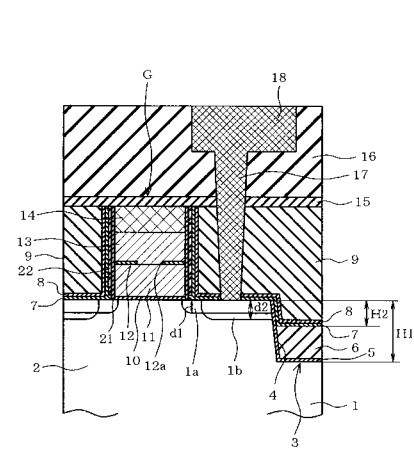
【図14】



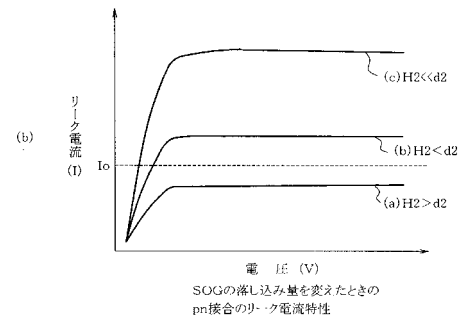
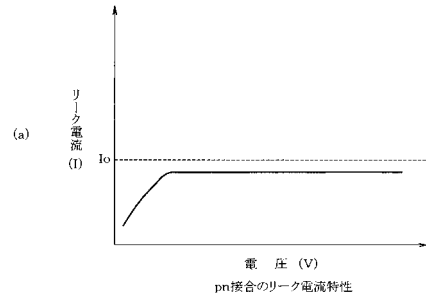
【図15】



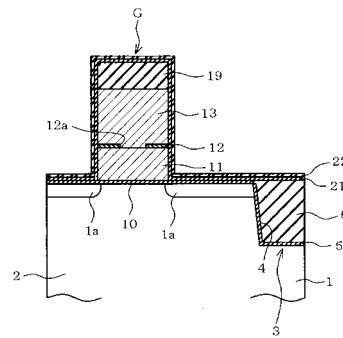
【図17】



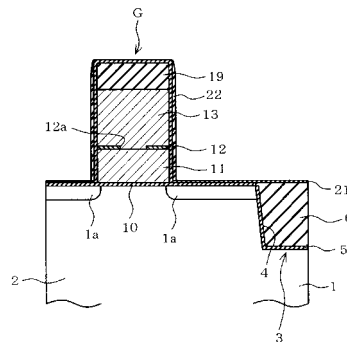
【図16】



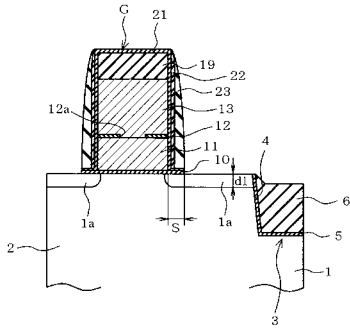
【図18】



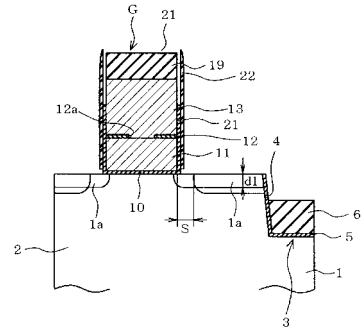
【図19】



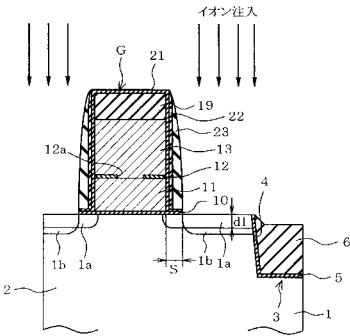
【図20】



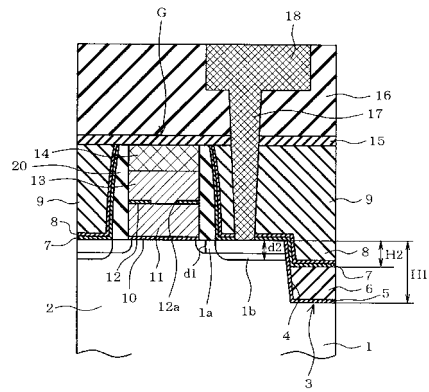
【図22】



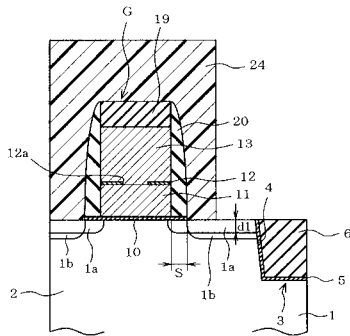
【図21】



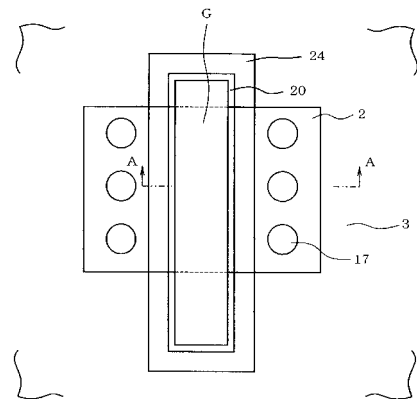
【図23】



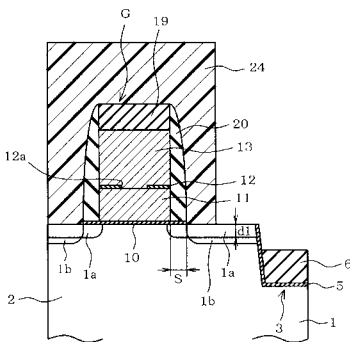
【図24】



【図26】



【図25】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 21/8247 (2006.01)</i>	H 0 1 L 29/78 3 7 1	
<i>H 0 1 L 29/788 (2006.01)</i>	H 0 1 L 27/10 4 3 4	
<i>H 0 1 L 29/792 (2006.01)</i>		
<i>H 0 1 L 27/115 (2006.01)</i>		

Fターム(参考)	5F048	AA04	AA07	AB01	AC01	BA01	BB05	BB08	BB11	BB12	BC01
		BC06	BF11	BF16	BG02	BG03	BG13	BG14	DA25		
	5F083	EP02	EP22	EP55	EP56	EP76	ER22	GA06	JA02	JA04	NA01
		PR43	PR44	PR53	PR54						
	5F101	BA26	BA29	BA36	BB02	BB08	BD34	BH21			
	5F140	AA24	BA01	BF04	BF14	BF21	BF28	BF35	BG08	BG09	BG12
		BG14	BG34	BG45	BG52	BG53	BG54	BG56	BH15	BJ10	BJ11
		BJ17	BJ23	BJ27	BK02	BK13	BK21	BK23	BK25	CB04	CB10
		CC01	CC03	CC07	CC08	CC15	CE07				