(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년08월24일
(11) 등록번호 10-1770981
(24) 등록일자 2017년08월18일

(51) 국제특허분류(Int. Cl.)
H03K 19/00 (2006.01) *H01L 27/088* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H03K 19/0016 (2013.01)
H01L 27/088 (2013.01)
(21) 출원번호 10-2016-7028889(분할)
(22) 출원일자(국제) 2010년10월06일
심사청구일자 2016년10월18일
(85) 번역문제출일자 2016년10월18일
(65) 공개번호 10-2016-0124244
(43) 공개일자 2016년10월26일
(62) 원출원 특허 10-2016-7014713
원출원일자(국제) 2010년10월06일
심사청구일자 2016년06월02일
(86) 국제출원번호 PCT/JP2010/067996
(87) 국제공개번호 WO 2011/052383
국제공개일자 2011년05월05일
(30) 우선권주장
JP-P-2009-250415 2009년10월30일 일본(JP)
(56) 선행기술조사문헌
JP2008089915 A
(뒷면에 계속)
전체 청구항 수 : 총 13 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
시오노이리 유타카
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
고바야시 히데토모
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

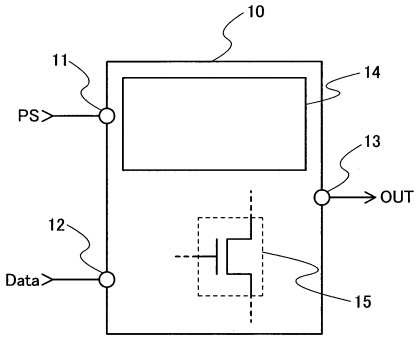
심사관 : 복상문

(54) 발명의 명칭 **논리 회로 및 반도체 장치**

(57) 요 약

클록 게이팅이 수행되는 논리 회로에서, 대기 전력이 감소되거나 오동작이 억제된다. 논리 회로는 클록 신호가 공급되지 않는 기간 동안 소스 단자와 드레인 단자 사이에 전위차가 존재하는 오프 상태에 있는 트랜지스터를 포함한다. 트랜지스터의 채널 형성 영역은 수소 농도가 감소되는 산화물 반도체를 이용하여 형성된다. 구체적으로, 산화물 반도체의 수소 농도는 5×10^{19}(atoms/cm^3) 이하이다. 따라서, 트랜지스터의 누설 전류가 감소될 수 있다. 결과적으로, 논리 회로에서, 대기 전력의 감소 및 오동작의 억제가 달성될 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/7869 (2013.01)

(56) 선행기술조사문헌
JP2007103918 A
KR19900019376 A
US5978308 A
WO2008096768 A1*
JP2009026852 A*
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

반도체 장치에 있어서,

클록 게이팅을 수행하는 논리 회로를 포함하고, 상기 논리 회로는 트랜지스터를 포함하고,

상기 트랜지스터는 채널 형성 영역을 포함하는 산화물 반도체층을 포함하고,

상기 산화물 반도체층의 캐리어 밀농도는 $5\times10^{12}/cm^3$ 이하이고,

상기 트랜지스터의 소스 및 드레인 사이에 1V의 전압이 인가될 때, 상기 트랜지스터의 단위 채널 폭당 오프 전류는 1×10^{-17} A/micron 이하인, 반도체 장치.

청구항 2

반도체 장치에 있어서,

게이트 전극층과;

상기 게이트 전극층에 인접한 게이트 절연층과;

상기 게이트 절연층을 사이에 개재하여 상기 게이트 전극층과 인접한 산화물 반도체층으로서, 상기 산화물 반도체층은 채널 형성 영역을 포함하는, 상기 산화물 반도체층과;

상기 산화물 반도체층과 전기적으로 접한 소스 전극층 및 드레인 전극층과;

상기 산화물 반도체층과 접한 산화물 절연층을 포함하고,

상기 산화물 반도체층은 상기 게이트 절연층과 상기 산화물 절연층 사이에 위치하고,

상기 산화물 반도체층의 캐리어 밀농도는 $5\times10^{12}/cm^3$ 이하인, 반도체 장치.

청구항 3

반도체 장치에 있어서,

게이트 전극층과;

상기 게이트 전극층에 인접한 게이트 절연층과;

상기 게이트 절연층을 사이에 개재하여 상기 게이트 전극층과 인접한 산화물 반도체층으로서, 상기 산화물 반도체층은 채널 형성 영역을 포함하는, 상기 산화물 반도체층과;

상기 산화물 반도체층과 전기적으로 접한 소스 전극층 및 드레인 전극층과;

상기 산화물 반도체층과 접한 산화물 절연층을 포함하고,

상기 산화물 반도체층은 상기 게이트 절연층과 상기 산화물 절연층 사이에 위치하고,

상기 산화물 반도체층의 캐리어 밀농도는 $5\times10^{12}/cm^3$ 이하이고,

상기 산화물 반도체층의 에너지 갭은 2eV보다 높은, 반도체 장치.

청구항 4

반도체 장치에 있어서,

게이트 전극층과;

상기 게이트 전극층에 인접한 게이트 절연층과;

상기 게이트 절연층을 사이에 개재하여 상기 게이트 전극층과 인접한 산화물 반도체층으로서, 상기 산화물 반도체층은 채널 형성 영역을 포함하는, 상기 산화물 반도체층과;

상기 산화물 반도체층과 전기적으로 접한 소스 전극층 및 드레인 전극층과;

상기 산화물 반도체층과 접한 산화물 절연층을 포함하고,

상기 산화물 반도체층은 상기 게이트 절연층과 상기 산화물 절연층 사이에 위치하고,

상기 산화물 반도체층의 캐리어 밀농도는 $5\times10^{12}/cm^3$ 이하이고,

상기 채널 형성 영역의 수소 농도는 5×10^{18} atoms/cm^3 이하인, 반도체 장치.

청구항 5

반도체 장치에 있어서,

게이트 전극층과;

상기 게이트 전극층에 인접한 게이트 절연층과;

상기 게이트 절연층을 사이에 개재하여 상기 게이트 전극층과 인접한 산화물 반도체층으로서, 상기 산화물 반도체층은 채널 형성 영역을 포함하는, 상기 산화물 반도체층과;

상기 산화물 반도체층과 전기적으로 접한 소스 전극층 및 드레인 전극층과;

상기 산화물 반도체층과 접한 산화물 절연층을 포함하고,

상기 산화물 반도체층은 상기 게이트 절연층과 상기 산화물 절연층 사이에 위치하고,

상기 산화물 반도체층의 캐리어 밀농도는 $5\times10^{12}/cm^3$ 이하이고,

상기 산화물 반도체의 에너지 갭은 2eV보다 높고,

상기 산화물 반도체층은 제 1 영역 및 제 2 영역을 포함하고,

상기 제 1 영역은 상기 채널 형성 영역을 포함하는, 반도체 장치.

청구항 6

반도체 장치에 있어서,

게이트 전극층과;

상기 게이트 전극층에 인접한 게이트 절연층과;

상기 게이트 절연층을 사이에 개재하여 상기 게이트 전극층과 인접한 산화물 반도체층으로서, 상기 산화물 반도체층은 채널 형성 영역을 포함하는, 상기 산화물 반도체층과;

상기 산화물 반도체층과 전기적으로 접한 소스 전극층 및 드레인 전극층과;

상기 산화물 반도체층과 접한 산화물 절연층을 포함하고,

상기 산화물 반도체층은 상기 게이트 절연층과 상기 산화물 절연층 사이에 위치하고,

상기 산화물 반도체층의 캐리어 밀농도는 $5\times10^{12}/cm^3$ 이하이고,

상기 채널 형성 영역의 수소 농도는 5×10^{18} atoms/cm^3 이하이고,

상기 산화물 반도체층은 제 1 영역 및 제 2 영역을 포함하고,

상기 제 1 영역은 상기 채널 형성 영역을 포함하는, 반도체 장치.

청구항 7

반도체 장치에 있어서,

제 1 트랜지스터와;

상기 제 1 트랜지스터 위의 절연층과;

상기 절연층 위의 제 2 트랜지스터를 포함하고, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 서로 전기적으로 접속하고,

상기 제 2 트랜지스터는,

게이트 전극층과;

상기 게이트 전극층에 인접한 게이트 절연층과;

상기 게이트 절연층을 사이에 개재하여 상기 게이트 전극층과 인접한 산화물 반도체층으로서, 상기 산화물 반도체층은 채널 형성 영역을 포함하는, 상기 산화물 반도체층과;

상기 산화물 반도체층과 전기적으로 접한 소스 전극층 및 드레인 전극층과;

상기 산화물 반도체층과 접한 산화물 절연층을 포함하고,

상기 산화물 반도체층은 상기 게이트 절연층과 상기 산화물 절연층 사이에 위치하고,

상기 산화물 반도체층의 캐리어 밀농도는 $5\times10^{12}/cm^3$ 이하인, 반도체 장치.

청구항 8

반도체 장치에 있어서,

제 1 트랜지스터와;

상기 제 1 트랜지스터 위의 절연층과;

상기 절연층 위의 제 2 트랜지스터를 포함하고, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 서로 전기적으로 접속하고,

상기 제 2 트랜지스터는,

게이트 전극층과;

상기 게이트 전극층에 인접한 게이트 절연층과;

상기 게이트 절연층을 사이에 개재하여 상기 게이트 전극층과 인접한 산화물 반도체층으로서, 상기 산화물 반도체층은 채널 형성 영역을 포함하는, 상기 산화물 반도체층과;

상기 산화물 반도체층과 전기적으로 접한 소스 전극층 및 드레인 전극층과;

상기 산화물 반도체층과 접한 산화물 절연층을 포함하고,

상기 산화물 반도체층은 상기 게이트 절연층과 상기 산화물 절연층 사이에 위치하고,

상기 산화물 반도체층의 캐리어 밀농도는 $5\times10^{12}/cm^3$ 이하이고,

상기 산화물 반도체층은 제 1 영역 및 제 2 영역을 포함하고,

상기 제 1 영역은 상기 채널 형성 영역을 포함하는, 반도체 장치.

청구항 9

제 1 항에 있어서,

상기 논리 회로는 플립-플롭과, AND 게이트, NOR 게이트, 및 래치로부터 선택된 회로를 포함하는, 반도체 장치.

청구항 10

제 7 항 또는 제 8 항에 있어서,

상기 제 1 트랜지스터는 반도체 재료를 포함하는 기판상에 제공되는, 반도체 장치.

청구항 11

제 2 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 상기 게이트 전극층 위에 제공되는, 반도체 장치.

청구항 12

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 갈륨, 알루미늄, 및 주석에서 선택된 하나 이상의 금속 원소와, 인듐과, 아연을 포함하는, 반도체 장치.

청구항 13

제 2 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층 사이에 1V의 전압이 인가될 때, 상기 채널 형성 영역의 단위 채널 폭당 오프 전류는 1×10^{-17} A/micron 이하인, 반도체 장치.

청구항 14

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 논리 회로, 특히 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 트랜지스터를 포함하는 논리 회로에 관한 것이다. 본 발명은 또한 논리 회로를 포함하는 반도체 장치에 관한 것이다.

[0002] 본 명세서의 반도체 장치는 반도체 특성들을 이용하여 기능할 수 있는 모든 장치들을 나타내고, 전기-광학 장치들, 반도체 회로들 및 전자 기기들은 모두 반도체 장치들임을 유념한다.

배 경 기 술

[0003] Si 웨이퍼 또는 SOI(silicon on insulator)를 이용하여 제작되는 트랜지스터들을 포함하는 일반 회로에서, 동작 전압이 미세가공의 진행에 의해 감소될 때, 소비 전력이 감소된다.

[0004] 소비 전력은 동적 전력 및 정적 전력(이후, 또한 대기 전력이라고도 칭해짐)의 합이다: 동적 전력은 주로 트랜지스터들의 게이트 용량, 및 트랜지스터들 및 회로 블록들을 접속하는 배선들로 형성된 기생 용량의 충전 및 방전 등에 의해 소비되는 전력이다; 정적 전력은 회로들이 동작하지 않을 때 소비되는 전력이다.

[0005] 소비 전력을 감소시키기 위한 방법들 중 하나로서, 소위 클록 게이팅이라고 칭해지는 기술이 있다(예를 들면, 특허 문헌 1 참조). 클록 게이팅은 회로가 동작하지 않는 동안의 기간에는 회로에 대한 클록 신호의 공급이 중단되는 기술이다. 이 방법에 의해, 클록 신호가 공급되는 배선들의 기생 용량 등에서 소비되는 전력이 감소될 수 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개 특허 출원 제2008-219882호

발명의 내용

해결하려는 과제

[0007] 대기 전력은 일반적으로, 동작하지 않는 회로(이후, 비동작 회로라고 칭해짐)에 의해 소비되는 전력 및 트랜지스터의 누설 전류(이것은 일반적으로, 게이트와 소스 사이에 흐르는 전압이 0V일 때 소스와 드레인 사이에 흐르는 전류임)에 의해 소비되는 전력으로 분류된다.

[0008] 상술된 클록 게이팅에 의해, 동적 소비 전력이 감소될 수 있지만, 누설 전류로 인한 정적 소비 전류는 감소될 수 없다. 비동작 회로에서 동적 소비 전력은 클록 신호가 공급되는 배선들에 의해 형성된 기생 용량의 충전 및 방전으로 인한 소비 전력을 포함하는 것을 유념한다. 또한, 클록 게이팅이 수행되는 회로에서, 비동작 회로에 포함된 소자의 상태가 유지된다. 따라서, 트랜지스터의 누설 전류로 인한 소비 전력은 높은 비율의 대기 전력의 이유가 된다. 그 외에도, 트랜지스터의 누설 전류에 의해 유발되는 논리 회로의 오동작 가능성이 높아진다.

[0009] 상기 문제의 관점에서, 본 발명의 일 실시형태의 목적들 중 하나는 누설 전류로 인한 대기 전력을 감소시키고 클록 게이팅을 수행하는 논리 회로에서 오동작을 억제하는 것이다.

과제의 해결 수단

[0010] 본 발명의 일 실시형태에서, 산화물 반도체를 이용하여 채널 형성 영역이 형성되는 트랜지스터는 논리 회로에 포함된 n-채널 트랜지스터에 적용된다. 상기 트랜지스터에서의 산화물 반도체는 여기서 전자 공여체(도너)가 될 수 있는 수소 또는 수분과 같은 불순물을 제거함으로써 진성 또는 실질적으로 진성 반도체가 되고 실리콘 반도체보다 큰 에너지 갭을 가진다.

[0011] 구체적으로, 논리 회로는 다음의 산화물 반도체를 이용하여 채널 형성 영역이 형성되는 트랜지스터를 포함한다. 산화물 반도체에서, 포함된 수소 또는 OH기가 제거되어 산화물 반도체에서의 수소의 농도는 $5 \times 10^{19}(atoms/cm^3)$ 이하, 바람직하게 $5 \times 10^{18}(atoms/cm^3)$ 이하, 더욱 바람직하게 $5 \times 10^{17}(atoms/cm^3)$ 이하일 수 있고; 캐리어 밀도는 $5 \times 10^{14}/cm^3$ 이하, 바람직하게 $5 \times 10^{12}/cm^3$ 이하이다.

[0012] 산화물 반도체에서, 에너지 갭은 2 eV 이상, 바람직하게, 2.5 eV 이상, 더욱 바람직하게 3 eV 이상이고; 도너를 형성하는 수소와 같은 불순물이 가능한 많이 감소되어, 캐리어 밀도는 $5 \times 10^{14}/cm^3$ 이하, 바람직하게 $5 \times 10^{12}/cm^3$ 이하이다.

[0013] 채널 형성 영역에 대한 기술로서 고순도화된 산화물 반도체를 이용함으로써, 드레인 전압이 1V 및 10V이고 게이트 전압이 -5V 내지 -20V의 범위에 있는 경우, 채널 폭이 10mm인 트랜지스터라도 1×10^{-13} [A] 이하의 드레인 전류를 가진다. 달리 말하면, 고순도화된 산화물 반도체가 트랜지스터의 채널 형성 영역에 이용되고, 그에 의해 누설 전류가 극적으로 감소될 수 있다.

[0014] 본 발명의 일 실시형태는 클록 신호가 입력되는 제 1 기간 및 상기 클록 신호가 입력되지 않는 제 2 기간을 포함하는 논리 회로로서: 제 2 기간에 걸쳐 소스 단자와 드레인 단자 사이에 전위차가 존재하는 오프 상태에 있는 트랜지스터를 포함한다. 트랜지스터에서, 채널 형성 영역은 수소 농도가 $5 \times 10^{19}(atoms/cm^3)$ 이하인 산화물 반도체를 이용하여 형성된다.

발명의 효과

[0015] 본 발명의 일 실시형태의 논리 회로는 클록 신호가 공급되지 않는 기간에 걸쳐 소스 단자와 드레인 단자 사이에 전위차가 존재하는 오프 상태에 있는 트랜지스터를 포함한다. 트랜지스터의 채널 형성 영역은 수소 농도가 감소되는 산화물 반도체를 이용하여 형성된다. 구체적으로, 산화물 반도체의 수소 농도는 $5 \times 10^{19}(atoms/cm^3)$ 이하이다. 따라서, 트랜지스터의 누설 전류가 감소될 수 있다. 결과적으로, 논리 회로의 대기 전력이 감소될 수 있고, 논리 회로의 오동작이 억제될 수 있다.

[0016] 구체적으로, 클록 게이팅이 수행되는 논리 회로에서, 논리 회로의 상태가 장시간 유지된다. 즉, 특정 트랜지스터는 소스 단자와 드레인 단자 사이에 전위차가 존재하는 긴 시간 동안 오프 상태가 된다. 이러한 트랜지스터를 상기 트랜지스터에 적용하는 것은 큰 효과를 가져온다.

[0017] 또한, 전체 회로가 본 발명의 일 실시형태의 논리 회로를 동작시키는 외부 회로의 부하들의 감소를 허용한다.

따라서, 논리 회로 및 외부 회로를 포함하는 반도체 장치의 기능이 확장될 수 있다.

도면의 간단한 설명

[0018] 도 1은 실시형태 1에 기술된 논리 회로의 구성예를 도시한 도면.

도 2a 및 도 2b는 실시형태 2에 기술된 논리 회로의 구성예 및 타이밍 차트의 실시예를 각각 도시한 도면들.

도 3a 및 도 3b는 실시형태 2 에 기술된 AND 게이트의 회로 구성예를 각각 도시한 도면들.

도 4a는 플립-플롭 회로의 구성예를 도시하고, 도 4b 및 도 4c는 실시형태 2에 기술된 NAND 게이트의 회로 구성예를 각각 도시한 도면들.

도 5a 및 도 5b는 실시형태 3에 기술된 논리 회로의 구성예 및 타이밍 차트의 실시예를 각각 도시한 도면들.

도 6a 및 도 6b는 실시형태 3 에 기술된 NOR 게이트의 회로 구성예를 각각 도시한 도면들.

도 7a 및 도 7b는 실시형태 4에 기술된 논리 회로의 구성예 및 타이밍 차트의 실시예를 각각 도시한 도면들.

도 8a는 래치의 구성예를 도시하고, 도 8b 및 도 8c는 실시형태 4에 기술된 논리 회로에서 인버터의 구성예를 각각 도시한 도면들.

도 9는 실시형태 5에 기술된 논리 회로의 구성예를 도시한 도면.

도 10은 실시형태 6에 기술된 논리 회로의 구성예를 도시한 도면.

도 11은 실시형태 7에 기술된 p-채널 트랜지스터 및 n-채널 트랜지스터의 구성예를 도시한 단면도.

도 12a 내지 도 12h는 실시형태 7에 기술된 p-채널 트랜지스터의 제작 공정의 실시예를 도시한 단면도들.

도 13a 내지 도 13g는 실시형태 7에 기술된 n-채널 트랜지스터의 제작 공정의 실시예를 도시한 단면도들.

도 14a 내지 도 14d는 실시형태 7에 기술된 n-채널 트랜지스터의 제작 공정의 실시예를 도시한 단면도들.

도 15는 실시형태 7에 기술된 p-채널 트랜지스터 및 n-채널 트랜지스터의 구성예를 도시한 단면도.

도 16a 및 도 16b는 실시형태 7에 기술된 p-채널 트랜지스터 및 n-채널 트랜지스터의 구성예를 각각 도시한 단면도들.

도 17a 및 도 17b는 실시형태 7에 기술된 p-채널 트랜지스터 및 n-채널 트랜지스터의 구성예를 각각 도시한 단면도들.

도 18a 및 도 18b는 실시형태 7에 기술된 p-채널 트랜지스터 및 n-채널 트랜지스터의 구성예를 각각 도시한 단면도들.

도 19a 및 도 19b는 실시형태 8에 기술된 트랜지스터의 구성예를 도시한 각각의 평면도 및 단면도.

도 20a 내지 도 20e는 실시형태 8에 기술된 트랜지스터의 제작 공정의 실시예를 도시한 단면도들.

도 21a 내지 도 21e는 실시형태 9에 기술된 트랜지스터의 제작 공정의 실시예를 도시한 단면도들.

도 22a 내지 도 22d는 실시형태 10에 기술된 트랜지스터의 제작 공정의 실시예를 도시한 단면도들.

도 23a 내지 도 23f는 실시형태 11에 기술된 반도체 장치의 실시예를 각각 도시한 도면들.

도 24는 실시예 1에 기술된 박막 트랜지스터의 초기 특성을 도시한 그래프.

도 25a 및 도 25b는 실시예 1에 기술된 박막 트랜지스터의 예시를 위한 평가용 소자의 상면도들

도 26a 및 도 26b는 실시예 1에 기술된 박막 트랜지스터의 예시를 위한 평가용 소자의 Vg-Id 특성들을 도시한 그래프들.

발명을 실시하기 위한 구체적인 내용

[0019] 이후, 본 발명의 실시형태들은 첨부 도면들을 참조하여 상세히 기술될 것이다. 본 발명은 하기의 기술에 제한되지 않고, 본 발명이 기술사상 및 범위를 벗어나지 않고 다양한 변경들 및 변형들이 이루어질 수 있음이 본 기술분야의 통상의 기술자들에 의해 쉽게 이해되는 것을 유념한다. 따라서, 본 발명은 하기의 실시형태들의 기술들

에 제한되어서는 안 된다.

[0020] 트랜지스터의 소스 단자 및 드레인 단자가 트랜지스터의 구성, 동작 조건 등에 의존하여 변하기 때문에, 어느 것이 소스 단자 또는 드레인 단자인지를 규정하는 것이 어렵다는 것을 유념한다. 따라서, 이 문서(명세서, 청구항들, 도면들 등)에서, 구별을 위해, 소스 단자 및 드레인 단자 중 하나는 제 1 단자라고 칭해지고, 다른 하나는 제 2 단자라고 칭해진다.

[0021] 실시형태들의 도면들 등에 기술된 각각의 구성의 크기, 층의 두께 또는 영역이 일부 경우들에서 명료화를 위해 과장되었음을 유념한다. 따라서, 본 발명의 실시형태들은 이러한 스케일들에 제한되지 않는다. 또한, 이 명세서에서, "제 1(first)", "제 2(second)" 및 "제 3(third)"과 같은 서수들은 구성요소들 사이의 혼란을 회피하기 위해 이용되고, 이 용어들이 구성요소들을 계수적으로 제한하는 것이 아니다.

[0022] (실시형태 1)

[0023] 이 실시형태에서, 클록 게이팅이 수행되는 논리 회로의 예가 기술될 것이다. 구체적으로, 클록 신호가 입력되는 제 1 기간 및 상기 클록 신호가 입력되지 않는 제 2 기간을 가지고 클록 신호를 이용하여 연산 처리를 수행하는 논리 회로의 예가 도 1을 참조하여 기술될 것이다.

[0024] 도 1에 도시된 논리 회로(10)는 펄스 신호(PS)가 공급되는 배선(이후, 또한 펄스 신호선이라고도 칭해짐)에 전기적으로 접속된 제 1 입력 단자(11), 데이터 신호(Data)가 공급되는 배선(이후, 또한 데이터 신호선이라고도 칭해짐)에 전기적으로 접속된 제 2 입력 단자(12), 및 출력 단자(13)를 포함한다. 논리 회로(10)는 클록 신호(CK)가 펄스 신호선을 통해 공급되는 기간 및 클록 신호가 공급되지 않는 기간을 가진다. 즉, 도 1에 도시된 논리 회로는 클록 게이팅이 수행되는 논리 회로이다. 문장 "클록 신호가 공급되지 않는(a clock gate is not supplied)"은 클록 신호가 하이 레벨의 전위 또는 로우 레벨의 전위로 고정되는 것; 즉, 전위 레벨이 하이 레벨에서 로우 레벨로, 또는 로우 레벨에서 하이 레벨로 변하는 신호가 공급되지 않는 것을 의미하는 것을 유념한다.

[0025] 그 외에도, 도 1에 도시된 이 실시형태의 논리 회로(10)는 메인 논리 회로부(14), 및 클록 신호가 공급되지 않는 기간에 걸쳐 소스 단자와 드레인 단자 사이에 전위차가 존재하는 오프 상태에 있는 트랜지스터(15)를 포함한다. 메인 논리 회로부(14)는 트랜지스터들, 커패시터들, 저항 소자들 등의 복수의 소자들을 포함하는 것을 유념한다.

[0026] 트랜지스터(15)의 채널 형성 영역은 수소 농도가 $5 \times 10^{19}(atoms/cm^3)$ 이하, 바람직하게 $5 \times 10^{18}(atoms/cm^3)$ 이하, 더욱 바람직하게 $5 \times 10^{17}(atoms/cm^3)$ 이하인 산화물 반도체를 이용하여 형성된다. 달리 말하면, 트랜지스터(15)는, 캐리어의 도너의 역할을 하는 수소의 농도를 극히 낮은 레벨로 감소시킴으로써 고순도화되는 산화물 반도체를 이용하여 채널 형성 영역이 형성되는 트랜지스터이다. 산화물 반도체의 수소 농도는 2차 이온 질량 분석법(SIMS: secondary ion mass spectrometry)에 의해 측정된다.

[0027] 이 실시형태의 논리 회로는 클록 게이팅이 수행되는 논리 회로이고, 클록 게이팅이 수행되는(즉, 클록 신호가 입력되지 않는) 기간에 걸쳐 소스 단자와 드레인 단자 사이에 전위차가 존재하는 오프 상태에 있는 트랜지스터를 포함한다. 트랜지스터에서, 채널 형성 영역은 산화물 반도체를 이용하여 형성된다. 산화물 반도체의 수소 농도는 $5 \times 10^{19}(atoms/cm^3)$ 이하, 바람직하게 $5 \times 10^{18}(atoms/cm^3)$ 이하, 더욱 바람직하게 $5 \times 10^{17}(atoms/cm^3)$ 이하가 되도록 제어된다. 따라서, 트랜지스터의 오프 전류는 1×10^{-13} [A] 이하로 감소될 수 있다. 즉, 트랜지스터를 통한 전하들의 누설이 억제될 수 있다. 결과적으로, 이 기간 동안의 대기 전력은 감소될 수 있고, 이 기간 동안의 논리 회로의 오동작이 억제될 수 있다.

[0028] 클록 게이팅이 수행되는 논리 회로에서, 구체적으로, 논리 회로의 상태가 장시간 동안 유지된다. 즉, 특정 트랜지스터가 장시간 동안 오프 상태를 유지하고, 소스 단자와 드레인 단자 사이의 전위차가 존재한다. 이러한 트랜지스터를 상기 트랜지스터에 적용하는 것은 큰 효과를 가져온다.

[0029] 또한, 논리 회로에서 소비된 전력의 감소는 이 실시형태의 논리 회로를 동작시키는 외부 회로의 부하들의 감소를 허용한다. 따라서, 논리 회로 및 외부 회로를 포함하는 반도체 장치의 기능이 확장될 수 있다.

[0030] 이 실시형태의 내용들 또는 그 일부는 다른 실시형태들의 내용들 또는 그 일부나 실시예의 내용 또는 그 일부와 자유롭게 조합될 수 있음을 유념한다.

[0031] (실시형태 2)

[0032] 이 실시형태에서, 실시형태 1에 기술된 논리 회로의 예가 기술될 것이다. 구체적으로, AND 게이트 및 플립-플롭을 포함하는 논리 회로는 도 2a 및 도 2b, 도 3a 및 도 3b, 그리고 도 4a 내지 도 4c를 참조하여 기술될 것이다.

[0033] < 논리 회로의 구성예 >

[0034] 도 2a에 도시된 이 실시형태의 논리 회로(200)는 AND 게이트(201) 및 플립-플롭(202)을 포함한다. AND 게이트(201)는, 인에이블 신호(EN)가 공급되는 배선(이후, 또한 인에이블 신호선이라고도 칭해짐)에 전기적으로 접속되는 제 1 입력 단자 및 클록 신호(CK)가 공급되는 배선(이후, 또한 클록 신호선이라고도 칭해짐)에 전기적으로 접속되는 제 2 입력 단자를 구비한다. 플립-플롭(202)은 데이터 신호선에 전기적으로 접속되는 제 1 입력 단자 및 AND 게이트(201)의 출력 단자에 전기적으로 접속되는 제 2 입력 단자를 구비한다.

[0035] 이 실시형태의 논리 회로에 포함된 플립-플롭(202)은 피드백 동작을 이용하는 1 비트에 대한 데이터를 유지할 수 있는 회로임을 유념한다. 플립-플롭(202)의 출력 신호는 논리 회로(200)의 출력 신호의 역할을 한다.

[0036] < 논리 회로의 동작예 >

[0037] 도 2a에 도시된 논리 회로의 동작은 도 2b에 도시된 타이밍 차트를 참조하여 기술된다.

[0038] 기간 T1 동안, 인에이블 신호선은 하이 레벨의 신호가 공급되는 배선의 역할을 한다. 따라서, AND 게이트(201)의 출력 신호(AND(Out))는 클록 신호(CK)이다. 즉, 클록 신호(CK)는 플립-플롭(202)의 제 2 입력 단자에 입력된다. 플립-플롭(202)은 입력 클록 신호(CK)로 동작한다. 구체적으로, 플립-플롭(202)은 클록 신호(CK) 레벨이 로우 레벨에서 하이 레벨로 변경될 때 데이터 신호(D0 또는 D1)를 수신하고, 클록 신호(CK) 레벨이 하이 레벨에서 로우 레벨로 변경될 때 데이터 신호를 출력한다.

[0039] 기간 T2 동안, 인에이블 신호선은 로우 레벨의 신호가 공급되는 배선의 역할을 한다. 따라서, AND 게이트(201)의 출력 신호(AND(Out))는 로우-레벨 신호이다. 즉, 로우-레벨 신호는 플립-플롭(202)의 제 2 입력 단자에 입력된다. 이때, 논리 회로의 출력 신호(Out)는 데이터 신호(D1)로서 유지된다.

[0040] 기간 T3 동안, 인에이블 신호선은 하이-레벨 신호가 다시 공급되는 배선의 역할을 한다. 즉, 기간 T1과 같이, 플립-플롭(202)은 클록 신호(CK) 레벨이 로우 레벨에서 하이 레벨로 변경될 때 데이터 신호(D2 또는 D3)를 수신하고, 클록 신호(CK) 레벨이 하이 레벨에서 로우 레벨로 변경될 때 데이터 신호를 출력한다.

[0041] 이 실시형태의 논리 회로에서, 플립-플롭(202)에 입력된 클록 신호는 인에이블 신호(EN)에 의해 제어된다. 즉, 논리 회로에서, 플립-플롭(202)에 대해 클록 게이팅이 수행된다.

[0042] 이 실시형태의 논리 회로는 플립-플롭(202)에 입력된 클록 신호가 하이 레벨로 바뀔 때 판독하고, 일 클록 사이클 동안 판독된 데이터를 유지하는 것을 유념한다. 따라서, 논리 회로의 출력 신호(Out)는 플립-플롭(202)이 동작하는 기간 T1 또는 기간 T3을 경과한 후에도 일시적으로 유지된다.

[0043] < AND 게이트 및 플립-플롭의 회로 구성예 >

[0044] 도 2a에 도시된 논리 회로에 포함되는 AND 게이트(201)의 회로 구성의 구체예들이 도 3a 및 도 3b에 도시되고, 플립-플롭(202)의 회로 구성의 구체예들이 도 4a 내지 도 4c에 도시된다.

[0045] 도 3a에 도시된 AND 게이트는 트랜지스터들(211 내지 216)을 포함한다. 트랜지스터들(211, 214 및 215)은 p-채널 트랜지스터들이고, 트랜지스터들(212, 213 및 216)은 n-채널 트랜지스터들이다.

[0046] 트랜지스터(211)에서, 게이트 단자가 인에이블 신호선에 전기적으로 접속되고, 제 1 단자가 고전원 전위(VDD)가 공급되는 배선(이후, 또한 고전원 전위선이라고도 칭해짐)에 전기적으로 접속된다.

[0047] 트랜지스터(212)에서, 게이트 단자가 인에이블 신호선 및 트랜지스터(211)의 게이트 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(211)의 제 2 단자에 전기적으로 접속된다.

[0048] 트랜지스터(213)에서, 게이트 단자가 클록 신호선에 전기적으로 접속되고, 제 1 단자가 트랜지스터(212)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위(VSS)에 공급되는 배선(이후, 저전원 전위선이라고 칭해짐)에 전기적으로 접속된다.

[0049] 트랜지스터(214)에서, 게이트 단자가 클록 신호선 및 트랜지스터(213)의 게이트 단자에 전기적으로 접속되고,

제 1 단자가 고전원 전위선에 전기적으로 접속되고, 제 2 단자가 트랜지스터(211)의 제 2 단자 및 트랜지스터(212)의 제 1 단자에 전기적으로 접속된다.

[0050] 트랜지스터(215)에서, 게이트 단자가 트랜지스터(211)의 제 2 단자, 트랜지스터(212)의 제 1 단자 및 트랜지스터(214)의 제 2 단자에 전기적으로 접속되고, 제 1 단자가 고전원 전위선에 전기적으로 접속된다.

[0051] 트랜지스터(216)에서, 게이트 단자가 트랜지스터(211)의 제 2 단자, 트랜지스터(212)의 제 1 단자, 트랜지스터(214)의 제 2 단자 및 트랜지스터(215)의 게이트 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(215)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

[0052] AND 게이트에서, 트랜지스터(215)의 제 2 단자 및 트랜지스터(216)의 제 1 단자가 전기적으로 접속되는 노드의 전위는 AND 게이트의 출력 신호(AND(Out))로서 출력되는 것을 유념한다.

[0053] 이 명세서에서, 고전원 전위(VDD) 및 저전원 전위(VSS)의 각각은 고전원 전위(VDD)가 저전원 전위(VSS)보다 높은 한 임의의 전위가 될 수 있다. 예를 들면, 접지 전위, 0V 등이 저전원 전위(VSS)에 인가될 수 있고, 임의의 양의 전위가 고전원 전위(VDD)에 인가될 수 있다.

[0054] 도 3b에 도시된 AND 게이트는 트랜지스터들(221 내지 225)을 포함한다. 트랜지스터들(221 내지 225)은 n-채널 트랜지스터들이다. 그 외에도, 트랜지스터들(221 내지 225)은 임계 전압들이 양인 인핸스먼트 트랜지스터들이다.

[0055] 트랜지스터(221)에서, 게이트 단자 및 제 1 단자가 고전원 전위선에 전기적으로 접속된다.

[0056] 트랜지스터(222)에서, 게이트 단자가 인에이블 신호선에 전기적으로 접속되고, 제 1 단자가 트랜지스터(221)의 제 2 단자에 전기적으로 접속된다.

[0057] 트랜지스터(223)에서, 게이트 단자가 클록 신호선에 전기적으로 접속되고, 제 1 단자가 트랜지스터(222)의 제 2 단자에 전기적으로 접속되고 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

[0058] 트랜지스터(224)에서, 게이트 단자 및 제 1 단자가 고전원 전위선에 전기적으로 접속된다.

[0059] 트랜지스터(225)에서, 게이트 단자가 트랜지스터(221)의 제 2 단자 및 트랜지스터(222)의 제 1 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(224)의 제 2 단자가 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

[0060] AND 게이트에서, 트랜지스터(224)의 제 2 단자 및 트랜지스터(225)의 제 1 단자가 전기적으로 접속되는 노드의 전위는 AND 게이트의 출력 신호(AND(Out))로서 출력되는 것을 유념한다.

[0061] 트랜지스터(221) 및 트랜지스터(224)의 각각은 게이트 단자 및 제 1 단자가 고전원 전위선에 전기적으로 접속되는 인핸스먼트 트랜지스터이다. 따라서, 트랜지스터(221) 및 트랜지스터(224) 각각은 기간들에 상관없이 온 상태를 유지한다. 달리 말하면, 트랜지스터(221) 및 트랜지스터(224)는 저항 소자들로서 이용된다.

[0062] 또한, AND 게이트의 제 1 입력 단자 및 제 2 입력 단자는 서로 교환될 수 있다. 상기 기술에서 인에이블 신호선에 전기적으로 접속되도록 규정된 단자는 클록 신호선에 전기적으로 접속될 수 있고, 클록 신호선에 전기적으로 접속되도록 규정된 단자는 인에이블 신호선에 전기적으로 접속될 수 있다.

[0063] 도 4a에 도시된 플립-플롭은 NAND 게이트들(231 내지 234)을 포함한다.

[0064] NAND 게이트(231)에서, 제 1 입력 단자는 데이터 신호선에 전기적으로 접속되고, 제 2 입력 단자는 AND 게이트의 출력 단자에 전기적으로 접속된다.

[0065] NAND 게이트(232)에서, 제 1 입력 단자는 NAND 게이트(231)의 출력 단자에 전기적으로 접속되고, 제 2 입력 단자는 AND 게이트의 출력 단자 및 NAND 게이트(231)의 제 2 입력 단자에 전기적으로 접속된다.

[0066] NAND 게이트(233)에서, 제 1 입력 단자는 NAND 게이트(231)의 출력 단자 및 NAND 게이트(232)의 제 1 입력 단자에 전기적으로 접속된다.

[0067] NAND 게이트(234)에서, 제 1 입력 단자는 NAND 게이트(233)의 출력 단자에 전기적으로 접속되고, 제 2 입력 단자는 NAND 게이트(232)의 출력 단자에 전기적으로 접속되고, 출력 단자는 NAND 게이트(233)의 제 2 입력 단자에 전기적으로 접속된다.

[0068] 도 4a에 도시된 플립-플롭은 지연형 플립-플롭(delay-type flip-flop)이다. 이 실시형태의 플립-플롭이 Q 단자

만 출력 단자로서 이용되는 지연형 플립-플롭이지만, 플립-플롭은 Q 단자 및 QB 단자의 2개의 출력 단자들(NAND 게이트(234)의 출력 단자)이 제공되는 구성을 가질 수 있다.

[0069] 도 4a에 도시된 플립-플롭은 단지 예일 뿐이고, 이 실시형태의 플립-플롭의 구성은 도 4a의 구성에 제한되지 않는다. 달리 말하면, 이 실시형태의 플립-플롭은 1 비트에 대한 데이터가 피드백 동작을 이용하여 유지될 수 있다면 임의의 구성을 가질 수 있다.

[0070] 도 4b 및 도 4c 각각은 NAND 게이트들(231 내지 234)에 적용 가능한 회로의 구체예를 도시한다.

[0071] 도 4b에 도시된 NAND 게이트는 트랜지스터들(241 내지 244)을 포함한다. 트랜지스터(241) 및 트랜지스터(244)가 p-채널 트랜지스터들이고, 트랜지스터(242) 및 트랜지스터(243)가 n-채널 트랜지스터들임을 유념한다.

[0072] 트랜지스터(241)에서, 게이트 단자는 NAND 게이트의 제 1 입력 단자에 전기적으로 접속되고, 제 1 단자는 고전원 전위선에 전기적으로 접속된다.

[0073] 트랜지스터(242)에서, 게이트 단자는 트랜지스터(241)의 게이트 단자 및 NAND 게이트의 제 1 입력 단자에 전기적으로 접속되고, 제 1 단자는 트랜지스터(241)의 제 2 단자에 전기적으로 접속된다.

[0074] 트랜지스터(243)에서, 게이트 단자는 NAND 게이트의 제 2 입력 단자에 전기적으로 접속되고, 제 1 단자는 트랜지스터(242)의 제 2 단자에 전기적으로 접속되고, 제 2 단자는 저전원 전위선에 전기적으로 접속된다.

[0075] 트랜지스터(244)에서, 게이트 단자는 트랜지스터(243)의 게이트 단자 및 NAND 게이트의 제 2 입력 단자에 전기적으로 접속되고, 제 1 단자는 고전원 전위선에 전기적으로 접속되고, 제 2 단자는 트랜지스터(241)의 제 2 단자 및 트랜지스터(242)의 제 1 단자에 전기적으로 접속된다.

[0076] NAND 게이트에서, 트랜지스터(241)의 제 2 단자, 트랜지스터(242)의 제 1 단자 및 트랜지스터(244)의 제 2 단자가 전기적으로 접속되는 노드의 전위는 NAND 게이트의 출력 신호로서 출력되는 것을 유념한다.

[0077] 도 4c에 도시된 NAND 게이트는 트랜지스터들(251 내지 253)을 포함한다. 트랜지스터들(251 내지 253)은 n-채널 트랜지스터들임을 유념한다. 그 외에도, 트랜지스터들(251 내지 253)은 임계 전압들이 양인 인핸스먼트 트랜지스터들이다.

[0078] 트랜지스터(251)에서, 게이트 단자 및 제 1 단자는 고전원 전위선에 전기적으로 접속된다.

[0079] 트랜지스터(252)에서, 게이트 단자는 NAND 게이트의 제 1 입력 단자에 전기적으로 접속되고, 제 1 단자는 트랜지스터(251)의 제 2 단자에 전기적으로 접속된다.

[0080] 트랜지스터(253)에서, 게이트 단자는 NAND 게이트의 제 2 입력 단자에 전기적으로 접속되고, 제 1 단자는 트랜지스터(252)의 제 2 단자에 전기적으로 접속되고, 제 2 단자는 저전원 전위선에 전기적으로 접속된다.

[0081] NAND 게이트에서, 트랜지스터(251)의 제 2 단자, 트랜지스터(252)의 제 1 단자가 전기적으로 접속되는 노드의 전위는 NAND 게이트의 출력 신호로서 출력되는 것을 유념한다.

[0082] 또한, NAND 게이트의 제 1 입력 단자 및 제 2 입력 단자는 서로 교환될 수 있다. 상기 기술에서 NAND 게이트의 제 1 입력 단자에 전기적으로 접속되도록 규정된 단자는 NAND 게이트의 제 2 입력 단자에 전기적으로 접속될 수 있고, NAND 게이트의 제 2 입력 단자에 전기적으로 접속되도록 규정된 단자는 NAND 게이트의 제 1 입력 단자에 전기적으로 접속될 수 있다.

[0083] 이 실시형태의 논리 회로에서, NAND 게이트들(231 내지 234)에 포함된 트랜지스터들(242, 243, 252 및 253) 중 적어도 하나는 산화물 반도체를 이용하여 형성되는 채널 형성 영역을 구비한다. 산화물 반도체의 수소 농도는 5×10^{19}(atoms/cm^3) 이하, 바람직하게 5×10^{18}(atoms/cm^3) 이하, 더욱 바람직하게 5×10^{17}(atoms/cm^3) 이하가 되도록 제어된다. 따라서, 트랜지스터의 오프 전류는 1×10^{-13} [A] 이하로 감소될 수 있다. 즉, 트랜지스터를 통한 전하들의 누설이 억제될 수 있다. 결과적으로, 이 기간 동안의 대기 전력은 감소될 수 있고, 이 기간 동안의 논리 회로의 오동작이 억제될 수 있다.

[0084] 또한, 도 3b에 도시된 AND 게이트가 이 실시형태의 논리 회로에 포함된 AND 게이트(201)에 적용되고 도 4c에 도시된 NAND 게이트를 포함하는 지연형 플립-플롭이 플립-플롭(202)에 적용될 때, 논리 회로에 포함된 모든 트랜지스터들은 n-채널 트랜지스터들이 될 수 있다. n-채널 트랜지스터들을 상기 트랜지스터들(수소 농도가 5×10^{19}(atoms/cm^3) 이하인 산화물 반도체를 이용하여 채널 형성 영역이 형성됨)에 적용함으로써, 포함된 트랜지스

터들 모두가 n-채널 트랜지스터들인 논리 회로에서 소비 전력이 감소될 수 있다. 그 외에도, p-채널 트랜지스터들이 아닌 n-채널 트랜지스터들을 포함하는 논리 회로의 형성에 의해, 제작 공정의 감소, 논리 회로의 수율의 개선 및 제조 비용의 감소가 달성될 수 있다.

[0085] 또한, 논리 회로에서 소비 전력의 감소는 이 실시형태의 논리 회로를 동작시키는 외부 회로의 부하들의 감소를 허용한다. 따라서, 논리 회로 및 외부 회로를 포함하는 반도체 장치의 기능이 확장될 수 있다.

[0086] 이 실시형태의 내용들 또는 그 일부는 다른 실시형태들의 내용들 또는 그 일부나 실시예의 내용 또는 그 일부와 자유롭게 조합될 수 있음을 유념한다.

[0087] (실시형태 3)

[0088] 이 실시형태에서, 실시형태 1에 기술된 논리 회로의 예가 기술될 것이다. 구체적으로, NOR 게이트 및 플립-플롭을 포함하는 논리 회로가 도 5a 및 도 5b, 도 6a 및 도 6b를 참조하여 기술될 것이다.

[0089] < 논리 회로의 구성예 >

[0090] 도 5a에 도시된 이 실시형태의 논리 회로(500)는 NOR 게이트(501) 및 플립-플롭(502)을 포함한다. NOR 게이트(501)에서, 제 1 입력 단자가 인에이블 신호선에 전기적으로 접속되고, 제 2 입력 단자가 반전 클록 신호(CKB)가 공급되는 배선(이후, 또한 반전 클록 신호선이라고도 칭해짐)에 전기적으로 접속된다. 플립-플롭(502)에서, 제 1 입력 단자가 데이터 신호선에 전기적으로 접속되고, 제 2 입력 단자가 NOR 게이트(501)의 출력 단자에 전기적으로 접속된다.

[0091] 이 실시형태의 논리 회로에 포함된 플립-플롭(502)은 피드백 동작을 이용하는 1비트의 데이터를 유지할 수 있는 회로임을 유념한다. 플립-플롭(502)의 출력 신호는 논리 회로(500)의 출력 신호의 역할을 한다.

[0092] < 논리 회로의 동작예 >

[0093] 도 5a에 도시된 논리 회로의 동작은 도 5b에 도시된 타이밍 차트를 참조하여 기술된다.

[0094] 기간 T4 동안, 인에이블 신호선은 로우 레벨의 신호가 공급되는 배선의 역할을 한다. 따라서, NOR 게이트(501)의 출력 신호(NOR(Out))는 클록 신호(CK)이다. 즉, 클록 신호(CK)는 플립-플롭(502)의 제 2 입력 단자에 입력된다. 플립-플롭(502)은 입력 클록 신호(CK)로 동작한다. 구체적으로, 플립-플롭(502)은 클록 신호(CK)의 레벨이 로우 레벨에서 하이 레벨로 변경될 때 데이터 신호(D4 또는 D5)를 수신하고, 클록 신호(CK)의 레벨이 하이 레벨에서 로우 레벨로 변경될 때 데이터 신호를 출력한다.

[0095] 기간 T5 동안, 인에이블 신호선은 하이 레벨의 신호가 공급되는 배선의 역할을 한다. 따라서, NOR 게이트(501)의 출력 신호(NOR(Out))는 로우-레벨 신호이다. 즉, 로우-레벨 신호는 플립-플롭(502)의 제 2 입력 단자에 입력된다. 이때, 논리 회로의 출력 신호(Out)는 데이터 신호(D5)로서 유지된다.

[0096] 기간 T6 동안, 인에이블 신호선은 로우 레벨의 신호가 공급되는 배선의 역할을 한다. 즉, 기간 T4와 같이, 플립-플롭(502)은 클록 신호(CK) 레벨이 로우 레벨에서 하이 레벨로 변경될 때 데이터 신호(D6 또는 D7)를 수신하고, 클록 신호(CK) 레벨이 하이 레벨에서 로우 레벨로 변경될 때 데이터 신호를 출력한다.

[0097] 이 실시형태의 논리 회로에서, 플립-플롭(502)에 입력된 클록 신호는 인에이블 신호(EN)에 의해 제어된다. 즉, 논리 회로에서, 플립-플롭(502)에 대해 클록 게이팅이 수행된다.

[0098] 이 실시형태의 논리 회로는 플립-플롭(502)에 입력된 클록 신호가 하이 레벨로 바뀔 때 판독하고, 일 클록 사이클 동안 판독된 데이터를 유지하는 것을 유념한다. 따라서, 논리 회로의 출력 신호(Out)는 플립-플롭(502)이 동작하는 기간 T4 또는 기간 T6을 경과한 후에도 일시적으로 유지된다.

[0099] < NOR 게이트 및 플립-플롭의 회로 구성예 >

[0100] 도 5a에 도시된 논리 회로에 포함되는 NOR 게이트(501)의 회로 구성의 구체예들이 도 6a 및 도 6b에 도시된다. 도 5a에 도시된 논리 회로에 포함되는 플립-플롭(502)은 도 4a에 도시된 지연형 플립-플롭일 수 있음을 유념한다. 따라서, 지연형 플립-플롭의 상기 기술은 플립-플롭(502)의 회로 구성의 구체예로서 칭해진다. NOR 게이트(501)의 회로 구성의 구체예들은 도 6a 및 도 6b를 참조하여 하기에 기술된다.

[0101] 도 6a에 도시된 NOR 게이트는 트랜지스터들(511 내지 514)을 포함한다. 트랜지스터들(511 내지 512)은 p-채널 트랜지스터들이고, 트랜지스터들(513 및 514)은 n-채널 트랜지스터들임을 유념한다.

[0102] 트랜지스터(511)에서, 게이트 단자가 인에이블 신호선에 전기적으로 접속되고, 제 1 단자가 고전원 전위(VDD)가 공급되는 배선(이후, 또한 고전원 전위선이라고도 칭해짐)에 전기적으로 접속된다.

[0103] 트랜지스터(512)에서, 게이트 단자가 반전 클록 신호선에 전기적으로 접속되고, 제 1 단자가 트랜지스터(511)의 제 2 단자에 전기적으로 접속된다.

[0104] 트랜지스터(513)에서, 게이트 단자가 반전 클록 신호선 및 트랜지스터(512)의 게이트 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(512)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위에 공급되는 배선에 전기적으로 접속된다.

[0105] 트랜지스터(514)에서, 게이트 단자가 인에이블 신호선 및 트랜지스터(511)의 게이트 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(512)의 제2 단자 및 트랜지스터(513)의 제 1 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

[0106] NOR 게이트에서, 트랜지스터(512)의 제 2 단자, 트랜지스터(513)의 제 1 단자 및 트랜지스터(514)의 제 1 단자가 전기적으로 접속되는 노드의 전위는 NOR 게이트의 출력 신호(NOR(Out))로서 출력되는 것을 유념한다.

[0107] 도 6b에 도시된 NOR 게이트는 트랜지스터들(521 내지 523)을 포함한다. 트랜지스터들(521 내지 523)은 n-채널 트랜지스터들임을 유념한다. 그 외에도, 트랜지스터들(521 내지 523)은 임계 전압들이 양인 인핸스먼트 트랜지스터들이다.

[0108] 트랜지스터(521)에서, 게이트 단자 및 제 1 단자가 고전원 전위선에 전기적으로 접속된다.

[0109] 트랜지스터(522)에서, 게이트 단자가 반전 클록 신호선에 전기적으로 접속되고, 제 1 단자가 트랜지스터(521)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

[0110] 트랜지스터(523)에서, 게이트 단자가 인에이블 신호선에 전기적으로 접속되고, 제 1 단자가 트랜지스터(521)의 제 2 단자 및 트랜지스터(522)의 제 1 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

[0111] NOR 게이트에서, 트랜지스터(521)의 제 2 단자, 트랜지스터(522)의 제 1 단자 및 트랜지스터(523)의 제 1 단자가 전기적으로 접속되는 노드의 전위는 NOR 게이트의 출력 신호(AND(Out))로서 출력되는 것을 유념한다.

[0112] 트랜지스터(521)는 게이트 단자 및 제 1 단자가 고전원 전위선에 전기적으로 접속되는 인핸스먼트 트랜지스터이다. 따라서, 트랜지스터(521)는 기간들에 상관없이 온 상태를 유지한다. 달리 말하면, 트랜지스터(521)는 저항 소자들로서 이용된다.

[0113] 또한, NOR 게이트의 제 1 입력 단자 및 제 2 입력 단자는 서로 교환될 수 있다. 상기 기술에서 인에이블 신호선에 전기적으로 접속되도록 규정된 단자는 반전 클록 신호선에 전기적으로 접속될 수 있고, 반전 클록 신호선에 전기적으로 접속되도록 규정된 단자는 인에이블 신호선에 전기적으로 접속될 수 있다.

[0114] 이 실시형태의 논리 회로는 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 트랜지스터를 포함한다. 산화물 반도체의 수소 농도는 $5 \times 10^{19}(atoms/cm^3)$ 이하, 바람직하게 $5 \times 10^{18}(atoms/cm^3)$ 이하, 더욱 바람직하게 $5 \times 10^{17}(atoms/cm^3)$ 이하가 되도록 제어된다. 따라서, 트랜지스터의 오프 전류는 1×10^{-13} [A] 이하로 감소될 수 있다. 즉, 클록 게이팅이 수행되는 기간에 걸쳐 트랜지스터를 통한 전하들의 누설이 억제될 수 있다. 결과적으로, 이 기간 동안의 대기 전력은 감소될 수 있고, 이 기간 동안의 논리 회로의 오동작이 억제될 수 있다.

[0115] 또한, 도 6b에 도시된 NOR 게이트가 이 실시형태의 논리 회로에 포함된 NOR 게이트(501)에 적용되고 도 4c에 도시된 NAND 게이트를 포함하는 지연형 플립-플롭이 플립-플롭(502)에 적용될 때, 논리 회로에 포함된 모든 트랜지스터들은 n-채널 트랜지스터들이 될 수 있다. n-채널 트랜지스터들을 상기 트랜지스터들(수소 농도가 $5 \times 10^{19}(atoms/cm^3)$ 이하인 산화물 반도체를 이용하여 채널 형성 영역이 형성됨)에 적용함으로써, 포함된 트랜지스터들 모두가 n-채널 트랜지스터들인 논리 회로에서 소비 전력이 감소될 수 있다. 그 외에도, p-채널 트랜지스터들이 아닌 n-채널 트랜지스터들을 포함하는 논리 회로의 형성에 의해, 제작 공정의 감소, 논리 회로의 수율의 개선 및 제조 비용의 감소가 달성될 수 있다.

[0116] 또한, 논리 회로에서 소비 전력의 감소는 이 실시형태의 논리 회로를 동작시키는 외부 회로의 부하들의 감소를 허용한다. 따라서, 논리 회로 및 외부 회로를 포함하는 반도체 장치의 기능이 확장될 수 있다.

[0117] 이 실시형태의 내용들 또는 그 일부는 다른 실시형태들의 내용들 또는 그 일부나 실시예의 내용 또는 그 일부와 자유롭게 조합될 수 있음을 유념한다.

[0118] (실시형태 4)

[0119] 이 실시형태에서, 실시형태 1에 기술된 논리 회로의 예가 기술된다. 구체적으로, 래치 및 플립-플롭을 포함하는 논리 회로가 도 7a 및 도 7b와 도 8a 내지 도 8c를 참조하여 기술될 것이다.

[0120] < 논리 회로의 구성예 >

[0121] 도 7a에 도시된 이 실시형태의 논리 회로(600)는 래치(601) 및 플립-플롭(602)을 포함한다. 래치(601)에서, 제 1 입력 단자가 인에이블 신호선에 전기적으로 접속되고, 제 2 입력 단자가 반전 클록 신호선에 전기적으로 접속된다. 플립-플롭(602)에서, 제 1 입력 단자가 데이터 신호선에 전기적으로 접속되고, 제 2 입력 단자가 래치(601)의 출력 단자에 전기적으로 접속된다.

[0122] 이 실시형태의 논리 회로에 포함된 플립-플롭(602)은 피드백 동작을 이용하는 1비트의 데이터를 유지할 수 있는 회로임을 유념한다. 플립-플롭(602)의 출력 신호는 논리 회로(600)의 출력 신호의 역할을 한다.

[0123] 이 실시형태의 래치(601)는 데이터가 래치될 수 있는 한 임의의 구성을 가질 수 있다. 여기서 래치(601)로서, 하이 레벨의 신호가 제 1 입력 신호에 공급될 때 제 2 입력 단자에 입력된 신호의 반전 신호를 래치하는 회로가 이용된다.

[0124] < 논리 회로의 동작예 >

[0125] 도 7a에 도시된 논리 회로의 동작은 도 7b에 도시된 타이밍 차트를 참조하여 기술된다.

[0126] 기간 T7 동안, 인에이블 신호선은 하이 레벨의 신호가 공급되는 배선의 역할을 한다. 이때, 래치(601)의 출력 신호(Latch(Out))는 클록 신호(CK)이다. 달리 말하면, 클록 신호(CK)는 플립-플롭(602)의 제 2 입력 단자에 입력된다. 플립-플롭(602)은 입력 클록 신호(CK)로 동작한다. 구체적으로, 플립-플롭(602)은 클록 신호(CK)의 레벨이 로우 레벨에서 하이 레벨로 변경될 때 데이터 신호(D8 또는 D9)를 수신하고, 클록 신호(CK)의 레벨이 하이 레벨에서 로우 레벨로 변경될 때 데이터 신호를 출력한다.

[0127] 기간 T8 동안, 인에이블 신호선은 로우 레벨의 신호가 공급되는 배선의 역할을 한다. 이때 래치(601)의 출력 신호(Latch(Out))는 로우 레벨을 유지한다. 달리 말하면, 로우-레벨 신호는 플립-플롭(602)의 제 2 입력 단자에 입력된다. 이때, 논리 회로의 출력 신호(Out)는 데이터 신호(D9)로서 유지된다.

[0128] 기간 T9 동안, 인에이블 신호선은 하이 레벨의 신호가 공급되는 배선의 역할을 한다. 즉, 기간 T7과 같이, 플립-플롭(602)은 클록 신호(CK) 레벨이 로우 레벨에서 하이 레벨로 변경될 때 데이터 신호(D10 또는 D11)를 수신하고, 클록 신호(CK) 레벨이 하이 레벨에서 로우 레벨로 변경될 때 데이터 신호를 출력한다.

[0129] 이 실시형태의 논리 회로에서, 플립-플롭(602)에 입력된 클록 신호(CK)는 인에이블 신호(EN)에 의해 제어된다. 즉, 논리 회로에서, 플립-플롭(602)에 대해 클록 게이팅이 수행된다.

[0130] 이 실시형태의 논리 회로는 플립-플롭(602)에 입력된 클록 신호가 하이 레벨로 바뀔 때 판독하고, 일 클록 사이클 동안 판독된 데이터를 유지하는 것을 유념한다. 따라서, 논리 회로의 출력 신호(Out)는 플립-플롭(602)이 동작하는 기간 T7 또는 기간 T9를 경과한 후에도 일시적으로 유지된다.

[0131] < 래치 및 플립-플롭의 회로 구성예 >

[0132] 도 7a에 도시된 논리 회로에 포함되는 래치(601)의 회로 구성의 구체예들이 도 8a 내지 도 8c에 도시된다. 도 7a에 도시된 논리 회로에 포함되는 플립-플롭(602)은 도 4a에 도시된 지연형 플립-플롭일 수 있음을 유념한다. 따라서, 지연형 플립-플롭의 상기 기술은 플립-플롭(602)의 회로 구성의 구체예로서 칭해진다. 래치(601)의 회로 구성의 구체예들은 8a 내지 도 8c를 참조하여 하기에 기술된다.

[0133] 도 8a에 도시된 래치는 트랜지스터(611), 인버터(612) 및 인버터(613)를 포함한다. 트랜지스터(611)는 n-채널 트랜지스터임을 유념한다.

[0134] 트랜지스터(611)에서, 게이트 단자가 인에이블 신호선에 전기적으로 접속되고, 제 1 단자가 반전 클록 신호선에 전기적으로 접속된다.

[0135] 인버터(612)의 입력 단자는 트랜지스터(611)의 제 2 단자에 전기적으로 접속된다.

[0136] 인버터(613)의 입력 단자는 인버터(612)의 출력 단자에 전기적으로 접속되고, 그 출력 단자는 트랜지스터(611)의 제 2 단자 및 인버터(612)의 입력 단자에 전기적으로 접속된다.

[0137] 래치에서, 인버터(612)의 출력 단자는 래치의 출력 신호(Latch(Out))로서 출력되는 것을 유념한다.

[0138] 도 8b 및 도 8c는 인버터(612) 및 인버터(613)에 적용할 수 있는 회로의 구체예들을 도시한다.

[0139] 도 8b에 도시된 인버터는 트랜지스터(621) 및 트랜지스터(622)를 포함한다. 트랜지스터(621)는 p-채널 트랜지스터이고 트랜지스터(622)는 n-채널 트랜지스터임을 유념한다.

[0140] 트랜지스터(621)에서, 게이트 단자가 인버터의 입력 단자에 전기적으로 접속되고, 제 1 단자가 고전원 전위선에 전기적으로 접속된다.

[0141] 트랜지스터(622)에서, 게이트 단자가 인버터의 입력 단자 및 트랜지스터(621)의 게이트 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(621)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

[0142] 인버터에서, 트랜지스터(621)의 제 2 단자 및 트랜지스터(622)의 제 1 단자가 전기적으로 접속되는 노드의 전위는 출력 신호로서 출력되는 것을 유념한다.

[0143] 도 8c에 도시된 인버터는 트랜지스터(631) 및 트랜지스터(632)를 포함한다. 트랜지스터(631) 및 트랜지스터(632)는 n-채널 트랜지스터들임을 유념한다. 그 외에도, 트랜지스터(631) 및 트랜지스터(632)는 임계 전압들이 양인 인핸스먼트 트랜지스터들이다.

[0144] 트랜지스터(631)에서, 게이트 단자 및 제 1 단자가 고전원 전위선에 전기적으로 접속된다.

[0145] 트랜지스터(632)에서, 게이트 단자가 인버터의 입력 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(631)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

[0146] 인버터에서, 트랜지스터(631)의 제 2 단자 및 트랜지스터(632)의 제 1 단자가 전기적으로 접속되는 노드의 전위는 출력 신호로서 출력되는 것을 유념한다.

[0147] 상기 기술이 트랜지스터(611)가 n-채널 트랜지스터인 경우이지만, 트랜지스터(611)는 p-채널 트랜지스터일 수 있다. 이 경우, 인에이블 신호를 반전함으로써, 상기와 유사한 동작이 수행될 수 있다.

[0148] 이 실시형태의 논리 회로는 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 트랜지스터를 포함한다. 산화물 반도체의 수소 농도는 $5 \times 10^{19}(atoms/cm^3)$ 이하, 바람직하게 $5 \times 10^{18}(atoms/cm^3)$ 이하, 더욱 바람직하게 $5 \times 10^{17}(atoms/cm^3)$ 이하가 되도록 제어된다. 따라서, 트랜지스터의 오프 전류는 1×10^{-13} [A] 이하로 감소될 수 있다. 즉, 클록 게이팅이 수행되는 기간에 걸쳐 트랜지스터를 통한 전하들의 누설이 억제될 수 있다. 결과적으로, 이 기간 동안의 대기 전력은 감소될 수 있고, 이 기간 동안의 논리 회로의 오동작이 억제될 수 있다.

[0149] 또한, 도 8c에 도시된 인버터를 포함하는 래치가 이 실시형태의 논리 회로에 포함된 래치(601)에 적용되고 도 4c에 도시된 NAND 게이트를 포함하는 지연형 플립-플롭이 플립-플롭(602)에 적용될 때, 논리 회로에 포함된 모든 트랜지스터들은 n-채널 트랜지스터들이 될 수 있다. n-채널 트랜지스터들을 상기 트랜지스터들(수소 농도가 $5 \times 10^{19}(atoms/cm^3)$ 이하인 산화물 반도체를 이용하여 채널 형성 영역이 형성됨)에 적용함으로써, 포함된 트랜지스터들 모두가 n-채널 트랜지스터들인 논리 회로에서 소비 전력이 감소될 수 있다. 그 외에도, p-채널 트랜지스터들이 아닌 n-채널 트랜지스터들을 포함하는 논리 회로의 형성에 의해, 제작 공정의 감소, 논리 회로의 수율의 개선 및 제조 비용의 감소가 달성될 수 있다.

[0150] 또한, 논리 회로에서 소비 전력의 감소는 이 실시형태의 논리 회로를 동작시키는 외부 회로의 부하들의 감소를 허용한다. 따라서, 논리 회로 및 외부 회로를 포함하는 반도체 장치의 기능이 확장될 수 있다.

[0151] 이 실시형태의 내용들 또는 그 일부는 다른 실시형태들의 내용들 또는 그 일부나 실시예의 내용 또는 그 일부와 자유롭게 조합될 수 있음을 유념한다.

[0152] (실시형태 5)

[0153] 이 실시형태에서, 실시형태 1에 기술된 논리 회로의 예가 기술된다. 구체적으로, AND 게이트 및 복수의 플립-플롭들을 포함하는 논리 회로가 도 9를 참조하여 기술될 것이다.

[0154] 도 9에 도시된 이 실시형태의 논리 회로(800)는 AND 게이트(801), 및 플립-플롭들(802 내지 804)을 포함하는 플립-플롭군(805)을 포함한다.

[0155] AND 게이트(801)에서, 제 1 입력 단자가 인에이블 신호선에 전기적으로 접속되고, 제 2 입력 단자가 클록 신호선에 전기적으로 접속된다.

[0156] 플립-플롭(802)에서, 제 1 입력 단자가 데이터 신호선에 전기적으로 접속되고, 제 2 입력 단자가 AND 게이트(801)의 출력 단자에 전기적으로 접속된다.

[0157] 플립-플롭(803)에서, 제 1 입력 단자가 플립-플롭(802)의 출력 단자에 전기적으로 접속되고, 제 2 입력 단자가 AND 게이트(801)의 출력 단자에 전기적으로 접속된다.

[0158] 플립-플롭(804)에서, 제 1 입력 단자가 플립-플롭(803)의 출력 단자에 전기적으로 접속되고, 제 2 입력 단자가 AND 게이트(801)의 출력 단자에 전기적으로 접속된다.

[0159] 플립-플롭(804)의 출력 신호는 논리 회로(800)의 출력 신호(Out)임을 유념한다.

[0160] 이 실시형태의 논리 회로에 포함된 플립-플롭들(802 내지 804)은 피드백 동작을 이용하는 1비트의 데이터를 유지할 수 있는 회로들임을 유념한다. 예를 들면, 도 4a에 도시된 지연형 플립-플롭이 적용될 수 있다.

[0161] 이 실시형태의 논리 회로에서, 플립-플롭군(805)에 입력된 클록 신호(CK)는 인에이블 신호(EN)에 의해 제어된다. 즉, 논리 회로에서, 클록 게이팅은 플립-플롭군(805)에 대해 수행된다.

[0162] 또한, 플립-플롭군(805)에서 제 2 또는 후속단의 플립-플롭에서, 제 1 입력 단자가 이전단의 플립-플롭의 출력 단자에 전기적으로 접속된다. 즉, 이 실시형태의 논리 회로는 클록 신호가 입력되는 기간 동안 순차적으로 플립-플롭들을 통해 데이터 신호(Data)를 시프트하는 시프트 저항 소자이다.

[0163] 이 실시형태의 논리 회로는 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 트랜지스터를 포함한다. 산화물 반도체의 수소 농도는 5×10^{19}(atoms/cm^3) 이하, 바람직하게 5×10^{18}(atoms/cm^3) 이하, 더욱 바람직하게 5×10^{17}(atoms/cm^3) 이하가 되도록 제어된다. 따라서, 트랜지스터의 오프 전류는 1×10^{-13} [A] 이하로 감소될 수 있다. 즉, 클록 게이팅이 수행되는 기간에 걸쳐 트랜지스터를 통한 전하들의 누설이 억제될 수 있다. 결과적으로, 이 기간 동안의 대기 전력은 감소될 수 있고, 이 기간 동안의 논리 회로의 오동작이 억제될 수 있다.

[0164] 또한, 이 실시형태의 논리 회로에서의 플립-플롭군(805) 및 AND 게이트(801)에 포함된 모든 트랜지스터들은 n-채널 트랜지스터들이 될 수 있다. n-채널 트랜지스터들을 상기 트랜지스터들(수소 농도가 5×10^{19}(atoms/cm^3) 이하인 산화물 반도체를 이용하여 채널 형성 영역이 형성됨)에 적용함으로써, 포함된 트랜지스터들 모두가 n-채널 트랜지스터들인 논리 회로에서 소비 전력이 감소될 수 있다. 그 외에도, p-채널 트랜지스터들이 아닌 n-채널 트랜지스터들을 포함하는 논리 회로의 형성에 의해, 제작 공정의 감소, 논리 회로의 수율의 개선 및 제조 비용의 감소가 달성될 수 있다.

[0165] 또한, 논리 회로에서 소비 전력의 감소는 이 실시형태의 논리 회로를 동작시키는 외부 회로의 부하들의 감소를 허용한다. 따라서, 논리 회로 및 외부 회로를 포함하는 반도체 장치의 기능이 확장될 수 있다.

[0166] 이 실시형태는 3개의 플립-플롭들을 포함하는 논리 회로를 도시하지만, 이 실시형태의 논리 회로에서의 플립-플롭들의 수가 3개에 제한되지 않음을 유념한다. 이 실시형태의 논리 회로로서, 제 1 내지 제 n 플립-플롭들(n은 자연수)을 포함하는 논리 회로가 이용될 수 있다. 논리 회로에 포함된 제 k 플립-플롭(k는 n 이하의 자연수)에서, 제 1 입력 단자가 제 (k-1) 플립-플롭의 출력 단자에 전기적으로 접속되고, 제 2 입력 단자가 AND 게이트(801)의 출력 단자에 전기적으로 접속되는 것을 유념한다.

[0167] 또한, 이 실시형태에서, 이전단의 플립-플롭의 출력 신호는 제 2 또는 후속단의 플립-플롭의 제 1 입력 단자에 입력된다; 그러나, 이 실시형태의 논리 회로의 구성은 상기 구조에 제한되지 않는다. 예를 들면, 논리 회로(800)의 외부 회로에서 플립-플롭으로 신호가 입력되는 구조가 이용될 수 있다. 대안적으로, 플립-플롭의 제 1 입력 단자가 이전단의 플립-플롭이 아닌 플립-플롭의 출력 단자에 전기적으로 접속되는, 예를 들면 플립-플롭의 제 1 입력 단자가 이전단 전단의 플립-플롭의 출력 단자에 전기적으로 접속되는 구조가 이용될 수 있다. 또한 대안적으로, 플립-플롭의 제 1 입력 단자는 직접 접속되는 대신에, 다른 회로를 통해 다른 플립-플롭의 출력 단자에 접속될 수 있다.

[0168] 이 실시형태의 논리 회로에 포함된 복수의 플립-플롭들은 서로 동일한 구조를 가질 필요는 없다. 플립-플롭들의

각각은 응용들 등에 따라 상이한 구조를 가질 수 있다.

[0169] 이 실시형태의 내용들 또는 그 일부는 다른 실시형태들의 내용들 또는 그 일부나 실시예의 내용 또는 그 일부와 자유롭게 조합될 수 있음을 유념한다.

[0170] (실시형태 6)

[0171] 이 실시형태에서, 실시형태 1에 기술된 논리 회로의 예가 기술될 것이다. 구체적으로, AND 게이트 및 복수의 플립-플롭들을 포함하는 논리 회로가 도 10을 참조하여 기술될 것이다.

[0172] 도 10에 도시된 이 실시형태의 논리 회로(900)는 플립-플롭(901) 및 AND 게이트(902)를 포함하는 제어부(903), 및 플립-플롭들(904 내지 906)을 포함하는 플립-플롭군(907)을 포함한다.

[0173] 플립-플롭(901)에서, 제 1 입력 단자가 제 1 입력 신호(Data 1)가 공급되는 배선(이후, 제 1 데이터 신호선이라고 칭해짐)에 전기적으로 접속되고, 제 2 입력 단자가 클록 신호선에 전기적으로 접속된다.

[0174] AND 게이트(902)에서, 제 1 입력 단자가 플립-플롭(901)의 출력 단자에 전기적으로 접속되고, 제 2 입력 단자가 인에이블 신호선에 전기적으로 접속된다.

[0175] 플립-플롭(904)에서, 제 1 입력 단자가 제 2 입력 신호(Data 2)가 공급되는 배선(이후, 또한 제 2 데이터 신호선이라고 칭해짐)에 전기적으로 접속되고, 제 2 입력 단자가 AND 게이트(902)의 출력 단자에 전기적으로 접속된다.

[0176] 플립-플롭(905)에서, 제 1 입력 단자가 플립-플롭(904)의 출력 단자에 전기적으로 접속되고, 제 2 입력 단자가 AND 게이트(902)의 출력 단자에 전기적으로 접속된다.

[0177] 플립-플롭(906)에서, 제 1 입력 단자가 플립-플롭(905)의 출력 단자에 전기적으로 접속되고, 제 2 입력 단자가 AND 게이트(902)의 출력 단자에 전기적으로 접속된다.

[0178] 플립-플롭(906)의 출력 단자가 논리 회로(900)의 출력 신호(Out)임을 유념한다.

[0179] 이 실시형태의 논리 회로에 포함된 플립-플롭(901) 및 플립-플롭들(904 내지 906)은 피드백 동작을 이용하는 1 비트의 데이터를 유지할 수 있는 회로들이다. 예를 들면, 도 4a에 도시된 지연형 플립-플롭이 적용될 수 있다.

[0180] 이 실시형태의 논리 회로에서, 플립-플롭군(907)에 입력된 논리 신호는 인에이블 신호(EN)에 의해 제어되고, 플립-플롭(901)의 출력 신호는 제 1 데이터 신호(Data 1) 및 클록 신호에 의해 제어된다. 즉, 논리 회로에서, 클록 게이팅은 플립-플롭군(907)에 대해 수행된다.

[0181] 또한, 플립-플롭군(907)의 제 2 또는 후속단의 플립-플롭에서, 제 1 입력 단자가 이전단의 플립-플롭의 출력 단자에 전기적으로 접속된다. 즉, 이 실시형태의 논리 회로는 클록 신호가 입력되는 기간 동안 순차적으로 플립-플롭들을 통해 제 2 데이터 신호(Data 2)를 시프트하는 시프트 저항 소자이다.

[0182] 이 실시형태의 논리 회로는 채널 형성 영역 산화물 반도체를 이용하여 형성되는 트랜지스터를 포함한다. 산화물 반도체의 수소 농도는 5×10^{19}(atoms/cm^3) 이하, 바람직하게 5×10^{18}(atoms/cm^3) 이하, 더욱 바람직하게 5×10^{17}(atoms/cm^3) 이하가 되도록 제어된다. 따라서, 트랜지스터의 오프 전류는 1×10^{-13} [A] 이하로 감소될 수 있다. 즉, 클록 게이팅이 수행되는 기간에 걸쳐 트랜지스터를 통한 전하들의 누설이 억제될 수 있다. 결과적으로, 이 기간 동안의 대기 전력은 감소될 수 있고, 이 기간 동안의 논리 회로의 오동작이 억제될 수 있다.

[0183] 또한, 이 실시형태의 논리 회로에서의 플립-플롭군(907) 및 제어부(903)에 포함된 모든 트랜지스터들은 n-채널 트랜지스터들이 될 수 있다. n-채널 트랜지스터들을 상기 트랜지스터들(수소 농도가 5×10^{19}(atoms/cm^3) 이하인 산화물 반도체를 이용하여 채널 형성 영역이 형성됨)에 적용함으로써, 포함된 트랜지스터들 모두가 n-채널 트랜지스터들인 논리 회로에서 소비 전력이 감소될 수 있다. 그 외에도, p-채널 트랜지스터들이 아닌 n-채널 트랜지스터들을 포함하는 논리 회로의 형성에 의해, 제작 공정의 감소, 논리 회로의 수율의 개선 및 제조 비용의 감소가 달성될 수 있다.

[0184] 또한, 논리 회로에서 소비 전력의 감소는 이 실시형태의 논리 회로를 동작시키는 외부 회로의 부하들의 감소를 허용한다. 따라서, 논리 회로 및 외부 회로를 포함하는 반도체 장치의 기능이 확장될 수 있다.

[0185] 이 실시형태는 3개의 플립-플롭들을 포함하는 플립-플롭군(907)을 도시하지만, 이 실시형태의 논리 회로에서의 플립-플롭군(907)이 갖는 플립-플롭들의 수가 3개로 제한되지 않음을 유념한다. 이 실시형태의 논리 회로로서,

제 1 내지 제 n 플립-플롭들(n은 자연수)을 포함하는 논리 회로가 이용될 수 있다. 제 k 플립-플롭(k는 n 이하의 자연수)에서, 제 1 입력 단자가 제 (k-1) 플립-플롭의 출력 단자에 전기적으로 접속되고, 제 2 입력 단자가 AND 게이트(902)의 출력 단자에 전기적으로 접속되는 것을 유념한다.

[0186] 또한, 이 실시형태의 플립-플롭군(907)에서, 이전단의 플립-플롭의 출력 신호는 제 2 또는 후속단의 플립-플롭의 제 1 입력 단자에 입력된다; 그러나, 이 실시형태의 논리 회로의 구성은 상기 구조에 제한되지 않는다. 예를 들면, 논리 회로(900)의 외부 회로에서 플립-플롭으로 신호가 입력되는 구성이 이용될 수 있다. 대안적으로, 플립-플롭의 제 1 입력 단자가 이전단의 플립-플롭이 아닌 플립-플롭의 출력 단자에 전기적으로 접속되는, 예를 들면 플립-플롭의 제 1 입력 단자가 이전단 전단의 플립-플롭의 출력 단자에 전기적으로 접속되는 구성이 이용될 수 있다. 또한 대안적으로, 플립-플롭의 제 1 입력 단자는 직접 접속되는 대신에, 다른 회로를 통해 다른 플립-플롭의 출력 단자에 접속될 수 있다.

[0187] 이 실시형태의 논리 회로에 포함된 복수의 플립-플롭들은 서로 동일한 구조를 가질 필요는 없다. 플립-플롭들의 각각은 응용들 등에 따라 상이한 구조를 가질 수 있다.

[0188] 이 실시형태의 내용들 또는 그 일부는 다른 실시형태들의 내용들 또는 그 일부나 실시예의 내용 또는 그 일부와 자유롭게 조합될 수 있음을 유념한다.

[0189] (실시형태 7)

[0190] 이 실시형태에서, 실시형태 1 내지 실시형태 6에 기술된 논리 회로들 중 어느 것에 포함된 트랜지스터들의 예가 기술될 것이다. 구체적으로, 반도체 재료를 포함하는 기판을 이용하여 형성되는 트랜지스터가 논리 회로에 포함되는 p-채널 트랜지스터에 적용되고 산화물 반도체를 이용하여 형성되는 트랜지스터가 논리 회로에 포함된 n-채널 트랜지스터에 적용되는 예들이 기술된다.

[0191] < 구성예 >

[0192] 이 실시형태의 논리 회로에 포함되는 p-채널 트랜지스터 및 n-채널 트랜지스터는 도 11에 도시된다.

[0193] 도 11에 예시된 p-채널 트랜지스터(160)는 반도체 재료를 포함하는 기판(100) 위에 제공되는 채널 형성 영역(116), 채널 형성 영역(116)이 사이에 개재되는 불순물 영역들의 쌍(구체적으로, 불순물 영역들(114a 및 114b)의 쌍 및 고농도 불순물 영역들(120a 및 120b)의 쌍), 채널 형성 영역(116) 위에 제공된 게이트 절연층(108a), 게이트 절연층(108a) 위에 제공된 게이트 전극층(110a), 불순물 영역(114a)에 전기적으로 접속되는 소스 전극층(130a), 및 불순물 영역(114b)에 전기적으로 접속되는 드레인 전극층(130b)을 포함한다.

[0194] 사이드월 절연층들(118)이 게이트 전극층(110a)의 측면들 상에 제공되는 것을 유념한다. 반도체 재료를 포함하는 기판(100)에는 고농도 불순물 영역들(120a 및 120b)의 쌍이 제공되고, 이 영역에서는 사이드월 절연층들(118)과 중첩하지 않는다. 기판에는 또한, 고농도 불순물 영역들(120a 및 120b) 위에 금속 화합물 영역들(124a 및 124b)이 제공된다. 또한, 트랜지스터(160)가 사이에 개재되도록 기판(100) 위에 소자 분리 절연층들(106)이 제공되고, 트랜지스터(160)를 커버하도록 층간 절연층(126) 및 층간 절연층(128)이 제공된다. 소스 전극층(130a) 및 드레인 전극층(130b)은 층간 절연층(126) 및 층간 절연층(128)에 형성된 개구부들을 통해, 금속 화합물 영역(124a) 및 금속 화합물 영역(124b) 각각에 전기적으로 접속된다. 즉, 소스 전극층(130a)은 금속 화합물 영역(124a)을 통해 고농도 불순물 영역(120a) 및 불순물 영역(114a)에 전기적으로 접속되고, 드레인 전극층(130b)은 금속 화합물 영역(124b)을 통해 고농도 불순물 영역(120b) 및 불순물 영역(114b)에 전기적으로 접속된다.

[0195] 그 외에도, 나중에 기술되는 n-채널 트랜지스터(164) 아래의 층으로서, 게이트 절연층(108a)과 동일한 재료를 이용하여 형성되는 절연층(108b), 게이트 전극층(110a)과 동일한 재료를 이용하여 형성되는 전극층(110b), 및 소스 전극층(130a) 및 드레인 전극층(130b)과 동일한 재료를 이용하여 형성되는 전극층(130c)이 제공된다.

[0196] 도 11에 도시된 n-채널 트랜지스터(164)는 층간 절연층(128) 위에 제공되는 게이트 전극층(136d), 게이트 전극층(136d) 위에 제공되는 게이트 절연층(138), 게이트 절연층(138) 위에 제공되는 산화물 반도체층(140), 및 산화물 반도체층(140) 위에 제공되고 산화물 반도체층(140)과 전기적으로 접속되는 소스 전극층(142a) 및 드레인 전극층(142b)을 포함한다.

[0197] 여기서, 게이트 전극층(136d)은 층간 절연층(128) 위에 형성된 절연층(132)에 임베딩되도록 제공된다. 게이트 전극층(136d)과 유사한 방식으로, p-채널 트랜지스터(160)에 포함된 소스 전극층(130a) 및 드레인 전극층(130b)과 각각 접촉되는 전극층(136a) 및 전극층(136b)이 형성된다. 그 외에도, 전극층(130c)과 접촉하는 전극층

(136c)이 형성된다.

[0198] 트랜지스터(164) 위에, 산화물 반도체층(140)과 부분적으로 접촉하도록 보호 절연층(144)이 제공되고, 보호 절연층(144) 위에 층간 절연층(146)이 제공된다. 여기서, 소스 전극층(142a) 및 드레인 전극층(142b)에 도달하는 개구부들이 보호 절연층(144) 및 층간 절연층(146)에 제공된다. 전극층(150d) 및 전극층(150e)이 형성되고, 이들은 각각 개구부들을 통해 소스 전극층(142a) 및 드레인 전극층(142b)과 접촉된다. 전극층(150d) 및 전극층(150e)과 유사한 방식으로, 전극층(150a), 전극층(150b) 및 전극층(150c)이 형성되고, 이들은 각각 게이트 절연층(138), 보호 절연층(144) 및 층간 절연층(146)에 제공되는 개구부들을 통해 전극층(136a), 전극층(136b) 및 전극층(136c)과 접촉한다.

[0199] 산화물 반도체층(140)은 본 명세서에서 수소와 같은 불순물을 충분히 제거함으로써 고순도화된다. 구체적으로, 산화물 반도체층(140)의 수소 농도는 5×10^{19}(atoms/cm^3) 이하이다. 산화물 반도체층(140)의 바람직한 수소 농도는 5×10^{18}(atoms/cm^3) 이하이고, 더욱 바람직한 농도는 5×10^{17}(atoms/cm^3) 이하임을 유념한다. 수소 농도가 충분히 감소된 고순도화된 산화물 반도체층(140)이 이용될 때, 우수한 오프-전류 특성을 가진 트랜지스터(164)가 획득될 수 있다. 예를 들면, 드레인 전압 Vd가 +1V 또는 + 10V이고 게이트 전압 Vg가 - 5V 내지 - 20V인 경우, 오프 전류는 1×10^{-13} [A] 이하이다. 수소 농도가 충분히 감소된 고순도화된 산화물 반도체층(140)을 적용하는 것은 트랜지스터(164)의 오프 전류의 감소를 허용한다. 산화물 반도체층(140)에서 수소 농도는 2차 이온 질량 분석법(SIMS)에 의해 측정된다.

[0200] 또한, 절연층(152)이 층간 절연층(146) 위에 제공되고, 전극층(154a), 전극층(154b), 전극층(154c) 및 전극층(154d)이 절연층(152)에 임베딩되도록 제공된다. 전극층(154a)은 전극층(150a)과 접촉하고, 전극층(154b)은 전극층(150b)과 접촉하고, 전극층(154c)은 전극층(150c) 및 전극층(150d)과 접촉하고, 전극층(154d)는 전극층(150e)과 접촉하는 것을 유념한다.

[0201] 이 실시형태의 p-채널 트랜지스터(160)의 소스 전극층(130a)은 상부 영역에 제공되는 전극층들(136a, 150a 및 154a)에 전기적으로 접속된다. 따라서, 상술된 전극층들에 대한 도전층들이 적합하게 형성되고, 그에 의해 p-채널 트랜지스터(160)의 소스 전극층(130a)은 상부 영역에 제공된 n-채널 트랜지스터(164)에 포함되는 임의의 전극층들에 전기적으로 접속될 수 있다. p-채널 트랜지스터(160)의 드레인 전극층(130b)도 또한 상부 영역에 제공된 n-채널 트랜지스터(164)에 포함되는 임의의 전극층들에 전기적으로 접속될 수 있다. 도 11에 도시되지 않았지만, p-채널 트랜지스터(160)의 게이트 전극층(110a)은 상부 영역에 제공된 전극층을 통해 n-채널 트랜지스터(164)에 포함되는 임의의 전극층들에 전기적으로 접속된다.

[0202] 유사하게, 이 실시형태의 n-채널 트랜지스터(164)의 소스 전극층(142a)은 하부 영역에 제공된 전극층들(130c 및 110b)에 전기적으로 접속된다. 따라서, 상술된 전극층들에 대한 도전층들이 적합하게 형성되고, 그에 의해 n-채널 트랜지스터(164)의 소스 전극층(142a)은 p-채널 트랜지스터(160)의 게이트 전극층(110a), 소스 전극층(130a) 또는 드레인 전극층(130b)에 전기적으로 접속될 수 있다. 도 11에 도시되지 않았지만, n-채널 트랜지스터(164)의 게이트 전극층(136d) 또는 드레인 전극층(142b)은 하부 영역에 제공된 전극층을 통해 p-채널 트랜지스터(160)에 포함되는 임의의 전극층들에 전기적으로 접속될 수 있다.

[0203] 상술된 복수의 p-채널 트랜지스터들(160) 및 n-채널 트랜지스터들(164)이 제공될 때, 실시형태 1 내지 실시형태 6 중 어느 것에 기술된 논리 회로가 제공될 수 있다. 논리 회로에 포함된 모든 n-채널 트랜지스터들(164)은 반드시 산화물 반도체를 포함하는 트랜지스터들일 필요는 없지만, n-채널 트랜지스터들(164)은 각각의 트랜지스터에 요구된 특성들에 의존하여 상이한 구조들을 가질 수 있음을 유념한다. 예를 들면, 고속으로 동작해야 하는 n-채널 트랜지스터로서, 반도체 재료를 포함하는 기판을 이용하여 형성되는 트랜지스터가 이용될 수 있고, 누설 전류의 감소가 요구되는 n-채널 트랜지스터로서, 산화물 반도체를 이용하여 형성되는 트랜지스터가 이용될 수 있다.

[0204] < 제작 단계들의 예 >

[0205] 다음에, p-채널 트랜지스터(160) 및 n-채널 트랜지스터(164)의 제작 방법들의 예들이 기술된다. 이후, p-채널 트랜지스터(160)의 제작 방법은 도 12a 내지 도 12h를 참조하여 먼저 기술되고, 그 후에, n-채널 트랜지스터(164)의 제작 방법이 도 13a 내지 도 13c 및 도 14a 내지 도 14d를 참조하여 기술된다.

[0206] 먼저, 반도체 재료를 이용한 기판(100)이 제공된다(도 12a 참조). 반도체 재료를 포함하는 기판(100)은 실리콘, 탄화 실리콘 등을 이용하여 형성된 단결정 반도체 기판; 다결정 반도체 기판; 실리콘 게르마늄 등을 이용하여

형성된 화합물 반도체 기판; SOI 기판 등일 수 있다. 여기서, 단결정 실리콘 기판이 반도체 재료를 포함하는 기판(100)으로서 이용도는 경우의 예가 기술된다. 일반적으로, 용어 "SOI 기판"은 실리콘 반도체층이 절연 표면 위에 제공되는 반도체 기판을 의미한다. 이 명세서 등에서, 용어 "SOI 기판"은 또한 실리콘 이외의 재료를 이용하여 형성된 반도체층이 절연 표면 위에 제공되는 반도체 기판을 그 범주에 포함한다. 즉, "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 제한되지 않는다. 또한, "SOI 기판"은 절연층이 사이에 개재되어 반도체층이 유리 기판과 같은 절연 기판 위에 형성되는 구조를 포함한다.

[0207] 기판(100) 위에, 소자 분리 절연층의 형성을 위한 마스크의 역할을 하는 보호층(102)이 형성된다(도 12a 참조). 보호층(102)으로서, 예를 들면, 산화 실리콘, 질화 실리콘, 질화산화 실리콘 등을 이용하여 형성된 절연층이 이용될 수 있다. 이 단계 전 또는 후에, n-형 도전성을 부여하는 불순물 소자 또는 p-형 도전성을 부여하는 불순물 소자는 반도체 장치의 임계 전압을 제어하기 위해 기판(100)에 추가될 수 있음을 유념한다. 반도체가 실리콘인 경우, n-형 도전성을 부여하는 불순물은 인, 비소 등일 수 있다. p-형 도전성을 부여하는 불순물은 붕소, 알루미늄, 갈륨 등일 수 있다.

[0208] 다음에, 보호층(102)으로 커버되지 않은 영역(노출된 영역)의 기판(100)의 일부는 마스크로서 보호층(102)을 이용하여 에칭된다. 이 에칭에 의해, 분리된 반도체 영역(104)이 형성된다(도 12b 참조). 에칭으로서, 건식 에칭이 수행되는 것이 바람직하지만, 습식 에칭이 수행될 수 있다. 에칭 가스 및 에천트는 에칭될 층들의 재료에 의존하여 적합하게 선택될 수 있다.

[0209] 다음에, 절연층은 반도체 영역(104)을 커버하도록 형성되고, 반도체 영역(104)과 중첩하는 영역에서 절연층이 선택적으로 제거되어, 소자 분리 절연층들(106)이 형성된다(도 12b 참조). 절연층은 산화 실리콘, 질화 실리콘, 질화산화 실리콘 등을 이용하여 형성된다. 절연층의 제거 방법으로서, 화학 기계 연마(CMP)와 같은 연마 처리, 에칭 처리 등이 주어질 수 있고, 임의의 상기 처리가 이용될 수 있다. 보호층(102)은 반도체 영역(104)의 형성 또는 소자 분리 절연층들(106)의 형성 후에 제거되는 것을 유념한다.

[0210] 다음에, 절연층이 반도체 영역(104) 위에 형성되고, 도전 재료를 포함하는 층이 절연층 위에 제공된다.

[0211] 절연층은 나중에 게이트 절연층의 역할을 하고, CVD법, 스퍼터링법 등에 의해 산화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 하프늄막, 산화 알루미늄막, 산화 탄탈막 등의 단층 또는 상기 막들 중 어느 것을 포함하는 적층막이 되도록 형성된다. 대안적으로, 반도체 영역(104)의 표면은 고밀도 플라즈마 처리 또는 열 산화 처리에 의해 산화 또는 질화되고, 그에 의해 절연층이 형성될 수 있다. 고밀도 플라즈마 처리는 예를 들면, He, Ar, Kr 또는 Xe와 같은 희가스 및 산소, 산화 질소, 암모니아, 질소 또는 수소와 같은 가스의 혼합 가스를 이용하여 수행될 수 있다. 절연층의 두께에 관한 특정 제한은 없지만, 절연층은 예를 들면 1nm 이상 100nm 이하의 범위의 두께를 가지도록 형성될 수 있다.

[0212] 도전 재료를 포함하는 층이 알루미늄, 구리, 티타늄, 탄탈 또는 텅스텐과 같은 금속 재료를 이용하여 형성될 수 있다. 대안적으로, 도전 재료를 포함하는 층이 도전 재료를 포함하는 다결정 실리콘과 같은 반도체 재료를 이용하여 형성될 수 있다. 도전 재료를 포함하는 층을 형성하기 위한 방법에 대한 특정 제약이 없고, 증착법, CVD법, 스퍼터링법 또는 스핀 코팅법과 같은 다양한 성막 방법들이 이용될 수 있다. 금속 재료를 이용하여 도전 재료를 포함하는 층을 형성하는 경우가 이 실시형태에 기술되는 것을 유념한다.

[0213] 그 후에, 절연층 및 도전 재료를 포함하는 층이 선택적으로 에칭되어, 게이트 절연층(108a) 및 게이트 전극층(110a)이 형성된다(도 12c 참조).

[0214] 다음에, 게이트 전극층(110a)을 커버하는 절연층(112)이 형성된다(도 12c 참조). 그 후에, 붕소(B), 알루미늄(Al) 등이 반도체 영역(104)에 첨가되어, 얕게 접합된 불순물 영역들(114a 및 114b)의 쌍이 형성된다(도 12c 참조). p-채널 트랜지스터의 형성을 위해 붕소 또는 알루미늄이 여기에 첨가되지만, n-채널 트랜지스터를 형성하는 경우에, 인(P) 또는 비소(As)와 같은 불순물 원소가 첨가될 수 있음을 유념한다. 불순물 영역들(114a 및 114b)의 쌍의 형성에 의해, 채널 형성 영역(116)이 게이트 절연층(108a) 아래의 반도체 영역(104)에 형성되는 것을 유념한다(도 12c 참조). 여기서, 첨가된 불순물의 농도들이 적합하게 설정될 수 있고, 농도들이 반도체 소자들의 고미세화에 따라 높게 설정되는 것이 바람직하다. 불순물 영역들(114a 및 114b)의 쌍이 여기서 절연층(112)의 형성후에 형성되지만, 절연층(112)은 불순물 영역들(114a 및 114b)의 쌍의 형성 후에 형성될 수 있다.

[0215] 다음에, 사이드월 절연층들(118)이 형성된다(도 12d 참조). 절연층은 절연층(112)을 커버하도록 형성되고, 절연층에 대해 높은 이방성 에칭 처리가 수행되어, 사이드월 절연층들(118)이 자기정합적으로 형성될 수 있다. 이때, 절연층(112)이 부분적으로 에칭되어, 게이트 전극층(110a)의 상면 및 불순물 영역들(114a 및 114b)의 상

면들이 노출될 수 있다.

[0216] 다음에, 절연층은 게이트 전극층(110a), 불순물 영역들(114a 및 114b)의 쌍, 사이드월 절연층들(118) 등을 커버하도록 형성된다. 그 후에, 붕소(B), 알루미늄(Al) 등이 불순물 영역들(114a 및 114b)의 일부에 첨가되어, 고농도 불순물 영역들(120a 및 120b)의 쌍이 형성된다(도 12e 참조). 여기서, n-채널 트랜지스터를 형성하는 경우에, 인(P) 또는 비소(As)와 같은 불순물 원소가 첨가될 수 있다. 그 후, 절연층이 제거되고, 금속층(122)이 게이트 전극층(110a), 사이드월 절연층들(118), 고농도 불순물 영역들(120a 및 120b)의 쌍 등을 커버하도록 형성된다(도 12e 참조). 금속층(122)은 진공 증착법, 스퍼터링법 또는 스핀 코팅법과 같은 다양한 성막 방법들에 의해 형성될 수 있다. 금속 화합물이 저저항을 가지기 위해 반도체 영역(104)에 포함된 반도체 재료와 반응하는 금속 재료를 이용하여 금속층(122)이 형성되는 것이 바람직하다. 이러한 금속 재료들의 예들은 티타늄, 탄탈, 텅스텐, 니켈, 코발트 및 플래티늄을 포함한다.

[0217] 다음에, 열 처리가 수행되어, 금속층(122)은 반도체 재료와 반응한다. 이 열 처리에 의해, 고농도 불순물 영역들(120a 및 120b)의 쌍과 접촉하는 금속 화합물 영역들(124a 및 124b)의 쌍이 형성된다(도 12f 참조). 다결정 실리콘 등이 게이트 전극층(110a)에 이용되는 경우에, 금속층(122)과 접촉하는 게이트 전극층(110a)의 부분도 또한 금속 화합물 영역이 된다.

[0218] 열 처리로서, 플래시 램프로의 조사가 이용될 수 있다. 다른 열 처리 방법이 이용될 수 있음은 말할 필요가 없으며, 금속 화합물의 형성시 화학 반응의 제어 능력을 개선하기 위해 극히 단시간 동안의 열 처리가 달성될 수 있는 방법이 이용되는 것이 바람직하다. 금속 화합물 영역은 금속 재료 및 반도체 재료의 반응에 의해 형성되고, 이것은 충분히 증가된 도전성을 가지는 영역임을 유념한다. 금속 화합물 영역들의 형성은 전기 저항을 적절하게 감소시킬 수 있고 소자 특성들을 개선할 수 있다. 금속층(122)은 금속 화합물 영역들(124a 및 124b)의 쌍이 형성된 후에 제거되는 것을 유념한다.

[0219] 다음에, 층간 절연층(126) 및 층간 절연층(128)이 상기 단계들에 형성되는 구성요소들을 커버하도록 형성된다(도 12g 참조). 층간 절연층들(126 및 128)은, 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈과 같은 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다. 대안적으로, 폴리이미드 또는 아크릴과 같은 유기 절연 재료가 이용될 수 있다. 여기서 층간 절연층이 층간 절연층(126) 및 층간 절연층(128)의 2층들을 포함하는 구조를 가지지만, 층간 절연층의 구성은 이에 제한되지 않는다. 층간 절연층(128)의 형성 후, CMP 처리, 에칭 처리 등에 의해 표면이 평탄화되는 것이 바람직하다.

[0220] 그 후, 금속 화합물 영역들(124a 및 124b)의 쌍에 도달하는 개구부들이 층간 절연층들에 형성되고, 소스 전극층(130a) 및 드레인 전극층(130b)이 개구부들에 형성된다(도 12h 참조). PVD법, CVD법 등에 의해 개구부들을 포함하는 영역에 도전층이 형성되고, 도전층의 일부가 에칭 처리 또는 CMP 처리에 의해 제거되어, 소스 전극층(130a) 및 드레인 전극층(130b)이 형성될 수 있다.

[0221] 소스 전극층(130a) 및 드레인 전극층(130b)이 평탄한 표면을 가지도록 형성되는 것이 바람직하다. 예를 들면, 티타늄막 또는 질화 티타늄막의 박막이 개구부들을 포함하는 영역에 형성된 후에, 텅스텐막이 개구부들을 충전하도록 형성된다. 그 경우, 불필요한 텅스텐 및 불필요한 티타늄 또는 질화 티타늄이 CMP 처리에 의해 제거되고, 표면의 평탄성이 개선될 수 있다. 이러한 방식으로, 소스 전극층(130a) 및 드레인 전극층(130b)을 포함하는 표면이 평탄화되고, 그에 의해 전극, 배선, 절연층, 반도체층 등이 나중 단계에서 바람직하게 형성될 수 있다.

[0222] 여기서, 금속 화합물 영역들(124a 및 124b)과 접촉하는 소스 전극층(130a) 및 드레인 전극층(130b)만이 도시되었지만, 배선의 역할을 하는 전극층(예를 들면, 도 11에서 전극층(130c)) 등이 이 단계에서 함께 형성될 수 있음을 유념한다. 소스 전극층(130a) 및 드레인 전극층(130b)을 형성하기 위한 재료에 대한 특정 제약이 없고, 다양한 도전 재료들이 이용될 수 있다. 예를 들면, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐과 같은 금속 재료가 이용될 수 있다.

[0223] 상기 단계들을 통해, 반도체 재료를 포함하는 기판(100)을 가진 p-채널 트랜지스터(160)가 완성된다. 상기 단계들 후에, 전극, 배선, 절연층 등이 추가로 형성될 수 있다. 배선이 층간 절연층 및 도전층을 포함하는 적층 구조인 다중층 배선 구조를 가질 때, 매우 집적된 논리 회로가 제공될 수 있다. 또한, 상기 단계들과 유사한 단계에 의해, 반도체 재료를 포함하는 기판(100)을 가진 n-채널 트랜지스터가 형성될 수 있다. 즉, 인(P) 또는 비소(As)와 같은 불순물 원소를 상기 단계의 반도체 영역에 첨가될 불순물 원소로 이용함으로써, n-채널 트랜지스터가 형성될 수 있다.

[0224] 다음에, 층간 절연층(128) 위에 n-채널 트랜지스터(164)의 제작 공정이 도 13a 내지 도 13g 및 도 14a 내지 도 14d를 참조하여 기술된다. 도 13a 내지 도 13g 및 도 14a 내지 도 14d는 층간 절연층(128) 위에서 다양한 전극층들, n-채널 트랜지스터(164) 등의 제작 공정을 도시하고, 따라서 n-채널 트랜지스터(164) 아래에 제공되는 p-채널 트랜지스터(160) 등은 생략되는 것을 유념한다.

[0225] 먼저, 절연층(132)은 층간 절연층(128), 소스 전극층(130a), 드레인 전극층(130b) 및 전극층(130c) 위에 형성된다(도 13a 참조). 절연층(132)은 PVD법, CVD법 등에 의해 형성될 수 있다. 절연층(132)은 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈과 같은 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다.

[0226] 다음에, 소스 전극층(130a), 드레인 전극층(130b) 및 전극층(130c)에 도달하는 개구부들은 절연층(132)에 형성된다. 이때, 개구부는 게이트 전극층(136d)이 나중에 형성되는 영역에 또한 형성된다. 도전층(134)은 개구부들을 충전하도록 형성된다(도 13b). 개구부들은 마스크를 이용한 에칭과 같은 방법 등에 의해 형성될 수 있다. 마스크는 포토마스크를 이용한 노광과 같은 방법 등에 의해 형성될 수 있다. 습식 에칭 또는 건식 에칭이 에칭으로서 이용될 수 있다; 미세가공의 관점에서, 건식 에칭이 바람직하다. 도전층(134)은 PVD법, CVD법 등의 성막 방법에 의해 형성될 수 있다. 도전층(134)의 형성을 위해 이용되는 재료는 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐과 같은 도전 재료, 그 합금, 상기 재료를 포함하는 질화물과 같은 화합물 등이 될 수 있다.

[0227] 더욱 구체적으로, 티타늄의 박막이 개구부들을 포함하는 영역에서 PVD법에 의해 형성되는 방법; 질화 티타늄의 박막이 CVD법에 의해 형성되는 방법; 및 개구부들을 충전하기 위해 텅스텐막이 형성되는 방법이 이용될 수 있다. 여기서, PVD법에 의해 형성된 티타늄막이 하부 전극층들(여기서, 소스 전극층(130a), 드레인 전극층(130b), 전극층(130c) 등)과의 접촉 저항을 감소시키도록 계면에서 산화막을 탈수화하는 기능을 가진다. 그 후에 형성된 질화 티타늄막은 도전 재료의 확산을 억제하는 배리어 기능을 가진다. 또한, 티타늄, 질화 티타늄 등의 배리어막이 형성된 후, 구리막이 플레이팅법에 의해 형성될 수 있다.

[0228] 도전층(134)이 형성된 후, 도전층(134)의 일부가 에칭 처리, CMP 처리 등에 의해 제거되고, 절연층(132)이 노출된다; 따라서, 전극층(136a), 전극층(136b), 전극층(136c) 및 게이트 전극층(136d)이 형성된다(도 13c 참조). 전극층(136a), 전극층(136b), 전극층(136c) 및 게이트 전극층(136d)이 도전층(134)의 일부를 제거하여 형성될 때, 평탄한 표면이 형성되는 것이 바람직하다는 것을 유념한다. 절연층(132), 전극층(136a), 전극층(136b), 전극층(136c) 및 게이트 전극층(136d)의 표면들을 평탄화함으로써, 전극, 배선, 절연층, 반도체층 등이 나중 단계에서 바람직하게 형성될 수 있다.

[0229] 다음에, 게이트 절연층(138)이 절연층(132), 전극층(136a), 전극층(136b), 전극층(136c) 및 게이트 전극층(136d)을 커버하도록 형성된다(도 13d 참조). 게이트 절연층(138)은 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 또한, 게이트 절연층(138)은 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화알루미늄, 산화 하프늄, 산화 탄탈 등을 포함하도록 형성되는 것이 바람직하다. 게이트 절연층(138)은 단층 구조 또는 적층 구조를 가질 수 있음을 유념한다. 예를 들면, 게이트 절연층(138)은 실란(SiH_4), 산소 및 질소가 원료 가스로서 이용되는 플라즈마 CVD법에 의해 산화질화 실리콘을 이용하여 형성될 수 있다. 게이트 절연층(138)의 두께에 관한 특정 제약은 없지만, 예를 들면 10nm 이상 500nm 이하의 두께로 형성될 수 있다. 적층 구조의 경우, 바람직한 구조는 50nm 이상 200nm의 두께를 가진 제 1 게이트 절연층, 및 그 위에 5nm 이상 300nm 이하의 두께를 가진 제 2 게이트 절연층을 포함한다.

[0230] 불순물들의 제거에 의해 달성된 i-형 산화물 반도체 또는 실질적으로 i-형 산화물 반도체(고순도화된 산화물 반도체)가 계면 상태 밀도 또는 계면 전하에 극히 민감하다. 따라서, 산화물 반도체층과 게이트 절연층 사이의 계면은 이러한 산화물 반도체가 산화물 반도체층에 이용되는 경우에 중요한 요인이다. 달리 말하면, 고순도화 산화물 반도체층과 접촉하는 게이트 절연층(138)은 고품질이 되어야 한다.

[0231] 예를 들면, μ파들(2.45GHz)을 이용하는 고밀도 플라즈마 CVD는 이것이 높은 내압을 가진 조밀하고 고품질 게이트 절연층(138)을 생성한다는 점에서 바람직하다. 이것은 고순도화된 산화물 반도체층과 고품질 게이트 절연층이 밀접하여 계면 상태 밀도를 감소시키고 양호한 계면 특성들을 생성하기 때문이다.

[0232] 말할 필요도 없이, 고순도화된 산화물 반도체층이 이용될 때에도, 고품질 절연층이 게이트 절연층으로서 이용될 수 있는 경우, 스퍼터링법 또는 플라즈마 CVD법과 같은 다른 방법이 적용가능하다. 성막 후에 막 품질 또는 계면 특성이 열 처리에 의해 변형되는 절연층이 이용될 수 있다. 어떤 경우든, 게이트 절연층(138)은 우수한 계면

을 형성하기 위해, 막 품질이 양호하고 산화물 반도체층과의 계면의 계면 상태 밀도가 감소되는 층을 이용할 수 있다.

[0233] 또한, 2 × 10^6V/cm으로 12 시간 동안 85℃에서 바이어스 열 시험(BT 시험)이 수행될 때, 산화물 반도체가 불순물을 포함하는 경우에, 불순물과 산화물 반도체의 주성분 사이의 결합은 강한 전계(B: 바이어스) 및 고온(T: 온도)에 의해 끊어지고, 생성된 미결합수는 임계 전압(Vth)의 시프트를 유발한다.

[0234] 한편, 게이트 절연층의 계면이 양호한 특성들을 가질 수 있도록 산화물 반도체의 불순물, 특히 수소, 수분 등이 가능한 많이 제거될 때, BT 시험에 안정한 트랜지스터가 획득될 수 있다.

[0235] 다음에, 산화물 반도체층은 게이트 절연층(138) 위에 형성되고 마스크를 이용한 에칭과 같은 방법에 의해 가공되고, 그에 의해 섬형상 산화물 반도체층(140)이 형성된다(도 13e 참조).

[0236] 산화물 반도체층으로서, In-Ga-Zn-O-계 산화물 반도체층, In-Sn-Zn-O-계 산화물 반도체층, In-Al-Zn-O-계 산화물 반도체층, Sn-Ga-Zn-O-계 산화물 반도체층, Al-Ga-Zn-O-계 산화물 반도체층, Sn-Al-Zn-O-계 산화물 반도체층, In-Zn-O-계 산화물 반도체층, Sn-Zn-O-계 산화물 반도체층, Al-Zn-O-계 산화물 반도체층, In-O-계 산화물 반도체층, Sn-O-계 산화물 반도체층, 또는 Zn-O-계 산화물 반도체층이 이용된다. 구체적으로, 비정질 산화물 반도체층이 바람직하다. 이 실시형태에서, 비정질 산화물 반도체층이 In-Ga-Zn-O-계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 산화물 반도체층으로서 형성된다. 비정질 산화물 반도체층에 대한 실리콘의 첨가는 층의 결정화를 억제한다; 따라서, 산화물 반도체층은 2wt% 이상 10wt% 이하의 SiO_2를 함유하는 타겟을 이용하여 형성될 수 있다.

[0237] 스퍼터링법에 의해 산화물 반도체층을 형성하기 위한 타겟으로서, 예를 들면 산화 아연을 주성분으로 함유하는 금속 산화물 타겟이 이용될 수 있다. 대안적으로, In, Ga 및 Zn(조성비가 In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1 [몰수비], In : Ga : Zn = 1 : 1 : 0.5 [원자비]임)을 함유한 금속 산화물 타겟이 이용될 수 있다. In, Ga 및 Zn을 함유한 금속 산화물 타겟으로서, In : Ga : Zn = 1 : 1 : 1 [원자비]의 조성비를 갖는 타겟, 또는 In : Ga : Zn = 1 : 1 : 2 [원자비]의 조성비를 갖는 타겟도 또한 이용될 수 있다. 금속 산화물 타겟에 대한 충전율은 90% 이상 100% 이하이고, 바람직하게는 95% 이상(예를 들면, 99.9%)이다. 높은 충전율을 갖는 금속 산화물 타겟을 이용하여, 조밀한 막인 산화물 반도체층이 형성될 수 있다.

[0238] 산화물 반도체층의 형성을 위한 바람직한 분위기는 희가스(통상적으로, 아르곤) 분위기, 산소 분위기 또는 희가스(통상적으로, 아르곤)와 산소의 혼합된 분위기이다. 구체적으로, 고순도화된 가스가 이용되는 것이 바람직하고, 여기서 수소, 수분, 수산기 또는 수소화물과 같은 불순물은 대략 수 백만분의 일(ppm)(바람직하게, 대략 수 십억분의 일(ppb))로 감소된다.

[0239] 산화물 반도체층의 형성시, 기판은 감압으로 챔버에서 설정되고 기판 온도는 100℃ 이상 600℃ 이하이고, 바람직하게는 200℃ 이상 400℃ 이하로 설정된다. 기판을 가열하는 동안의 성막은 산화물 반도체층에서 불순물의 농도를 감소시킬 수 있다. 그 외에도, 스퍼터링에 의한 손상이 감소될 수 있다. 그 후에, 잔여 수분이 제거된 처리실에 수소 및 수분이 제거된 스퍼터링 가스가 도입되고, 산화물 반도체층은 타겟으로서 금속 산화물을 이용하여 기판 위에 성막된다. 처리실에서 잔여 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 수단은 콜드 트랩이 구비된 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기되는 처리실에서, 수소 원자, 물(H_2O)과 같이 수소 원자를 함유한 화합물(더욱 바람직하게, 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 처리실에 형성된 산화물 반도체층에서 불순물 농도가 감소될 수 있다.

[0240] 성막 조건의 예로서, 기판과 타겟 사이의 거리는 100mm이고, 압력은 0.6Pa이고, 직류(DC) 전원은 0.5kW이고, 성막 분위기는 산소 분위기이다(산소 유량비는 100%이다). 성막시 생성되는 가루 물질들(또한 파티클들 또는 먼지라고 칭해짐)이 감소되고 막 두께가 균일해질 수 있기 때문에, 펄스형 직류(DC) 전원이 이용되는 것이 바람직하다는 것을 유념한다. 산화물 반도체층의 두께는 2nm 이상 200nm 이하이고, 바람직하게는 5nm 이상 30nm 이하이다. 적절한 두께는 산화물 반도체 재료에 의존하여 상이하고, 두께는 재료에 의존하여 적합하게 설정될 수 있음을 유념한다.

[0241] 산화물 반도체층이 스퍼터링법에 의해 형성되기 전에, 게이트 절연층(138)의 표면 상의 먼지는 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링에 의해 제거되는 것이 바람직하다는 것을 유념한다. 역 스퍼터링은 일반적인 스퍼터링에서 스퍼터링 타겟에 대한 이온 충돌을 만드는 대신에, 표면이 개질되도록 처리될 표면에 이

온들을 충돌시키는 방법을 나타낸다. 처리될 표면에 이온들이 충돌시키는 방법은 고주파수 전압이 아르곤 분위기에서 표면에 인가되고 플라즈마가 기판의 주변에서 생성되는 방법을 포함한다. 질소 분위기, 헬륨 분위기, 산소 분위기 등이 아르곤 분위기 대신에 이용될 수 있음을 유념한다.

[0242] 산화물 반도체층의 에칭은 건식 에칭 또는 습식 에칭일 수 있다. 말할 필요도 없이, 건식 에칭 및 습식 에칭 둘 다 조합될 수 있고 이용될 수 있다. 에칭 조건들(에칭 가스, 에천트, 에칭 시간 및 온도와 같이)이 재료에 따라 적합하게 조정되어, 산화물 반도체층이 원하는 형상으로 가공될 수 있다.

[0243] 예를 들면, 염소를 함유한 가스(염소(Cl_2), 염화 붕소(BCl_3), 염화규소($SiCl_4$), 또는 사염화탄소(CCl_4)와 같은 염소계 가스)가 건식 에칭에 이용되는 에칭 가스로서 이용될 수 있다. 대안적으로, 불소를 함유한 가스(사불화탄소(CF_4), 불화유황(SF_6), 불화질소(NF_3), 또는 트리플루오로메탄(CHF_3)과 같은 불소계 가스); 브롬화 수소(HBr); 산소(O_2)를 함유한 가스; 또는 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가되는 이들 가스들 중 어느 하나; 등이 이용될 수 있다.

[0244] 건식 에칭 방법으로서, 평행평판형 RIE(reactive ion etching) 방법 또는 ICP(inductively coupled plasma) 에칭 방법이 이용될 수 있다. 층을 원하는 형상들로 에칭하기 위해, 에칭 조건(코일형 전극에 인가된 전력량, 기판측 상의 전극에 인가된 전력량, 기판측 상의 전극의 온도 등)이 적합하게 조정된다.

[0245] 습식 에칭에 이용된 에천트로서, 인산, 아세트산 및 질산의 혼합 용액 등이 이용될 수 있다. 대안적으로, ITO-07N(KANTO CHEMICAL CO., INC.에 의해 생산됨)과 같은 에천트가 이용될 수 있다.

[0246] 다음에, 제 1 열 처리는 산화물 반도체층에 대해 수행되는 것이 바람직하다. 제 1 열 처리에 의해, 산화물 반도체층은 탈수화 또는 탈수소화될 수 있다. 제 1 열 처리의 온도는 300℃ 이상 750℃ 이하이고, 바람직하게는 400℃ 이상 기판의 변형점 미만이다. 예를 들면, 기판이 저항 발열체 등을 이용하여 전기로에 도입되고, 산화물 반도체층(140)에는 질소 분위기에서 1 시간 동안 450℃로 열 처리가 수행된다. 열 처리 동안, 산화물 반도체층(140)은 수분 또는 수소의 혼입을 방지하기 위해 대기에 노출되지 않는다.

[0247] 열 처리 장치는 전기로에 제한되지 않고, 가열된 가스 등과 같은 매체에 의해 주어지는 열전도 또는 열복사로 처리될 대상을 가열하는 장치일 수 있음을 유념한다. 예를 들면, 가스 급속 열 어닐링(GRTA) 장치 또는 램프 급속 열 어닐링(LRTA) 장치와 같은 급속 열 어닐링(RTA) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해 처리될 대상을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하여 열 처리하는 장치이다. 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 열 처리에 의해 처리될 대상과 반응하지 않는 불활성 가스가 이용된다.

[0248] 예를 들면, 제 1 열 처리로서, GRTA가 다음과 같이 수행될 수 있다. 기판은 650℃ 내지 700℃의 고온으로 가열된 불활성 가스에 투입되고, 수 분 동안 가열되고, 가열된 불활성 가스로부터 이동 및 취출된다. GRTA로, 단시간 동안 고온 열 처리가 달성될 수 있다. 또한, GRTA는 단시간 동안의 열 처리이다; 따라서, 이것은 기판의 변형점보다 높은 온도 조건 하에서도 이용될 수 있다.

[0249] 제 1 열 처리는 질소 또는 희가스(예를 들면, 헬륨, 네온 또는 아르곤)를 주성분으로 함유하고 수분, 수소 등을 함유하지 않는 분위기에서 수행되는 것이 바람직하다는 것을 유념한다. 예를 들면, 열 처리 장치에 도입되는 질소 또는 헬륨, 네온 또는 아르곤과 같은 희가스의 순도는 6N(99.9999%) 이상이고, 바람직하게는 7N(99.99999%) 이상이다(즉, 불순물의 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하이다).

[0250] 산화물 반도체층의 재료 또는 제 1 열 처리의 조건들에 의존하여, 산화물 반도체층이 결정화되고, 일부 경우들에서 미결정막 또는 다결정막이 된다. 예를 들면, 산화물 반도체층들은 90% 이상 또는 80% 이상의 결정화율을 가진 미결정 반도체층들이 되도록 결정화될 수 있다. 또한, 산화물 반도체층의 재료 또는 제 1 열 처리의 조건들에 의존하여, 산화물 반도체층은 다른 경우들에서 결정 성분을 함유하지 않은 비정질 산화물 반도체층이 된다.

[0251] 산화물 반도체층은 미결정 부분(1nm 이상 20nm 이하, 통상적으로 2nm 이상 4nm 이하의 입자 직경을 가짐)이 비정질 산화물 반도체(예를 들면, 산화물 반도체층의 표면)에 존재하는 산화물 반도체층이 될 수 있다.

[0252] 또한, 미결정이 비정질에서 배열될 때, 산화물 반도체층의 전기 특성이 변경될 수 있다. 예를 들면, 산화물 반도체층이 In-Ga-Zn-O-계 금속 산화물 타겟을 이용하여 형성되는 경우에, 전기 이방성을 가진 $In_2Ga_2ZnO_7$의 결정

입자가 배열되는 미결정 부분이 형성되고, 그에 의해 산화물 반도체층의 전기 특성들이 변경될 수 있다.

[0253] 더욱 구체적으로, c-축이 산화물 반도체층의 표면에 대해 수직 방향인 $In_2Ga_2ZnO_7$의 결정 입자들을 배열함으로써, 산화물 반도체층의 표면에 대해 평행 방향의 도전성이 증가될 수 있고, 산화물 반도체층의 표면에 대해 수직 방향의 절연성이 증가될 수 있다. 또한, 이러한 미결정 부분은 수분 또는 수소와 같은 불순물들이 산화물 반도체층으로의 혼입을 방지하는 기능을 가진다.

[0254] 상술된 미결정 부분을 포함하는 산화물 반도체층은 GRTA에 의해 산화물 반도체층의 표면을 가열함으로써 획득될 수 있음을 유념한다. In 또는 Ga가 Zn보다 많이 함유된 스퍼터링 타겟의 이용은 훨씬 양호한 산화물 반도체층이 형성될 수 있게 한다.

[0255] 섬형상 산화물 반도체층(140)으로 가공되지 않은 산화물 반도체층에 대해 제 1 열 처리가 수행될 수 있다. 그 경우, 제 1 열 처리 후에, 기판은 가열 장치로부터 취출되고 포토리소그래피 단계가 수행된다.

[0256] 제 1 열 처리는 또한, 이것이 산화물 반도체층(140)을 탈수화 또는 탈수소화하는데 효과가 있기 때문에, 소위 탈수화 처리 또는 탈수소화 처리라고 칭해질 수 있음을 유념한다. 산화물 반도체층을 형성한 후, 산화물 반도체층(140) 위에 소스 및 드레인 전극층들을 적층한 후, 또는 소스 및 드레인 전극층들 위에 보호 절연층을 형성한 후, 이러한 탈수화 처리 또는 탈수소화 처리를 수행하는 것이 가능하다. 이러한 탈수화 처리 또는 탈수소화 처리는 1회보다 많이 행해질 수 있다.

[0257] 다음에, 소스 전극층(142a) 및 드레인 전극층(142b)은 산화물 반도체층(140)과 접촉하도록 형성된다(도 13f 참조). 도전층이 산화물 반도체층(140)을 커버하도록 형성되고, 그 후에 부분적으로 에칭되어, 소스 전극층(142a) 및 드레인 전극층(142b)이 형성될 수 있다.

[0258] 도전층은 플라즈마 CVD법과 같은 CVD법 또는 스퍼터링을 포함하는 PVD법에 의해 형성될 수 있다. 도전층에 대한 재료의 예들은 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴 및 텅스텐으로부터 선택된 원소; 및 이들 원소들 중 어느 것을 구성성분으로 포함하는 합금을 포함한다. 대안적으로, 망간, 마그네슘, 지르코늄, 베릴륨 및 토륨으로부터 선택된 재료들 중 하나 이상이 대안적으로 이용될 수 있다. 또한 대안적으로, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 원소들 중 하나 이상과 조합된 알루미늄이 재료로서 이용될 수 있다. 도전층은 단층 구조 또는 2 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 함유한 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층된 2층 구조, 티타늄막, 알루미늄막 및 티타늄막이 이 순서로 적층된 3층 구조 등이 주어질 수 있다.

[0259] 여기서, 자외선, KrF 레이저 빔 또는 ArF 레이저 빔이 에칭 마스크를 만들기 위한 노광들을 위해 이용되는 것이 바람직하다.

[0260] 트랜지스터의 채널 길이(L)는 소스 전극층(142a)의 하부와 드레인 전극층(142b)의 하부 사이의 거리에 의해 결정된다. 채널 길이(L)가 25nm보다 짧은 경우에, 마스크를 만들기 위한 노광은 수 나노미터 내지 수십 나노미터의 극히 짧은 파장들을 가진 초자외선을 이용하여 수행된다. 초자외선으로의 노광은 높은 해상도 및 큰 초점 심도를 생성한다. 따라서, 나중에 형성되는 트랜지스터의 채널 길이(L)는 10nm 이상 1000nm 이하일 수 있고, 따라서 회로의 동작 속도가 증가될 수 있다.

[0261] 도전층 및 산화물 반도체층(140)에 대한 재료들 및 에칭 조건들은 산화물 반도체층이 도전층의 에칭시에 제거되지 않도록 적합하게 조정된다. 이 단계에서, 재료들 및 에칭 조건들에 의존하여, 산화물 반도체층(140)이 부분적으로 에칭되어 산화물 반도체층이 그루브(함몰 부분)를 가진다.

[0262] 산화물 도전층은 산화물 반도체층(140)과 소스 전극층(142a) 사이 또는 산화물 반도체층(140)과 드레인 전극층(142b) 사이에 형성될 수 있다. 산화물 도전층, 및 소스 전극층(142a) 또는 드레인 전극층(142b)이 되는 금속막을 연속으로 형성(연속 성막)하는 것이 가능하다. 산화물 도전층이 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 이러한 산화물 도전층은 소스 영역 또는 드레인 영역의 저항의 감소를 유발하고, 따라서 트랜지스터의 고속 동작이 달성된다.

[0263] 이용된 마스크들의 수 또는 단계들의 수를 감소시키기 위해, 복수의 강도들을 가지기 위해 광이 투과되는 노광 마스크인 다계조 마스크를 이용하여 레지스트 마스크가 형성되고, 에칭은 레지스트 마스크를 이용하여 수행될 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크가 복수의 두께들(계단형)을 가지고, 애싱을 수행함으로써 형상이 부가로 변경될 수 있기 때문에, 레지스트 마스크가 복수의 에칭 단계들에서 이용되어 상이한 패턴들을 제공할 수 있다. 따라서, 적어도 2개의 종류들의 상이한 패턴들에 대응하는 레지스트 마스크가 다계조

마스크를 이용하여 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있고, 대응하는 포토리소그래피 단계들의 수도 또한 감소될 수 있고, 따라서 단계들의 간단화가 실현될 수 있다.

[0264] N_2O, N_2 또는 Ar과 같은 가스를 이용한 플라즈마 처리는 상기 공정 후에 행해지는 것이 바람직하다는 것을 유념한다. 플라즈마 처리는 산화물 반도체층의 노출된 표면에 부착된 수분 등을 제거한다. 플라즈마 처리에서, 산소와 아르곤의 혼합 가스가 이용될 수 있다.

[0265] 다음에, 산화물 반도체층(140)의 일부와 접촉하는 보호 절연층(144)이 대기에 노출되지 않고 형성된다(도 13g 참조).

[0266] 보호 절연층(144)은 스퍼터링법과 같은 방법을 적합하게 이용하여 형성될 수 있고, 그에 의해 수분 또는 수소와 같은 불순물이 보호 절연층(144)에 혼입되는 것이 방지된다. 보호 절연층(144)의 두께는 적어도 1nm 이상이다. 보호 절연층(144)에 대한 재료의 예들은 산화 실리콘, 질화 실리콘, 산화질화 실리콘 및 질화산화 실리콘을 포함한다. 구조는 단층 구조 또는 적층 구조일 수 있다. 보호 절연층(144)의 형성을 위한 기판 온도는 실내 온도 이상 300℃ 이하가 바람직하다. 성막을 위한 분위기는 희가스(통상적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로 아르곤)와 산소의 혼합된 분위기가 바람직하다.

[0267] 수소가 보호 절연층(144)에 함유될 때, 산화물 절연층(140)으로의 수소의 혼입 또는 수소에 의한 산화물 반도체층(140)에서의 산소의 추출이 유발되고, 그에 의해 산화물 반도체층(140)의 백 채널측 상의 저항을 낮게 하여, 기생 채널이 형성될 수 있다. 따라서, 수소를 가능한 적게 함유한 보호 절연층(144)을 형성하기 위해 수소가 이용되지 않는 성막 방법이 이용되는 것이 중요하다.

[0268] 수소, 수산기 또는 수분이 산화물 반도체층(140) 및 보호 절연층(144)에 혼입되는 것을 방지하기 위해, 처리실의 잔여 수분을 제거하면서 보호 절연층(144)을 형성하는 것이 바람직하다.

[0269] 처리실의 잔여 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 수단은 콜드 트랩이 구비된 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기되는 처리실에서, 수소 원자, 물(H_2O)과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 처리실에 형성된 보호 절연층(144)에서 불순물 농도가 감소될 수 있다.

[0270] 보호 절연층(144)의 형성을 위해 이용되는 스퍼터링 가스는 수소, 수분, 수산기 또는 수소화물과 같은 불순물의 농도가 대략 수 백만분의 일(ppm)(바람직하게, 대략 수 십억분의 일(ppb))로 감소된 고순도 가스가 바람직하다.

[0271] 다음에, 제 2 열처리가 불활성 가스 분위기 또는 산소 가스 분위기(바람직하게 200℃ 이상 400℃ 이하, 예를 들면, 250℃ 이상 350℃ 이하에서)에서 수행되는 것이 바람직하다. 예를 들면, 제 2 열 처리는 250℃에서 1 시간 동안 질소 분위기에서 수행된다. 제 2 열 처리는 트랜지스터들의 전기 특성들의 변동들을 감소시킬 수 있다.

[0272] 또한, 열 처리는 대기 중에서 1 시간 내지 30 시간 동안 100℃ 이상 200℃ 이하에서 수행될 수 있다. 이 열 처리는 일정한 가열 온도에서 수행될 수 있다. 대안적으로, 가열 온도에서 다음의 변경이 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실내 온도에서 100℃ 이상 200℃ 이하로 증가되고, 다시 실내 온도로 감소된다. 또한, 이 열 처리는 감압하에서 보호 절연층의 형성 전에 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다. 이 열 처리는 제 2 열 처리 대신에 수행될 수 있거나, 제 2 열 처리 전 및 후에 수행될 수 있음을 유념한다.

[0273] 다음에, 층간 절연층(146)이 보호 절연층(144) 위에 형성된다(도 14a 참조). 층간 절연층(146)은 PVD법, CVD법 등에 의해 형성될 수 있다. 층간 절연층(146)은 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈과 같은 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다. 층간 절연층(146)의 형성 후, 표면이 CMP 에칭 등에 의해 평탄화되는 것이 바람직하다.

[0274] 다음에, 전극층(136a), 전극층(136b), 전극층(136c), 소스 전극층(142a) 및 드레인 전극층(142b)에 도달하는 개구부가 층간 절연층(146), 보호 절연층(144) 및 게이트 절연층(138)에 형성된다. 그 후에, 개구부들을 충전하도록 도전층(148)이 형성된다(도 14b 참조). 개구부들은 마스크를 이용하여 에칭에 의해 형성될 수 있다. 마스크는 예를 들면 포토마스크를 이용하여 노광들에 의해 만들어질 수 있다. 습식 에칭 또는 건식 에칭이 에칭으로서 이용될 수 있다; 미세가공의 관점에서, 건식 에칭이 이용되는 것이 바람직하다. 도전층(148)은 PVD법 또는 CVD법과 같은 성막 방법에 의해 형성될 수 있다. 도전층(148)에 대한 재료의 예들은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 도전 재료; 및 이들 재료들 중 어느 것의 합금 및

화합물(예를 들면 질화물)을 포함한다.

[0275] 구체적으로, 예로서, 개구부들을 포함하는 영역에서 티타늄의 박막이 PVD법에 의해 형성되는 방법; 질화 티타늄의 박막이 CVD법에 의해 형성되는 방법; 및 텅스텐막이 개구부들을 충전하기 위해 형성되는 방법이 이용될 수 있다. 여기서, PVD법에 의해 형성된 티타늄막은 하부 전극층들(여기서, 전극층(136a), 전극층(136b), 전극층(136c), 소스 전극층(142a) 및 드레인 전극층(142b))과의 접촉 저항을 감소시키도록 계면에서 산화막을 환원한다. 그 후에 형성된 질화 티타늄막은 도전 재료의 확산을 억제하는 배리어 기능을 가진다. 또한, 티타늄, 질화 티타늄 등의 배리어막이 형성된 후, 구리막이 플레이팅법에 의해 형성될 수 있다.

[0276] 도전층(148)이 형성된 후, 도전층(148)의 일부가 에칭, CMP 처리 등에 의해 제거되고, 따라서 층간 절연층(146) 노출되고, 그에 의해 전극층(150a), 전극층(150b), 전극층(150c), 전극층(150d) 및 전극층(150e)을 형성한다(도 14c 참조). 전극층(150a), 전극층(150b), 전극층(150c), 전극층(150d) 및 전극층(150e)이 도전층(148)의 일부를 제거하여 형성될 때, 평탄화 표면이 형성되는 것이 바람직하다는 것을 유념한다. 층간 절연층(146), 전극층(150a), 전극층(150b), 전극층(150c), 전극층(150d) 및 전극층(150e)의 표면을 평탄화함으로써, 전극, 배선, 절연층, 반도체층 등이 나중 단계에서 바람직하게 형성될 수 있다.

[0277] 또한, 절연층(152)이 형성되고, 전극층(150a), 전극층(150b), 전극층(150c), 전극층(150d) 및 전극층(150e)에 도달하는 개구부들이 절연층(152)에 형성된다. 그 후에, 도전층은 개구부들을 충전하도록 형성된다. 그 후, 도전층의 일부는 에칭, CMP 등에 의해 제거되고, 따라서 절연층(152)이 노출되고, 그에 의해 전극층(154a), 전극층(154b), 전극층(154c) 및 전극층(154d)을 형성한다(도 14d 참조). 이 공정은 전극층(150a) 등의 형성을 위한 공정과 유사하다; 따라서, 상세한 기술은 생략된다.

[0278] n-채널 트랜지스터(164)가 상기 방식으로 형성될 때, 산화물 반도체층(140)의 수소 농도는 5×10^{19}(atoms/cm^3) 이하이고, n-채널 트랜지스터(164)의 오프-상태 전류는 1×10^{-13} [A] 이하이다. 우수한 특성들을 갖는 이러한 n-채널 트랜지스터(164)는 실시형태 1 내지 실시형태 6에 기술된 논리 회로들에서 이용되고, 그에 의해 논리 회로의 대기 전력의 감소 및 오동작의 억제가 달성될 수 있다.

[0279] < 변형예 >

[0280] 도 15, 도 16a 및 도 16b, 도 17a 및 도 17b와 도 18a 및 도 18b는 n-채널 트랜지스터(164)의 구성의 변형예들을 도시한다. 도 15, 도 16a 및 도 16b, 도 17a 및 도 17b와 도 18a 및 도 18b에 도시된 트랜지스터(160)의 각각의 구성은 도 11의 구성과 동일하다.

[0281] 도 15는 게이트 전극층(136d)이 산화물 반도체층(140) 아래에 배치되고 소스 전극층(142a) 및 드레인 전극층(142b)이 산화물 반도체층(140)의 하부 표면과 접촉하는 구조를 가진 n-채널 트랜지스터(164)의 예를 도시한다.

[0282] 도 11의 구성과 도 15의 구성 사이의 큰 차이점은 산화물 반도체층(140)이 소스 및 드레인층들(142a 및 142b)에 접속되는 위치이다. 즉, 도 11의 구성에서는 산화물 반도체층(140)의 상부 표면이 소스 및 드레인 전극층들(142a 및 142b)과 접촉하는 반면, 도 15의 구성에서는 산화물 반도체층(140)의 하부 표면이 소스 및 드레인층들(142a 및 142b)과 접촉한다. 또한, 접촉 위치의 차이는 다른 전극들, 절연층 등의 상이한 배치를 유발한다. 각각의 구성요소의 상세들은 도 11의 상세들과 동일하다.

[0283] 구체적으로, 도 15에 도시된 n-채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 게이트 전극층(136d), 게이트 전극층(136d) 위에 제공된 게이트 절연층(138), 게이트 절연층(138) 위에 제공된 소스 및 드레인 전극층들(142a 및 142b), 및 소스 및 드레인 전극층들(142a 및 142b)의 상부 표면들과 접촉하는 산화물 반도체층(140)을 포함한다. 그 외에도, n-채널 트랜지스터(164) 위에, 보호 절연층(144)이 산화물 반도체층(140)을 커버하도록 제공된다.

[0284] 도 16a 및 도 16b 각각은 게이트 전극층(136d)이 산화물 반도체층(140) 위에 제공되는 n-채널 트랜지스터(164)를 도시한다. 도 16a는 소스 및 드레인 전극층들(142a 및 142b)이 산화물 반도체층(140)의 하부 표면과 접촉하는 구성예를 도시한다. 도 16b는 소스 및 드레인 전극층들(142a 및 142b)이 산화물 반도체층(140)의 상부 표면과 접촉하는 구성예를 도시한다.

[0285] 도 16a 및 도 16b의 구성들의 도 11 및 도 15의 구성들과의 큰 차이점은 게이트 전극층(136d)이 산화물 반도체층(140) 위에 배치된다는 점이다. 또한, 도 16a의 구성과 도 16b의 구성 사이의 큰 차이점은 소스 및 드레인 전극층들(142a 및 142b)이 산화물 반도체층(140)의 하부 표면 또는 상부 표면과 접촉한다는 점이다. 또한, 이들

차이점들은 다른 전극들, 절연층 등의 상이한 배치를 유발한다. 각각의 구성요소의 상세들은 도 11의 상세들 등과 동일하다.

[0286] 구체적으로, 도 16a에 도시된 n-채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 소스 및 드레인 전극층들(142a 및 142b), 소스 및 드레인 전극층들(142a 및 142b)의 상부 표면들과 접촉하는 산화물 반도체층(140), 산화물 반도체층(140) 위에 제공된 게이트 절연층(138), 및 게이트 절연층(138) 위에서 산화물 반도체층(140)과 중첩하는 영역에 게이트 전극층(136d)을 포함한다.

[0287] 도 16b에 도시된 n-채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 산화물 반도체층(140), 산화물 반도체층(140)의 상부 표면과 접촉하도록 제공된 소스 및 드레인 전극층들(142a 및 142b), 산화물 반도체층(140)과 소스 및 드레인 전극층들(142a 및 142b) 위에 제공된 게이트 절연층(138), 및 게이트 절연층(138) 위에서 산화물 반도체층(140)과 중첩하는 영역에 제공되는 게이트 전극층(136d)을 포함한다.

[0288] 도 16a 및 도 16b의 구성들에서, 구성요소(예를 들면, 전극층(150a) 또는 전극층(154a)은 때때로 도 11의 구성 등에서 생략되는 것을 유념한다. 이 경우, 제작 공정의 간단화와 같은 2차 효과가 얻어질 수 있다. 불필요한 구성요소가 도 11 등에서의 구성들에서도 생략될 수 있음은 말할 필요도 없다.

[0289] 도 17a 및 도 17b 각각은 소자의 크기가 비교적 크고 게이트 전극층(136d)이 산화물 반도체층(140) 아래에 배치되는 경우의 n-채널 트랜지스터(164)를 도시한다. 이 경우, 표면의 평탄성 및 피복성에 대한 요구가 비교적 적당하여, 배선, 전극 등이 절연층에 임베딩되도록 형성할 필요가 없다. 예를 들면, 도전층의 형성 후 패터닝에 의해 게이트 전극층(136d) 등이 형성될 수 있다.

[0290] 도 17a의 구성과 도 17b의 구성 사이의 큰 차이점은 소스 및 드레인 전극층들(142a 및 142b)이 산화물 반도체층(140)의 하부 표면 또는 상부 표면과 접촉한다는 점이다. 또한, 이들 차이점들은 다른 전극들, 절연층 등이 상이한 방식으로 배치되게 한다. 각각의 구성요소의 상세들은 도 11의 상세들 등과 동일하다.

[0291] 구체적으로, 도 17a에 도시된 n-채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 게이트 전극층(136d), 게이트 전극층(136d) 위에 제공된 게이트 절연층(138), 게이트 절연층(138) 위에 제공된 소스 및 드레인 전극층들(142a 및 142b), 및 소스 및 드레인 전극층들(142a 및 142b)의 상부 표면들과 접촉하는 산화물 반도체층(140)을 포함한다.

[0292] 또한, 도 17b에 도시된 n-채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 게이트 전극층(136d), 게이트 전극층(136d) 위에 제공된 게이트 절연층(138), 게이트 전극층(136d)과 중첩하도록 게이트 절연층(138) 위에 제공된 산화물 반도체층(140), 및 산화물 반도체층(140)의 상부 표면과 접촉하도록 제공된 소스 및 드레인 전극층들(142a 및 142b)을 포함한다.

[0293] 또한, 도 17a 및 도 17b의 구성들에서도, 구성요소가 때때로 도 11 등의 구성에서 생략되는 것을 유념한다. 또한, 이 경우, 제작 공정의 간단화와 같은 2차 효과가 획득될 수 있다.

[0294] 도 18a 및 도 18b 각각은 소자의 크기가 비교적 크고 게이트 전극층(136d)이 산화물 반도체층(140) 위에 배치되는 경우에 n-채널 트랜지스터(164)를 도시한다. 또한, 이 경우에, 표면의 평탄성 및 피복성에 대한 요구가 비교적 적당하여, 배선, 전극 등이 절연층에 임베딩되도록 형성할 필요가 없다. 예를 들면, 도전층의 형성 후 패터닝에 의해 게이트 전극층(136d) 등이 형성될 수 있다.

[0295] 도 18a의 구성과 도 18b의 구성 사이의 큰 차이점은 소스 및 드레인 전극층들(142a 및 142b)이 산화물 반도체층(140)의 하부 표면 또는 상부 표면과 접촉한다는 점이다. 또한, 이들 차이점들은 다른 전극들, 절연층 등이 상이한 방식으로 배치되게 한다. 각각의 구성요소의 상세들은 도 11의 상세들 등과 동일하다.

[0296] 구체적으로, 도 18a에 도시된 n-채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 소스 및 드레인 전극층들(142a 및 142b), 소스 및 드레인 전극층들(142a 및 142b)의 상부 표면과 접촉하는 산화물 반도체층(140), 소스 및 드레인 전극층들(142a 및 142b) 및 산화물 반도체층(140) 위에 제공된 게이트 절연층(138), 및 산화물 반도체층(140)과 중첩하도록 게이트 절연층(138) 위에 제공된 게이트 전극층(136d)을 포함한다.

[0297] 또한, 도 18b에 도시된 n-채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 산화물 반도체층(140), 산화물 반도체층(140)의 상부 표면과 접촉하도록 제공된 소스 및 드레인 전극층들(142a 및 142b), 소스 및 드레인 전극층들(142a 및 142b) 및 산화물 반도체층(140) 위에 제공된 게이트 절연층(138), 산화물 반도체층(140)과 중첩하는 영역에서 게이트 절연층(138) 위에 제공된 게이트 전극층(136d)을 포함한다.

[0298] 또한, 도 18a 및 도 18b의 구성들에서도, 구성요소가 때때로 도 11 등의 구성에서 생략되는 것을 유념한다. 또한, 이 경우, 제작 공정의 간단화와 같은 2차 효과가 획득될 수 있다.

[0299] 이 실시형태에서, 적층 구조를 가지기 위해 n-채널 트랜지스터(164)가 p-채널 트랜지스터(160) 위에 형성되는 예가 기술된다; 그러나, p-채널 트랜지스터(160) 및 n-채널 트랜지스터(164)의 구성들은 상기에 제한되지 않는다. 예를 들면, p-채널 트랜지스터 및 n-채널 트랜지스터는 동일한 평면 표면 위에 형성될 수 있다. 또한, p-채널 트랜지스터(160) 및 n-채널 트랜지스터(164)가 서로 중첩하는 구조가 이용될 수 있다.

[0300] 상술된 n-채널 트랜지스터(164)는 실시형태 1 내지 실시형태 6에 기술된 논리 회로들에 포함되는 n-채널 트랜지스터에 적용되고, 그에 의해 트랜지스터를 통한 전하들의 누설이 억제될 수 있다. 결과적으로, 논리 회로의 대기 전력의 감소 및 오동작의 억제가 달성될 수 있다.

[0301] 이 실시형태의 내용들 또는 그 일부는 다른 실시형태들의 내용들 또는 그 일부나 실시예의 내용 또는 그 일부와 자유롭게 조합될 수 있음을 유념한다.

[0302] (실시형태 8)

[0303] 이 실시형태에서, 실시형태 1 내지 실시형태 6에 기술된 논리 회로들 중 어느 것에 포함된 트랜지스터의 예가 기술될 것이다. 구체적으로, 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 박막 트랜지스터의 예가 기술될 것이다.

[0304] 이 실시형태에서의 박막 트랜지스터 및 그 제작 단계의 일 실시형태는 도 19a 및 도 19b와 도 20a 내지 도 20e를 참조하여 기술된다.

[0305] 도 19a 및 도 19b는 박막 트랜지스터의 예의 평면 구조 및 단면 구조를 각각 도시한다. 도 19a 및 도 19b에 도시된 박막 트랜지스터(460)는 톱-게이트 구조를 가진다.

[0306] 도 19a는 톱-게이트형 박막 트랜지스터(460)의 평면도이고, 도 19b는 도 19a의 라인 D1-D2에 따른 단면도이다.

[0307] 박막 트랜지스터(460)는 절연 표면을 가진 기판(450) 위에, 절연층(457), 소스 또는 드레인 전극층(465a)(465a1 및 465a2), 산화물 반도체층(462), 소스 또는 드레인 전극층(465b), 배선층(468), 게이트 절연층(452) 및 게이트 전극층(461)(461a 및 461b)을 포함한다. 소스 또는 드레인 전극층(465a)(465a1 및 465a2)은 배선층(468)을 통해 배선층(464)에 전기적으로 접속된다. 도시되지 않았지만, 소스 또는 드레인 전극층(465b)도 또한 게이트 절연층(452)에 제공되는 개구부에서 배선층에 전기적으로 접속된다.

[0308] 기판(450) 위에 박막 트랜지스터(460)를 제작하는 공정은 도 20a 내지 도 20e를 참조하여 하기에 기술된다.

[0309] 먼저, 하지막의 역할을 하는 절연층(457)이 절연 표면을 가진 기판(450) 위에 형성된다.

[0310] 이 실시형태에서, 산화 실리콘층은 절연층(457)으로서 스퍼터링법에 의해 형성된다. 기판(450)은 처리실에 이동되고, 수소 및 수분이 제거된 고순도 산소를 함유하는 스퍼터링 가스가 이에 도입되고, 실리콘 타겟 또는 석영(바람직하게 합성 석영)이 이용되어, 산화 실리콘층이 기판(450) 상에 절연층(457)으로서 성막된다. 스퍼터링 가스로서, 산소 또는 산소와 아르곤의 혼합 가스가 이용될 수 있다.

[0311] 예를 들면, 산화 실리콘층은 다음의 조건 하에서 RF 스퍼터링법에 의해 형성된다: 스퍼터링 가스의 순도는 6N이다; 석영(바람직하게, 합성 석영)이 이용된다; 기판 온도는 108℃이다; 기판과 타겟 사이의 거리(T-S 거리)는 60mm이다; 압력은 0.4Pa이다; 고주파수 전원은 1.5kW이다; 그리고 분위기는 산소와 아르곤을 함유한 분위기이다(아르곤에 대한 산소의 유량은 1 : 1이다(각각의 유량은 25sccm이다)). 산화 실리콘의 두께는 100nm이다. 석영(바람직하게, 합성 석영) 대신에, 산화 실리콘층이 형성될 때 이용되는 타겟으로서 실리콘 타겟이 이용될 수 있음을 유념한다.

[0312] 그 경우, 절연층(457)은 처리실의 잔여 수분을 제거하면서 형성되는 것이 바람직하다. 이것은 수소, 수산기 또는 수분이 절연층(457)에 포함되는 것을 방지하기 위한 것이다. 크라이오펌프를 이용하여 배기되는 처리실에서, 수소 원자, 물(H_2O)과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 처리실에 형성된 절연층(457)에서 불순물 농도가 감소될 수 있다.

[0313] 절연층(457)의 성막을 위해 이용되는 스퍼터링 가스는 수소, 수분, 수산기 또는 수소화물과 같은 불순물의 농도가 대략 수 백만분의 일(ppm)(바람직하게, 대략 수 십억분의 일(ppb))로 감소된 고순도 가스가 바람직하다.

[0314] 또한, 절연층(457)은, 예를 들면 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층 또는 질화산화 알루미늄

층 및 산화물 절연층이 기판(450)측에서부터 이 순서로 적층되는 적층 구조를 가질 수 있다.

[0315] 예를 들면, 수소 및 수분이 제거된 고순도 질소를 함유한 스퍼터링 가스가 산화 실리콘층과 기판 사이에 도입되고, 실리콘 타겟이 이용되고, 그에 의해 질화 실리콘층이 형성된다. 또한, 이 경우, 산화 실리콘층의 형성과 유사한 방식으로, 처리실에서 잔여 수분을 제거하면서 질화 실리콘층이 형성되는 것이 바람직하다.

[0316] 다음에, 절연층(457) 위에 도전막이 형성된다. 제 1 포토리소그래피 단계의 수행에 의해, 레지스트 마스크가 도전막 위에 형성되고, 선택적인 에칭이 수행되어, 소스 또는 드레인 전극층(465a1 및 465a2)이 형성된다. 그 후에, 레지스트 마스크가 제거된다(도 20a 참조). 단면에서 소스 또는 드레인 전극층(465a1 및 465a2)이 분할되는 것처럼 보인다; 그러나, 소스 또는 드레인 전극층(465a1 및 465a2)은 연속막이다. 소스 전극층 및 드레인 전극층은 그 위에 적층된 게이트 절연층과의 피복성이 개선될 수 있기 때문에 단부들에서 테이퍼 형상들을 가지는 것이 바람직하다는 것을 유념한다.

[0317] 소스 또는 드레인 전극층(465a1 및 465a2)의 재료로서, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소; 상기 원소들 중 어느 것을 포함하는 합금; 이들 원소들 중 어느 것의 조합을 함유하는 합금막; 등이 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨 및 토륨으로부터 선택된 하나 이상의 재료들이 이용될 수 있다. 도전층은 단층 구조 또는 2개 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 함유한 알루미늄층의 단층 구조; 알루미늄층 및 티타늄층의 2층 구조; Ti층, 알루미늄층 및 Ti층이 이 순서로 적층된 3층 구조; 등이 주어질 수 있다. 대안적으로, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd) 및 스칸듐(Sc)에서 선택된 원소들 중 하나 또는 복수와 알루미늄(Al)을 함유하는 질화물층, 합금층, 또는 층이 이용될 수 있다.

[0318] 이 실시형태에서, 티타늄층이 소스 또는 드레인 전극층(465a1 및 465a2)에 대한 스퍼터링법에 의해 150nm의 두께로 형성된다.

[0319] 다음에, 절연층(457) 및 소스 또는 드레인 전극층(465a1 및 465a2) 위에 2nm 이상 200nm 이하의 두께를 가진 산화물 반도체층이 형성된다.

[0320] 다음에, 산화물 반도체층이 제 2 포토리소그래피 단계에서 섬형상 산화물 반도체층(462)으로 가공된다(도 20b 참조). 이 실시형태에서, 산화물 반도체층은 In-Ga-Zn-O-계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 형성된다.

[0321] 감압하에서 유지된 처리실에서 기판이 유지되고, 처리실에서 잔여 수분이 제거되면서 수소 및 수분이 제거된 스퍼터링 가스가 처리실에 도입되고, 그에 의해 산화물 반도체층이 타겟으로서 금속 산화물을 이용하여 기판(450) 위에 성막된다. 처리실의 잔여 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 수단은 콜드 트랩이 구비된 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기되는 처리실에서, 물(H_2O)과 같이 수소 원자를 함유한 화합물(더욱 바람직하게는, 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 처리실에 형성된 산화물 반도체층에서 불순물 농도가 감소될 수 있다. 기판은 산화물 반도체층이 형성될 때 가열될 수 있다.

[0322] 산화물 반도체층의 성막을 위해 이용되는 스퍼터링 가스는 수소, 수분, 수산기 또는 수소화물과 같은 불순물의 농도가 대략 수 백만분의 일(ppm) 또는 수 십억분의 일(ppb)으로 감소된 고순도 가스가 바람직하다.

[0323] 성막 조건의 예는 다음과 같다: 기판 온도는 실내 온도이고, 기판과 타겟 사이의 거리는 60mm이고, 압력은 0.4Pa이고, 직류(DC) 전원은 0.5kW이고, 분위기는 산소와 아르곤을 함유한 분위기이다(아르곤에 대한 산소의 유량은 15sccm : 30sccm이다). 펄스형 직류(DC) 전원이 이용될 때, 성막시 생성되는 가루 물질들(또한 파티클들 또는 먼지라고 칭해짐)이 감소되고 막 두께가 균일해질 가능성이 있음을 유념한다. 산화물 반도체층의 두께는 5nm 이상 30nm 이하이다. 적절한 두께는 산화물 반도체 재료에 의존하여 상이하고, 두께는 재료에 의존하여 적합하게 설정될 수 있음을 유념한다.

[0324] 이 실시형태에서, 산화물 반도체층은 에천트로서 인산, 아세트산 및 질산의 혼합 용액으로 습식 에칭 방법에 의해 섬형상 산화물 반도체층(462)으로 가공된다.

[0325] 다음에, 산화물 반도체층(462)에는 제 1 열 처리가 수행된다. 제 1 열 처리의 온도는 400℃ 이상 750℃ 이하이고, 바람직하게는 400℃ 이상 기판의 변형점 미만이다. 이 실시형태에서, 열 처리 장치의 일종인 전기로에 도입되고, 산화물 반도체층에는 질소 분위기에서 1 시간 동안 450℃로 열 처리가 수행되고, 산화물 반도체층은, 수분 또는 수소가 산화물 반도체층에 혼입되는 것을 방지하기 위해 대기에 노출되지 않는다. 제 1 열 처리에 의해, 산화물 반도체층(462)은 탈수화 또는 탈수소화될 수 있다.

[0326] 열 처리 장치는 전기로에 제한되지 않고, 저항 발열체와 같은 발열체로부터 열전도 또는 열복사를 이용하여 처리될 대상을 가열하기 위한 장치가 구비된 것일 수 있음을 유념한다. 예를 들면, 가스 급속 열 어닐링(GRTA) 장치 또는 램프 급속 열 어닐링(LRTA) 장치와 같은 급속 열 어닐링(RTA) 장치가 이용될 수 있다. 예를 들면, 제 1 열 처리로서, 650℃ 내지 700℃의 고온으로 가열된 불활성 가스에 기판이 이동되고, 수 분 동안 가열되고, 고온으로 가열된 불활성 가스로부터 취출되는 GRTA가 수행될 수 있다. GRTA로, 단시간 동안의 고온 열 처리가 달성될 수 있다.

[0327] 제 1 열 처리에서, 질소 또는 헬륨, 네온 또는 아르곤과 같은 희가스의 분위기에 수분, 수소 등이 함유되지 않는 것이 바람직하다는 것을 유념한다. 열 처리 장치에 도입되는 질소 또는 헬륨, 네온 또는 아르곤과 같은 희가스의 순도는 6N (99.9999%) 이상이고, 바람직하게는 7N (99.99999%) 이상이다(즉, 불순물의 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하이다)인 것이 바람직하다.

[0328] 제 1 열 처리의 조건들 및 산화물 반도체층의 재료에 의존하여, 산화물 반도체층은 미결정 또는 다결정이 되도록 결정화될 수 있다.

[0329] 산화물 반도체층의 제 1 열 처리는 산화물 반도체층을 섬형상 산화물 반도체층들로 가공하기 전에 수행될 수 있다. 그 경우, 제 1 열 처리 후에 기판이 가열 장치로부터 취출되고, 그 후에 포토리소그래피 단계가 수행된다.

[0330] 산화물 반도체층의 탈수화 또는 탈수소화를 위한 열 처리는 다음의 타이밍들 중 어느 것에서 수행될 수 있다: 산화물 반도체층이 수행된 후; 산화물 반도체층 위에 소스 전극 및 드레인 전극이 형성된 후; 소스 전극 및 드레인 전극 위에 게이트 절연층이 형성된 후.

[0331] 다음에, 도전층이 절연층(457) 및 산화물 반도체층(462) 위에 형성된다. 제 3 포토리소그래피 단계의 수행에 의해, 도전층 위에 레지스트 마스크가 형성되고, 선택적인 에칭이 수행되어, 소스 또는 드레인 전극층(465b) 및 배선층(468)이 형성된다. 그 후에, 레지스트 마스크가 제거된다(도 20c 참조). 소스 또는 드레인 전극층(465b) 및 배선층(468)은 소스 또는 드레인 전극층(465a1 및 465a2)의 재료 및 단계들과 유사한 재료 및 단계들을 이용하여 형성될 수 있다.

[0332] 이 실시형태에서, 티타늄막이 소스 또는 드레인 전극층(465b) 및 배선층(468)을 위해 스퍼터링법에 의해 150nm의 두께로 형성된다. 이 실시형태에서, 소스 또는 드레인 전극층(465a1 및 465a2)은 소스 또는 드레인 전극층(465b)이 형성되는 티타늄막으로 형성된다; 따라서, 소스 또는 드레인 전극층(465a1 및 465a2)의 에칭 선택비는 소스 또는 드레인 전극층(465b)의 선택비와 동일하거나 실질적으로 동일하다. 소스 또는 드레인 전극층(465b)이 에칭될 때 소스 또는 드레인 전극층(465a1 및 465a2)이 에칭되는 것을 방지하기 위해, 산화물 반도체층(462)과 중첩되지 않는 소스 또는 드레인 전극층의 일부(465a2) 위에 배선층(468)이 형성된다. 에칭 단계에서, 소스 또는 드레인 전극층(465a1 및 465a2)에 대한 소스 또는 드레인 전극층(465b)의 높은 선택비를 제공하는 상이한 재료들을 이용하는 경우에, 에칭시 소스 또는 드레인 전극층(465a2)을 보호하는 배선층(456)은 반드시 제공될 필요가 없다.

[0333] 도전막이 에칭될 때 산화물 반도체층(462)이 제거되지 않도록 재료들 및 에칭 조건들이 적합하게 조정되는 것을 유념한다.

[0334] 이 실시형태에서, Ti층이 도전층으로서 이용되고, In-Ga-Zn-O-계 산화물 반도체층이 산화물 반도체층(462)으로서 이용되고, 암모니아 과산화수소(암모니아, 물 및 과산화수소수의 혼합)가 에천트로서 이용된다.

[0335] 제 3 포토리소그래피 단계에서, 산화물 반도체층(462)의 일부만이 에칭되고, 그에 의해 그루브(함몰 부분)를 가진 산화물 반도체층이 형성될 수 있다. 소스 또는 드레인 전극층(465b) 및 배선층(468)을 형성하기 위해 이용되는 레지스트 마스크는 잉크-젯 방법으로 형성될 수 있다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않는다; 따라서, 제조 비용이 감소될 수 있다.

[0336] 다음에, 게이트 절연층(452)이 절연층(457), 산화물 반도체층(462), 소스 또는 드레인 전극층(465a1 및 465a2), 소스 또는 드레인 전극층(465b) 및 배선층(468) 위에 형성된다.

[0337] 게이트 절연층(452)은 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층 중 어느 것을 이용하여 형성된 단층 또는 적층일 수 있고, 이것은 플라즈마 CVD법, 스퍼터링법 등에 의해 형성된다. 게이트 절연층(452)에 대량의 수소를 함유하는 것을 방지하기 위해, 게이트 절연층(452)은 스퍼터링법에 의해 형성되는 것이 바람직하다. 산화 실리콘층이 스퍼터링법에 의해 형성되는 경우, 실리콘 타겟 또는 석영 타겟이 타겟으로서 이용되고, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 이용된다.

[0338] 게이트 절연층(452)은 산화 실리콘층 및 질화 실리콘층이 소스 또는 드레인 전극층(465a1 및 465a2)과 소스 또는 드레인 전극층(465b)측에서 적층되는 구조를 가질 수 있다. 이 실시형태에서, 산화 실리콘층은 다음의 조건하에서 RF 스퍼터링법에 의해 100nm의 두께로 형성된다: 압력은 0.4Pa이다; 고주파수 전원은 1.5kW이다; 그리고 분위기는 산소와 아르곤을 함유한 분위기이다(아르곤에 대한 산소의 유량은 1 : 1이다(각각의 유량은 25sccm이다).

[0339] 다음에, 제 4 포토리소그래피 단계의 수행에 의해, 레지스트 마스크가 형성되고 선택적인 에칭이 게이트 절연층(452)의 일부를 제거하도록 수행되어, 배선층(468)에 도달하는 개구부(423)가 형성된다(도 20d 참조). 도시되지 않았지만, 개구부(423)에서, 소스 또는 드레인 전극층(465b)에 도달하는 개구부가 형성될 수 있다. 이 실시형태에서, 소스 또는 드레인 전극층(465b)에 도달하는 개구부는 층간 절연층이 추가로 적층된 후에 형성되고, 전기 접속을 위한 배선층이 개구부에 형성된다.

[0340] 그 후에, 도전층이 게이트 절연층(452) 및 개구부(423) 위에 형성된 후에, 게이트 전극층(461)(461a 및 461b) 및 배선층(464)이 제 5 포토리소그래피 단계에서 형성된다. 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있음을 유념한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않는다; 따라서 제조 비용이 감소될 수 있다.

[0341] 또한, 게이트 전극층(461)(461a 및 461b) 및 배선층(464)은, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 금속 재료들 중 어느 것, 및 이들 재료들 중 어느 것을 주성분으로 포함하는 합금 재료를 이용한 단층 구조 또는 적층 구조로 형성될 수 있다.

[0342] 이 실시형태에서, 티타늄층은 게이트 전극층(461)(461a 및 461b) 및 배선층(464)을 위해 스퍼터링법에 의해 150nm의 두께로 형성된다.

[0343] 다음에, 제 2 열 처리(바람직하게 200℃ 이상 400℃ 이하, 예를 들면, 250℃ 이상 350℃ 이하)는 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 이 실시형태에서, 제 2 열 처리는 1 시간 동안 250℃로 질소 분위기에서 수행된다. 제 2 열 처리는 보호 절연층 또는 평탄화 절연층이 박막 트랜지스터(460) 위에 형성된 후에 수행될 수 있다.

[0344] 또한, 열 처리는 대기 중에서 1 시간 내지 30 시간 동안 100℃ 이상 200℃ 이하로 수행될 수 있다. 이 열 처리는 일정한 가열 온도에서 수행될 수 있다. 대안적으로, 가열 온도에서 다음의 변경이 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실내 온도에서 100℃ 이상 200℃ 이하로 증가되고, 다시 실내 온도로 감소된다. 또한, 이 열 처리는 감압하에서 산화물 절연층의 형성 전에 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다.

[0345] 상술된 공정을 통해, 수소, 수분, 수산기 또는 수소화물의 농도가 감소된 산화물 반도체층(462)을 포함하는 박막 트랜지스터(460)가 형성될 수 있다(도 20e 참조).

[0346] 보호 절연층 또는 평탄화를 위한 평탄화 절연층이 박막 트랜지스터(460) 위에 제공될 수 있다. 도시되지 않았지만, 소스 또는 드레인 전극층(465b)에 도달하는 개구부가 게이트 절연층(452) 및 보호 절연층 또는 평탄화 절연층에 형성될 수 있고, 소스 또는 드레인 전극층(465b)에 대한 전기 접속을 위한 배선층이 개구부에 형성된다.

[0347] 반응 분위기에 잔여 수분은 산화물 반도체층을 형성하는데 있어서 상기한 바와 같이 제거되고, 그에 의해, 산화물 반도체층에서의 수소 또는 수소화물의 농도가 감소될 수 있다. 따라서, 산화물 반도체층은 안정화될 수 있다.

[0348] 상술된 박막 트랜지스터는 실시형태 1 내지 실시형태 6에 기술된 논리 회로들에 포함된 트랜지스터에 적용되고, 그에 의해 트랜지스터를 통한 전하들의 누설이 억제될 수 있다. 결과적으로, 논리 회로의 소비 전력(대기 전력)의 감소 및 오동작의 억제가 달성될 수 있다.

[0349] 이 실시형태의 내용들 또는 그 일부는 다른 실시형태들의 내용들 또는 그 일부나 실시예의 내용 또는 그 일부와 자유롭게 조합될 수 있음을 유념한다.

[0350] (실시형태 9)

[0351] 이 실시형태에서, 실시형태 1 내지 실시형태 6에 기술된 논리 회로들 중 어느 것에 포함된 트랜지스터의 예가 기술될 것이다. 구체적으로, 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 박막 트랜지스터의 예가 기술될 것이다.

[0352] 이 실시형태에서의 박막 트랜지스터 및 그 제작 방법의 일 실시형태는 도 21a 내지 도 21e를 참조하여 기술된다.

[0353] 도 21a 내지 도 21e는 박막 트랜지스터의 단면 구조들을 도시한다. 도 21e에 도시된 박막 트랜지스터(390)는 보텀-게이트 구조를 가지고, 역 스태거형 박막 트랜지스터라고 칭해진다.

[0354] 박막 트랜지스터(390)는 단일-게이트 박막 트랜지스터를 이용하여 기술된다; 그러나, 복수의 채널 형성 영역들을 포함하는 멀티-게이트 박막 트랜지스터가 필요시 형성될 수 있다.

[0355] 이후, 기판(394) 위에 박막 트랜지스터(390)를 제작하는 공정은 도 21a 내지 도 21e를 참조하여 기술된다.

[0356] 먼저, 도전층이 절연 표면을 갖는 기판(394) 위에 형성되고, 그 후에 게이트 전극층(391)이 제 1 포토리소그래피 단계의 수행에 의해 형성된다. 그 위에 적층된 게이트 절연층으로의 피복성이 개선되기 때문에, 형성된 게이트 전극층(391)의 단부는 테이퍼 형상을 가지는 것이 바람직하다. 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있음을 유념한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않는다; 따라서, 제조 비용이 감소될 수 있다.

[0357] 절연 표면을 갖는 기판(394)으로서 이용될 수 있는 기판에 대한 특정 제약은 없지만, 기판은 나중에 수행되는 적어도 열 처리를 견딜 만큼 충분히 높은 내열성을 가져야 한다. 바륨 보로실리케이트 유리, 알루미노보로실리케이트 유리 등을 이용하여 형성되는 유리 기판이 이용될 수 있다.

[0358] 나중에 수행되는 열 처리의 온도가 높은 경우, 변형점이 730℃ 이상인 유리 기판이 이용되는 것이 바람직하다. 유리 기판으로서, 예를 들면, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리 또는 바륨 보로실리케이트 유리와 같은 유리 재료가 이용된다. 산화 바륨(BaO)의 양을 산화 붕소(B_2O_3)보다 많이 함유할 때 내열성을 가진 더욱 실용적인 유리가 획득될 수 있음을 유념한다. 따라서, BaO를 B_2O_3보다 많이 함유한 유리 기판이 이용되는 것이 바람직하다.

[0359] 상기 유리 기판으로서, 세라믹 기판, 석영 기판 또는 사파이어 기판과 같은 절연체로 이루어진 기판이 이용될 수 있음을 유념한다. 대안적으로, 결정화된 유리 등이 이용될 수 있다. 또한 대안적으로, 플라스틱 기판 등이 적합하게 이용될 수 있다.

[0360] 하지막의 역할을 하는 절연층이 기판(394)과 게이트 전극층(391) 사이에 제공될 수 있다. 하지막은 기판(394)으로부터 불순물 원소의 확산을 방지하는 기능을 가지고, 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층 및 산화질화 실리콘층으로부터 선택된 하나 이상의 막들을 포함하는 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다.

[0361] 게이트 전극층(391)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 금속 재료, 또는 이들 재료들 중 어느 것을 주성분으로 포함하는 합금 재료를 이용한 단층 구조 또는 적층 구조로 형성될 수 있다.

[0362] 예를 들면, 게이트 전극층(391)의 2층 구조로서, 몰리브덴층이 알루미늄층 위에 적층된 2층 구조, 몰리브덴층이 구리층 위에 적층된 2층 구조, 질화 티타늄층 또는 질화 탄탈층이 구리층 위에 적층된 2층 구조, 질화 티타늄층 및 몰리브덴층이 적층된 2층 구조, 또는 질화 텅스텐층 및 텅스텐층이 적층된 2층 구조가 바람직하다. 대안적으로, 텅스텐층 또는 질화 텅스텐층, 알루미늄-실리콘 합금층 또는 알루미늄-티타늄 합금층, 및 질화 티타늄층 또는 티타늄층이 적층된 3층 구조가 이용되는 것이 바람직하다. 게이트 전극층은 투광성 도전층을 이용하여 형성될 수 있음을 유념한다. 투광성 도전층의 예로서, 투광성 도전 산화물 등이 주어질 수 있다.

[0363] 그 후에, 게이트 절연층(397)이 게이트 전극층(391) 위에 형성된다.

[0364] 게이트 절연층(397)은 플라즈마 CVD법, 스퍼터링법 등에 의해 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층 및 산화 알루미늄층 중 하나 이상을 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다. 게이트 절연층(397)에 대량의 수소가 함유되는 것을 방지하기 위해, 게이트 절연층(397)은 스퍼터링법에 의해 형성되는 것이 바람직하다. 예를 들면, 산화 실리콘층이 스퍼터링법에 의해 형성되는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로서 이용되고, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 이용된다.

[0365] 게이트 절연층(397)은 게이트 전극층(391)측에서 질화 실리콘층 및 산화 실리콘층이 적층되는 구조를 가질 수 있다. 예를 들면, 100nm의 두께를 가진 게이트 절연층은, 50nm 이상 200nm 이하의 두께를 가진 질화 실리콘층

(SiN_y (y > 0))이 스퍼터링법에 의해 제 1 게이트 절연층으로서 형성되고 그 후에 5nm 이상 300nm 이하의 두께를 가진 산화 실리콘층(SiO_x (x > 0))이 제 1 게이트 절연층 위에 제 2 게이트 절연층으로서 적층되는 방식으로 형성된다.

[0366] 또한, 게이트 절연층(397) 및 산화물 반도체층(393)이 수소, 수산기 또는 수분을 가능한 적게 함유하도록 하기 위해, 게이트 전극층(391)이 형성된 기판(394) 또는 게이트 절연층(397)이 그 위에 형성된 후의 상태의 기판(394)이 성막을 위한 전처리로서 스퍼터링 장치의 예열실에서 예열되어, 기판(394)에 부착된 수소 또는 수분와 같은 불순물들이 제거되고, 그 후에 배기가 수행되는 것이 바람직하다. 예열의 온도는 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃임을 유념한다. 예열실에 제공되는 배기 수단으로서, 크라이오펌프가 이용되는 것이 바람직하다. 이 예열 처리는 생략될 수 있음을 유념한다. 또한, 이러한 예열 처리는 소스 전극층(395a) 및 드레인 전극층(395b)이 상기와 유사한 방식으로 산화물 절연층(396)의 형성 전에 형성되는 상태에서 기판(394)에 대해 수행될 수 있다.

[0367] 그 후에, 산화물 반도체층(393)은 게이트 절연층(397) 위에 2nm 내지 200nm의 두께로 형성된다(도 21a 참조).

[0368] 산화물 반도체층(393)이 스퍼터링법에 의해 형성되기 전에, 게이트 절연층(397)의 표면 상의 먼지가, 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링에 의해 제거되는 것이 바람직하다는 것을 유념한다. 역 스퍼터링은, 타겟측으로의 전압의 인가 없이, 표면을 개질하도록 기판의 주변에 플라즈마를 생성하기 위해 아르곤 분위기에서 기판측으로의 전압의 인가를 위해 RF 전원이 이용되는 방법을 나타낸다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 이용될 수 있음을 유념한다.

[0369] 산화물 반도체층(393)은 스퍼터링법에 의해 형성된다. 산화물 반도체층(393)은 In-Ga-Zn-O-계 산화물 반도체, In-Sn-Zn-O-계 산화물 반도체, In-Al-Zn-O-계 산화물 반도체, Sn-Ga-Zn-O-계 산화물 반도체, Al-Ga-Zn-O-계 산화물 반도체, Sn-Al-Zn-O-계 산화물 반도체, In-Zn-O-계 산화물 반도체, Sn-Zn-O-계 산화물 반도체, Al-Zn-O-계 산화물 반도체, In-O-계 산화물 반도체, Sn-O-계 산화물 반도체 또는 Zn-O-계 산화물 반도체를 이용하여 형성된다. 이 실시형태에서, 산화물 반도체층(393)은 n-Ga-Zn-O-계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 형성된다. 또한, 산화물 반도체층(393)은 희가스(통상적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로 아르곤)와 산소의 혼합된 분위기에서 스퍼터링법에 의해 형성될 수 있다. 스퍼터링법을 이용하는 경우에, 2wt% 이상 10wt% 이하의 SiO_2를 포함하는 타겟을 이용하여 성막이 수행될 수 있다.

[0370] 스퍼터링법에 의해 산화물 반도체층(393)을 형성하기 위한 타겟으로서, 산화 아연을 주성분으로 포함하는 금속 산화물 타겟이 이용될 수 있다. 금속 산화물 타겟의 다른 예로서, In, Ga 및 Zn(조성비가 In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1 [몰수비], In : Ga : Zn = 1 : 1 : 0.5 [원자비]임)을 포함하는 금속 산화물 타겟이 이용될 수 있다. In, Ga 및 Zn을 함유한 금속 산화물 타겟으로서, In : Ga : Zn = 1 : 1 : 1 [원자비]의 조성비를 갖는 타겟, 또는 In : Ga : Zn = 1 : 1 : 2 [원자비]의 조성비를 갖는 타겟도 또한 이용될 수 있다. 금속 산화물 타겟에 대한 충전율은 90% 이상 100% 이하이고, 바람직하게는 95% 이상 99.9% 이하이다. 높은 충전율을 갖는 금속 산화물 타겟을 이용하여, 조밀한 산화물 반도체층이 형성될 수 있다.

[0371] 감압 상태에서 유지된 처리실 내부에 기판이 유지되고, 실내 온도 이상 400℃ 미만의 온도로 기판이 가열된다. 그 후에, 수소 및 수분이 제거된 스퍼터링 가스가 잔여 수분이 제거된 처리실에 도입되고, 산화물 반도체층(393)이 타겟으로서 금속 산화물을 이용하여 기판(394) 위에 형성된다. 처리실의 잔여 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 수단은 콜드 트랩이 구비된 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기되는 처리실에서, 물(H_2O)과 같이 수소 원자를 함유한 화합물(더욱 바람직하게는, 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 처리실에 형성된 산화물 반도체층에서 불순물 농도가 감소될 수 있다. 크라이오펌프로 처리실의 잔여 수분을 제거하면서 스퍼터링법을 이용한 성막에 의해, 산화물 반도체층(393)을 형성할 때 기판 온도는 실내 온도 이상 400℃ 미만일 수 있다.

[0372] 성막 조건의 일례로서, 기판과 타겟 사이의 거리는 100mm이고, 압력은 0.6Pa이고, 직류(DC) 전원은 0.5kW이고, 성막 분위기는 산소 분위기이다(산소 유량비는 100%이다). 펄스형 직류(DC) 전원이 이용될 때, 성막시 생성되는 가루 물질들(또한 파티클들 또는 먼지라고 칭해짐)이 감소될 수 있고 막 두께가 균일해질 가능성이 있음을 유념한다. 산화물 반도체층의 두께는 5nm 이상 30nm 이하가 바람직하다. 적절한 두께는 산화물 반도체 재료에 의존하여 상이하고, 두께는 재료에 의존하여 적합하게 설정될 수 있음을 유념한다.

[0373] 스퍼터링법의 예들은 고주파수 전원이 스퍼터링 전원에 이용되는 RF 스퍼터링법, DC 스퍼터링법, 및 바이어스가 펄스 방식으로 인가되는 펄스형 DC 스퍼터링법을 포함한다. RF 스퍼터링법은 절연층이 형성되는 경우에 주로 이용되고, DC 스퍼터링법은 금속층이 형성되는 경우에 주로 이용된다.

[0374] 그 외에도, 상이한 재료들의 복수의 타겟들이 설정될 수 있는 멀티-소스 스퍼터링 장치가 또한 존재한다. 멀티-소스 스퍼터링 장치로, 상이한 재료들의 층들이 동일한 챔버에 적층 성막될 수 있거나, 또는 복수 종류의 재료들이 동일한 챔버에서 동시에 방전되어 성막될 수 있다.

[0375] 대안적으로, 챔버 내부에 자석 시스템이 구비되고 마그네트론 스퍼터링법에 이용되는 스퍼터링 장치, 또는 글로우 방전을 이용하지 않고 마이크로파들을 이용하여 생성된 플라즈마가 이용되는 ECR 스퍼터링법에 이용되는 스퍼터링 장치가 이용될 수 있다.

[0376] 또한, 스퍼터링법을 이용한 성막 방법으로서, 타겟 물질 및 스퍼터링 가스 성분이 그 화합물 박막을 형성하기 위해 성막 동안 서로 화학적으로 반응되는 반응성 스퍼터링법, 또는 성막 동안 전압이 또한 기판에 인가되는 바이어스 스퍼터링법이 이용될 수 있다.

[0377] 그 후에, 제 2 포토리소그래피 단계의 수행에 의해, 산화물 반도체층은 섬형상 산화물 반도체층(399)으로 가공된다(도 21b 참조). 섬형상 산화물 반도체층(399)의 형성에 이용되는 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있음을 유념한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않는다; 따라서 제조 비용이 감소될 수 있다.

[0378] 게이트 절연층(397)에서 콘택트 홀을 형성하는 경우에, 그 단계는 산화물 반도체층(399)의 형성시에 수행될 수 있다.

[0379] 산화물 반도체층(393)의 에칭에 대해, 습식 에칭, 건식 에칭 또는 이들 둘다가 이용될 수 있다.

[0380] 건식 에칭을 위한 에칭 가스로서, 염소를 함유한 가스(염소(Cl_2), 염화 붕소(BCl_3), 염화규소($SiCl_4$), 또는 사염화탄소(CCl_4)와 같은 염소계 가스)가 이용되는 것이 바람직하다.

[0381] 대안적으로, 불소를 함유한 가스(사불화탄소(CF_4), 불화유황(SF_6), 불화질소(NF_3), 또는 트리플루오로메탄(CHF_3)과 같은 불소계 가스); 브롬화 수소(HBr); 산소(O_2)를 함유한 가스; 또는 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가되는 이들 가스들 중 어느 하나; 등이 이용될 수 있다.

[0382] 건식 에칭 방법으로서, 평행평판형 RIE(reactive ion etching) 방법 또는 ICP(inductively coupled plasma) 에칭 방법이 이용될 수 있다. 층들을 원하는 형상들로 에칭하기 위해, 에칭 조건(코일형 전극에 인가된 전력량, 기판측 상의 전극에 인가된 전력량, 기판측 상의 전극의 온도 등)이 적합하게 조정된다.

[0383] 습식 에칭에 이용된 에천트로서, 인산, 아세트산 및 질산의 혼합 용액 등이 이용될 수 있다. 그 외에도, ITO-07N(KANTO CHEMICAL CO., INC.에 의해 생산됨)도 또한 이용될 수 있다.

[0384] 습식 에칭 후의 에천트는 세정에 의해 에칭된 재료들과 함께 제거된다. 에천트 및 에칭되어진 재료를 포함한 폐액이 정제될 수 있고, 재료가 재사용될 수 있다. 산화물 반도체층에 포함된 인듐과 같은 재료가 에칭후 폐액에서 수집되어 재사용될 때, 자원들이 효율적으로 이용될 수 있고 비용이 감소될 수 있다.

[0385] 에칭 조건들(에천트, 에칭 시간 및 온도와 같이)은 재료가 원하는 형상으로 에칭될 수 있도록 재료에 의존하여 적합하게 조정된다.

[0386] 역 스퍼터링은 후속 단계에서의 도전막의 형성 전에 수행되는 것이 바람직하므로, 산화물 반도체층(399) 및 게이트 절연층(397)의 표면들에 부착된 잔여 레지스트가 제거되는 것을 유념한다.

[0387] 다음에, 도전층이 게이트 절연층(397) 및 산화물 반도체층(399) 위에 형성된다. 도전층은 스퍼터링법 또는 진공 증착법에 의해 형성될 수 있다. 도전층의 재료로서, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소; 이들 원소들 중 어느 것을 성분으로 함유한 합금; 이들 원소들 중 어느 것의 조합을 함유하는 합금층; 등이 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨 및 토륨으로부터 선택된 하나 이상의 재료들이 이용될 수 있다. 금속 도전층은 단층 구조 또는 2개 이상의 층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 함유한 알루미늄층의 단층 구조; 알루미늄층 및 그 위에 적층된 티타늄층의 2층 구조; Ti층, 알루미늄층 및 Ti층이 이 순서로 적층된 3층 구조; 등이 주어질 수 있다. 대안적으로, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd) 및 스칸듐(Sc)에서 선택된 원소들 중 하나 또는 복수와 알루미늄(Al)을 함유하는 질화물층,

합금층, 또는 층이 이용될 수 있다.

[0388] 제 3 포토리소그래피 단계의 수행에 의해, 레지스트 마스크가 도전층 위에 형성되고, 레지스트 마스크가 선택적으로 에칭되어, 소스 전극층(395a) 및 드레인 전극층(395b)이 형성된다. 그 후에, 레지스트 마스크가 제거된다(도 21c 참조).

[0389] 레지스트 마스크를 만들기 위한 노광에 대해, 자외선, KrF 레이저 빔 또는 ArF 레이저 빔이 이용되는 것이 바람직하다. 나중에 형성되는 박막 트랜지스터의 채널 길이(L)는 산화물 반도체층(399) 위에서 서로 인접한 소스 전극층(395a)의 하부와 드레인 전극층(395b)의 하부 사이의 거리에 의해 결정된다. 채널 길이(L)가 25nm보다 짧은 경우에, 마스크를 만들기 위한 노광은 수 나노미터 내지 수십 나노미터의 극히 짧은 파장들을 가진 초자외선을 이용하여 수행된다. 초자외선으로의 노광은 높은 해상도 및 큰 초점 심도를 생성한다. 따라서, 나중에 형성되는 트랜지스터의 채널 길이(L)는 10nm 이상 1000nm 이하일 수 있고, 따라서 회로의 동작 속도가 증가될 수 있다. 그 외에도, 오프 전류값이 극히 작다; 따라서 저전력 소비가 달성될 수 있다.

[0390] 산화물 반도체층(399)이 도전층의 에칭시 제거되지 않도록 층들의 재료들 및 에칭 조건들이 적합하게 조정된다.

[0391] 이 실시형태에서, Ti층이 도전층으로서 이용되고, In-Ga-Zn-O-계 산화물 반도체층이 산화물 반도체층(399)으로서 이용되고, 암모니아 과산화수소(암모니아, 물 및 과산화수소수의 혼합)가 에천트로서 이용된다.

[0392] 제 3 포토리소그래피 단계에서, 산화물 반도체층(399)의 일부만 에칭되어질 수 있고, 그에 의해 그루브(함몰 부분)를 가진 산화물 반도체층이 형성될 수 있다. 소스 전극층(395a) 및 드레인 전극층(395b)을 형성하기 위해 이용되는 레지스트 마스크는 잉크젯 방법으로 형성될 수 있다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않는다; 따라서, 제조 비용이 감소될 수 있다.

[0393] 포토리소그래피 단계에서 이용된 포토마스크들의 수를 감소시키고 포토리소그래피 단계들의 수를 감소시키기 위해, 복수의 강도들을 가지기 위해 광이 투과되는 노광 마스크인 다계조 마스크를 이용하여 에칭 단계가 수행될 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께들을 가지고, 또한 에칭에 의해 형상이 변경될 수 있다; 따라서, 이러한 레지스트 마스크는 상이한 패턴들로의 가공을 위해 복수의 에칭 단계들에서 이용될 수 있다. 따라서, 적어도 2 종류들 이상의 상이한 패턴들에 대응하는 레지스트 마스크가 하나의 다계조 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있고, 대응하는 포토리소그래피 단계들의 수도 또한 감소될 수 있고, 그에 의해 공정의 간단화가 실현될 수 있다.

[0394] 노출된 산화물 반도체층의 표면 상에 흡착되는 수분 등을 제거하기 위해, N_2O, N_2 또는 Ar과 같은 가스를 이용한 플라즈마 처리가 수행될 수 있다. 플라즈마 처리는 산소와 아르곤의 혼합 가스를 이용하여 수행될 수 있다.

[0395] 플라즈마 처리를 수행하는 경우에, 산화물 반도체층의 일부와 접촉하는 산화물 절연층(396)이 대기에 노출되지 않고 형성된다(도 21d 참조). 이 실시형태에서, 산화물 절연층(396)은 산화물 반도체층(399)이 소스 전극층(395a)과도 드레인 전극층(395b)과도 중첩하지 않는 영역에서 산화물 반도체층(399)과 접촉하여 형성된다.

[0396] 이 실시형태에서, 섬형상 산화물 반도체층(399), 소스 전극층(395a) 및 드레인 전극층(395b)과 같은 층들이 형성되는 기판(394)은 실내 온도 이상 100℃ 미만의 온도로 가열되고, 수소 및 수분이 제거된 고순도 산소를 함유한 스퍼터링 가스가 도입되어, 결함을 포함하는 산화 실리콘층이 실리콘 타겟을 이용하여 산화물 절연층(396)으로 형성된다.

[0397] 예를 들면, 산화 실리콘층은 펄스형 DC 스퍼터링법에 의해 형성되고, 여기서, 붕소로 도핑되고 6N (99.9999%)의 순도를 가진 실리콘 타겟(저항치: 0.01Ωcm)이 이용되고, 기판과 타겟 사이 거리(T-S 거리)는 89mm, 압력 0.4Pa, 직류(DC) 전원이 6kW이고, 분위기가 산소 분위기이다(산소의 유량 비율은 100%이다). 그 두께는 300nm이다. 실리콘 타겟 대신에, 석영(바람직하게, 합성 석영)이 산화 실리콘층을 형성하기 위한 타겟으로서 이용될 수 있다. 스퍼터링 가스로서, 산소 또는 산소와 아르곤의 혼합 가스가 이용된다.

[0398] 이 경우, 처리실의 잔여 수분을 제거하면서 산화물 절연층(396)이 형성되는 것이 바람직하다. 이것은 수소, 수산기 또는 수분이 산화물 반도체층(399)과 산화물 절연층(396)에 포함되는 것이 방지되기 때문이다.

[0399] 처리실에서 잔여 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 수단은 콜드 트랩이 구비된 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기되는 처리실에서, 물(H_2O)과 같이 수소 원자를 함유한 화합물(더욱 바람직하게는, 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 처리실에 형성된 산화물 반도체

층(396)에서 불순물 농도가 감소될 수 있다.

[0400] 산화 실리콘층 대신에, 산화질화 실리콘층, 산화 알루미늄층, 산화질화 알루미늄층 등이 산화물 절연층으로서 이용될 수 있다.

[0401] 또한, 산화물 절연층(396) 및 산화물 반도체층(399)이 서로 접촉하는 이러한 조건 하에서 100℃ 내지 400℃의 온도로 열 처리가 수행될 수 있다. 이 실시형태에서 산화물 절연층(396)이 많은 결함들을 포함하기 때문에, 산화물 반도체층(399)에 포함된 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 열 처리에 의해 산화물 절연층(396)으로 확산되어, 산화물 반도체층(399)의 불순물이 더욱 감소될 수 있다.

[0402] 상술된 단계들을 통해, 수소, 수분, 수산기 또는 수소화물의 농도가 감소되는 산화물 반도체층(392)을 포함하는 박막 트랜지스터(390)가 형성될 수 있다(도 21e 참조).

[0403] 산화물 반도체층의 상술된 형성시에 반응 분위기에서의 잔여 수분이 제거될 때, 산화물 반도체층에서의 수소 및 수소화물의 농도가 감소될 수 있다. 따라서, 산화물 반도체층이 안정화될 수 있다.

[0404] 보호 절연층은 산화물 절연층 위에 제공될 수 있다. 이 실시형태에서, 보호 절연층(398)은 산화물 절연층(396) 위에 형성된다. 보호 절연층(398)으로서, 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층, 질화산화 알루미늄층 등이 이용된다.

[0405] 보호 절연층(398)으로서, 질화 실리콘층이 산화물 절연층(396)이 형성된 후에 기판(394)을 100℃ 내지 400℃의 온도로 가열하고, 수소 및 수분이 제거된 고순도 질소를 함유한 스퍼터링 가스를 도입하고, 실리콘 타겟을 이용하여 형성된다. 이 경우, 또한 산화물 절연층(396)의 방식과 유사한 방식으로 보호 절연층(398)의 형성시 처리 실로부터 잔여 수분이 제거되는 것이 바람직하다.

[0406] 보호 절연층(398)을 형성하는 경우에, 보호 절연층(398)의 형성시 기판(394)이 100℃ 내지 400℃의 온도로 가열되고, 그에 의해 산화물 반도체층에 포함된 수소 또는 수분이 산화물 절연층으로 확산될 수 있다. 이 경우, 가열 처리는 산화물 절연층(396)의 형성 후 반드시 수행될 필요가 없다.

[0407] 산화물 절연층(396)으로서 산화 실리콘층 및 보호 절연층(398)으로서 질화 실리콘층이 적층되는 경우에, 산화 실리콘층 및 질화 실리콘층이 공통 실리콘 타겟을 이용하여 동일한 처리실에서 형성될 수 있다. 먼저, 산소를 함유한 스퍼터링 가스가 도입되고, 산화 실리콘층이 처리실 내부에 배치된 실리콘 타겟을 이용하여 형성되고, 그 후에 스퍼터링 가스가 질소를 함유한 스퍼터링 가스로 전환되고, 질화 실리콘층이 동일한 실리콘 타겟을 이용하여 형성된다. 산화 실리콘층 및 질화 실리콘층이 대기에 노출되지 않고 연속으로 형성될 수 있기 때문에, 수소 또는 수분와 같은 불순물이 산화 실리콘층의 표면 상에 흡착되는 것이 방지될 수 있다. 이 경우, 산화물 절연층(396)으로서 산화 실리콘층과 보호 절연층(398)으로서 질화 실리콘층이 적층된 후에, 산화물 반도체층에 도입된 수소 또는 수분을 산화물 절연층으로 확산하기 위한 열 처리(100℃ 내지 400℃의 온도에서)가 수행될 수 있다.

[0408] 보호 절연층의 형성 후에, 열 처리는 또한 1 시간 이상 30 시간 이하 동안 대기 중에서 100℃ 이상 200℃ 이하로 수행될 수 있다. 이 열 처리는 일정한 가열 온도에서 수행될 수 있다. 대안적으로, 가열 온도에서 다음의 변경이 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실내 온도에서 100℃ 이상 200℃ 이하로 증가되고, 다시 실내 온도로 감소된다. 또한, 이 열 처리는 감압하에서 산화물 절연층의 형성 전에 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다. 이 열 처리로 노멀리-오프 박막 트랜지스터가 획득될 수 있다. 따라서, 반도체 장치의 신뢰도가 개선될 수 있다.

[0409] 채널 형성 영역이 게이트 절연층 위에 형성되는 산화물 반도체층의 형성시 반응 분위기의 잔여 수분이 제거될 때, 산화물 반도체층의 수소 또는 수소화물의 농도가 감소될 수 있다.

[0410] 상기 단계들은 액정 표시 패널, 일렉트로루미네선스 표시 패널, 및 전자 잉크를 이용한 표시 장치의 백플레인(박막 트랜지스터가 형성된 기판)의 제조에 이용될 수 있다. 상기 단계들은 400℃ 이하에서 수행된다; 따라서, 상기 단계들은 1㎜ 이하의 두께를 가지고 1m 더 긴 측면을 가진 유리 기판이 이용되는 제조 공정에 적용될 수 있다. 모든 상기 단계들은 400℃ 이하에서 수행된다; 따라서, 표시 패널을 제작하기 위해 대량의 에너지가 요구되지 않는다.

[0411] 상술된 박막 트랜지스터는 실시형태 1 내지 실시형태 6에 기술된 논리 회로들에 포함된 트랜지스터에 적용되고, 그에 의해 트랜지스터를 통한 전하들의 누설이 억제될 수 있다. 결과적으로, 논리 회로의 소비 전력(대기 전

력)의 감소 및 오동작의 억제가 달성될 수 있다.

[0412] 이 실시형태의 내용들 또는 그 일부는 다른 실시형태들의 내용들 또는 그 일부나 실시예의 내용 또는 그 일부와 자유롭게 조합될 수 있음을 유념한다.

[0413] (실시형태 10)

[0414] 이 실시형태에서, 실시형태 1 내지 실시형태 6에 기술된 논리 회로들 중 어느 것에 포함된 트랜지스터의 예가 기술될 것이다. 구체적으로, 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 박막 트랜지스터의 예가 기술될 것이다.

[0415] 이 실시형태에서의 박막 트랜지스터 및 그 제작 방법의 실시형태는 도 22a 내지 도 22d를 참조하여 기술될 것이다.

[0416] 도 22a 내지 도 22d는 박막 트랜지스터의 단면 구성예를 도시한다. 도 22d에 도시된 박막 트랜지스터(360)는 소위 채널-보호형(채널-스톱형)인 보텀-게이트형 구조의 일종이고, 또한 역 스태거형 박막 트랜지스터라고도 칭해진다.

[0417] 박막 트랜지스터(360)는 단일-게이트형 박막 트랜지스터를 이용하여 기술된다; 그러나, 복수의 채널 형성 영역들을 포함하는 멀티-게이트형 박막 트랜지스터도 필요시 형성될 수 있다.

[0418] 이후, 기판(320) 위에 박막 트랜지스터(360)를 제작하는 공정이 도 22a 내지 도 22d를 참조하여 기술된다.

[0419] 먼저, 도전층이 절연 표면을 가진 기판(320) 위에 형성되고, 그 후에 제 1 포토리소그래피 단계의 수행에 의해, 게이트 전극층(361)이 형성된다. 레지스트 마스크는 잉크-젯 방법으로 형성될 수 있음을 유념한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않는다; 따라서, 제조 비용이 감소될 수 있다.

[0420] 게이트 전극층(361)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 금속 재료, 또는 이들 재료들 중 어느 것을 주성분으로 포함하는 합금 재료를 이용한 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다.

[0421] 다음에, 게이트 절연층(322)이 게이트 전극층(361) 위에 형성된다.

[0422] 이 실시형태에서, 산화질화 실리콘층이 게이트 절연층(322)으로서 플라즈마 CVD법에 의해 100nm 이하의 두께로 형성된다.

[0423] 다음에, 산화물 반도체층은 2nm 내지 200nm의 두께를 가지도록 게이트 절연층(322) 위에 형성되고, 제 2 포토리소그래피 단계에 의해 섬형상 산화물 반도체층으로 가공된다. 이 실시형태에서, 산화물 반도체층은 스퍼터링법에 의해 In-Ga-Zn-O-계 금속 산화물 타겟을 이용하여 형성된다.

[0424] 이 경우, 처리실의 잔여 수분을 제거하면서 산화물 반도체층이 형성되는 것이 바람직하다. 이것은 수소, 수산기 또는 수분이 산화물 반도체층에 포함되는 것이 방지되기 때문이다.

[0425] 처리실에서 잔여 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 수단은 콜드 트랩이 구비된 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기되는 처리실에서, 물(H_2O)과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 처리실에 형성된 산화물 반도체층에서 불순물 농도가 감소될 수 있다.

[0426] 산화물 반도체층의 성막에 이용된 스퍼터링 가스는 수소, 수분, 수산기 또는 수소화물과 같은 불순물의 농도가 대략 수 백만분의 일(ppm) 또는 대략 수 십억분의 일(ppb)으로 감소되는 고순도 가스가 바람직하다.

[0427] 다음에, 산화물 반도체층들의 탈수화 또는 탈수소화가 수행된다. 탈수화 또는 탈수소화를 위한 제 1 열 처리의 온도는 400℃ 이상 750℃ 이하이고, 바람직하게는 400℃ 이상 기판의 변형점 미만이다. 여기서, 열 처리 장치들 중 하나인 전기로에 기판이 도입되고, 산화물 반도체층에 대해 질소 분위기에서 1 시간 동안 450℃로 열 처리가 수행되고, 그 후에 산화물 반도체층은 수분 및 수소의 산화물 반도체층으로의 혼입이 방지되도록 대기에 노출되지 않는다; 따라서, 산화물 반도체층(332)이 획득된다(도 22a 참조).

[0428] 다음에, N_2O, N_2 또는 Ar과 같은 가스를 이용하여 플라즈마 처리가 수행된다. 이 플라즈마 처리에 의해, 산화물 반도체층의 노출된 표면에 부착된 흡수된 수분 등이 제거된다. 플라즈마 처리는 또한 산소와 아르곤의 혼합 가스를 이용하여 수행될 수 있다.

[0429] 다음에, 산화물 절연층은 게이트 절연층(322) 및 산화물 반도체층(332) 위에 형성된다. 그 후에, 제 3 포토리소그래피 단계의 수행에 의해, 레지스트 마스크가 형성되고, 산화물 절연층이 산화물 절연층(366)을 형성하기 위해 선택적으로 에칭된다. 그 후에 레지스트 마스크가 제거된다.

[0430] 이 실시형태에서, 산화물 절연층(366)으로서, 200nm 두께의 산화 실리콘층이 스퍼터링법에 의해 성막된다. 성막시의 기판 온도는 실내 온도 이상 300℃ 이하일 수 있고, 이 실시형태에서는 100℃이다. 산화 실리콘층은 희가스(통상적으로, 아르곤)의 분위기, 산소 분위기 또는 희가스(통상적으로, 아르곤)와 산소를 함유한 혼합된 분위기에서 스퍼터링법에 의해 수행될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 이용될 수 있다. 예를 들면, 산화 실리콘층은 산소와 질소의 분위기에서 실리콘 타겟을 이용하여 스퍼터링법에 의해 수행될 수 있다.

[0431] 이 경우, 처리실에서 잔여 수분을 제거하면서 산화물 절연층(366)이 형성되는 것이 바람직하다. 이것은 수소, 수산기 또는 수분이 산화물 반도체층(332)과 산화물 절연층(366)에 포함되는 것이 방지되기 때문이다.

[0432] 처리실에서 잔여 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 수단은 콜드 트랩이 구비된 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기되는 처리실에서, 물(H_2O)과 같이 수소 원자를 함유한 화합물 등이 제거되고, 그에 의해 처리실에 형성된 산화물 절연층(366)에서 불순물 농도가 감소될 수 있다.

[0433] 산화물 절연층(366)의 성막에 이용된 스퍼터링 가스는 수소, 수분, 수산기 또는 수소화물과 같은 불순물의 농도가 대략 수 백만분의 일(ppm) 또는 대략 수 십억분의 일(ppb)으로 감소되는 고순도 가스가 바람직하다.

[0434] 다음에, 제 2 열 처리는 불활성 가스 분위기 또는 산소 가스 분위기에서 수행될 수 있다(바람직하게 200℃ 이상 400℃ 이하의 온도, 예를 들면, 250℃ 이상 350℃ 이하의 온도). 예를 들면, 제 2 열 처리는 1 시간 동안 250℃로 질소 분위기에서 수행된다. 제 2 열 처리가 수행될 때, 산화물 반도체층(채널 형성 영역)의 일부가 산화물 절연층(366)과 접촉하는 이러한 조건 하에서 열이 인가된다.

[0435] 이 실시형태에서, 산화물 절연층(336)이 구비되고 부분적으로 노출되는 산화물 반도체층(332)에는 또한 질소 분위기 또는 불활성 가스 분위기에서 또는 감압하에서 열 처리가 수행된다. 질소 분위기 또는 불활성 가스 분위기에서 또는 감압하에서의 열 처리에 의해, 산화물 절연층(336)으로 커버되지 않은 산화물 반도체층(332)의 노출된 영역은 산소-결핍 상태에 있고 감소된 저항을 가진다. 즉, n형 산화물 반도체층이 제공된다. 예를 들면, 열 처리는 1 시간 동안 질소 분위기에서 250℃로 수행된다.

[0436] 질소 분위기에서 산화물 절연층(366)이 구비된 산화물 반도체층(332)에 대한 열 처리로, 산화물 반도체층(332)의 노출된 영역의 저항이 감소된다. 따라서, 상이한 저항들을 가진 영역들(도 22b에서 음영 영역 및 백색 영역들로 표시됨)을 포함하는 산화물 반도체층(362)이 형성된다.

[0437] 다음에, 도전층이 게이트 절연층(332), 산화물 반도체층(362) 및 산화물 절연층(366) 위에 형성된다. 그 후, 제 4 포토리소그래피 단계의 수행에 의해, 레지스트 마스크가 형성되고, 도전층이 선택적으로 에칭되어 소스 전극층(365a) 및 드레인 전극층(365b)을 형성한다. 그 후에, 레지스트 마스크가 제거된다(도 22c 참조).

[0438] 소스 전극층(365a) 및 드레인 전극층(365b)의 재료로서, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소; 상기 원소들 중 어느 것을 포함하는 합금; 이들 원소들 중 어느 것의 조합을 함유하는 합금층; 등이 있다. 금속 도전층은 단층 구조 또는 2개 이상의 층들의 적층 구조를 가질 수 있다.

[0439] 상기 단계들을 통해, 산화물 반도체층에 성막후의 탈수화 또는 탈수소화에 대한 열 처리가 수행될 때, 산화물 반도체층의 저항이 감소되고, 즉, 산화물 반도체층은 n형이 된다. 그 후, 산화물 절연층이 산화물 반도체층과 접촉하여 형성되고, 그에 의해 산화물 반도체층의 일부는 선택적으로 산소-과잉 상태가 된다. 결과적으로, 게이트 전극층(361)과 중첩하는 채널 형성 영역(363)은 i-형 영역이 된다. 그때, 적어도 채널 형성 영역(363)보다 높은 캐리어 밀도를 가지고 소스 전극층(365a)과 중첩하는 고-저항 영역(364a), 및 적어도 채널 형성 영역(363)보다 높은 캐리어 밀도를 가지고 드레인 전극층(365b)과 중첩하는 고-저항 영역(364b)이 자기정합적으로 형성된다. 상술된 단계들을 통해, 박막 트랜지스터(360)가 완성된다.

[0440] 또한, 열 처리는 대기 중에서 1 시간 내지 30 시간 동안 100℃ 이상 200℃ 이하에서 수행될 수 있다. 이 실시형태에서, 10 시간 동안 150℃에서 수행된다. 이 열 처리는 일정한 가열 온도에서 수행될 수 있다. 대안적으로, 가열 온도에서 다음의 변경이 복수 번 반복적으로 행해질 수 있다: 가열 온도는 실내 온도에서 100℃ 이상 200℃ 이하로 증가되고, 다시 실내 온도로 감소된다. 또한, 이 열 처리는 감압하에서 산화물 절연층의 형성 전에

수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다. 이러한 열 처리로, 산화물 반도체층에서 산화물 절연층으로 수소가 도입된다; 따라서, 노멀리-오프 박막 트랜지스터가 획득될 수 있다. 따라서, 반도체 장치의 신뢰도가 개선될 수 있다.

[0441] 드레인 전극층(365b)(및 소스 전극층(365a))과 중첩하는 산화물 반도체층의 일부에서 고저항 드레인 영역(364b)(및 고저항 소스 영역(364a))의 형성에 의해, 박막 트랜지스터의 신뢰도가 개선될 수 있음을 유념한다. 구체적으로, 고저항 드레인 영역(364b)의 형성은 도전성이 고저항 드레인 영역(364b)을 통해 드레인 전극층에서 채널 형성 영역(363)으로 점차적으로 변화하는 구조를 가능하게 한다. 따라서, 고전원 전위 VDD를 공급하기 위한 배선에 접속된 드레인 전극층(365b)으로 동작이 수행되는 경우에, 고저항 드레인 영역은 버퍼의 역할을 하고, 따라서 게이트 전극층(361)과 드레인 전극층(365b) 사이에 고전계가 인가되는 경우에도 전계의 국소적인 집중이 거의 발생하지 않고, 이것은 트랜지스터의 유전체 내압의 증가를 유발한다.

[0442] 보호 절연층(323)은 소스 전극층(365a), 드레인 전극층(365b) 및 산화물 절연층(366) 위에 형성된다. 이 실시형태에서, 보호 절연층(323)은 질화 실리콘층을 이용하여 형성된다(도 22d 참조).

[0443] 대안적으로, 산화물 절연층은 소스 전극층(365a), 드레인 전극층(365b) 및 산화물 절연층(366) 위에 형성될 수 있고, 보호 절연층(323)은 산화물 절연층 위에 추가로 적층될 수 있다.

[0444] 상술된 박막 트랜지스터는 실시형태 1 내지 실시형태 6에 기술된 논리 회로들에 포함된 트랜지스터에 적용되고, 그에 의해 트랜지스터를 통한 전하들의 누설이 억제될 수 있다. 결과적으로, 논리 회로의 대기 전력의 감소 및 오동작의 억제가 달성될 수 있다.

[0445] 이 실시형태의 내용들 또는 그 일부는 다른 실시형태들의 내용들 또는 그 일부나 실시예의 내용 또는 그 일부와 자유롭게 조합될 수 있음을 유념한다.

[0446] (실시형태 11)

[0447] 이 실시형태에서, 상기 실시형태들 중 어느 것에 기술된 논리 회로를 각각 포함하는 반도체 장치들의 예가 도 23a 내지 도 23f를 참조하여 기술될 것이다. 상기 실시형태들에 관련된 논리 회로는 논리 회로 등의 동작을 위한 외부 회로와 내장되고 회로 기판 상에 장착되고; 논리 회로는 반도체 장치들에 포함되는 것을 유념한다.

[0448] 도 23a는 임의의 상기 논리 회로를 포함하는 랩탑 컴퓨터를 도시하며, 이것은 본체(2201), 하우징(2202), 표시부(2203), 키보드(2204) 등을 포함한다.

[0449] 도 23b는 임의의 상기 논리 회로를 포함하는 휴대 정보 단말기(PDA)를 도시하며, 이것은 표시부(2213), 외부 인터페이스(2215), 조작 버튼(2214) 등가 구비된 본체(2211)를 포함한다. 조작을 위한 스타일러스(2212)는 악세서리로서 포함된다.

[0450] 도 23c는 임의의 상기 논리 회로를 포함하는 전자 페이퍼의 예로서 전자 서적(2220)을 도시한다. 전자 서적(2220)은 2개의 하우징, 하우징(2221) 및 하우징(2223)을 포함한다. 하우징들(2221 및 2223)은 축부(2237)에 의해 서로 결합되고, 이를 따라 전자 서적(2220)이 개폐될 수 있다. 이러한 구조로, 전자 서적(2220)이 종이 서적과 같이 이용될 수 있다.

[0451] 표시부(2225)는 하우징(2221)에 내장되고, 표시부(2227)는 하우징(2223)에 내장된다. 표시부(2225) 및 표시부(2227)는 하나의 화상 또는 상이한 화상들을 표시할 수 있다. 표시부들이 서로 상이한 화상들을 표시하는 구조에서, 예를 들면, 우측 표시부(도 23c에서 표시부(2225))는 텍스트를 표시할 수 있고, 좌측 표시부(도 23c에서 표시부(2227))는 화상들을 표시할 수 있다.

[0452] 또한, 도 23c에서, 하우징(2221)에는 조작부 등이 구비된다. 예를 들면, 하우징(2221)에는 전원(2231), 조작 키(2233), 스피커(2235) 등이 구비된다. 조작 키(2223)로, 페이지들이 넘겨질 수 있다. 키보드, 포인팅 디바이스 등이 또한 표시부가 제공되는 하우징의 표면 상에 제공될 수 있다는 것을 유념한다. 또한, 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블과 같은 다양한 케이블들에 접속될 수 있는 단자 등), 기록 매체 투입부 등이 하우징의 후면 또는 측면 상에 제공될 수 있다. 또한, 전자 서적(2220)은 전자 사전의 기능을 가질 수 있다.

[0453] 전자 서적(2220)은 데이터를 무선으로 송수신하도록 구성될 수 있다. 무선 통신을 통해, 원하는 도서 데이터 등이 구매될 수 있고, 전자 서적 서버로부터 다운로드될 수 있다.

[0454] 전자 페이퍼는 데이터를 표시하는 모든 분야들의 전자 기기들에 이용될 수 있음을 유념한다. 예를 들면, 전자

페이퍼는, 전자 도서(전자 서적) 대신에, 포스터들, 기차들과 같은 차량들의 광고, 신용 카드들과 같은 다양한 카드들에서의 표시 등에 이용될 수 있다.

[0455] 도 23d는 임의의 상기 논리 회로를 포함하는 모바일 폰을 도시하며, 이것은 2개의 하우징: 하우징(2240) 및 하우징(2241)을 포함한다. 하우징(2241)에는 표시 패널(2242), 스피커(2243), 마이크로폰(2244), 포인팅 디바이스(2246), 카메라 렌즈(2247), 외부 접속 단자(2248) 등이 구비된다. 하우징(2240)에는, 모바일 폰을 충전하는 태양 전지(2249), 외부 메모리 슬롯(2250) 등이 구비된다. 안테나는 하우징(2241)에 내장된다.

[0456] 표시 패널(2242)은 터치 패널 기능을 가진다. 화상들로서 표시된 복수의 조작 키들(2245)이 도 23d에서 점선으로 도시된다. 모바일 폰은 태양 전지(2249)로부터 출력된 전압에서 각각의 회로에 필요한 전압으로 증가시키기 위한 부스터 회로를 포함하는 것을 유념한다. 또한, 상기 구성 외에도, 무접촉 IC 칩, 소형 메모리 장치 등이 내장될 수 있다.

[0457] 표시 패널(2242)의 표시 방향은 응용 모드에 따라 적합하게 변경된다. 또한, 표시 패널(2242)과 동일한 표면 상에 카메라 렌즈(2247)가 제공되고, 따라서 이것은 비디오 폰으로서 이용될 수 있다. 스피커(2243) 및 마이크로폰(2224)은 음성 호출들뿐만 아니라 비디오폰 호출들, 기록, 사운드 재생 등에 이용될 수 있다. 또한, 도 23d에 도시된 바와 같이 전개된 상태에서의 하우징들(2240 및 2241)은 하나가 다른 하나 위에 겹치도록 슬라이딩될 수 있다; 따라서, 휴대 정보 단말기의 크기가 감소될 수 있고, 이것은 휴대 정보 단말기가 휴대하기에 적합하게 한다.

[0458] 외부 접속 단자(2248)는 AC 어댑터 또는 USB 케이블과 같은 다양한 케이블들에 접속될 수 있으며, 이것은 모바일 폰의 충전 및 모바일 폰 등 사이의 데이터 통신을 가능하게 한다. 또한, 대량의 데이터가 저장될 수 있고, 외부 메모리 슬롯(2250)에 기록 매체를 삽입함으로써 이동될 수 있다. 또한, 상기 기능들 외에도, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수 있다.

[0459] 도 23e는 임의의 상기 논리 회로를 포함하는 디지털 카메라를 도시하며, 이것은 본체(2261), 표시부(A)(2267), 접안부(2263), 조작 스위치(2264), 표시부(B)(2265), 배터리(2266) 등을 포함한다.

[0460] 도 23f는 임의의 상기 논리 회로를 포함하는 텔레비전 세트(2270)를 도시하며, 이것은 하우징(2271)에 내장된 표시부(2273)를 포함한다. 표시부(2273)는 화상들을 표시할 수 있다. 여기서, 하우징(2271)은 스탠드(2275)에 의해 지지된다.

[0461] 텔레비전 세트(2270)는 하우징(2271)의 조작 스위치 또는 별도의 원격 제어기(2280)에 의해 조작될 수 있다. 채널들 및 볼륨은 표시부(2273) 상에 표시된 화상이 제어될 수 있도록, 원격 제어기(2280)의 조작 키(2279)로 제어될 수 있다. 또한, 원격 제어기(2280)는 원격 제어기(2280)로부터 나오는 정보가 표시되는 표시부(2227)를 가질 수 있다.

[0462] 텔레비전 세트(2270)는 수신기, 모뎀 등이 구비되는 것이 바람직하다는 것을 유념한다. 수신기로, 일반 텔레비전 방송이 수신될 수 있다. 또한, 텔레비전 세트(2270)가 모뎀을 통해 유선 또는 무선 접속에 의해 통신 네트워크에 접속될 때, 일방향(송신자에서 수신자로) 또는 양방향(송신자와 수신자 사이, 수신자들 사이 등) 데이터 통신이 수행될 수 있다.

[0463] (실시예 1)

[0464] 이 실시예에서, 평가용 소자군(또한 TEG라고 칭해짐)을 이용하여 오프 전류의 측정값들이 하기에 기술될 것이다.

[0465] 도 24는 L/W = 3㎛/50㎛를 각각 가진 200개의 박막 트랜지스터들이 병렬로 접속하여 실제로 L/W = 3㎛/10000㎛를 가진 박막 트랜지스터의 초기 특성들을 도시한다. 상면도가 도 25a에 도시되고, 부분적으로 확대된 상면도가 도 25b에 도시된다. 도 25b에서 점선으로 둘러싸인 영역은 L/W = 3㎛/50㎛ 및 Lov = 1.5㎛를 가진 일 단계의 박막 트랜지스터이다. 박막 트랜지스터들의 초기 특성들을 측정하기 위해, 소스와 드레인 사이의 전류(이후, 드레인 전류 또는 Id라고 칭해짐)의 변화 특성들은 기판 온도가 실내 온도로 설정되었고, 소스와 드레인 사이의 전압(이후, 드레인 전압 또는 Vd)이 10V로 설정되었고, 소스와 게이트 사이의 전압(이후, 게이트 전압 또는 Vg)이 -20V 내지 +20V로 변화된 조건들 하에서 측정되었다. 달리 말하면, Vg-Id 특성들이 측정되었다. 도 24는 -20V 내지 +20V의 범위의 Vg를 도시하는 것을 유념한다.

[0466] 도 24에 도시된 바와 같이, 10000㎛의 채널 폭 W와 1V 또는 10V의 Vd를 가진 박막 트랜지스터가 1×10^{-13} [A]

이하의 오프 전류를 가지고, 이것은 측정 장치(반도체 파라미터 분석기, Agilent Technologies Inc.에 의제 제작된 Agilent 4156C)의 분해능(100fA) 이하이다.

[0467] 측정에 이용된 박막 트랜지스터를 제작하기 위한 방법이 기술된다.

[0468] 먼저, 질화 실리콘층이 CVD법에 의해 유리 기판 위의 하지막으로서 형성되었고, 산화질화 실리콘층이 질화 실리콘층 위에 형성되었다. 텅스텐층이 스퍼터링법에 의해 산화질화 실리콘층 위에 게이트 전극층으로서 형성되었다. 여기서, 게이트 전극층은 텅스텐층을 선택적으로 에칭하여 형성되었다.

[0469] 그 후에, 100nm의 두께를 가진 산화질화 실리콘층은 CVD법에 의해 게이트 전극층 위에 게이트 절연층으로서 형성되었다.

[0470] 그 후에, 50nm의 두께를 가진 산화물 반도체층은 In-Ga-Zn-O-계 산화물 반도체층 타겟(In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2의 몰수비에서)을 이용하여 스퍼터링법에 의해 게이트 절연층 위에 형성되었다. 여기서, 섬형상 산화물 반도체층은 산화물 반도체층을 선택적으로 에칭하여 형성되었다.

[0471] 그 후에, 제 1 열 처리가 1 시간 동안 450℃의 세정 오븐에서 질소 분위기에서 산화물 반도체층에 대해 수행되었다.

[0472] 다음에, 티타늄층(150nm의 두께를 가짐)이 스퍼터링법에 의해 산화물 반도체층 위에 소스 전극층 및 드레인 전극층으로서 형성되었다. 여기서, 소스 전극층 및 드레인 전극층은 선택적인 에칭에 의해 형성되어, 각각이 3㎛의 채널 길이 L과 50㎛의 채널 폭 W를 가진 200개의 박막 트랜지스터들을 병렬로 접속함으로써 실제로 박막 트랜지스터의 L/W = 3㎛/10000㎛가 달성되었다.

[0473] 다음에, 300nm의 두께를 가진 산화 실리콘층은 산화물 반도체층과 접촉하도록 스퍼터링법에 의해 보호 절연층으로서 형성되었다. 보호 절연층의 역할을 하는 산화 실리콘층이 선택적으로 에칭되었고, 그에 의해 게이트 전극층과 소스 및 드레인 전극층들 위에 개구부들이 형성되었다. 그 후, 제 2 열 처리가 질소 분위기에서 1 시간 동안 250℃로 수행되었다.

[0474] 그 후에, Vg-Id 특성들의 측정 전에 10 시간 동안 150℃로 열 처리가 수행되었다.

[0475] 상기 공정을 통해 보텀-게이트형 박막 트랜지스터가 제작되었다.

[0476] 박막 트랜지스터가 도 24에 도시된 바와 같이 대략 1×10^{-13} [A]의 오프 전류를 가지는 이유는 산화물 반도체층에서의 수소의 농도가 상기 제작 공정에서 효율적으로 감소될 수 있었기 때문이다. 산화물 반도체의 수소 농도는 5×10^{19}(atoms/cm^3) 이하, 바람직하게 5×10^{18}(atoms/cm^3) 이하, 더욱 바람직하게 5×10^{17}(atoms/cm^3) 이하였다. 산화물 반도체층에서의 수소 농도는 2차 이온 질량 분석법(SIMS)에 의해 측정되었음을 유념한다.

[0477] In-Ga-Zn-O-계 산화물 반도체층을 이용한 예가 기술되었지만, 산화물 반도체는 이에 특별히 제한되지 않는다. In-Sn-Zn-O-계 산화물 반도체층, Sn-Ga-Zn-O-계 산화물 반도체층, Al-Ga-Zn-O-계 산화물 반도체층, Sn-Al-Zn-O-계 산화물 반도체층, In-Zn-O-계 산화물 반도체층, In-Sn-O-계 산화물 반도체층, Sn-Zn-O-계 산화물 반도체층, Al-Zn-O-계 산화물 반도체층, In-O-계 산화물 반도체층, Sn-O-계 산화물 반도체층 또는 Zn-O-계 산화물 반도체층과 같은 다른 산화물 반도체 재료도 또한 이용될 수 있다. 또한, 산화물 반도체 재료로서, 2.5wt% 내지 10wt%의 AlO_x와 혼합된 In-Al-Zn-O-계 산화물 반도체층 또는 2.5wt% 내지 10wt%의 SiO_x와 혼합된 In-Zn-O-계 산화물 반도체층이 이용될 수 있다.

[0478] 캐리어 측정 장치에 의해 측정된 산화물 반도체층의 캐리어 밀도는 5×10^{14} /cm^3 이하, 바람직하게 5×10^{12}/cm^3 이하, 더욱 바람직하게 실리콘의 진성 캐리어 밀도인 1.45×10^{10}/cm^3 이하이다. 달리 말하면, 산화물 반도체층의 캐리어 밀도는 가능한 영에 가깝게 만들어질 수 있다.

[0479] 박막 트랜지스터는 또한 10nm 내지 1000nm의 채널 길이 L을 가질 수 있어서, 회로 동작 속도의 증가를 가능하게 하며, 오프 전류는 극히 작아서, 전력 소비의 추가 감소를 가능하게 한다.

[0480] 그 외에도, 회로 설계에서, 산화물 반도체층은 박막 트랜지스터가 오프 상태에 있을 때 절연체로서 간주될 수 있다.

[0481] 그 후에, 이 실시형태에서 제작된 박막 트랜지스터의 오프 전류의 온도 특성들이 평가되었다. 온도 측정들은 박

막 트랜지스터가 이용되는 최종 제품의 내환경성, 성능 유지 등을 고려할 때 중요하다. 변화량이 작을수록 훨씬 양호하며, 이것은 제품 설계를 위한 자유도를 증가시키는 것을 이해한다.

[0482] 온도 특성들에 대해, Vg-Id 특성들은 박막 트랜지스터들이 구비된 기판들이 -30℃, 0℃, 25℃, 40℃, 60℃, 80℃, 100℃ 및 120℃의 각각의 상수 온도들이 유지되는 조건들 하에서 상온조(constant-temperature chamber)를 이용하여 획득되었고, 드레인 전압은 6V로 설정되었고 게이트 전압은 -20V 내지 +20V로 변화되었다.

[0483] 도 26a는 상기 온도들에서 측정되고 서로 중첩된 Vg-Id 특성들을 도시하고, 도 26b는 도 26a에서의 점선으로 둘러싸인 오프 전류의 범위의 확대도를 도시한다. 그래프에서 화살표로 표시된 최우측 곡선은 -30℃에서 획득된 곡선이다; 최좌측 곡선은 120℃에서 획득된 곡선이다; 다른 온도들에서 획득된 곡선들은 그 사이에 위치된다. 온-상태 전류들의 온도 의존성은 거의 관찰될 수 없다. 한편, 도 26b의 확대도에서도 또한 분명히 보여지는 바와 같이, 20V의 게이트 전압의 주변을 제외한 오프 전류들이 모든 온도들에서 측정 장치의 분해능에 가까운 1×10^{-12} [A] 이하이고, 그 온도 의존성은 관찰되지 않는다. 달리 말하면, 120℃의 고온에서도, 오프 전류는 1×10^{-12} [A] 이하로 유지되고, 채널 폭 W이 10000㎛라고 가정하면, 오프 전류는 상당히 작은 것을 알 수 있다.

[0484] 고순도화된 산화물 반도체를 포함하는 박막 트랜지스터는 온도에 대한 오프 전류의 의존성이 거의 없음을 보여준다. 이것은 또한, 산화물 반도체가 3 eV 이상의 에너지 갭을 가지고 매우 소수의 진성 캐리어들을 포함한다는 사실로부터 기인한다. 그 외에도, 소스 영역 및 드레인 영역은 축퇴된 상태에 있으며, 이것은 또한, 온도 의존성을 보여주지 않는 요인이다. 박막 트랜지스터의 동작은 축퇴된 소스 영역에서 산화물 반도체로 주입되는 캐리어들에 의해 주로 유발되고, 상기 특성들(온도에 대한 오프 전류의 의존성)은 온도에 대한 캐리어 밀도의 의존성에 의해 설명될 수 있다.

[0485] 논리 회로가 이러한 극히 작은 오프 전류를 가진 박막 트랜지스터로 형성될 때, 논리 회로의 대기 전력의 감소 또는 오동작의 억제가 달성될 수 있다.

[0486] 이 출원은 2009년 10월 30일 일본 특허청에 출원된 일본 특허 출원 일련 번호 제2009-250415호에 기초하며, 이것의 전체 내용들은 본 명세서에 참조로서 포함된다.

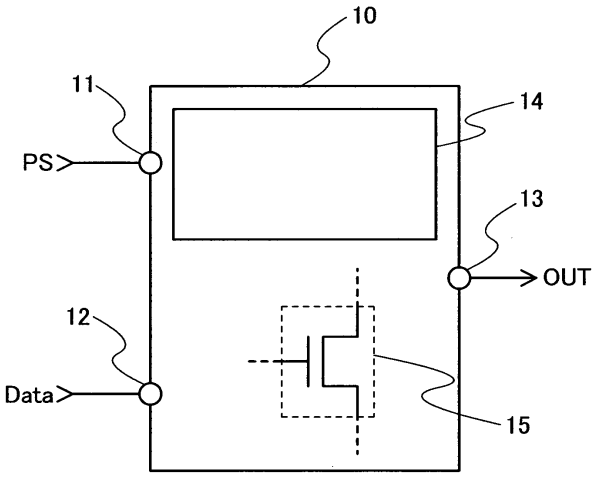
부호의 설명

[0487] 10: 논리 회로, 11: 입력 단자, 12: 입력 단자, 13: 출력 단자, 14: 메인 논리 회로부, 15: 트랜지스터, 100: 기판, 102: 보호층, 104: 반도체 영역, 106: 소자 분리 절연층, 108a: 게이트 절연층, 108b: 절연층, 110a: 게이트 전극층, 110b: 전극층, 112: 절연층, 114a: 불순물 영역, 114b: 불순물 영역, 116: 채널 형성 영역, 118: 사이드월 절연층, 120a: 고농도 불순물 영역, 120b: 고농도 불순물 영역, 122: 금속층, 124a: 금속 화합물 영역, 124b: 금속 화합물 영역, 126: 층간 절연층, 128: 층간 절연층, 130a: 소스 전극층, 130b: 드레인 전극층, 130c: 전극층, 130e: 절연층, 134: 도전층, 136a: 전극층, 136b: 전극층, 136c: 전극층, 136d: 게이트 전극층, 138: 게이트 절연층, 140: 산화물 반도체층, 142a: 소스 전극층, 142b: 드레인 전극층, 144: 보호 절연층, 146: 층간 절연층, 148: 도전층, 150a: 전극층, 150b: 전극층, 150c: 전극층, 150d: 전극층, 150e: 전극층, 152: 절연층, 154a: 전극층, 154b: 전극층, 154c: 전극층, 154d: 전극층, 160: 트랜지스터, 164: 트랜지스터, 200: 논리 회로, 201: AND 게이트, 202: 플립-플롭, 211: 트랜지스터, 212: 트랜지스터, 213: 트랜지스터, 214: 트랜지스터, 215: 트랜지스터, 216: 트랜지스터, 221: 트랜지스터, 222: 트랜지스터, 223: 트랜지스터, 224: 트랜지스터, 225: 트랜지스터, 231: NAND 게이트, 232: NAND 게이트, 233: NAND 게이트, 234: NAND 게이트, 241: 트랜지스터, 242: 트랜지스터, 243: 트랜지스터, 244: 트랜지스터, 251: 트랜지스터, 252: 트랜지스터, 253: 트랜지스터, 320: 기판, 322: 게이트 절연층, 323: 보호 절연층, 332: 산화물 반도체층, 360: 박막 트랜지스터, 361: 게이트 전극층, 362: 산화물 반도체층, 363: 채널 형성 영역, 364a: 소스 영역, 364b: 드레인 영역, 365a: 소스 전극층, 365b: 드레인 전극층, 366: 산화물 절연층, 390: 박막 트랜지스터, 391: 게이트 전극층, 392: 산화물 반도체층, 393: 산화물 반도체층, 394: 기판, 395a: 소스 전극층, 395b: 드레인 전극층, 396: 산화물 절연층, 397: 게이트 절연층, 398: 보호 절연층, 399: 산화물 반도체층, 423: 개구부, 450: 기판, 452: 게이트 절연층, 457: 절연층, 460: 박막 트랜지스터, 461: 게이트 전극층, 461a: 게이트 전극층, 461b: 게이트 전극층, 462: 산화물 반도체층, 464: 배선층, 465a: 소스 전극층 또는 드레인 전극층, 465a1: 소스 전극층 또는 드레인 전극층, 465a2: 소스 전극층 또는 드레인 전극층, 465b: 소스 전극층 또는 드레인 전극층, 468: 배선층, 500: 논리 회로, 501: NOR 게이트, 502: 플립-플롭, 511: 트랜지스터, 512: 트랜지스터, 513: 트랜지스터, 514: 트랜지스터, 521: 트랜지스터, 522: 트랜지스터, 523: 트랜지스터, 600: 논리 회로, 601: 래치, 602: 플립-플롭, 611: 트랜지스터, 612: 인버터, 613: 인버터, 621: 트랜지스터, 622: 트랜지스터, 631: 트랜지스터,

632: 트랜지스터, 800: 논리 회로, 801: AND 게이트, 802: 플립-플롭, 803: 플립-플롭, 804: 플립-플롭, 805: 플립-플롭군, 900: 논리 회로, 901: 플립-플롭, 902: AND 게이트, 903: 제어부, 904: 플립-플롭, 905: 플립-플롭, 906: 플립-플롭, 907: 플립-플롭군, 2201: 본체, 2202: 하우징, 2203: 표시부, 2204: 키보드, 2211: 본체, 2212: 스타일러스, 2213: 표시부, 2214: 조작 버튼, 2215: 외부 인터페이스, 2220: 전자 서적, 2221: 하우징, 2223: 하우징, 2225: 표시부, 2227: 표시부, 2231: 전원, 2233: 조작 키, 2235: 스피커, 2237: 축부, 2240: 하우징, 2241: 하우징, 2242: 표시 패널, 2243: 스피커, 2244: 마이크로폰, 2245: 조작 키, 2246: 포인팅 디바이스, 2247: 카메라 렌즈, 2248: 외부 접속 단자, 2249: 태양 전지, 2250: 외부 메모리 슬롯, 2261: 본체, 2263: 접안부, 2264: 조작 스위치, 2265: 표시부(B), 2266: 배터리, 2267: 표시부(A), 2270: 텔레비전 세트, 2271: 하우징, 2273: 표시부, 2275: 스탠드, 2277: 표시부, 2279: 조작 키, 2280: 원격 제어기

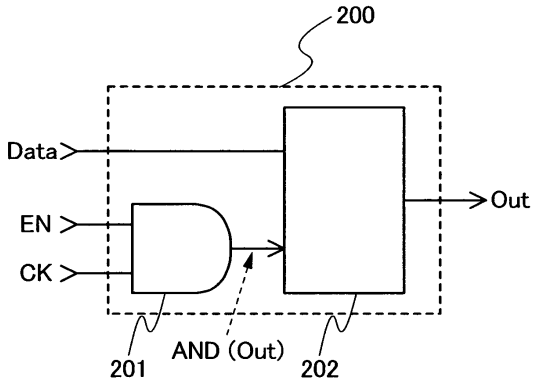
도면

도면1

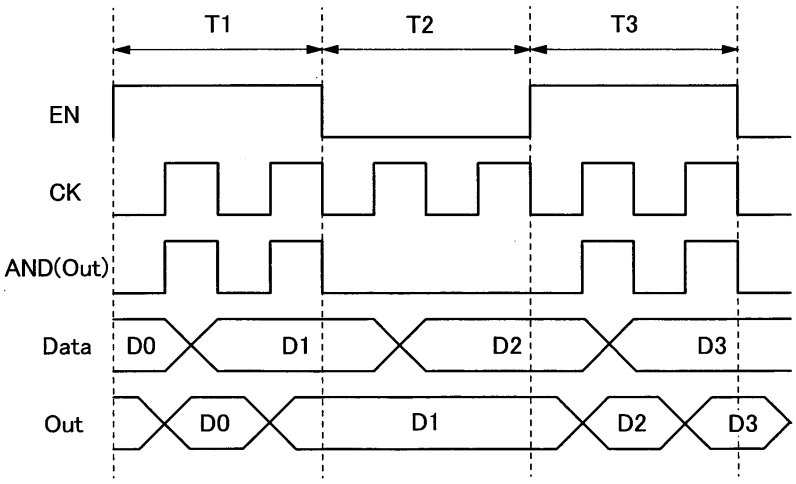


도면2

(a)

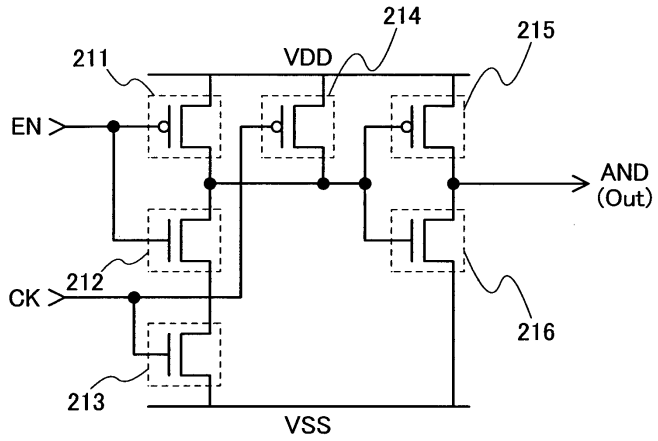

200
Data
EN
CK
Out
201
AND (Out)
202

(b)

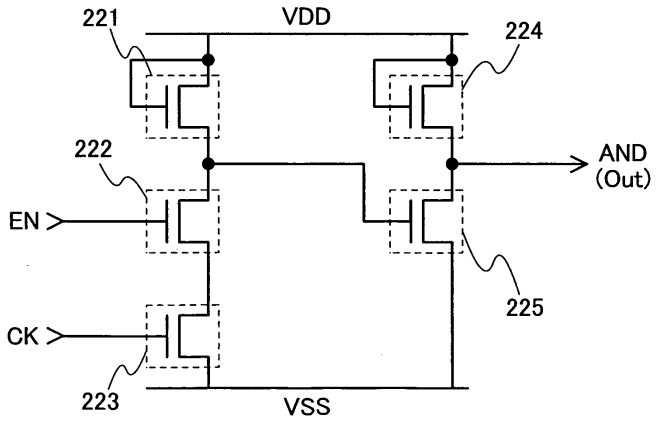

T1
T2
T3
EN
CK
AND(Out)
Data
D0
D1
D2
D3
Out
D0
D1
D2
D3

도면3

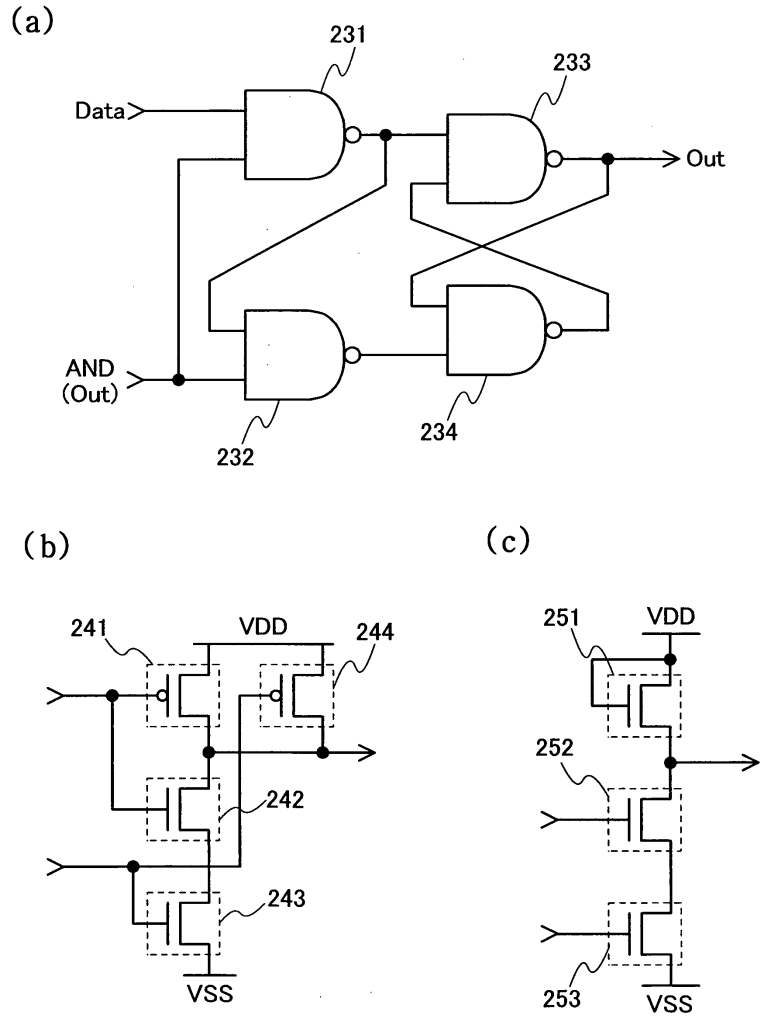
(a)


211
VDD
214
215
EN
AND
(Out)
212
CK
216
213
VSS

(b)

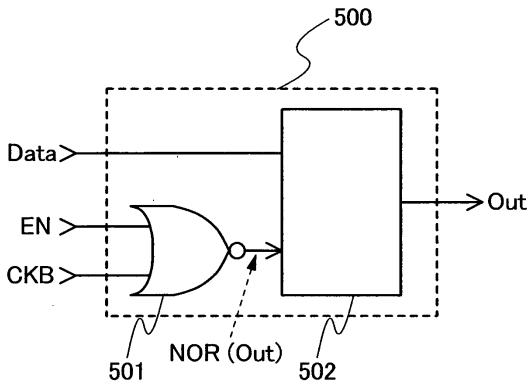

221
VDD
224
222
AND
(Out)
EN
225
CK
223
VSS

도면4

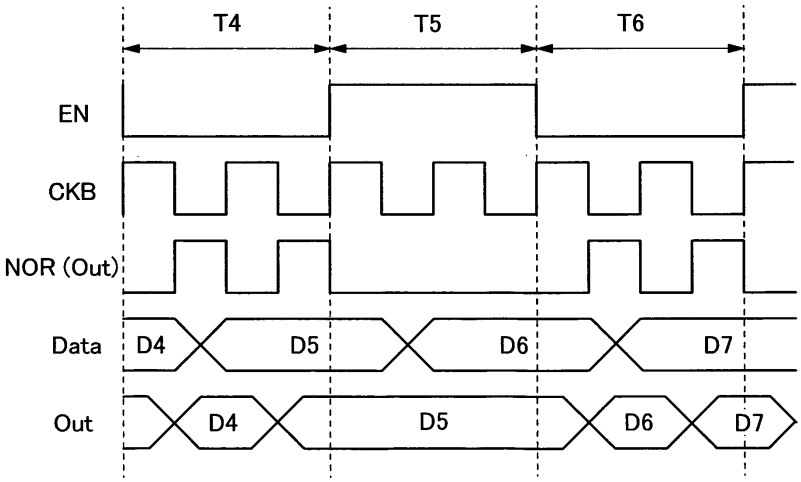

(a)
231
233
Data
Out
AND
(Out)
232
234
(b)
241
VDD
244
242
243
VSS
(c)
251
VDD
252
253
VSS

도면5

(a)

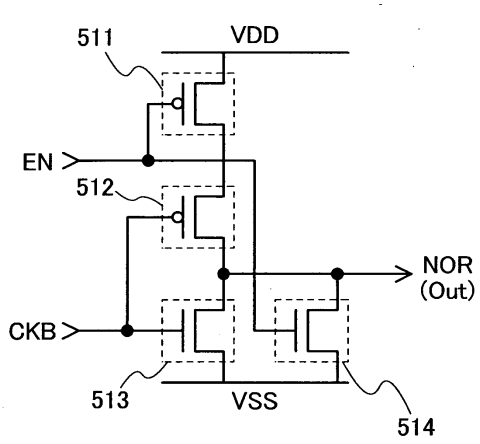

500
Data
EN
CKB
Out
501
NOR (Out)
502

(b)

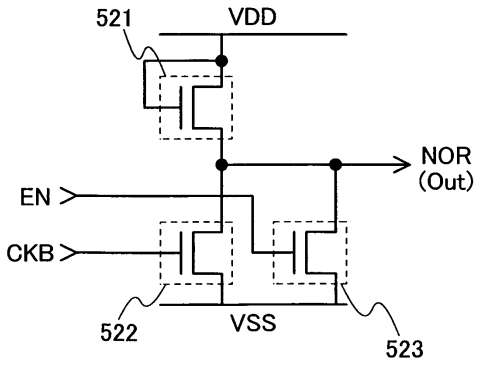

T4
T5
T6
EN
CKB
NOR (Out)
Data
D4
D5
D6
D7
Out
D4
D5
D6
D7

도면6

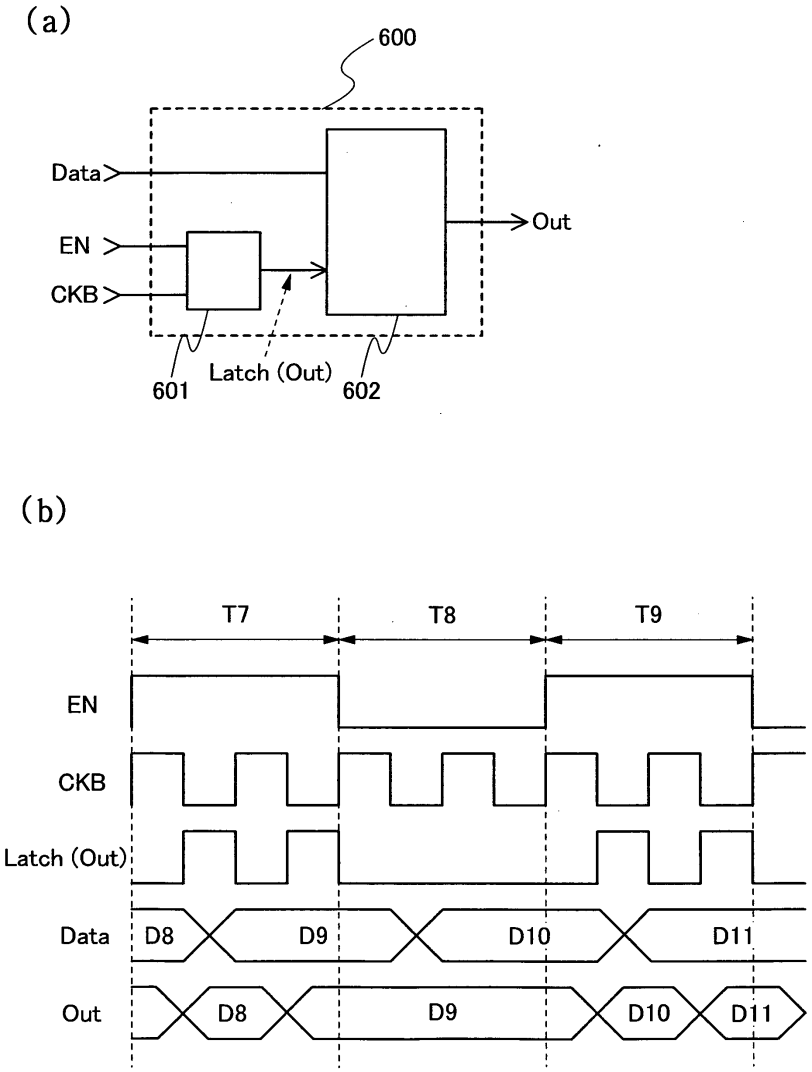
(a)


511
VDD
EN
512
NOR
(Out)
CKB
513
VSS
514

(b)

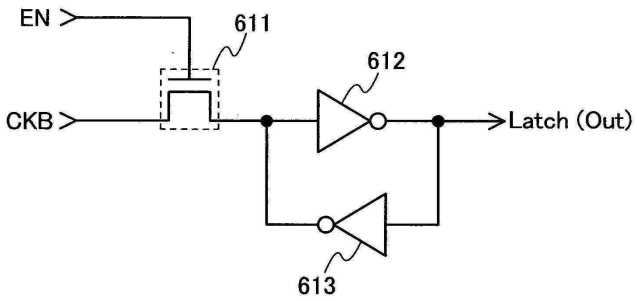

521
VDD
NOR
(Out)
EN
CKB
522
VSS
523

도면7

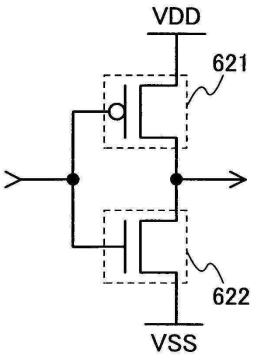

(a)
600
Data
EN
CKB
Out
601
Latch (Out)
602
(b)
T7
T8
T9
EN
CKB
Latch (Out)
Data
D8
D9
D10
D11
Out
D8
D9
D10
D11

도면8

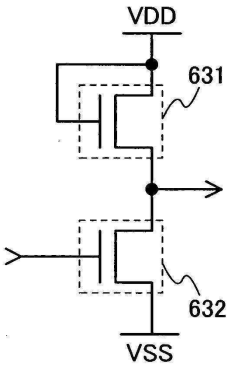
(a)


EN
611
612
CKB
Latch (Out)
613

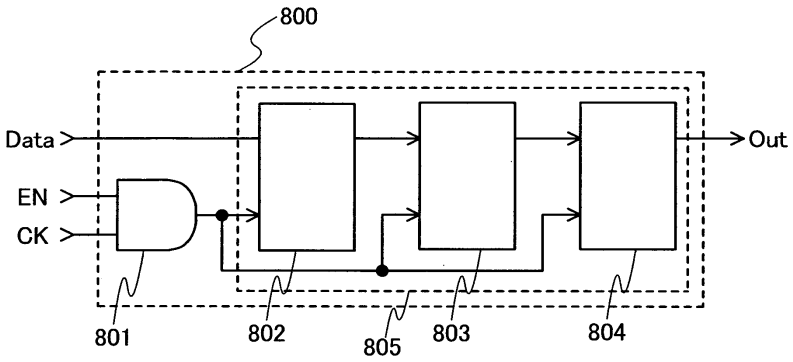
(b)


VDD
621
622
VSS

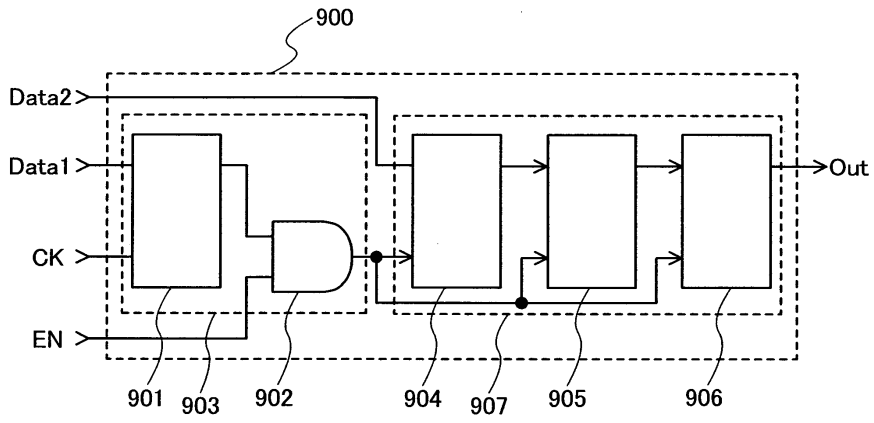
(c)


VDD
631
632
VSS

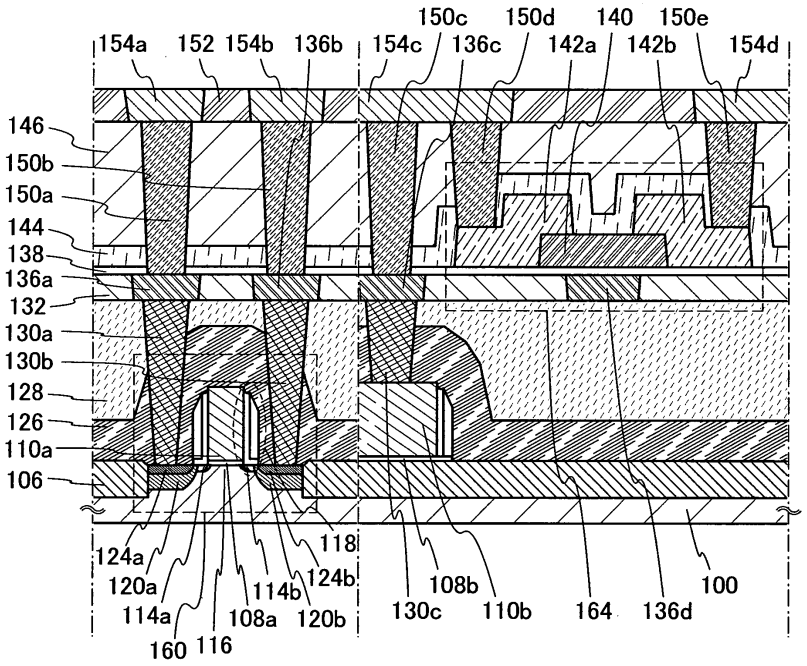
도면9


800
Data
EN
CK
Out
801
802
805
803
804

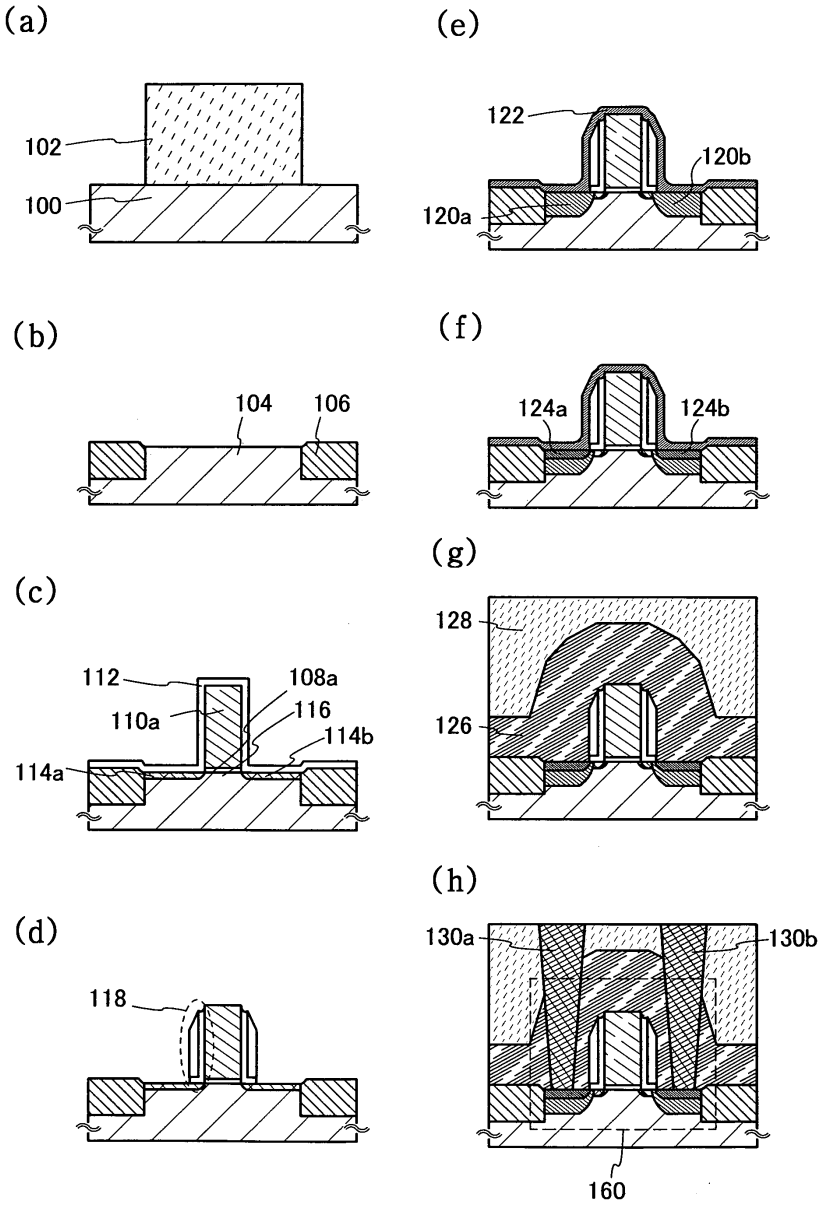
도면10


900
Data2
Data1
CK
EN
Out
901
903
902
904
907
905
906

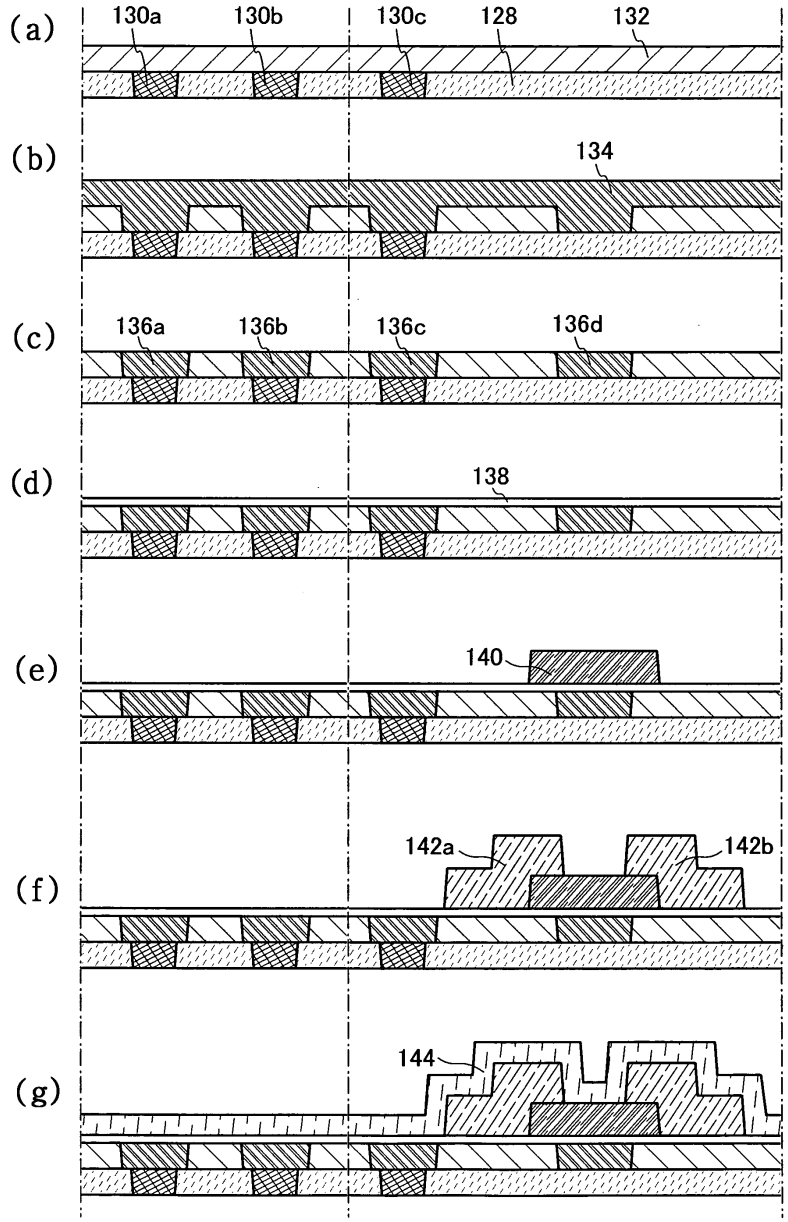
도면11


154a
152
154b
136b
154c
150c
136c
150d
142a
140
142b
150e
154d
146
150b
150a
144
138
136a
132
130a
130b
128
126
110a
106
124a
120a
114a
160
116
108a
114b
120b
118
124b
130c
108b
110b
164
136d
100

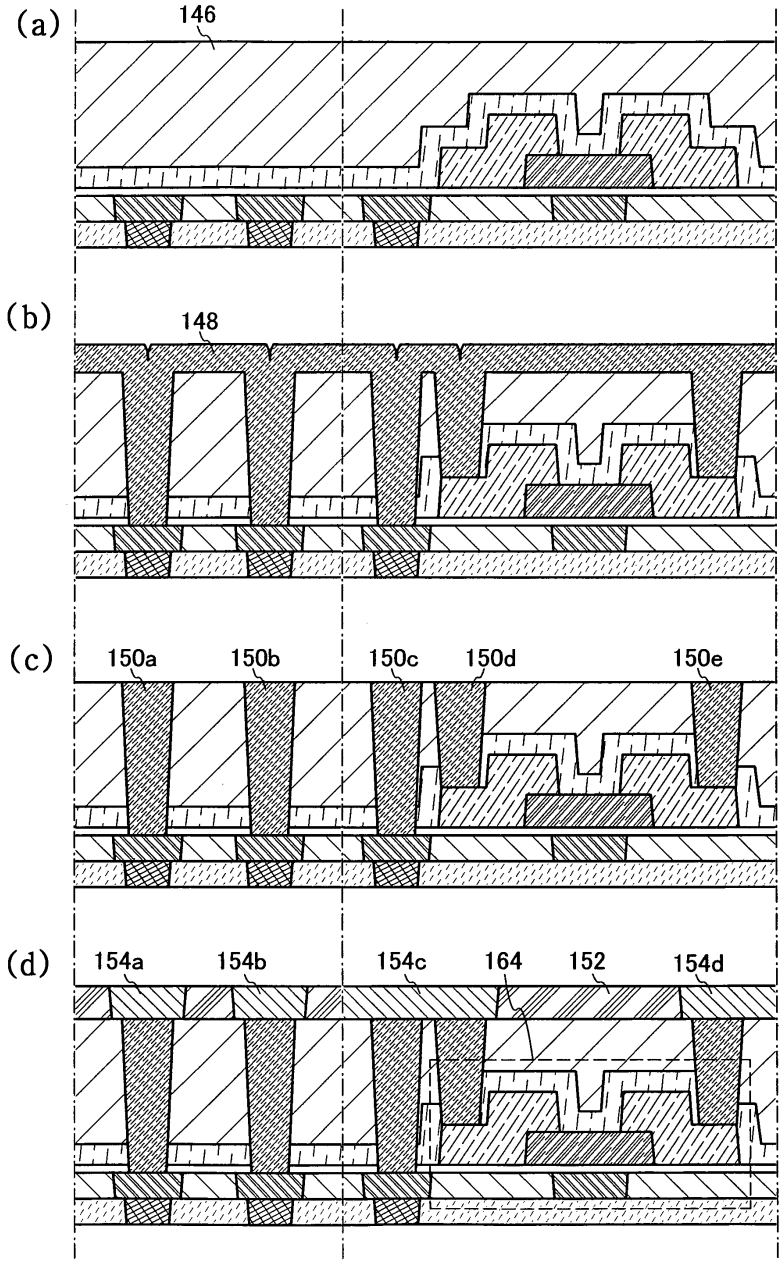
도면12


(a)
102
100
(b)
104
106
(c)
112
108a
110a
116
114b
114a
(d)
118
(e)
122
120b
120a
(f)
124a
124b
(g)
128
126
(h)
130a
130b
160

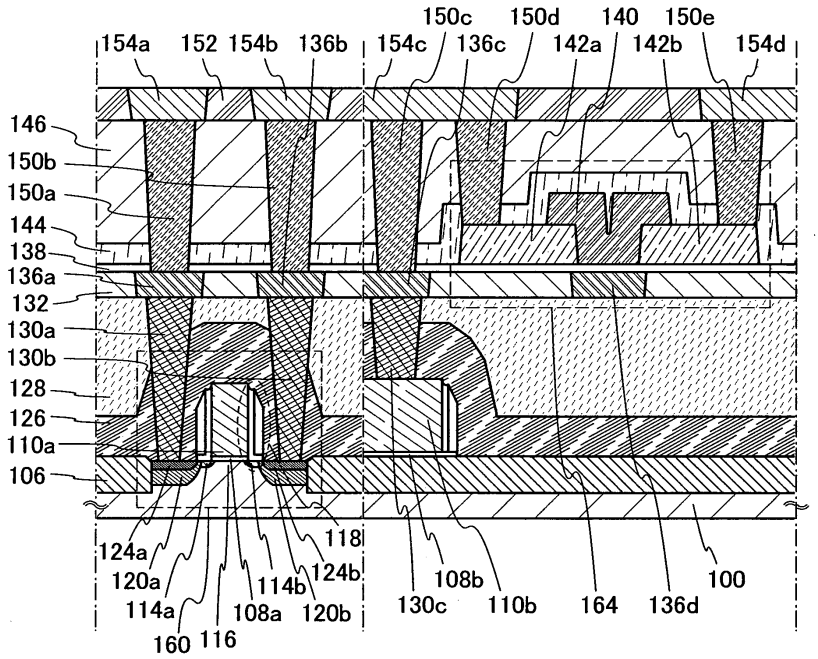
도면13


(a)
130a
130b
130c
128
132
(b)
134
(c)
136a
136b
136c
136d
(d)
138
(e)
140
(f)
142a
142b
(g)
144

도면14

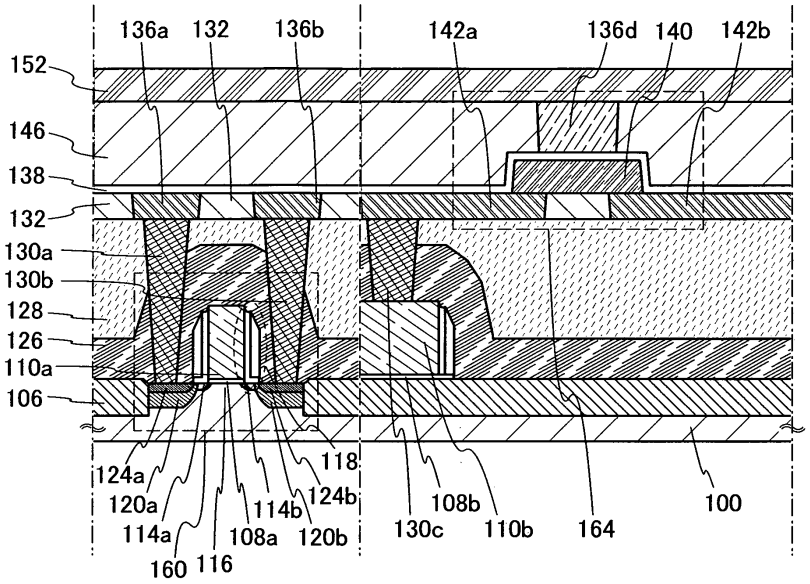

(a)
146
(b)
148
(c)
150a
150b
150c
150d
150e
(d)
154a
154b
154c
164
152
154d

도면15

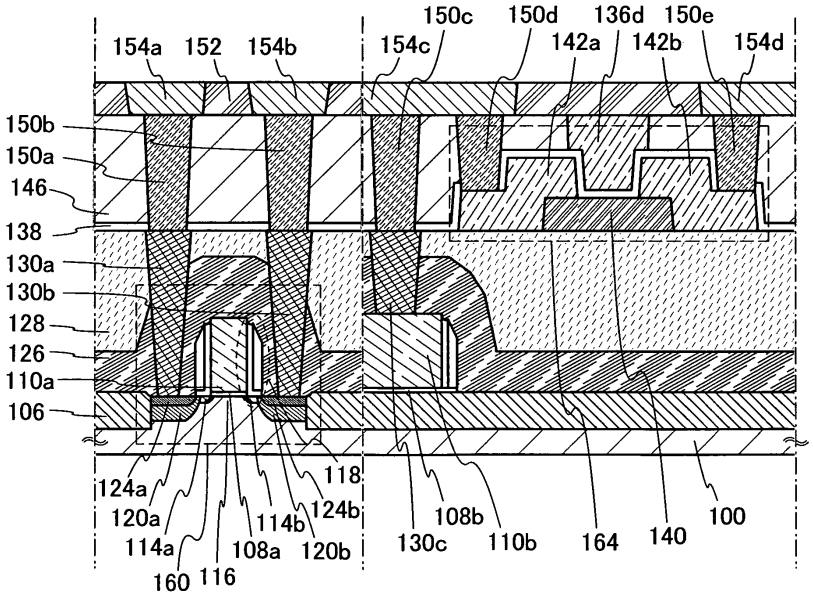

154a
152
154b
136b
150c
154c
150d
136c
140
142a
150e
142b
154d
146
150b
150a
144
138
136a
132
130a
130b
128
126
110a
106
124a
120a
114a
160
116
114b
108a
118
124b
120b
130c
108b
110b
164
136d
100

도면16

(a)

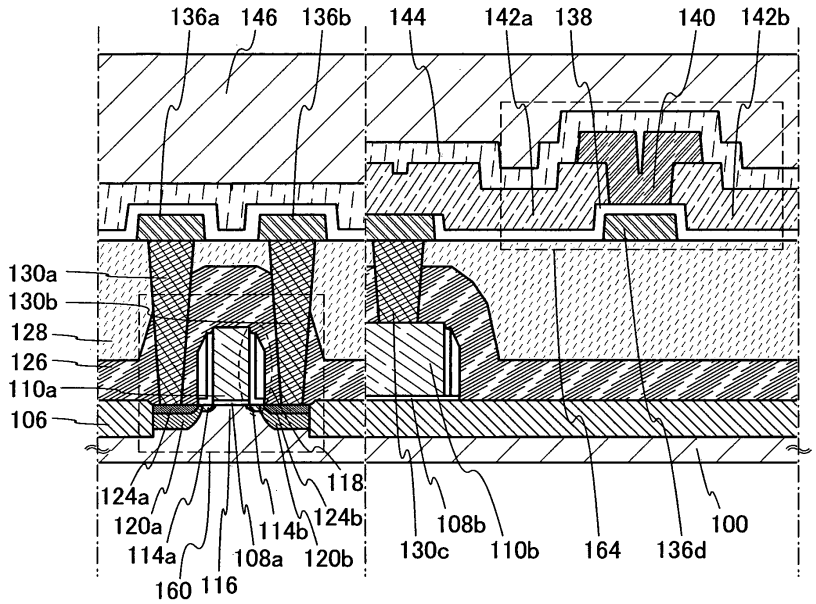

136a
132
136b
142a
136d
140
142b
152
146
138
132
130a
130b
128
126
110a
106
124a
120a
114a
160
116
108a
114b
120b
124b
118
130c
108b
110b
164
100

(b)

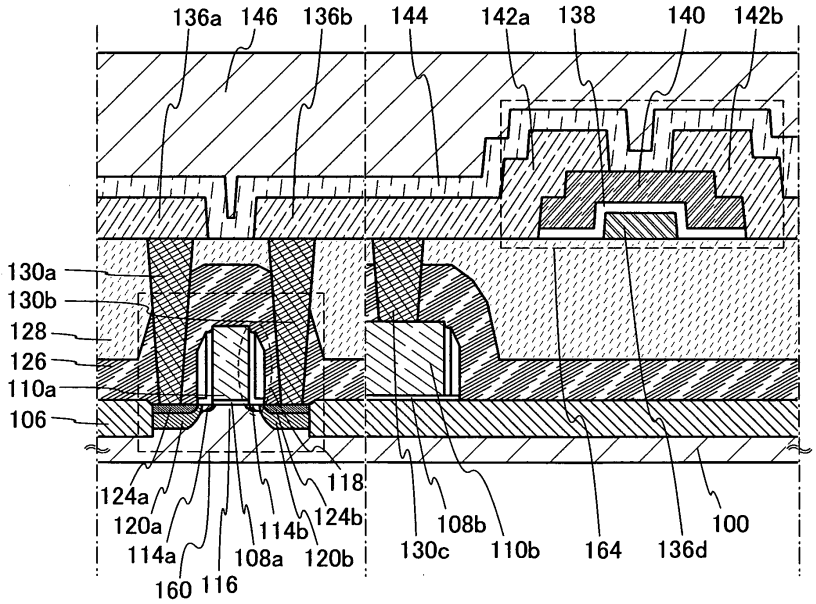

154a
152
154b
154c
150c
150d
142a
136d
142b
150e
154d
150b
150a
146
138
130a
130b
128
126
110a
106
124a
120a
114a
160
116
108a
114b
120b
124b
118
130c
108b
110b
164
140
100

도면17

(a)

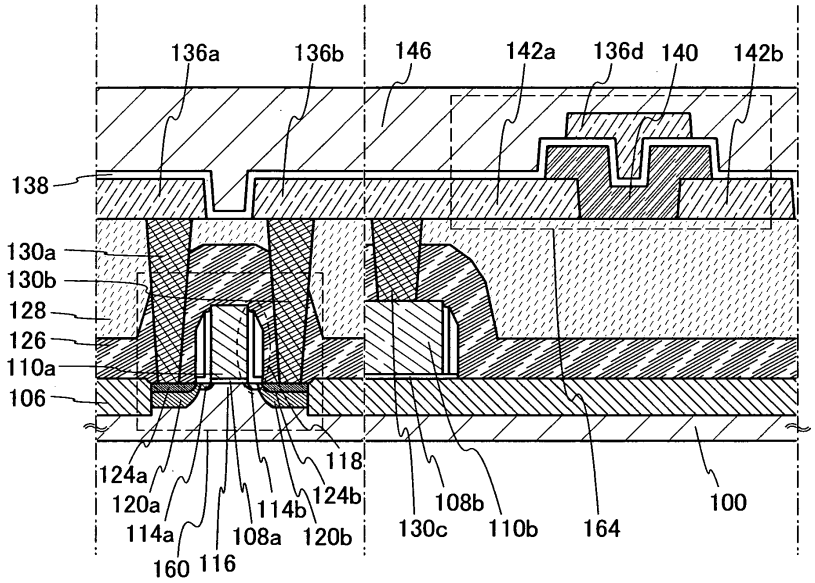

136a
146
136b
144
142a
138
140
142b
130a
130b
128
126
110a
106
124a
120a
114a
160
116
108a
114b
120b
124b
118
130c
108b
110b
164
136d
100

(b)

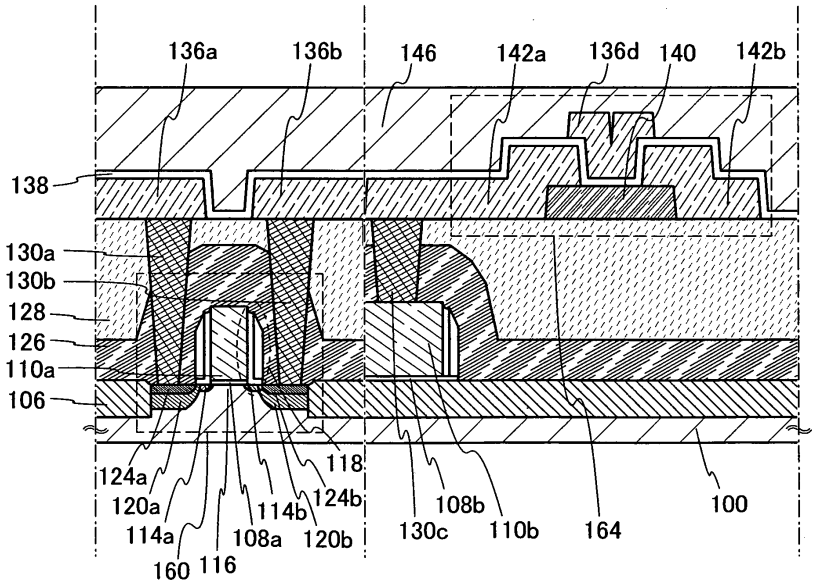

136a
146
136b
144
142a
138
140
142b
130a
130b
128
126
110a
106
124a
120a
114a
160
116
108a
114b
120b
124b
118
130c
108b
110b
164
136d
100

도면18

(a)

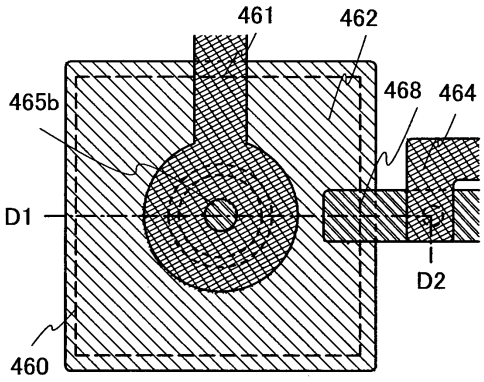

136a
136b
146
142a
136d
140
142b
138
130a
130b
128
126
110a
106
124a
120a
114a
160
116
108a
114b
120b
124b
118
130c
108b
110b
164
100

(b)

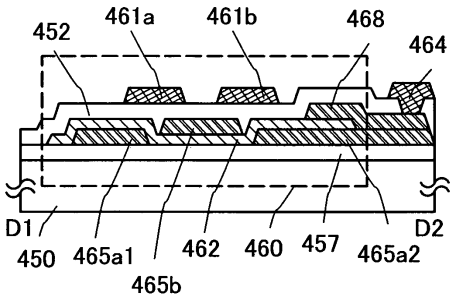

136a
136b
146
142a
136d
140
142b
138
130a
130b
128
126
110a
106
124a
120a
114a
160
116
108a
114b
120b
124b
118
130c
108b
110b
164
100

도면19

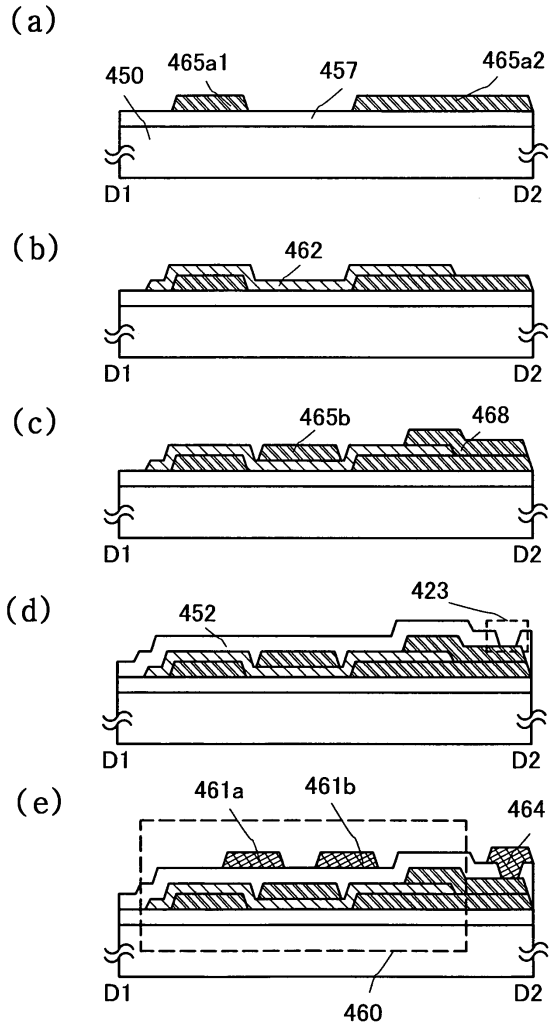
(a)


461
462
465b
468
464
D1
D2
460

(b)

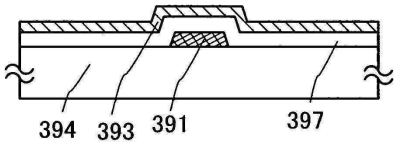

452
461a
461b
468
464
D1
D2
450
465a1
462
460
457
465a2
465b

도면20

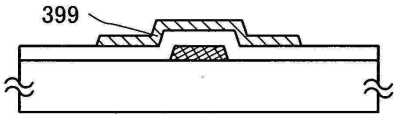

(a)
450
465a1
457
465a2
D1
D2
(b)
462
D1
D2
(c)
465b
468
D1
D2
(d)
423
452
D1
D2
(e)
461a
461b
464
D1
460
D2

도면21

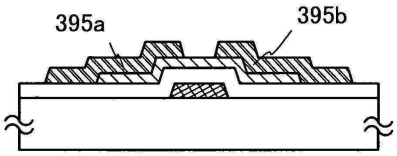
(a)



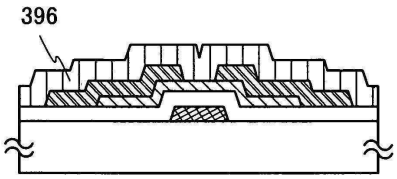
(b)



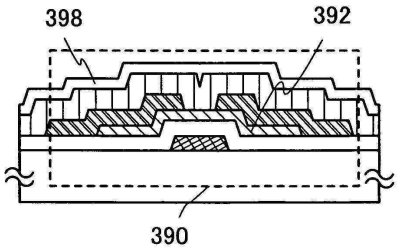
(c)



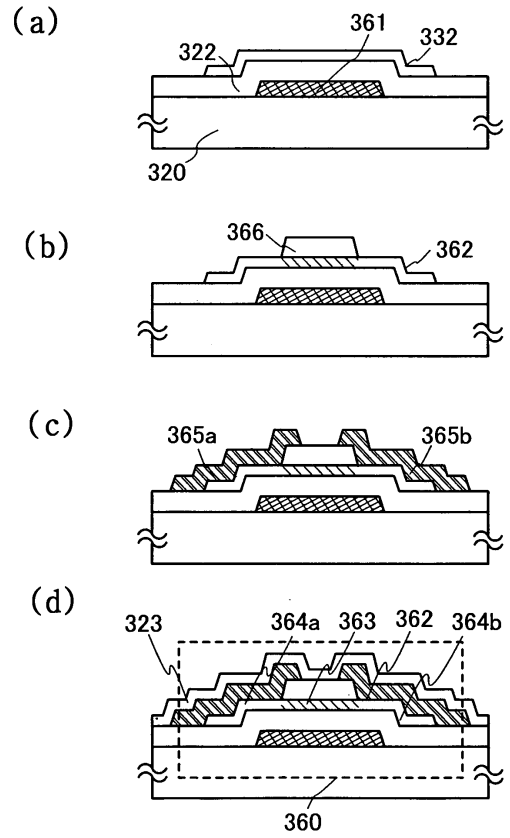
(d)



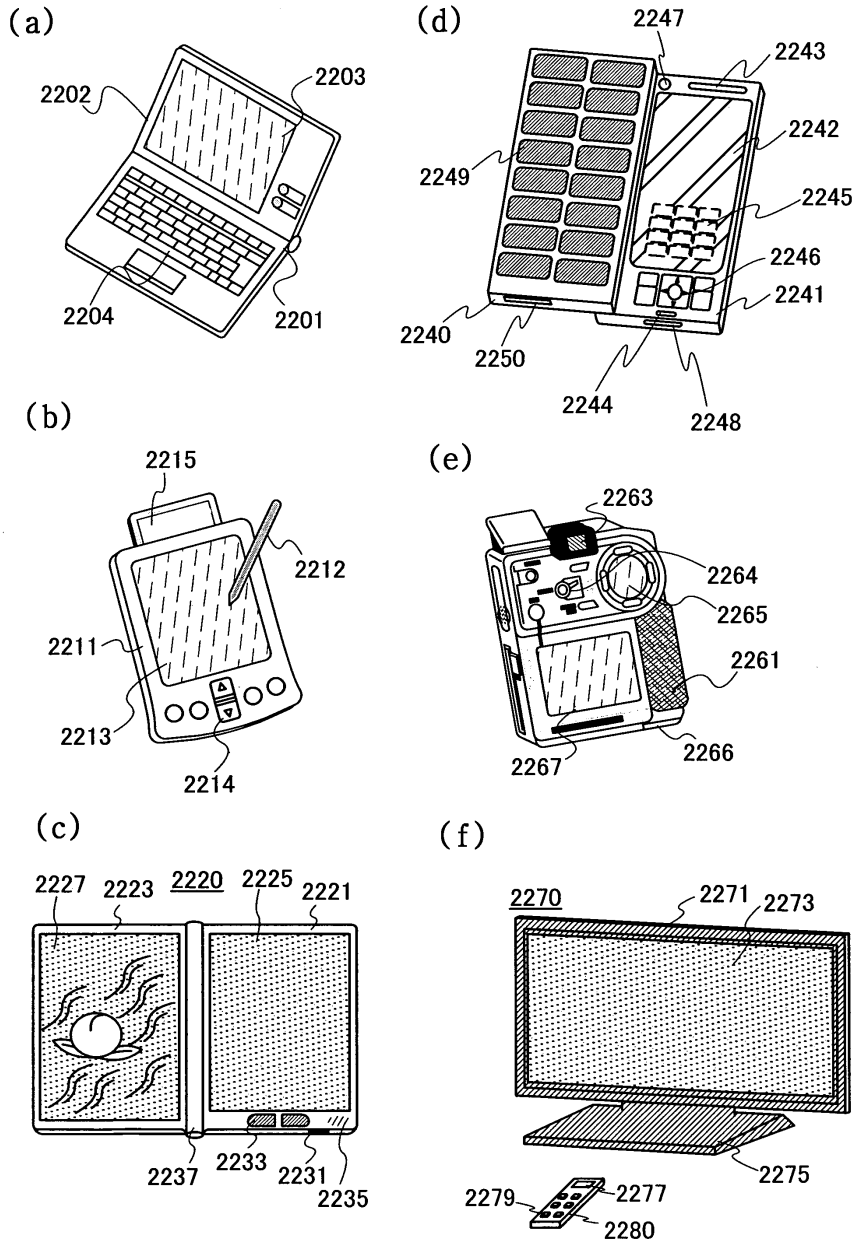
(e)



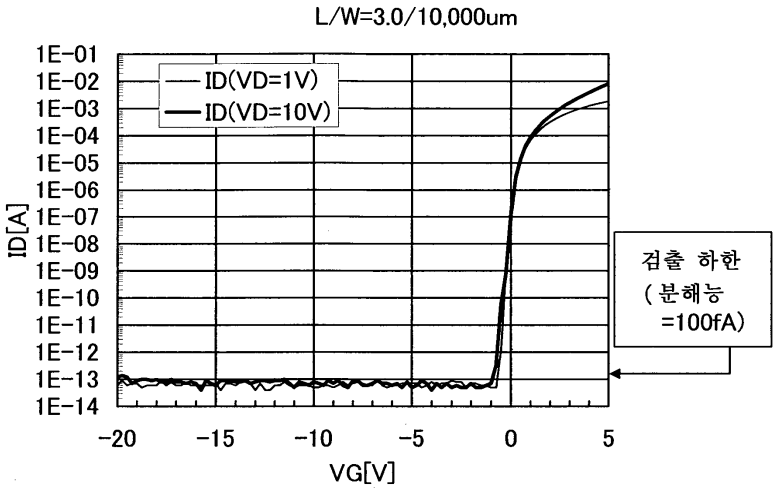
도면22


(a)
361
322
332
320
(b)
366
362
(c)
365a
365b
(d)
323
364a
363
362
364b
360

도면23

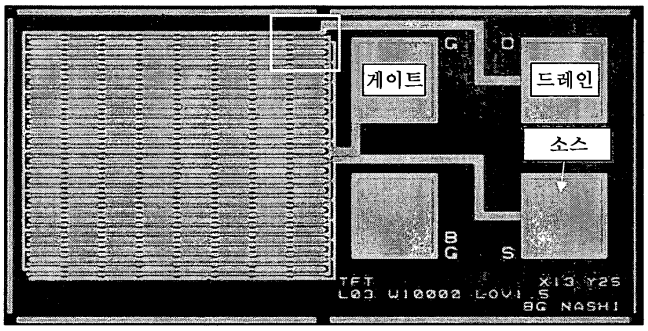

(a)
2202
2203
2204
2201
(d)
2247
2243
2242
2249
2245
2246
2241
2240
2250
2244
2248
(b)
2215
2212
2211
2213
2214
(e)
2263
2264
2265
2261
2267
2266
(c)
2227
2223
2220
2225
2221
2237
2233
2231
2235
(f)
2270
2271
2273
2275
2279
2277
2280

도면24

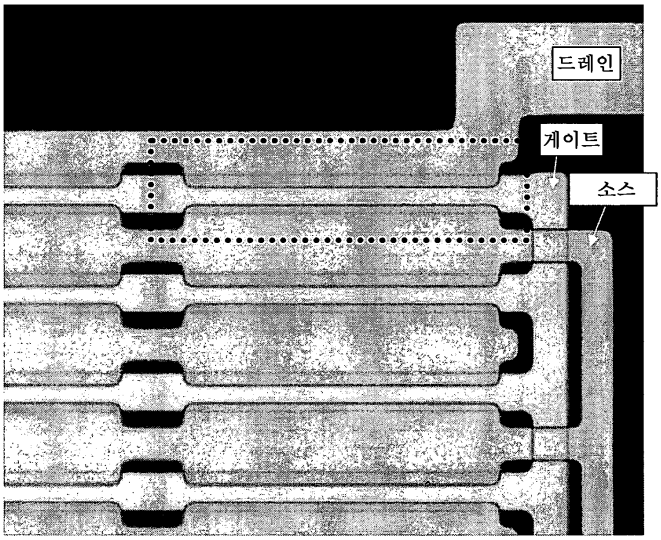

L/W=3.0/10,000um
ID(VD=1V)
ID(VD=10V)
ID[A]
1E-01
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
-20
-15
-10
-5
0
5
VG[V]
검출 하한
(분해능
=100fA)

도면25

(a)

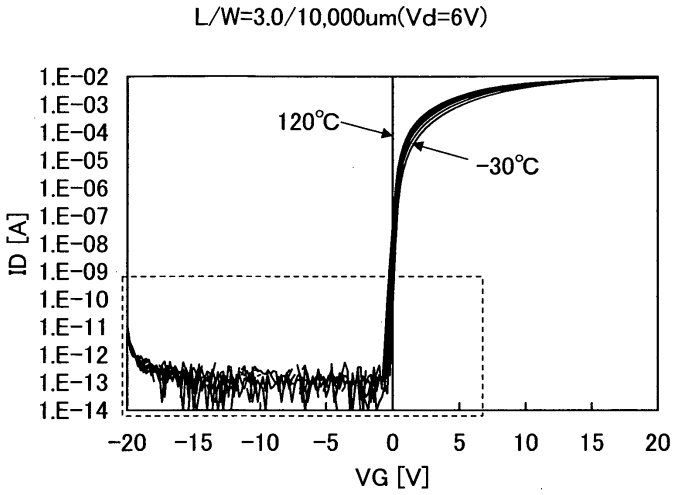

게이트
드레인
소스
G
D
B
G
S

(b)

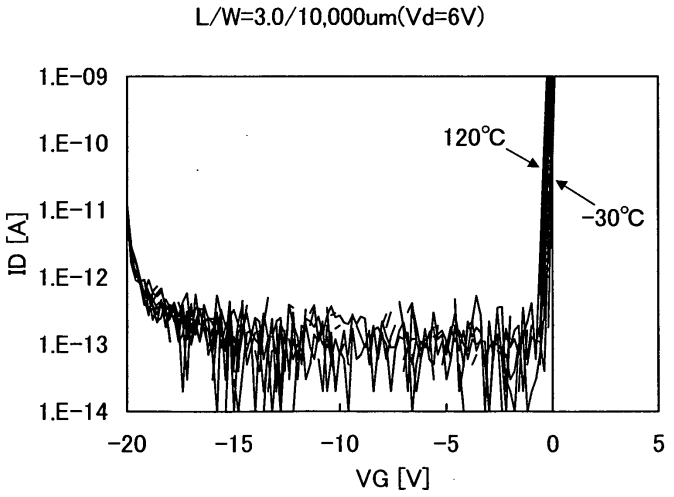

드레인
게이트
소스

도면26

(a)


L/W=3.0/10,000um(Vd=6V)
1.E-02
1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
1.E-14
ID [A]
120℃
-30℃
-20 -15 -10 -5 0 5 10 15 20
VG [V]

(b)


L/W=3.0/10,000um(Vd=6V)
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
1.E-14
ID [A]
120℃
-30℃
-20 -15 -10 -5 0 5
VG [V]