(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 548 452**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **84 09381**

(51) Int Cl⁴ : H 01 L 29/12, 29/78.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 15 juin 1984.

(30) Priorité : JP, 16 juin 1983, n° 106798/83.

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 1 du 4 janvier 1985.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *Société dite : HITACHI, LTD.* — JP.

(72) Inventeur(s) : Akira Sasano, Kouichi Seki, Hideaki Yamamoto, Toru Baji et Toshihisa Tsukada.

(73) Titulaire(s) :

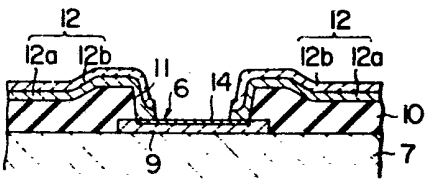
(74) Mandataire(s) : Dupuy et Loyer.

(54) Dispositif à couche mince, notamment transistor.

(57) L'invention concerne un dispositif à couche mince, notamment un transistor.

Ce dispositif comporte une couche de silicium amorphe 9 située sur un substrat semi-conducteur 7 et une couche de réaction 14 obtenue par réaction entre une couche métallique 12, 12*a*, 12*b* formée sur ladite couche de silicium amorphe et cette couche de silicium amorphe, et servant de résistance 6.

Application notamment aux transistors à effet de champ à couche mince.



FR 2 548 452 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

La présente invention concerne un dispositif à couche mince, qui utilise une couche ou pellicule mince de silicium amorphe hydrogéné (a-Si:H), et plus particulièrement un dispositif à couche mince possédant une région ayant une résistance élevée.

La figure 1, annexée à la présente demande, représente le schéma d'un circuit d'un réseau de détecteurs linéaires du type à contacts de commande de matrice de l'art antérieur (voir le brevet US. n° 4.369.372 ou la demande de modèle d'utilité japonais publiée sous le n° 53. 760/82). Sur la figure 1 la référence 1 désigne une diode d'arrêt ou de blocage utilisée pour la commutation d'une commande de la matrice, la référence 102 désigne une photodiode ou un dispositif de conversion photoélectrique et les références 103 et 104 désignent des bornes de commande. La diode de blocage 101 et la photodiode 102 sont des diodes à jonction PIN formées au cours d'un processus commun moyennant l'utilisation de silicium amorphe, et possèdent une caractéristique de variation du courant en fonction de la tension, telleque représentée sur la figure 2 annexée à la présente demande. Un courant direct monte jusqu'à approximativement 0,6 V et, dans le sens inverse, un claquage apparaît pour environ - 50 V. Lorsqu'une l'électricité statique sous la forme d'une tension supérieure à la tension de claquage V_B est appliquée à la diode dans le sens inverse, la couche I est rompue et la diode à jonction PIN est court-circuitée, comme cela a été démontré expérimentalement. Lors de la manipulation du détecteur de la figure 1, si l'on touche la borne 106 avec une main chargée, alors que la borne 105 est raccordée, un courant circule le long d'un trajet représenté par une flèche et la diode 108 et la photodiode 110, qui sont polarisées en inverse font l'objet d'un claquage, tandis que la photodiode 109 polarisée dans le sens direct et la diode de blocage 111 ne sont soumises à aucune influence.

Le potentiel d'un corps humain chargé

par un produit chimique atteint jusqu'à 10000 V. Si un ouvrier contacte la borne 106 avec sa main chargée à un tel potentiel, un certain nombre d'éléments d'image (incluant une combinaison de diodes de blocage et de photodiodes) font l'objet d'un claquage selon le trajet représenté, et il se produit une réduction importante du rendement obtenu lors de l'essai du dispositif ou de son montage sur un appareil.

La figure 3, annexée à la présente demande, représente un schéma équivalent d'un réseau perfectionné de détecteurs linéraires du type décrit dans la demande de brevet japonais n° 159.614/82 déposée le 16 Septembre 1982 (inventeur : T. Bajietal). La référence 1 désigne une photodiode, la référence 2 une diode de blocage, la référence 3 une borne de commande, la référence 4 un circuit servant à empêcher le claquage ou l'effet d'une électricité statique, la référence 5 une diode d'un circuit de verrouillage et la référence 6 une résistance du circuit 4. A la place de la diode du circuit de verrouillage, il est possible d'utiliser un transistor à effet de champ possédant une grille et un drain (ou une source) court-circuités.

Dans ce réseau de détecteurs linéaires, la résistance 6 du circuit 4 peut être relativement élevée, en étant par exemple égale à 10 KΩ. Même si l'on utilise comme matériau de câblage un matériau conducteur possédant une résistance relativement élevée, une résistance de couche d'un tel matériau est égale à 5Ω/□ et il est nécessaire d'utiliser un long câblage d'une largeur de 10 microns et d'une longueur de 20 mm. D'autre part, lorsque l'on utilise un matériau à résistance élevée tel qu'un cermet, il est nécessaire de mettre en oeuvre une phase de fabrication pour réaliser la résistance 6 et le coût lié à la fabrication augmente.

Un but de la présente invention est de fournir un dispositif à couche mince, qui permet la formation d'une région résistive possédant une résistance élevée et une faible surface, sans accroître le nombre des phases opératoires.

Afin d'atteindre l'objectif indiqué ci-dessus, conformément à la présente invention, on forme une couche métallique constituée par une couche de a-Si:H, puis on l'élimine, et une couche formant produit de réaction et située sur le a-Si:H est utilisée en tant que résistance et plus particulièrement on forme une couche métallique de Cr, Ni, Ti, V, W, Pt, Mo ou Ta sur la pellicule de a-Si:H, puis on l'élimine, et une couche de réaction interfaciale, transparente à première vue, est formée. La couche formée par le produit de réaction est utilisée en tant que résistance.

D'autres caractéristiques et avantages de la présente invention ressortiront de la description donnée ci-après prise en référence aux dessins annexés, sur lesquels :

- la figure 1, dont il a déjà été fait mention, représente un schéma de circuit d'un réseau de détecteurs linéaires du type à contacts de commande de matrice, conforme à l'art antérieur ;

- la figure 2, dont il a déjà été fait mention, représente une courbe caractéristique courant/tension d'une diode PIN utilisée dans le dispositif de la figure 1 ;

- la figure 3, dont il a également été fait mention, représente le schéma d'un circuit équivalent d'un réseau de détecteurs linéaires de commande de matrice pour un appareil de fac-similé, comportant un circuit servant à empêcher le claquage dû à une électricité statique ;

- la figure 4 est une vue en plan du circuit servant à empêcher le claquage sous l'effet de l'électricité statique dans le réseau de détecteurs linéaires de commande de matrice pour l'appareil de fac-similé conformément à la présente invention ;

- la figure 5 est une vue en coupe prise suivant la ligne V-V sur la figure 4 ;

- la figure 6 est une vue en coupe prise

suivant la ligne VI-VI sur la figure 4 ;

- la figure 7 est une vue en coupe prise suivant la ligne VII-VII sur la figure 4 ; et

- les figures 8 et 9 sont des vues en coupe d'un transistor à couche mince conforme à la présente invention.

On va décrire ci-après les formes de réalisation préférées de l'invention.

Forme de réalisation 1

La figure 4 représente une vue en plan d'un circuit servant à empêcher le claquage sous l'effet d'une électricité statique pour un réseau de détecteurs linéaires à commande de matrice pour un appareil de fac-similé, conformément à la présente invention, la figure 5 est une vue en coupe prise suivant la ligne V-V de la figure 4, la figure 6 est une vue en coupe prise suivant la ligne VI-VI de la figure 4 et la figure 7 est une vue en coupe prise suivant la ligne VII-VII sur la figure 4. La référence 7 désigne un substrat en verre, la référence 8 une électrode inférieure en Cr, la référence 9 une pellicule ou couche de silicium amorphe hydrogéné (a-Si:H), la référence 10 une pellicule isolante en SiO_2, la référence 11 un trou de contact ménagé dans la pellicule isolante 10 et la référence 12 une électrode ou couche d'interconnexion supérieure, qui comporte une pellicule de Cr 12a et une pellicule de Al 12b. La référence 14 désigne une couche de réaction formée sur la pellicule ou couche 9 de a-Si:H. Cette couche est formée grâce à la formation de la pellicule de Cr 12a de l'électrode supérieure 12 sur la couche de a-Si:H, puis l'élimination de la pellicule de Cr 12. Elle est utilisée en tant que résistance 6.

On va expliciter ci-après un procédé de fabrication du circuit servant à empêcher le claquage . Tout d'abord on dépose par évaporation du Cr sur le substrat en verre 7 et on le soumet à une attaque chimique photosensible de manière à former l'électrode inférieure 8. Ensuite on

dépose la couche de a-Si:H en utilisant le procédé dit CVD (c'est-à-dire de dépôt chimique par phase vapeur), et on lui donne une structure ou configuration désirée en mettant en oeuvre un procédé de corrosion plasmatique en utilisant du gaz CF_4 de manière à former la couche 9 de a-Si:H. Ensuite on dépose la pellicule isolante 10 en utilisant un procédé de dépôt par pulvérisation et l'on forme le trou de contact 11 en utilisant un procédé d'attaque chimique photosensible. Puis on chauffe le substrat en verre 7 à une température comprise entre 50 et 200°C, et on dépose la pellicule de Cr 12a en utilisant un procédé d'évaporation, puis on dépose la pellicule de Al 12b. On met en forme ensuite cette pellicule en lui donnant une structure ou configuration désirée en utilisant le procédé d'attaque chimique photosensible de manière à former l'électrode supérieure 12. On utilise un mélange d'acide phosphorique et d'acide acétique en tant que solution corrosive pour le Al et une solution aqueuse de nitrate d'ammonium cérique (450 g/l) en tant que solution corrosive pour le Cr. Il en résulte que la couche de réaction 14 est formée sur la couche 9 de a-Si:H et possède une résistance de couche égale à environ 10 kΩ/□.

La couche de réaction 14 peut être également utilisée en tant qu'électrode transparente de la photodiode 1. La résistance 6 peut être insérée en tout point entre la photodiode 1 et la borne 3 ou entre la diode de blocage 2 et la borne 3.

Forme de réalisation 2

La figure 8 est une vue en coupe d'un transistor à effet de champ à couche mince conforme à la présente invention. La référence 15 désigne un substrat en verre, la référence 16 une couche de Cr située au-dessous de l'électrode de grille, la référence 17 une pellicule isolante de grille en Si_3N_4, la référence 18 une couche active de a-Si:H, la référence 19 une pellicule métallique formée de deux couches et comprenant une couche inférieure en Cr et une couche

supérieure en Al(qui sont utilisées en tant que source , drain et interconnexion), et la référence 20 une couche de réaction formée sur la couche active 18 de a-Si:H. La couche de réaction 20 est formée lors de la création d'une couche de Cr par exemple au moyen d'un dépôt par évaporation sur la couche active 18, puis est éliminée selon une structure ou configuration prédéterminée. On l'utilise en tant que résistance de charge. La référence 21 désigne une pellicule de passivation et la référence 22 désigne une couche de revêtement.

On va expliciter ci-après un procédé de fabrication du transistor à couche mince. Tout d'abord on dépose par évaporation du Cr sur le substrat en verre 15 et on le soumet à une attaque chimique photosensible de manière à former l'électrode de grille sous-jacente 16. Ensuite on dépose une pellicule de Si_3N_4 au moyen d'un procédé de dépôt chimique plasmatique en phase vapeur en utilisant un mélange gazeux formé de SiH_4 de NH_3 et de N_2, et le gaz est transformé en du gaz SiH_4 de manière à former la pellicule a-Si:H qui, de façon intentionnelle, n'est pas dopée avec des impuretés. Ensuite, on lui donne une forme ou structure désirée en utilisant un procédé de corrosion plasmatique moyennant l'utilisation de gaz CF_4 de manière à former la pellicule isolante de grille 17 et la couche active 18. Ensuite, on chauffe le substrat en verre 15 à une température comprise entre 50 et 200°C. On dépose ensuite du Cr par évaporation sur ce substrat, puis on dépose par évaporation du Al sur l'ensemble et on effectue ensuite une attaque chimique photosensible de manière à former la pellicule métallique 19 formée de deux couches. La couche de réaction 20 obtenue par réaction avec la couche inférieure de Cr de la pellicule métallique 19 à deux couches est formée sur une couche réactive de a-Si:H. Etant donné que la couche de réaction est également formée sur une surface 23, la couche de réaction située sur cette surface 23 est éliminée par attaque chimique

à l'aide d'une solution de $HF:HNO_3:H_2O(1:1:30)$. En dernier lieu on forme la couche de passivation 21 et la couche de revêtement 22.

Dans le transistor à couche mince représenté sur la figure 8, la couche active 18 de a-Si:H ne comportant aucune impureté de dopage, est contactée directement par la pellicule métallique 19 à deux couches (couche inférieure de Cr). En formant une couche 24 de a-Si:H de type n entre la couche 18 et la pellicule métallique 19 à deux couches comme représenté sur la figure 9, on améliore le contact avec la pellicule métallique 19 à deux couches. Au lieu d'éliminer la couche de réaction supplémentaire sur la surface 23, on peut former préalablement une pellicule isolante sur cette surface 23. Bien que seul un transistor à couche mince soit représenté dans la présente forme de réalisation, il est possible d'utiliser la couche de réaction en tant que résistance dans un circuit intégré formé par une pluralité de transistors.

Bien que l'on ait décrit le circuit servant à empêcher le claquage sous l'effet de l'électricité statique dans le réseau de détecteurs linéaires, et la valeur de charge de la résistance à couche mince, il faut comprendre que la présente invention est applicable à d'autres parties du circuit. Alors que la couche de Cr est formée sur la couche de a-Si:H dans la forme de réalisation ci-dessus, on peut utiliser la couche métallique constituée par du Cr, du Ni, du Ti, du V, du W, du Pt, du Mo ou du Ta ou un mélange d'un alliage de ces éléments ou bien un alliage du métal ci-dessus et un autre métal, comme par exemple du Cr-Al, du Cr-Ni ou du Cr-Ni-Al. La couche métallique peut posséder une épaisseur comprise entre 30 et 200 nanomètres et est comprise de préférence entre 50 et 200 nanomètres. Si la couche de métal est trop mince, ceci altère l'uniformité. Si la couche de métal est trop épaisse, aucun avantage spécifique n'est offert. Dans les formes de réalisation ci-dessus, les substrats en verre 7

et 15 sont chauffés à une température comprise entre 50 et 200°C. Sinon le traitement thermique peut être effectué après la formation de la couche métallique. Dans ce cas, la température de traitement thermique est située de préférence entre 100 et 250°C. Une température supérieure à 250°C n'est pas souhaitable étant donné que le a-Si:H commence à dégénérer. La durée de traitement thermique peut être comprise entre 20 minutes et une heure, bien que ceci dépende de la température du traitement thermique. Une durée de traitment thermique trop longue n'entraîne aucun avantage spécifique. Lorsque l'on élimine la surface de la couche de a-Si:H de manière à éliminer la couche d'oxyde superficielle aussitôt avant que la pellicule soit formée sur la couche de a-Si:H, l'échantillon est chauffé à une température comprise entre 60 et 70°C par la chaleur produite par la source d'évaporation métallique, sans aucun traitement thermique particulier, et la couche de réaction est formée. Le type de conductivité de la pellicule de a-Si:H peut être p, i ou n et la couche de a-Si:H peut comporter une impureté telle que du P, B, N, X ou O. Lorsque l'on utilise comme couche métallique du Cr, Ni, Ti, Ta ou Mo, on obtient une bonne adhérence à un verre tel que du SiO_2. Ainsi, en utilisant cette couche en tant que sous-couche de l'électrode ou de l'interconnexion Al ou Au, présentant une adhérence relativement faible et une résistance faible, il est possible d'améliorer la fiabilité de l'électrode ou de l'interconnexion.

Comme cela a été décrit ci-dessus, dans le dispositif à couche mince conforme à la présente invention, une couche métallique servant à constituer l'électrode ou l'interconnexion est formée sur une couche de a-Si:H et est soumise à une attaque chimique pour prendre une structure ou configuration désirée et la couche métallique située sur la couche de a-Si:H est éliminée. La couche de réaction est ainsi formée et est utilisée en tant que résistance. De cette manière la résistance est formée sans aucun accrois-

sement du nombre des phases opératoires. Etant donné que la résistance de couche de la couche de réaction est élevée, il est possible de former une résistance possédant une valeur résistive élevée et une faible surface.

REVENDICATIONS

1. Dispositif à couche mince, caractérisé en ce qu'il comporte une couche de silicium amorphe (9,18) servant de substrat et une couche de réaction (14, 20) formée par réaction entre une couche métallique (12, 19), formée sur ladite couche de silicium amorphe, et cette couche de silicium amorphe et servant de résistance.

2. Dispositif à couche mince selon la revendication 1, caractérisé en ce que ladite couche métallique (12, 19) contient au moins un métal choisi parmi un groupe incluant le Cr, Ni, Ti, V, W, Pt, Mo et Ta, et que ladite couche de réaction (14, 20) est formée par réaction interfaciale entre ladite couche métallique (12, 19) et ladite couche de silicium amorphe (9, 18).

3. Dispositif à couche mince selon la revendication 3, caractérisé en ce que ladite couche métallique (12, 19) est constituée par une pluralité de couches et que ladite couche de réaction (14, 20) est formée entre la couche métallique la plus inférieure et ladite couche de silicium amorphe.

4. Dispositif à couche mince selon la revendication 1, caractérisé en ce que ladite couche métallique (12, 19) est éliminée dans une zone de la couche résistive et que les couches métalliques subsistantes sont présentes en tant que couches conductrices sur les extrémités opposées de ladite couche résistive.

5. Dispositif selon la revendication 1, caractérisé en ce que ladite couche de silicium amorphe (9, 18) est une couche de silicium amorphe hydrogéné.

6. Dispositif à couche mince selon la revendication 1, caractérisé en ce qu'un transistor à effet de champ est formé dans l'autre partie de ladite couche de silicium amorphe, ledit transistor à effet de champ comportant des électrodes de source et de drain (19) constituées par des couches métalliques formées, en étant distantes, sur

ladite couche de silicium amorphe (18), et une électrode de grille (16) formée sur ladite couche de silicium amorphe, moyennant l'interposition d'une couche isolante (17) entre ces éléments.

7. Dispositif à couche mince selon la revendication 6, caractérisé en ce que l'une desdites électrodes de source et de drain est raccordée à une extrémité de ladite résistance.

8. Dispositif à couche mince selon la revendication 1, caractérisé en ce que ladite pellicule de silicium amorphe est réalisée sous la forme d'une région en îlot sur ledit substrat, qu'une seconde région en îlot constitué par une couche de silicium amorphe est formée dans l'autre partie dudit susbrat et qu'une diode est formée dans ladite seconde région en forme d'îlot.

9. Dispositif à couche mince selon la revendication 8, caractérisé en ce que ladite diode comporte une couche de type p, une couche de type i et une couche de type n, formées dans la couche de silicium amorphe dans lesdites secondes régions en forme d'îlots.

10. Dispositif à couche mince selon la revendication 9, caractérisé en ce qu'une couche conductrice de l'une des électrodes de ladite diode s'étend jusqu'à ladite couche de réaction sur la couche de silicium amorphe située dans ledite première région en forme d'îlot .

11. Dispositif à couche mince selon la revendication 10, caractérisé en ce que ladite couche conductrice est une couche métallique et que ladite couche de réaction est formée par une réaction interfaciale entre ladite couche métallique et ladite couche de silicium amorphe.

FIG. 1

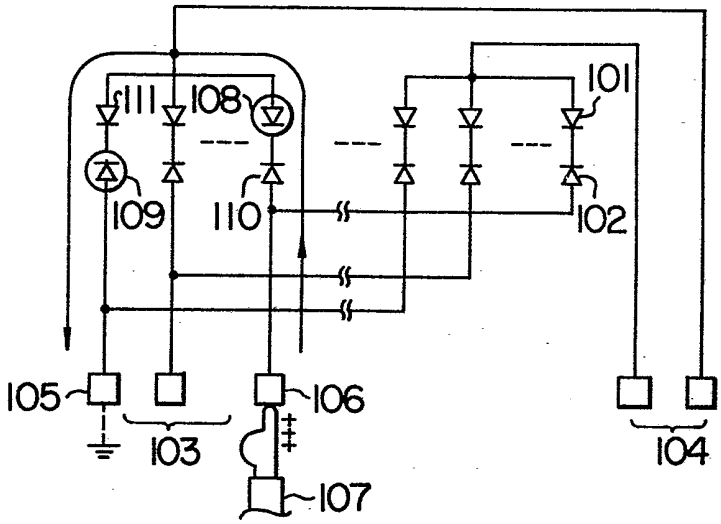

111
108
101
109
110
102
105
106
103
104
107

FIG. 2

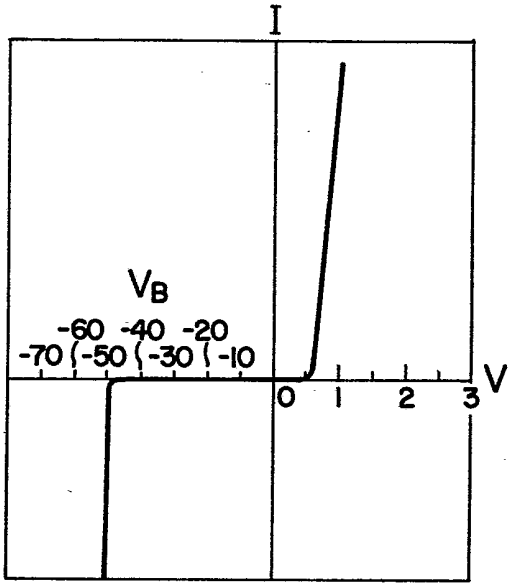

I
V_B
-60 -40 -20
-70 -50 -30 -10
0 1 2 3 V

FIG. 3

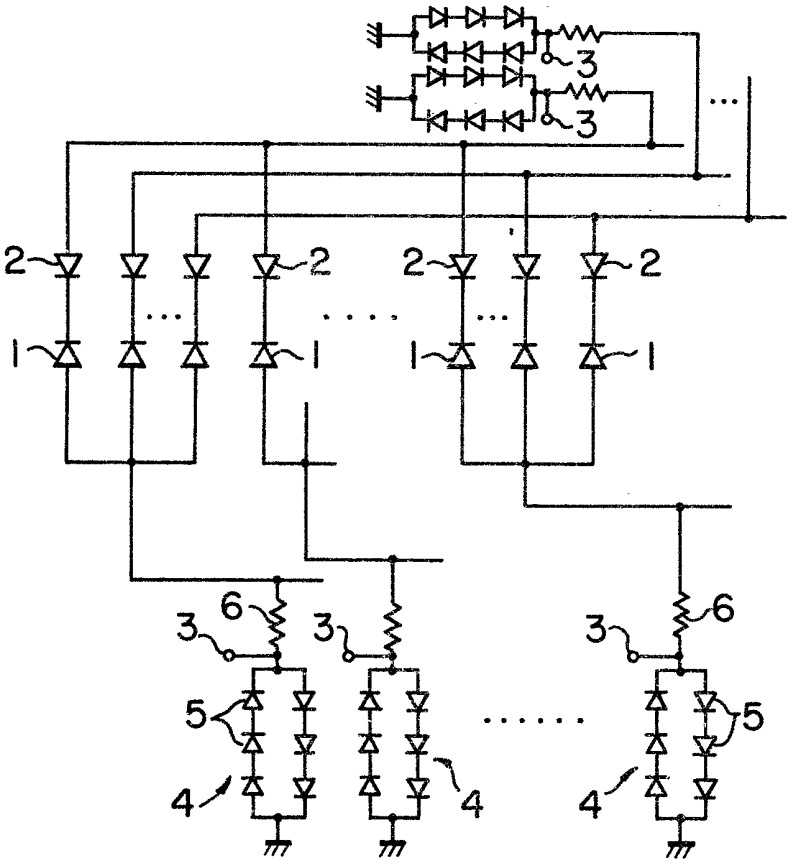
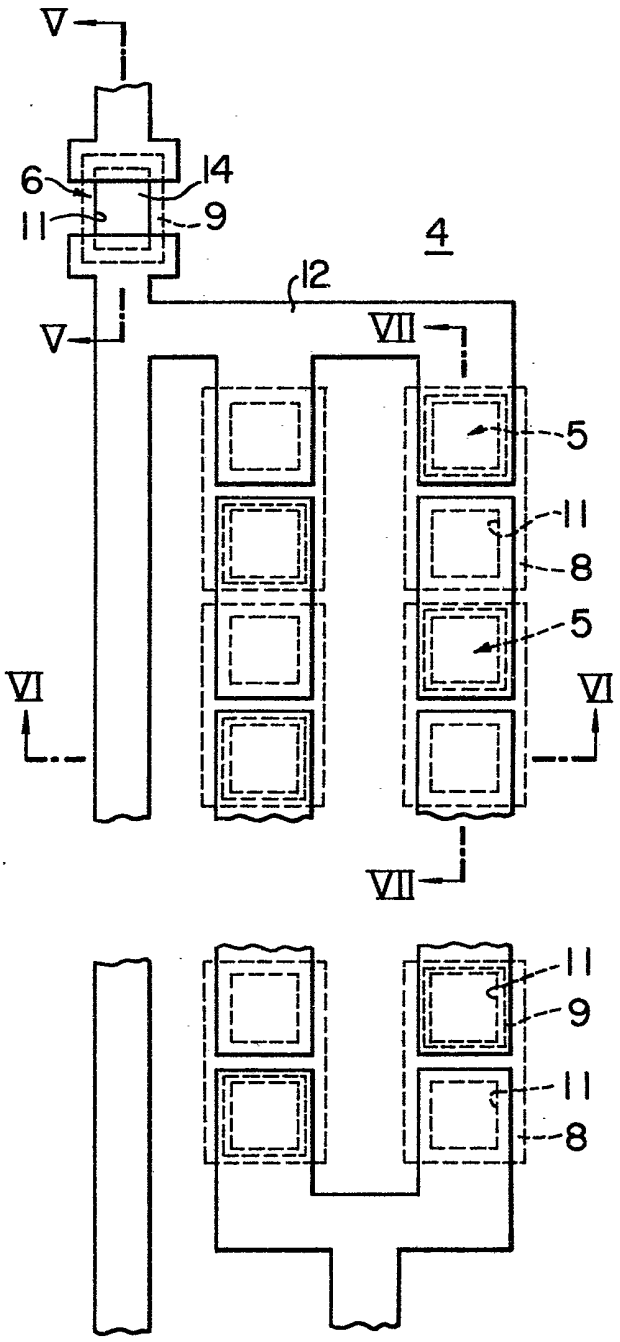


FIG. 4



4/4

FIG. 5

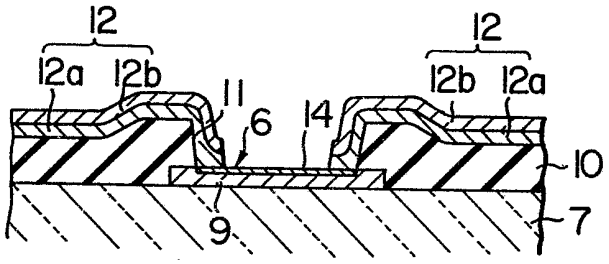


FIG. 6

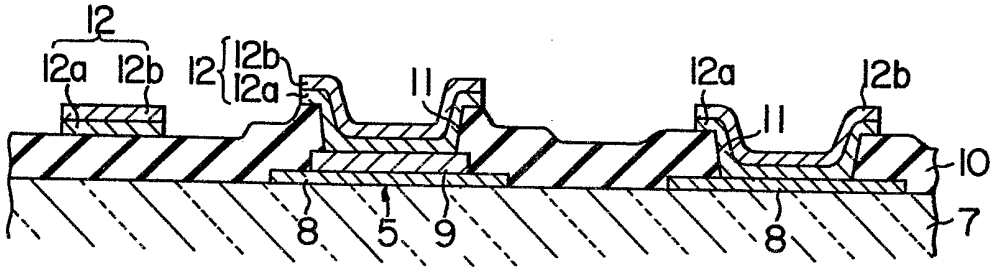


FIG. 7

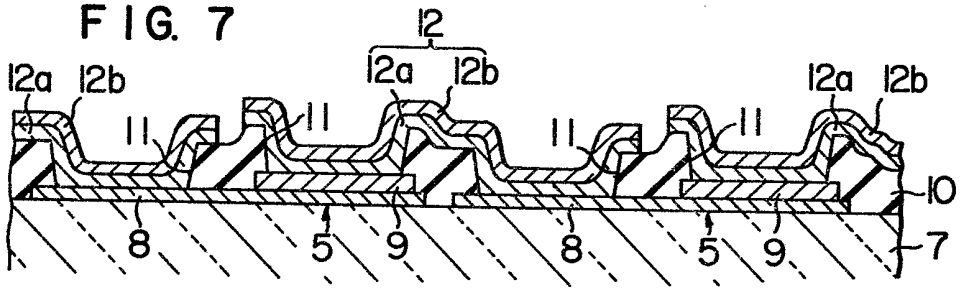


FIG. 8

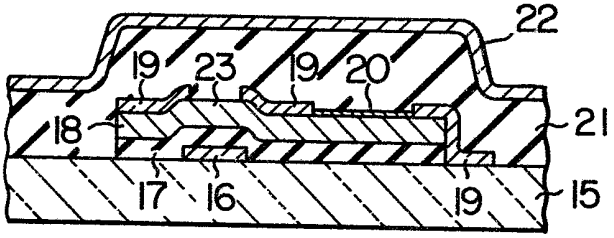


FIG. 9

