



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I534898 B

(45)公告日：中華民國 105 (2016) 年 05 月 21 日

(21)申請案號：101105926

(22)申請日：中華民國 99 (2010) 年 11 月 26 日

(51)Int. Cl. : H01L21/324 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2009/12/04 日本

2009-277078

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；
大原宏樹 OHARA, HIROKI (JP)

(74)代理人：林志剛

(56)參考文獻：

WO 2008/093741A1

Phase Relationships and Physical Properties of Homologous
Compounds in the Zinc Oxide-Indium Oxide System, Toshihiro Moriga
et al, j. am. Ceram. Soc. Vol.81, [5], p.1310-16, 1998

審查人員：彭大慶

申請專利範圍項數：44 項 圖式數：25 共 150 頁

(54)名稱

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明的目的之一是提供高批量生產性、使用新的半導體材料且適於大電力的半導體裝置。為了降低氧化物半導體膜中的水分或氫等雜質而在形成氧化物半導體膜之後在氧化物半導體膜露出的狀態下進行第一加熱處理。接著，為了進一步降低氧化物半導體膜中的水分或氫等雜質而使用離子植入法或離子摻雜法等對氧化物半導體膜添加氧，然後再次在氧化物半導體膜露出的狀態下進行第二加熱處理。

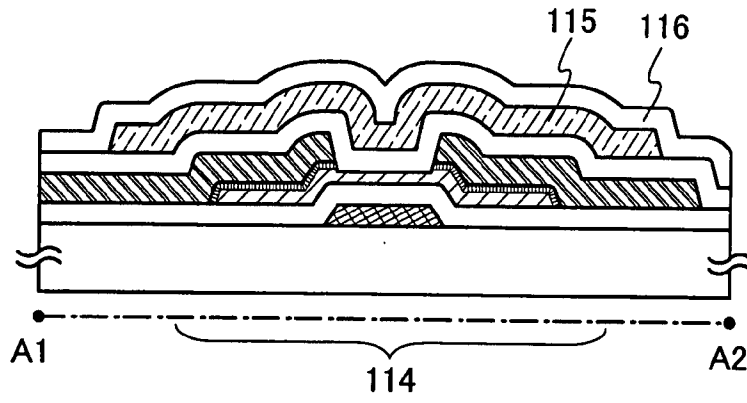
A semiconductor device for high power application in which a novel semiconductor material having high mass productivity is provided. An oxide semiconductor film is formed, and then, first heat treatment is performed on the exposed oxide semiconductor film in order to reduce impurities such as moisture or hydrogen in the oxide semiconductor film. Next, in order to further reduce impurities such as moisture or hydrogen in the oxide semiconductor film, oxygen is added to the oxide semiconductor film by an ion implantation method, an ion doping method, or the like, and after that, second heat treatment is performed on the exposed oxide semiconductor film.

指定代表圖：

符號簡單說明：

115 . . . 背閘極電極

116 · · · 絕緣膜



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101105926

H01L 21/324 (2006.01)

※申請日期：99.11.26

※IPC 分類：H01L 21/336 (2006.01)

原申請案號：099141025

一、發明名稱：(中文／英文)

半導體裝置和其製造方法

Semiconductor device and manufacturing method thereof

二、中文發明摘要：

本發明的目的之一是提供高批量生產性、使用新的半導體材料且適於大電力的半導體裝置。為了降低氧化物半導體膜中的水分或氫等雜質而在形成氧化物半導體膜之後在氧化物半導體膜露出的狀態下進行第一加熱處理。接著，為了進一步降低氧化物半導體膜中的水分或氫等雜質而使用離子植入法或離子摻雜法等對氧化物半導體膜添加氧，然後再次在氧化物半導體膜露出的狀態下進行第二加熱處理。

三、英文發明摘要：

A semiconductor device for high power application in which a novel semiconductor material having high mass productivity is provided. An oxide semiconductor film is formed, and then, first heat treatment is performed on the exposed oxide semiconductor film in order to reduce impurities such as moisture or hydrogen in the oxide semiconductor film. Next, in order to further reduce impurities such as moisture or hydrogen in the oxide semiconductor film, oxygen is added to the oxide semiconductor film by an ion implantation method, an ion doping method, or the like, and after that, second heat treatment is performed on the exposed oxide semiconductor film.

四、指定代表圖：

(一) 本案指定代表圖為：第(3B)圖。

(二) 本代表圖之元件符號簡單說明：

114：電晶體

115：背閘極電極

116：絕緣膜

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種使用氧化物半導體製造的半導體裝置及其製造方法。

【先前技術】

對於半導體裝置來說，使用形成在絕緣表面上的半導體膜形成的電晶體是不可缺少的半導體元件。因為在電晶體的製造中對基板的耐熱溫度有限制，所以其啓動層具有可以以較低溫度形成的非晶矽、藉由使用雷射或催化劑元素的晶化而得到的多晶矽等的電晶體成為用於半導體顯示裝置的電晶體的主流。

近年來，被稱為氧化物半導體的顯示半導體特性的金屬氧化物作為兼有多晶矽所具有的高遷移率和非晶矽所具有的均勻的元件特性的新的半導體材料引人注目。金屬氧化物用於多種用途，例如作為眾所周知的金屬氧化物的氧化銦用於液晶顯示裝置等中的透明電極材料。作為顯示半導體特性的金屬氧化物，例如有氧化鎢、氧化錫、氧化銦、氧化鋅等，並且已知將上述顯示半導體特性的金屬氧化物用於通道形成區的電晶體（專利文獻1以及專利文獻2）。

[專利文獻1] 日本專利申請公開第2007-123861號公報

[專利文獻2] 日本專利申請公開第2007-96055號公報

作為用於半導體裝置的電晶體，最好其隨時間的劣化

所導致的臨界值電壓的不均勻小且截止電流低等。藉由使用隨時間的劣化所導致的臨界值電壓的偏差小的電晶體，可以提高半導體裝置的可靠性。另外，藉由使用截止電流低的電晶體，可以抑制半導體裝置的耗電量。

【發明內容】

本發明的目的之一是提供高可靠性的半導體裝置的製造方法。或者，本發明的目的之一是提供低耗電量的半導體裝置的製造方法。或者，本發明的目的之一是提供高可靠性的半導體裝置。或者，本發明的目的之一是提供低耗電量的半導體裝置。

另外，目前，在高耐壓的被稱為用來控制大電流的功率裝置（power device）的半導體裝置中，作為半導體材料主要使用矽。但是，一般認為使用矽形成的半導體元件的物理特性已達到了理論值的極限，因此為了實現更高耐壓且能夠進一步抑制大電流的功率裝置，需要能夠提高特性的新的半導體材料。作為可能提高高耐壓性、高轉換效率、高速開關等各種特性的半導體材料，例如可以舉出碳化矽、氮化鎵等化合物半導體。碳化矽的帶隙是 3.26eV ，氮化鎵的帶隙是 3.39eV ，兩者都具有矽的帶隙的大約3倍左右的大帶隙。因此，已知化合物半導體有利於半導體裝置的耐壓的提高、電力損失的降低等。

但是，碳化矽、氮化鎵等化合物半導體具有處理溫度高的問題。碳化矽的處理溫度大約為 1500°C ，氮化鎵的處

理溫度大約是1100℃左右，因此不可以將其形成在耐熱溫度低的玻璃基板上。據此，因為不能利用廉價的玻璃基板且化合物半導體不能夠對應基板的大型化，所以使用碳化矽、氮化鎵等的化合物半導體形成的半導體裝置的批量生產性低，而成為難以實現實用化的原因。

鑒於上述問題，本發明的目的之一是提供具有高批量生產性的使用新的半導體材料形成的用於大電力的半導體裝置。

本發明人注意到存在於氧化物半導體膜中的氫、水等雜質是造成電晶體的臨界值電壓漂移等隨時間的劣化的原因。已知在藉由濺射等形成的氧化物半導體膜中包含多量的氫或水等雜質。因此，在本發明的一個實施例中，為了減少氧化物半導體膜中的水分或氫等雜質，在形成氧化物半導體膜之後，在氧化物半導體膜露出的狀態下，在減壓氣圍、氮或稀有氣體等惰性氣體氣圍、氧氣體氣圍或超乾燥空氣（使用CRDS（cavity ring-down laser spectroscopy：空腔振盪雷射光譜法）方式的露點計進行測定時的水分含量是20ppm（露點換算，-55℃）以下，較佳的是1ppm以下，更佳的是10ppb以下的空氣）氣圍下進行第一加熱處理。接著，為了進一步降低氧化物半導體膜中的水分或氫等雜質，在使用離子植入法或離子摻雜法等對氧化物半導體膜添加氧之後，再次在氧化物半導體膜露出的狀態下，在減壓氣圍、氮或稀有氣體等惰性氣體氣圍、氧氣體氣圍或超乾燥空氣（使用CRDS（cavity ring-down laser

spectroscopy：空腔振盪雷射光譜法）方式的露點計進行測定時的水分量是20ppm（露點換算， -55°C ）以下，較佳的是1ppm以下，更佳的是10ppb以下的空氣）氣圍下進行第二加熱處理。

雖然藉由第一加熱處理氧化物半導體膜中的水分或氫等雜質被降低，但是並沒有被完全去除，而還有改善的餘地。可以認為這是因為還存在與構成氧化物半導體的金屬結合的氫或羥基。在本發明中，藉由使用離子植入法或離子摻雜法等對氧化物半導體膜添加氧，來切斷構成氧化物半導體的金屬與氫之間的鍵或該金屬與羥基之間的鍵並使該氫或羥基與氧起反應，來生成水。並且，藉由在氧的添加之後進行第二加熱處理，可以容易使殘留的氫或羥基等雜質作為水而脫離。

如果藉由水分、氫等雜質的脫離而可以得到i型（本徵半導體）或無限趨近於i型的氧化物半導體，則可以防止進行因上述雜質而引起的如臨界值電壓漂移等的電晶體特性的劣化，從而降低截止電流。明確而言，去除包含在氧化物半導體中的氫或水等雜質，並使利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectroscopy）測定出的氧化物半導體所包含的氫濃度的測定值為 $5\times 10^{19}/\text{cm}^3$ 以下，最好為 $5\times 10^{18}/\text{cm}^3$ 以下，更佳地為 $5\times 10^{17}/\text{cm}^3$ 以下，進一步佳地低於 $1\times 10^{16}/\text{cm}^3$ 。另外，使可以利用霍爾效應測量來測定出的氧化物半導體膜的載子密度為低於 $1\times 10^{14}/\text{cm}^{-3}$ ，較佳地為低於 $1\times 10^{12}/\text{cm}^{-3}$ ，更佳地為測定界

限以下，即低於 $1 \times 10^{11} / \text{cm}^{-3}$ 。換言之，氧化物半導體膜的載子密度無限趨近於 0。另外，帶隙是 2 eV 以上，較佳地是 2.5 eV 以上，更佳地是 3 eV 以上。藉由使用氫濃度被充分地降低而被高純度化的氧化物半導體膜，可以降低電晶體的截止電流。

上述兩次的加熱處理最好在 500℃ 以上且 850℃ 以下（或玻璃基板的應變點以下），更佳地為 550℃ 以上且 750℃ 以下的溫度範圍內進行。注意，該加熱處理不超過所使用的基板的耐熱溫度。已使用 TDS（Thermal Desorption Spectroscopy：熱脫附譜分析）確認了藉由加熱處理得到的水或氫的脫離效果。

作為加熱處理，利用在爐中進行的熱處理或快速熱退火法（RTA 法）。RTA 法有使用燈光源的方法以及將基板移動到被加熱的氣體中而進行短時間的熱處理的方法。當使用 RTA 法時，可以使熱處理所需的時間短於 0.1 小時。

明確而言，例如即使使用藉由上述方法被高純度化的氧化物半導體膜的電晶體是通道寬度 W 是 $1 \times 10^4 \mu\text{m}$ 且通道長度 L 是 $3 \mu\text{m}$ 的元件，也可以得到 10^{-13}A 以下的截止電流、0.1 V/dec. 左右（閘極絕緣膜的厚度是 100 nm）的亞臨界值（S 值）的特性。因此，該電晶體的在閘極電極和源極電極之間的電壓是 0 以下的狀態下的截止電流，即洩漏電流與使用具有結晶性的矽的電晶體相比非常低。

另外，在使用被高純度化的氧化物半導體（purified OS）形成的電晶體中，幾乎不呈現截止電流的溫度依賴性

。可以認為這是因為藉由去除在氧化物半導體中成為電子施主（施體）的雜質氧化物半導體被高純度化，而導電型無限趨近於本徵型，費米能級位於禁止帶中央的緣故。另外，氧化物半導體的能隙是 3eV 以上且熱激發載子極少也是原因之一。另外，源極電極及汲極電極處於退化狀態也是不呈現溫度依賴性的原因之一。電晶體主要根據從退化狀態的源極電極植入到氧化物半導體的載子而工作，且沒有載子密度的溫度依賴性，因此可以解釋上述特性（截止電流不受溫度影響）。

另外，在第一加熱處理中，藉由利用 RTA（Rapid Thermal Anneal：快速熱退火）法等在高溫下對氧化物半導體膜進行短時間的脫水化或脫氫化處理，氧化物半導體膜的表層部具有包含粒子尺寸是 1nm 以上且 20nm 以下的所謂奈米晶體（也寫為奈米結晶）的晶體區域，而其他部分為非晶或者非晶區域中分散有微晶的非晶和微晶的混合物。注意，奈米結晶的尺寸只是一個例子而已，本發明不應該被解釋為限定在上述數值範圍內。

另外，形成在氧化物半導體膜的表層部中的晶體區域由於使用離子植入法或離子摻雜法等進行的氧添加而受到損傷。但是，在氧化物半導體膜中，在藉由第一加熱處理水或氫被去除的同時產生氧缺陷，因此藉由使用離子植入法或離子摻雜法等等的氧添加可以向該產生氧缺陷的氧化物半導體膜充分供應氧。並且因為藉由第一加熱處理去除的氫或水不是構成氧化物半導體的元素而是所謂的雜質，而

後面添加的氧是構成氧化物半導體的元素之一，所以可以形成滿足化學計量組成比的結構。因此，藉由在進行第一加熱處理和氧添加之後進行第二加熱處理，可以修復受到損傷的晶體區域並促進結晶生長來使結晶生長從氧化物半導體膜的表層部進展到半導體膜的更內部，而擴大晶體區域。並且，因為與第一加熱處理相比，藉由該第二加熱處理進一步促進結晶生長，所以在晶體區域內，晶粒彼此鄰接且構成氧化物半導體的金屬元素在彼此鄰接的晶粒之間連綿，即連接。由此，因為在其通道形成區具有上述晶體區域的電晶體中晶粒介面的勢壘低，所以可以獲得高遷移率、高耐壓等的良好特性。

作為氧化物半導體，可以採用：四元金屬氧化物的 In-Sn-Ga-Zn-O 基氧化物半導體；三元金屬氧化物的 In-Ga-Zn-O 基氧化物半導體、In-Sn-Zn-O 基氧化物半導體、In-Al-Zn-O 基氧化物半導體、Sn-Ga-Zn-O 基氧化物半導體、Al-Ga-Zn-O 基氧化物半導體、Sn-Al-Zn-O 基氧化物半導體；二元金屬氧化物的 In-Zn-O 基氧化物半導體、Sn-Zn-O 基氧化物半導體、Al-Zn-O 基氧化物半導體、Zn-Mg-O 基氧化物半導體、Sn-Mg-O 基氧化物半導體、In-Mg-O 基氧化物半導體、In-Ga-O 基氧化物半導體；以及 In-O 基氧化物半導體、Sn-O 基氧化物半導體、Zn-O 基氧化物半導體等。注意，在本說明書中，例如 In-Sn-Ga-Zn-O 基氧化物半導體是指具有銦（In）、錫（Sn）、鎵（Ga）、鋅（Zn）的金屬氧化物，而對其化學計量組成比沒有特別的限制。另外，

上述氧化物半導體也可以包含矽。

或者，可以利用化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示氧化物半導體。在此，M表示選自Ga、Al、Mn及Co中的一種或多種金屬元素。

在此，說明氧化物半導體膜中及導電膜中的氫濃度的分析。使用二次離子質譜（SIMS：Secondary Ion Mass Spectroscopy）測量氧化物半導體膜中及導電膜中的氫濃度。在SIMS分析中，由於其原理而難以獲得樣品表面附近或材質不同的膜的疊層介面附近的準確資料。因此，當使用SIMS來分析膜中的厚度方向上的氫濃度分佈時，採用在物件的膜所存在的範圍中沒有值的極端變動且可以獲得大致一定的值的區域中的平均值作為氫濃度。另外，當測定對象的膜的厚度薄時，有時因受到鄰接的膜內的氫濃度的影響而找不到可以獲得大致一定的值的區域。此時，採用該膜所存在的區域中的氫濃度的最大值或最小值作為該膜中的氫濃度。另外，當在該膜所存在的區域中不存在具有最大值的山形峰值、具有最小值的谷形峰值時，採用拐點的值作為氫濃度。

電晶體可以採用底閘型、頂閘型或底接觸型。底閘型電晶體具有：絕緣表面上的閘極電極；閘極電極上的閘極絕緣膜；閘極絕緣膜上的與閘極電極重疊的氧化物半導體膜；氧化物半導體膜上的源極電極、汲極電極；以及源極電極、汲極電極及氧化物半導體膜上的絕緣膜。頂閘型電晶體具有：絕緣表面上的氧化物半導體膜；氧化物半導體

膜上的閘極絕緣膜；在閘極絕緣膜上與氧化物半導體膜重疊且用作導電膜的閘極電極；源極電極；汲極電極；以及源極電極、汲極電極及氧化物半導體膜上的絕緣膜。底接觸型電晶體具有：絕緣表面上的閘極電極；閘極電極上的閘極絕緣膜；閘極絕緣膜上的源極電極、汲極電極；位於源極電極、汲極電極上且在閘極絕緣膜上與閘極電極重疊的氧化物半導體膜；以及源極電極、汲極電極及氧化物半導體膜上的絕緣膜。

另外，無論是在利用濺射等形成氧化物半導體膜時，還是在形成之後，存在於氧化物半導體膜周圍的氫或水都容易被引入到氧化物半導體膜中。由於水或氫容易形成施主能級，因此對於氧化物半導體來說水或氫是雜質。因此，在本發明的一個實施例中，在形成源極電極和汲極電極之後，也可以以覆蓋源極電極、汲極電極及氧化物半導體膜的方式形成由高阻擋性的絕緣材料形成的絕緣膜。上述絕緣膜最好使用高阻擋性的絕緣材料。例如，作為高阻擋性的絕緣膜，可以使用氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等。當使用多個層疊的絕緣膜時，將所包含的氮的比率比上述高阻擋性的絕緣膜低的氧化矽膜、氮氧化矽膜等絕緣膜形成在離氧化物半導體膜近的一側。並且，以夾著氮比率低的絕緣膜重疊於源極電極、汲極電極及氧化物半導體膜的方式形成具有阻擋性的絕緣膜。藉由使用具有阻擋性的絕緣膜，可以防止水分或氫等雜質侵入到氧化物半導體膜內、閘極絕緣膜內或者氧化物半導體膜和

其他絕緣膜的介面及其近旁。

另外，也可以在閘極電極和氧化物半導體膜之間形成如下閘極絕緣膜，該閘極絕緣膜層疊有使用高阻擋性的材料形成的絕緣膜及如氧化矽膜、氧氮化矽膜等的氮比率低的絕緣膜。氧化矽膜、氧氮化矽膜等絕緣膜形成在具有阻擋性的絕緣膜和氧化物半導體膜之間。藉由使用具有阻擋性的絕緣膜，可以防止如水分或氫等的氣圍中的雜質或包含在基板內的如鹼金屬、重金屬等的雜質侵入到氧化物半導體膜內、閘極絕緣膜內或者氧化物半導體膜和其他絕緣膜的介面及其近旁。

本發明可以提供高可靠性的半導體裝置的製造方法。另外，本發明可以提供耗電量低的半導體裝置的製造方法。另外，本發明可以提供可靠性高的半導體裝置。另外，本發明可以提供耗電量低的半導體裝置。

另外，因為可以以低成膜溫度製造高耐壓的半導體元件，所以可提供高批量生產性且用於大電力的半導體裝置。

【實施方式】

下面，關於本發明的實施例模式參照附圖進行詳細說明。但是，本發明並不侷限於以下說明。所屬技術領域的普通技術人員可以很容易地理解一個事實就是本發明的方式和詳細內容在不脫離其宗旨及其範圍的條件下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限

於以下所示的實施例模式的記載內容。

本發明可以用來製造微處理器、如圖像處理電路等的積體電路、RF標籤、半導體顯示裝置等任何種類的半導體裝置。半導體裝置是指藉由利用半導體特性而能夠工作的所有裝置，因此半導體顯示裝置、半導體電路以及電子設備都是半導體裝置。半導體顯示裝置包括液晶顯示裝置、在各像素中具有以有機發光元件（OLED）為代表的發光元件的發光裝置、電子紙、DMD（數位微鏡裝置）、PDP（電漿顯示面板）及FED（場致發射顯示器）等，在驅動電路中具有利用半導體膜形成的電路元件的其他半導體顯示裝置也包括在其範疇內。

實施例模式 1

以通道蝕刻結構的底閘型電晶體為例對根據本發明的一個實施例的半導體裝置所具有的電晶體的結構和該電晶體的製造方法進行說明。

如圖 1A 所示那樣，在基板 100 上形成閘極電極 101。

對可以用作具有絕緣表面的基板 100 的基板沒有大的限制，但是需要至少具有能夠承受後面的加熱處理的程度的耐熱性。例如，可以使用利用熔融法或浮法製造的玻璃基板。當後面的加熱處理的溫度較高時，作為玻璃基板最好使用應變點為 730℃ 以上的玻璃基板。另外，作為玻璃基板，例如使用如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鉬硼矽酸鹽玻璃等的玻璃材料。另外，一般藉由使玻璃基板相

比酸化硼而含有更多的氧化鋇（BaO），可以獲得更實用的耐熱玻璃。因此，最好使用相比 B_2O_3 包含更多的BaO的玻璃基板。

另外，還可以使用如陶瓷基板、石英基板、藍寶石基板等的由絕緣體構成的基板代替上述玻璃基板。此外，也可以使用晶化玻璃等。另外，還可以使用在不鏽鋼合金等金屬基板表面上設置有絕緣膜的基板。

另外，一般而言，由塑膠等具有撓性的合成樹脂構成的基板具有耐熱溫度較低的趨勢，但是若能夠耐受後面的製造製程中的處理溫度，則可以將其用作基板100。作為塑膠基板，可以舉出以聚對苯二甲酸乙二醇酯（PET）為代表的聚酯、聚醚砜（PES）、聚萘二甲酸乙二醇酯（PEN）、聚碳酸酯（PC）、聚醚醚酮（PEEK）、聚砜（PSF）、聚醚醯亞胺（PEI）、聚芳酯（PAR）、聚對苯二甲酸丁二醇酯（PBT）、聚醯亞胺、丙烯酸-丁二烯-苯乙烯樹脂、聚氯乙烯、聚丙烯、聚乙酸乙烯酯、丙烯酸樹脂等。

在基板100和閘極電極101之間，也可以形成成為基底膜的絕緣膜。作為基底膜，例如可以使用氧化矽膜、氮化矽膜、氮化鋁膜和氮氧化鋁膜中的一種的單層或層疊它們中的多種的結構。尤其是藉由作為基底膜使用高阻擋性的絕緣膜例如氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等，可以防止水分或氫等的氣圍中的雜質或者包含在基板100內的鹼金屬、重金屬等

的雜質進入到氧化物半導體膜內、閘極絕緣膜內或氧化物半導體膜和其他絕緣膜之間的介面和其近旁。

另外，在本說明書中，氧氮化物是指在其組成中氧的含量多於氮的含量的物質。此外，氮氧化物是指在其組成中氮的含量多於氧的含量的物質。

作為閘極電極 101 的材料，可以使用鉬、鈦、鉻、鉭、鎢、釹、釷等金屬材料、以這些金屬材料為主要成分的合金材料的導電膜或這些金屬的氮化物的單層或疊層。另外，若能夠耐受後面的製程中進行的加熱處理的溫度，則作為上述金屬材料可以使用鋁、銅。為了避免耐熱性或腐蝕性的問題，最好將鋁或銅與高熔點金屬材料組合而使用。作為高熔點金屬材料，可以使用鉬、鈦、鉻、鉭、鎢、釹、釷等。

例如，作為具有兩層結構的閘極電極 101，最好採用：在鋁膜上層疊有鉬膜的兩層結構；在銅膜上層疊有鉬膜的兩層結構；在銅膜上層疊有氮化鈦膜或氮化鉭膜的兩層結構；層疊有氮化鈦膜和鉬膜的兩層結構。作為具有三層結構的閘極電極 101，最好採用將鋁膜、鋁和矽的合金膜、鋁和鈦的合金膜或鋁和釹的合金膜用作中間層，將鎢膜、氮化鎢膜、氮化鈦膜或鈦膜用作上方和下方的層而層疊的結構。

另外，藉由作為閘極電極 101 使用氧化銦、氧化銦氧化錫合金、氧化銦氧化鋅合金、氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎳等的具有透光性的氧化物導電膜，可以

提高像素部的孔徑比。

閘極電極 101 的厚度為 10nm 至 400nm，較佳地為 100nm 至 200nm。在本實施例模式中，在藉由使用鎢靶材的濺射法形成 150nm 的用於閘極電極的導電膜之後，藉由蝕刻將該導電膜處理（構圖）為所希望的形狀，形成閘極電極 101。另外，若所形成的閘極電極的端部的形狀為錐形形狀，則層疊在其上的閘極絕緣膜的覆蓋性提高，因此是較佳的。另外，也可以使用噴墨法形成抗蝕劑掩模。當藉由噴墨法形成抗蝕劑掩模時不使用光掩模，因此可以縮減製造成本。

接著，在閘極電極 101 上形成閘極絕緣膜 102。閘極絕緣膜 102 使用電漿 CVD 法或濺射法等並使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氮氧化鋁膜、氧化鉛膜、氧化鉭膜的單層或疊層形成。閘極絕緣膜 102 最好儘量不包含水分、氫等的雜質。在藉由濺射法形成氧化矽膜時，作為靶材使用矽靶材或石英靶材，並且作為濺射氣體使用氧或氧及氫的混合氣體來進行。

由於藉由去除雜質實現 i 型化或實質上實現 i 型化的氧化物半導體（被高純度化的氧化物半導體）對介面能級或介面電荷非常敏感，所以該氧化物半導體與閘極絕緣膜 102 的介面很重要。由此，要求與被高純度化的氧化物半導體接觸的閘極絕緣膜（GI）實現高品質化。

例如，使用 μ 波（2.45GHz）的高密度電漿 CVD 可以形

成緻密的絕緣耐壓高的高品質的絕緣膜，因此是較佳的。藉由使被高純度化的氧化物半導體與高品質的閘極絕緣膜密接，可以降低介面能級並使介面特性良好。

當然，若作為閘極絕緣膜可以形成良好的絕緣膜，則可以應用其他成膜方法諸如濺射法或電漿CVD法等。另外，也可以使用藉由形成膜後的熱處理改進膜質及與氧化物半導體之間的介面特性的絕緣膜。不管是上述哪一種情況，使用如下閘極絕緣膜即可：不僅作為閘極絕緣膜的膜質良好，而且降低與氧化物半導體的介面態密度，並可以形成良好的介面。

也可以形成具有如下結構的閘極絕緣膜102，即層疊有使用高阻擋性的材料形成的絕緣膜、所包含的氮的比率低的氧化矽膜以及氧氮化矽膜等的絕緣膜。在此情況下，將氧化矽膜、氧氮化矽膜等的絕緣膜形成在具有阻擋性的絕緣膜和氧化物半導體膜之間。作為高阻擋性的絕緣膜，例如可以舉出氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等。藉由使用具有阻擋性的絕緣膜，可以防止水分或氫等的氣圍中的雜質或包含在基板內的鹼金屬、重金屬等的雜質侵入到氧化物半導體膜內、閘極絕緣膜102內或者氧化物半導體膜和其他絕緣膜的介面及其近旁。另外，藉由以與氧化物半導體膜接觸的方式形成所包含的氮的比率低的氧化矽膜、氧氮化矽膜等的絕緣膜，可以防止使用高阻擋性的材料的絕緣膜直接接觸於氧化物半導體膜。

例如，也可以作為第一閘極絕緣膜藉由濺射法形成厚

度為50nm以上且200nm以下的氮化矽膜（ SiN_y （ $y>0$ ）），在第一閘極絕緣膜上作為第二閘極絕緣膜層疊厚度為5nm以上且300nm以下的氧化矽膜（ SiO_x （ $x>0$ ）），來形成厚度為100nm的閘極絕緣膜102。閘極絕緣膜102的厚度根據電晶體被要求的特性適當地設定即可，也可以為350nm至400nm左右。

在本實施例模式中，形成具有如下結構的閘極絕緣膜102，其中在藉由濺射法形成的厚度為50nm的氮化矽膜上層疊有藉由濺射法形成的厚度為100nm的氧化矽膜。

另外，為了使閘極絕緣膜102中儘量不包含氫、羥基及水分，作為形成膜的預處理，最好在濺射裝置的預熱室中對形成有閘極電極101的基板100進行預熱，使吸附到基板100的氫、水分等雜質脫離且將其排出。另外，將預熱的溫度設定為100℃以上且400℃以下，最好設定為150℃以上且300℃以下。另外，設置在預熱室中的排氣單元最好是低溫泵。另外，可以省略該預熱處理。

接著，在閘極絕緣膜102上形成厚度為2nm以上且200nm以下，較佳地為3nm以上且50nm以下，更佳地為3nm以上且20nm以下的氧化物半導體膜103。氧化物半導體膜103使用氧化物半導體作為靶材，並使用濺射法形成。另外，氧化物半導體膜103可以在稀有氣體（例如，氬）氣圍下、在氧氣圍下或者在稀有氣體（例如，氬）及氧氣圍下藉由濺射法來形成。

另外，最好在使用濺射法形成氧化物半導體膜103之

前，進行引入氬氣體並產生電漿的反濺射，而去除附著在閘極絕緣膜102的表面的灰塵。反濺射是指在不對靶材一側施加電壓的情況下使用RF電源在氬氣圍下對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦等代替氬氣圍。另外，也可以在對氬氣圍添加氧、一氧化二氮等的氣圍下進行反濺射。另外，也可以在對氬氣圍添加氯、四氟化碳等的氣圍下進行反濺射。

氧化物半導體膜103可以使用上述那樣的氧化物半導體。

在本實施例模式中，將藉由使用包含In（銦）、Ga（鎵）及Zn（鋅）的氧化物半導體靶材的濺射法而得到的厚度為30nm的In-Ga-Zn-O基非單晶膜用於氧化物半導體膜103。作為上述靶材，例如可以使用各金屬的原子比為In：Ga：Zn=1：1：0.5、In：Ga：Zn=1：1：1或In：Ga：Zn=1：1：2的氧化物半導體靶材。另外，可以在稀有氣體（典型的是氬）氣圍下、在氧氣圍下或者在稀有氣體（典型的是氬）及氧氣圍下藉由濺射法來形成氧化物半導體膜103。此外，在利用濺射法的情況下，也可以使用包括2wt%以上且10wt%以下的SiO₂的靶材形成膜。另外，包含In、Ga及Zn的氧化物半導體靶材的填充率為90%以上且100%以下，較佳地為95%以上且99.9%以下。藉由使用高填充率的氧化物半導體靶材，所形成的氧化物半導體膜成為緻密的膜。

在保持為減壓狀態的處理室內保持基板，一邊去除處理室內的殘留水分一邊引入去除了氫及水分的濺射氣體，使用金屬氧化物作為靶材在基板100上形成氧化物半導體膜103。在形成膜時，也可以將基板溫度設定為 100°C 以上且 600°C 以下，最好設定為 200°C 以上且 400°C 以下。藉由一邊加熱基板一邊形成膜，可以降低形成了的氧化物半導體膜所包含的雜質濃度。另外，可以減少因濺射產生的缺陷。為了去除處理室內的殘留水分，最好使用吸附型真空泵。例如，最好使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用設置有冷阱的渦輪泵。由於使用低溫泵進行排氣的沉積室排出例如氫原子、水（ H_2O ）等包含氫原子的化合物（最好也排出包含碳原子的化合物）等，所以可以降低在該沉積室中形成的氧化物半導體膜所包含的雜質濃度。

作為成膜條件的一個例子，應用如下條件，即基板和靶材之間的距離為 100mm ，壓力為 0.6Pa ，直流（DC）電源為 0.5kW ，在氧（氧流量比率為 100% ）氣圍下。另外，脈衝直流（DC）電源是較佳的，因為可以減少形成膜時發生的被稱為微粒的灰塵並可以實現均勻的膜厚分佈。氧化物半導體膜的厚度較佳地為 5nm 以上且 30nm 以下。另外，由於根據所應用的氧化物半導體材料適當的厚度不同，所以根據材料適當地選擇厚度即可。

另外，為了使氧化物半導體膜103中盡量不包含氫、羥基及水分，作為形成膜的預處理，最好在濺射裝置的預

熱室中對形成到閘極絕緣膜 102 的基板 100 進行預熱，使吸附到基板 100 的氫、水分等雜質脫離且將其排出。另外，將預熱的溫度設定為 100°C 以上且 400°C 以下，較佳地為 150°C 以上且 300°C 以下。另外，設置在預熱室中的排氣單元較佳地是低溫泵。另外，可以省略該預熱處理。另外，也可以在形成絕緣膜 113 之前，對形成到源極電極 111 及汲極電極 112 的基板 100 同樣地進行該預熱。

作為濺射法，有作為濺射電源使用高頻電源的 RF 濺射法、DC 濺射法，並且還有以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用於絕緣膜的形成，而 DC 濺射法主要用於金屬膜的形成。

此外，還有可以設置多個材料不同的靶材的多元濺射裝置。多元濺射裝置既可以在同一處理室中層疊形成不同的材料膜，又可以在同一處理室中使多種材料同時放電而形成膜。

另外，有利用磁控管濺射法或 ECR 濺射法的濺射裝置，磁控管濺射法在處理室內具備磁體機構，ECR 濺射法不使用輝光放電而利用使用微波來產生的電漿。

另外，作為使用濺射法的形成膜的方法，還有：在形成膜時使靶材物質與濺射氣體成分產生化學反應而形成它們的化合物薄膜的反應濺射法；以及在形成膜時對基板也施加電壓的偏壓濺射法。

也可以以不接觸於大氣的方式連續形成閘極絕緣膜 102 及氧化物半導體膜 103。藉由不接觸於大氣地連續形成

，可以不被如水或烴等的大氣成分或懸浮在大氣中的雜質元素污染地形成各疊層介面，因此可以降低電晶體特性的偏差。

接著，如圖1B所示，藉由蝕刻等將氧化物半導體膜103處理（構圖）為所希望的形狀，在與閘極電極101重疊的位置在閘極絕緣膜102上形成島狀氧化物半導體膜104。

也可以藉由噴墨法形成用來形成島狀氧化物半導體膜104的抗蝕劑掩模。當使用噴墨法形成抗蝕劑掩模時不需要光掩模，由此可以降低製造成本。

另外，當在閘極絕緣膜102中形成接觸孔時，其製程可以與島狀氧化物半導體膜104的形成同時進行。

另外，用來形成島狀氧化物半導體膜104的蝕刻可以採用乾蝕刻及濕蝕刻中的一方或兩者。作為用於乾蝕刻的蝕刻氣體，最好使用含氯的氣體（氯基氣體，例如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）或四氯化碳（ CCl_4 ）等）。另外，還可以使用含氟的氣體（氟基氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）或對上述氣體添加了氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型RIE（反應性離子蝕刻）法或ICP（感應耦合電漿）蝕刻法。適當地調節蝕刻條件（施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等），以便可以蝕

刻為所希望的處理形狀。

作為用於濕蝕刻的蝕刻液，可以使用將磷酸、醋酸及硝酸混合而成的溶液、檸檬酸或草酸等的有機酸等。此外，也可以使用 ITO-07N（關東化學株式會社製造）。另外，藉由清洗去除濕蝕刻後的蝕刻液以及被蝕刻掉的材料。可以精製含有被去除掉的材料之蝕刻劑的廢液，並重複使用包含在廢液中的材料。從該蝕刻之後的廢液收集氧化物半導體膜所含有的如銦等的材料並重複使用，來可以有效利用資源並降低成本。

另外，最好在後續製程的形成導電膜之前進行反濺射，去除附著在島狀氧化物半導體膜 104 及閘極絕緣膜 102 的表面的抗蝕劑殘渣等。

接著，在減壓氣圍下、在氮或稀有氣體等的惰性氣體氣圍下、在氧氣體氣圍下或在超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：空腔振盪雷射光譜法）方式的露點儀來測定時的水分含量為 20ppm（露點換算為 -55°C ）以下，較佳地為 1ppm 以下，更佳地為 10ppb 以下的空氣）氣圍下，對氧化物半導體膜 104 進行第一加熱處理。藉由對氧化物半導體膜 104 進行加熱處理，如圖 1C 所示，形成水分、氫脫離了的氧化物半導體膜 105。明確而言，以 500°C 以上且 850°C 以下（或玻璃基板的應變點以下的溫度），最好以 550°C 以上且 750°C 以下進行加熱處理即可。例如，以 600°C 進行 3 分鐘以上且 6 分鐘以下的加熱處理即可。藉由使用 RTA 法，可以以短時間內進行脫水化或

脫氫化，由此也可以以超過玻璃基板的應變點的溫度進行第一加熱處理。在本實施例模式中，使用加熱處理裝置中之一的電爐，在氮氣圍下在基板溫度達到600℃的狀態下對氧化物半導體膜104進行6分鐘的加熱處理之後，不使氧化物半導體膜接觸於大氣且防止水或氫再次混入到氧化物半導體膜，而得到氧化物半導體膜105。

注意，加熱處理裝置不侷限於電爐而可以具備利用電阻發熱體等的發熱體所產生的熱傳導或熱輻射對被處理物進行加熱的裝置。例如，可以使用GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA裝置是利用從鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等的燈發出的光（電磁波）的輻射加熱被處理物的裝置。GRTA裝置是使用高溫的氣體進行加熱處理的裝置。作為氣體，使用氫等稀有氣體或氮等的即使進行加熱處理也不與被處理物起反應的惰性氣體。

例如，作為第一加熱處理，也可以進行GRTA，在該GRTA中，將基板移動到加熱到650℃至700℃的高溫的惰性氣體中，進行幾分鐘的加熱後，移動基板而從加熱到高溫的惰性氣體中取出該基板。藉由使用GRTA可以在短時間內進行高溫加熱處理。

另外，在加熱處理中，最好在氮或氫、氦、氬等的稀有氣體中不包含水、氫等。或者，最好將導入於加熱處理

裝置中的氮或氫、氖、氬等的稀有氣體的純度設定為6N（99.9999%）以上，更佳地設定為7N（99.99999%）以上（即，將雜質濃度設定為1ppm以下，較佳地為0.1ppm以下）。

並且，如圖1C所示，藉由第一加熱處理在島狀氧化物半導體膜105的表層部中形成晶體區域106。晶體區域106包含粒子尺寸是1nm以上且20nm以下的所謂奈米晶體（也寫為奈米結晶）。並且，島狀氧化物半導體膜105的除了晶體區域106以外的區域包括非晶或非晶區域中分散有微晶的非晶和微晶的混合物。注意，奈米結晶的尺寸只是個例子而已，因此本發明不應該被解釋為限定於上述數值範圍內。在使用各金屬的原子比是In:Ga:Zn=1:1:1的靶並藉由濺射法形成的In-Ga-Zn-O基氧化物半導體膜中，與使用具有其他原子比的靶形成的氧化物半導體膜相比表層部中的晶化更容易進展，因此更易於將晶體區域106形成到更深的區域中。

接著，如圖1D所示，使用離子植入法或離子摻雜法對其表層部具有晶體區域的氧化物半導體膜添加氧。藉由使用離子植入法或離子摻雜法等對氧化物半導體膜105添加氧，形成添加有過多的氧的氧化物半導體膜107。藉由添加氧，切斷構成氧化物半導體的金屬與氫的鍵或該金屬與羥基的鍵，並使氫或羥基與氧起反應，而產生水。由此，可以藉由後面進行的第二加熱處理來容易使雜質的氫或羥基作為水脫離。

在離子植入法中，使源氣體電漿化，提取該電漿所包括的離子種並且進行質量分離，將具有所定的質量的離子種加速，並且將被加速了的離子種作為離子束植入到被處理物。在離子摻雜法中，使源氣體電漿化，藉由所定的電場的作用從電漿提取離子種，不對所提取了的離子種進行質量分離而將它加速，並且將被加速了的離子種作為離子束植入到被處理物。藉由使用進行質量分離的離子植入法添加氧，可以防止金屬元素等的雜質與氧一起被添加在氧化物半導體膜中。另外，由於與離子植入法相比離子摻雜法可以增大離子束的照射面積，所以藉由使用離子摻雜法添加氧，可以縮短處理時間。

在使用氧氣體利用離子植入法來添加氧的情況下，將加速電壓設定為5kV以上且100kV以下，將劑量設定為 1×10^{13} 離子/cm²以上且 1×10^{16} 離子/cm²以下即可。

另外，也可以在使用離子植入法對氧化物半導體膜105添加氧的同時，在500℃以上且850℃以下（或者玻璃基板的應變點以下的溫度），較佳地為550℃以上且750℃以下的範圍內對形成有氧化物半導體膜105的基板進行加熱處理。

另外，形成在氧化物半導體膜105的表層部中的晶體區域106所包含的結晶因使用離子植入法或離子摻雜法等進行的氧添加而受到損傷。因此，氧化物半導體膜107的表層部的結晶性低於氧添加之前的氧化物半導體膜105所具有的晶體區域106。根據氧的劑量，可以使氧化物半導

體膜 107 的表層部與上述氧化物半導體膜 105 所具有的非晶區域處於相同的狀態。

接著，進行第二加熱處理。第二加熱處理可以在與第一加熱處理同樣的條件下進行。明確而言，在減壓氣圍下、在氮或稀有氣體等的惰性氣體氣圍下、在氧氣體氣圍下或在超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：空腔振盪雷射光譜法）方式的露點儀來測定時的水分含量為 20ppm（露點換算為 -55°C ）以下，較佳地為 1ppm 以下，更佳地為 10ppb 以下的空氣）氣圍下，以 500°C 以上且 850°C 以下（或玻璃基板的應變點以下的溫度），較佳地以 550°C 以上且 750°C 以下進行加熱處理。當利用 RTA（Rapid Thermal Anneal：快速熱退火）處理進行加熱處理時，例如以 600°C 進行 3 分鐘以上且 6 分鐘以下的加熱處理即可。藉由使用 RTA 法，可以在短時間內進行脫水化或脫氫化，由此也可以以超過玻璃基板的應變點的溫度進行第二加熱處理。在本實施例模式中，使用加熱處理裝置中之一的電爐，在氮氣圍下在基板溫度達到 600°C 的狀態下進行 6 分鐘的加熱處理之後，不使氧化物半導體膜接觸於大氣且防止水或氫再次混入到氧化物半導體膜，而如圖 1E 所示那樣得到氧化物半導體膜 108。另外，上述加熱處理也可以在形成島狀氧化物半導體膜 108 之後進行多次。

在本發明的一個實施例中，藉由對氧化物半導體膜 105 添加氧，切斷構成氧化物半導體的金屬與氫的鍵或該金屬與羥基的鍵並使該氫或羥基與氧起反應，而產生水。

由此，藉由在氧的添加之後進行第二加熱處理，可以容易使殘留的氫或羥基等的雜質作為水脫離。由此，在藉由上述加熱處理形成的島狀氧化物半導體膜108中進行第一加熱處理也不被去除的水分或氫等雜質被去除，而與第一加熱處理後的氧化物半導體膜105相比，可以進一步實現i型（本徵半導體）或無限趨近於i型。由於藉由水分、氫等雜質的脫離而可以得到i型（本徵半導體）或無限趨近於i型的氧化物半導體，所以可以防止因上述雜質而導致的臨界值電壓漂移等的電晶體特性的劣化，而降低截止電流。

另外，在85℃的溫度下，對閘極施加的電壓為 $2 \times 10^6 \text{ V/cm}$ ，12小時的閘極偏壓-熱壓力測試（BT測試）中，當氧化物半導體添加有雜質時，雜質與氧化物半導體的主要成分的接合因強電場（B：偏壓）和高溫（T：溫度）被切斷，而所產生的懸空鍵引起臨界值電壓（ V_{th} ）的漂移。但是，如上所述那樣藉由使閘極絕緣膜和氧化物半導體膜的介面特性良好，並且儘量去除氧化物半導體膜中的雜質，尤其是氫或水等，可以得到對於BT測試也具有穩定性的電晶體。

注意，加熱處理裝置不侷限於電爐而可以具備利用電阻發熱體等的發熱體所產生的熱傳導或熱輻射對被處理物進行加熱的裝置。例如，可以使用GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA裝置是

利用從鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等的燈發出的光（電磁波）的輻射加熱被處理物的裝置。GRTA裝置是使用高溫的氣體進行加熱處理的裝置。作為氣體，使用氬等稀有氣體或氮等的即使進行加熱處理也不與被處理物起反應的惰性氣體。

例如，作為第二加熱處理，也可以進行GRTA，在該GRTA中，將基板移動到加熱到 650°C 至 700°C 的高溫的惰性氣體中，進行幾分鐘的加熱後，移動基板而從加熱到高溫的惰性氣體中取出該基板。藉由使用GRTA可以在短時間內進行高溫加熱處理。

另外，在加熱處理中，最好在氮或氬、氦、氫等的稀有氣體中不包含水、氫等。或者，最好將導入於加熱處理裝置中的氮或氬、氦、氫等的稀有氣體的純度設定為6N（99.9999%）以上，更佳地為7N（99.99999%）以上（即，將雜質濃度設定為1ppm以下，較佳地設定為0.1ppm以下）。

在氧化物半導體膜105中，雖然在藉由第一加熱處理水或氫被去除的同時產生氧缺陷，但是藉由使用離子植入法或離子摻雜法等氧添加可以向該產生氧缺陷的氧化物半導體膜充分供應氧。並且因為藉由第一加熱處理去除的氫或水不是構成氧化物半導體的元素而是所謂的雜質，而後面添加的氧是構成氧化物半導體的元素之一，所以可以形成滿足化學計量組成比的結構。因此，藉由在進行第一加熱處理和氧添加之後進行上述第二加熱處理，可以修復

受到損傷的晶體區域 106 並促進結晶生長來使結晶生長從氧化物半導體膜 108 的表層部進展到半導體膜的更內部，而形成如圖 1E 所示的結晶生長擴大到氧化物半導體膜 108 的更深部的晶體區域 109。並且，因為與第一加熱處理相比，藉由該第二加熱處理進一步促進結晶生長，所以在晶體區域 109 內呈現晶粒彼此鄰接且構成氧化物半導體的金屬元素在鄰接的晶粒之間連接的狀態。

以下，對晶體區域 109 進行更詳細的說明。表層部的晶體區域 109 的結晶是其 c 軸 (c-axis) 取向為大致垂直於氧化物半導體膜 108 表面的方向的結晶，並且該結晶彼此鄰接。例如，當使用 In-Ga-Zn-O 基氧化物半導體材料時，晶體區域 109 的結晶是 InGaZnO_4 結晶的 c 軸取向為大致垂直於氧化物半導體膜 108 表面的方向的結晶。

上述 InGaZnO_4 的結晶含有 In、Ga、Zn 中的任一種，並且，可以認為上述 InGaZnO_4 的結晶具有由平行於 a 軸 (a-axis) 及 b 軸 (b-axis) 的層構成的疊層結構。也就是說， InGaZnO_4 的結晶具有在 c 軸方向上層疊有含有 In 的第一層、含有 In 的第二層、含有 In 的第三層的結構。

InGaZnO_4 結晶的導電性主要由 In 控制，所以包含 In 的第一層至第三層在平行於 a 軸及 b 軸的方向上的電特性良好。這是因為如下緣故：在包含 In 的第一層至第三層中的任一個以上中，一個 In 的 5s 軌道與鄰接的 In 的 5s 軌道重疊，從而形成載子路徑 (carrier path)。

藉由對這種結晶進行取向，也給氧化物半導體膜 108

的電特性帶來影響。明確地說，例如，平行於氧化物半導體膜108表面的方向上的電特性得到提高。這是因為如下緣故： InGaZnO_4 結晶的c軸被取向為大致垂直於氧化物半導體膜108表面的方向，在 InGaZnO_4 結晶中，電流在平行於a軸及b軸的方向上流過。

另外，在本發明的一個實施例中，在晶體區域內呈現晶粒彼此鄰接且構成氧化物半導體的金屬元素在彼此鄰接的晶粒之間連接的狀態。因此，如圖4所示那樣，在箭頭所示的平行於a軸及b軸的方向上容易流過電流，而平行於氧化物半導體膜108表面的方向上的電特性進一步得到提高。另外，圖1E所示的氧化物半導體膜108具有主要由非晶構成的非晶區域110和形成在氧化物半導體膜108的表層部中的晶體區域109。

此外，晶體區域109的結晶結構不侷限於上述結構，而也可以包含其他結晶結構的結晶。例如，在使用 In-Ga-Zn-O 基氧化物半導體材料的情況下，除了包含 InGaZnO_4 的結晶以外，還可以包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 、 $\text{InGaZn}_5\text{O}_8$ 等結晶等。當然，更有效且更佳的是 InGaZnO_4 的結晶遍佈整個晶體區域109。

如上所述，在氧化物半導體膜108中，藉由在表層部中具有晶體區域109，來可以實現良好的電特性。尤其是，當晶體區域109所包含的 InGaZnO_4 結晶的c軸被取向為大致垂直於氧化物半導體膜108表面的方向時，根據 InGaZnO_4 結晶的電特性氧化物半導體膜108的表層部中的

載子遷移率上升。由此，具有該氧化物半導體膜108的電晶體的場效應遷移率上升，而可以實現良好的電特性。

此外，因為與晶體區域109以外的非晶區域110相比晶體區域109很穩定，所以藉由在氧化物半導體膜108的表層部具有該晶體區域109，可以抑制雜質（例如氫、水、羥基或氫化物等）侵入到非晶區域110中。由此，可以提高氧化物半導體膜108的可靠性。

藉由上述製程可以降低氧化物半導體膜中的氫濃度，從而可以實現高純度化。由此可以實現氧化物半導體膜的穩定化。另外，藉由玻璃轉變溫度以下的加熱處理，可以形成載子密度極少，且帶隙寬的氧化物半導體膜。由此，由於可以使用大面積基板製造電晶體，所以可以提高批量生產性。另外，藉由使用該氫濃度被降低的被高純度化的氧化物半導體膜，可以製造耐壓性高，短通道效果低，且導通截止比高的電晶體。

另外，非晶區域110主要由非晶氧化物半導體膜構成。此外，“主要”例如是指占50%以上的狀態，而在此情況下是指非晶氧化物半導體膜占體積百分比（或者重量百分比）的50%以上的狀態。也就是說，非晶區域110有時除了包括非晶氧化物半導體膜的結晶以外還包括氧化物半導體膜的結晶等，但是氧化物半導體膜的結晶等的含有率最好低於體積百分比（或者重量百分比）的50%。但是，不侷限於上述範圍內。

在將In-Ga-Zn-O基氧化物半導體膜用於氧化物半導體

膜的材料時，最好將上述非晶區域110的組成設定為Zn的含量（原子百分比）是In或Ga的含量（原子百分比）以上。這是因為藉由採用這樣的組成，易於形成所定的組成的晶體區域109。

注意，雖然在本實施例模式中對在將氧化物半導體膜103處理為所希望的形狀來形成島狀氧化物半導體膜104之後，進行第一加熱處理、氧的添加、第二加熱處理的製造方法進行說明，但是本發明不侷限於該結構。也可以在對形成島狀氧化物半導體膜104之前的氧化物半導體膜103進行第一加熱處理、氧的添加、第二加熱處理之後，對氧化物半導體膜的形狀進行處理來形成島狀氧化物半導體膜。或者，也可以在對氧化物半導體膜103進行第一加熱處理之後對氧化物半導體膜的形狀進行處理來形成島狀氧化物半導體膜，然後對該島狀氧化物半導體膜進行氧的添加、第二加熱處理。或者，也可以在對氧化物半導體膜103進行第一加熱處理、氧的添加之後，對氧化物半導體膜的形狀進行處理來形成島狀氧化物半導體膜，然後對該島狀氧化物半導體膜進行第二加熱處理。

接著，如圖2A所示，在閘極絕緣膜102以及氧化物半導體膜108上形成成為源極電極及汲極電極（包括使用與其相同的層形成的佈線）的導電膜之後，對該導電膜進行構圖，形成源極電極111、汲極電極112。使用濺射法或真空蒸鍍法形成導電膜即可。作為成為源極電極及汲極電極（包括使用與其相同的層形成的佈線）的導電膜的材料，

可以舉出選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。另外，也可以採用在 Al、Cu 等的金屬膜的下一側或上一側層疊 Cr、Ta、Ti、Mo、W 等的高熔點金屬膜的結構。另外，藉由使用添加有如下元素的 Al 材料，可以提高耐熱性，該元素是諸如 Si、Ti、Ta、W、Mo、Cr、Nd、Sc、Y 等的防止產生在 Al 膜中的小丘（hillock）或晶鬚（whisker）的元素。

另外，導電膜可以採用單層結構或兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；Ti 膜、層疊在該 Ti 膜上的鋁膜、在其上層疊的 Ti 膜的三層結構等。

另外，成為源極電極及汲極電極（包括使用與其相同的層形成的佈線）的導電膜也可以使用導電性的金屬氧化物形成。作為導電性的金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或使所述金屬氧化物材料中包含矽或氧化矽的材料。

在形成導電膜之後進行加熱處理的情況下，最好使導電膜具有承受該加熱處理的耐熱性。

在導電膜上形成抗蝕劑掩模，選擇性地進行蝕刻來形成源極電極 111、汲極電極 112，然後去除抗蝕劑掩模。

作為光微影製程中的形成抗蝕劑掩模時的曝光，使用

紫外線、KrF雷射、ArF雷射。根據在氧化物半導體膜108上相鄰的源極電極的下端部與汲極電極的下端部的距離決定後面形成的電晶體的通道長度L。另外，在進行通道長度L短於25nm的曝光時，使用其波長極短，即幾nm至幾十nm的超紫外線（Extreme Ultraviolet）進行光微影製程中的形成抗蝕劑掩模時的曝光。使用超紫外線的曝光的解析度高且其聚焦深度也大。從而，也可以將後面形成的電晶體的通道長度L設定為10nm以上且1000nm以下，並可以使電路的工作速度高速化，還可以使截止電流值極小，由此也可以實現低耗電量化。

另外，在對導電膜進行蝕刻時，以儘量不去除氧化物半導體膜108的方式適當地調節各個材料及蝕刻條件。

在本實施例模式中，作為導電膜使用鈦膜，使用包含氨和過氧化氫水的溶液（氨水和過氧化氫以及純水的混合液），對導電膜進行濕蝕刻，而形成源極電極111、汲極電極112。作為包含氨水和過氧化氫以及純水的溶液，明確而言使用以5：2：2的體積比混合31wt%的過氧化氫水、28wt%的氨水以及水的水溶液。或者，也可以使用包含氯（ Cl_2 ）、氯化硼（ BCl_3 ）等的氣體對導電膜進行乾蝕刻。

在藉由進行上述構圖形成源極電極111和汲極電極112時，有時由於島狀氧化物半導體膜108的露出的部分的一部分被蝕刻，所以在島狀氧化物半導體膜108中形成槽部（凹部）。另外，也可以藉由噴墨法形成用來形成源極電

極 111、汲極電極 112 的抗蝕劑掩模。當使用噴墨法形成抗蝕劑掩模時不需要光掩模，由此可以降低製造成本。

另外，爲了縮減在光微影製程中使用的光掩模數量及製程數，還可以使用由多色調掩模形成的抗蝕劑掩模來進行蝕刻製程，該多色調掩模是使透過光具有多種強度的掩模。使用多色調掩模形成的抗蝕劑掩模呈具有多種厚度的形狀，並且進行蝕刻來可以進一步改變其形狀，所以可以將其用於處理爲不同圖案的多個蝕刻製程。因此，利用一個多色調掩模可以形成對應於至少兩種以上的不同圖案的抗蝕劑掩模。因此，可以減少曝光掩模數量，並且可以削減對應的光微影製程，所以可以實現製程簡化。

源極電極 111 及汲極電極 112 接觸於氧化物半導體膜 108 所具有的晶體區域 109。藉由高導電性的晶體區域 109 與源極電極 111、汲極電極 112 接觸，可以降低源極電極 111 及汲極電極 112 與氧化物半導體膜 108 之間的接觸電阻，所以可以提高形成的電晶體的截止電流。

接著，進行使用 N_2O 、 N_2 或 Ar 等的氣體的電漿處理。藉由該電漿處理去除附著在被露出的氧化物半導體膜的表面上的吸附水等。另外，也可以使用氧和氬的混合氣體進行電漿處理。

另外，在進行電漿處理後，如圖 2B 所示，覆蓋源極電極 111、汲極電極 112 及氧化物半導體膜 108 地形成絕緣膜 113。絕緣膜 113 最好儘量不包含水分、氬等的雜質，既可以是單層的絕緣膜又可以由層疊的多個絕緣膜構成。當在

絕緣膜 113 中含有氫時，氫侵入到氧化物半導體膜中或者氫從氧化物半導體膜中抽出氧，導致氧化物半導體膜的背通道部的低電阻化（n 型化），而有可能形成寄生通道。因此，為了使絕緣膜 113 儘量不含有氫，作為成膜方法，不使用氫是重要的。上述絕緣膜 113 最好使用高阻擋性的材料。例如，作為高阻擋性的絕緣膜，可以使用氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等。當使用層疊的多個絕緣膜時，將其氮比率比上述高阻擋性的絕緣膜低的氧化矽膜、氧氮化矽膜等的絕緣膜形成在離氧化物半導體膜 108 近的一側。並且，隔著氮比率低的絕緣膜以重疊於源極電極 111、汲極電極 112 及氧化物半導體膜 108 的方式形成具有阻擋性的絕緣膜。藉由使用具有阻擋性的絕緣膜，可以防止水分或氫等的雜質侵入到氧化物半導體膜 108 內、閘極絕緣膜 102 內或者氧化物半導體膜 108 和其他絕緣膜的介面及其近旁。另外，藉由與氧化物半導體膜 108 接觸地形成氮比率低的氧化矽膜、氧氮化矽膜等的絕緣膜，可以防止使用高阻擋性的材料形成的絕緣膜直接接觸於氧化物半導體膜 108。

在本實施例模式中，形成具有在藉由濺射法形成的厚度為 200nm 的氧化矽膜上層疊藉由濺射法形成的厚度為 100nm 的氮化矽膜的結構的絕緣膜 113。將形成膜時的基板溫度設定為室溫以上且 300℃ 以下即可，在本實施例模式中設定為 100℃。

另外，也可以在形成絕緣膜 113 之後進行加熱處理。

加熱處理在惰性氣體氣圍（氮或氦、氖、氬等）下最好以 200°C 以上且 400°C 以下，例如 250°C 以上且 350°C 以下進行。在本實施例模式中，例如在氮氣圍下以 250°C 進行1小時的加熱處理。或者，也可以在形成源極電極111、汲極電極112之前，與對氧化物半導體膜進行的前面的加熱處理同樣地進行高溫且短時間的RTA處理。藉由彼此接觸地設置形成在源極電極111和汲極電極112之間的氧化物半導體膜108的露出區和包含氧的絕緣膜113，然後進行加熱處理，而向氧化物半導體膜108供應氧，由此可以選擇性地使氧化物半導體膜108的與絕緣膜113接觸的區域處於氧過剩狀態。其結果是可以實現滿足化學計量組成比的結構，與閘極電極101重疊的通道形成區成為I型，可以提高電晶體的電特性，並可以減少電特性的偏差。進行該加熱處理的時序只要是形成絕緣膜113之後就沒有特別的限制，並且藉由兼作該加熱處理與其他製程例如形成樹脂膜時的加熱處理、用來使透明導電膜低電阻化的加熱處理，可以不增加製程數的條件下進行加熱處理。

藉由上述製程形成電晶體114。

在圖2C中示出圖2B所示的電晶體114的俯視圖。另外，圖2C中的虛線A1-A2的截面圖相當於圖2B。

電晶體114具有形成在具有絕緣表面的基板100上的閘極電極101、閘極電極101上的閘極絕緣膜102、閘極絕緣膜102上的與閘極電極101重疊的氧化物半導體膜108、形成在氧化物半導體膜108上的一對源極電極111和汲極電極

112。作為電晶體 114 的構成要素還可以包括形成在氧化物半導體膜 108 上的絕緣膜 113。圖 2C 所示的電晶體 114 具有在源極電極 111 和汲極電極 112 之間氧化物半導體膜 108 的一部分被蝕刻的通道蝕刻結構。

另外，雖然使用單閘極結構的電晶體對電晶體 114 進行說明，但是也可以根據需要形成具有多個通道形成區的多閘極結構的電晶體。

另外，使用圖 1A 至圖 2C 所示的製造方法形成的電晶體 114 示出藉由蝕刻去除位於源極電極 111 和汲極電極 112 之間的晶體區域 109 而非晶區域 110 露出的結構。但是，非晶區域 110 是否露出取決於具有晶體區域 109 的表層部從氧化物半導體膜 108 表面所占的深度以及當形成源極電極 111 和汲極電極 112 時氧化物半導體膜 108 表面的蝕刻程度。

圖 11A 示出氧化物半導體膜 108 的截面圖，該氧化物半導體膜 108 具有晶體區域 109 和非晶區域 110，並且，具有晶體區域 109 的表層部離表面的距離（深度）是氧化物半導體膜 108 的厚度的一半以上。並且，圖 11B 示出使用圖 11A 所示的氧化物半導體膜 108 製造的通道蝕刻型電晶體的截面圖的一個例子。在圖 11B 中，具有晶體區域 109 的表層部與圖 1A 至圖 2C 所示的電晶體 114 相比到達離表面更深的區域，因此殘留有位於源極電極 111 與汲極電極 112 之間的晶體區域 109。

在本發明中，可以採用如圖 2B 所示那樣的在源極電極 111 和汲極電極 112 之間露出有非晶區域 110 的結構，或者

採用如圖 11B 所示那樣的殘留有晶體區域 109 的結構。但是，在具有底閘結構的通道蝕刻型電晶體中，爲了防止在氧化物半導體膜 108 中的離閘極電極 101 遠的背通道部中形成寄生通道，最好背通道部由高電阻的非晶區域 110 形成。因此，如圖 2B 所示，非晶區域 110 露出在源極電極 111 和汲極電極 112 之間的結構更可以提高電晶體的導通截止比。

另外，如果氧化物半導體膜 108 的晶化進展到更深部，則氧化物半導體膜 108 的幾乎所有部分有可能都被晶體區域 109 佔據。圖 12A 示出氧化物半導體膜 108 的幾乎所有部分都被晶體區域 109 佔據時的氧化物半導體膜 108 的截面圖。並且，圖 12B 示出使用圖 12A 所示的氧化物半導體膜 108 製造的通道蝕刻型電晶體的截面圖的一個例子。在圖 12B 中，氧化物半導體膜 108 中的與閘極電極 101 重疊的區域即通道形成區全部由晶體區域 109 構成。藉由採用上述結構，可以提高通道形成區中的載子遷移率，因此電晶體的場效應遷移率上升，從而可以實現良好的電特性。

接著，也可以藉由在絕緣膜 113 上形成導電膜之後對該導電膜進行構圖，而如圖 3A 所示在與氧化物半導體膜 108 重疊的位置形成背閘極電極 115。背閘極電極 115 可以使用與閘極電極 101 或源極電極 111 及汲極電極 112 同樣的材料、結構而形成。

背閘極電極 115 的厚度爲 10nm 至 400nm，較佳地爲 100nm 至 200nm。在本實施例模式中，形成具有層疊有鈦膜、鋁膜、鈦膜的結構的導電膜。然後，藉由光微影法形

成抗蝕劑掩模，藉由蝕刻去除不需要的部分，將該導電膜處理（構圖）為所希望的形狀，來形成背閘極電極 115。

接著，如圖 3B 所示，覆蓋背閘極電極 115 地形成絕緣膜 116。絕緣膜 116 最好使用高阻擋性的材料來形成，該高阻擋性的材料可以防止氣圍中的水分、氫、氧等影響到電晶體 114 的特性。例如，作為高阻擋性的絕緣膜，藉由電漿 CVD 法或濺射法等使用氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等的單層或疊層來形成。為了得到阻擋性的效果，較佳的是絕緣膜 116 的厚度例如為 15 nm 至 400 nm。

在本實施例模式中，藉由電漿 CVD 法形成 300 nm 厚的絕緣膜。成膜條件是：矽烷氣體的流量為 4 sccm，一氧化二氮（ N_2O ）的流量為 800 sccm，基板溫度為 400℃。

在圖 3C 中示出圖 3B 所示的半導體裝置的俯視圖。圖 3B 相當於圖 3C 中的虛線 A1-A2 的截面圖。

注意，在圖 3B 中例示背閘極電極 115 覆蓋整個氧化物半導體膜 108 的情況，但是本發明不侷限於該結構。背閘極電極 115 至少與氧化物半導體膜 108 所具有的通道形成區的一部分重疊即可。

背閘極電極 115 既可以處於電絕緣的浮置狀態又可以處於被施加電位的狀態。在後一種情況下，對背閘極電極 115 既可以施加與閘極電極 101 相同水準的電位，又可以施加接地等的固定電位。藉由控制對背閘極電極 115 施加的電位的水準，可以控制電晶體 114 的臨界值電壓。

以下對如本實施例模式那樣儘量去除包含在氧化物半導體膜中的氫、水等的雜質來使氧化物半導體膜高純度化時的對電晶體的特性帶來的影響進行說明。

圖 22 示出使用氧化物半導體的反交錯型電晶體的縱截面圖。在閘極電極（GE）上隔著閘極絕緣膜（GI）設置氧化物半導體膜（OS），且在其上設置源極電極（S）及汲極電極（D）。

圖 23 示出沿著圖 22 所示的 A-A' 截面的能帶圖（模式圖）。在圖 23 中，黑色圓點（●）示出電子，並且白色圓點（○）示出電洞，它們分別具有電荷（ $-q$ 、 $+q$ ）。在對汲極電極施加正電壓（ $V_D > 0$ ）的情況下，虛線示出不對閘極電極施加電壓的情況（ $V_G = 0$ ），而實線示出對閘極電極施加正電壓的情況（ $V_G > 0$ ）。在不對閘極電極施加電壓的情況下，因為勢壘高所以載子（電子）不從電極植入到氧化物半導體一側，而示出電流不流過的截止狀態。另一方面，在對閘極電極施加正電壓的情況下，勢壘降低，而示出電流流過的導通狀態。

圖 24A 和圖 24B 是沿著圖 23 的 B-B' 的截面的能帶圖（模式圖）。圖 24A 示出對閘極電極（GE）施加正電位（ $V_G > 0$ ）的狀態，示出在源極電極和汲極電極之間流過載子（電子）的導通狀態。此外，圖 24B 示出對閘極電極（GE）施加負電位（ $V_G < 0$ ）的狀態，示出截止狀態（少數載子不流過）的情況。

圖 25 示出真空位準和金屬的功函數（ ϕ_M ）及氧化物半

導體的電子親和力 (χ) 的關係。

由於在常溫下金屬中的電子處於退化狀態 (degenerate state)，所以費米能級位於傳導帶內。另一方面，現有的氧化物半導體一般是 n 型，在此情況下的費密能級 (E_f) 從位於帶隙中間的本徵費密能級 (E_i) 離開而位於與傳導帶 (E_c) 接近的部分。另外，一般認為，因為在氧化物半導體中氫的一部分會成為施主，所以氫是氧化物半導體被 n 型化的原因中之一。另外，一般認為，氧缺陷也是導致 n 型化的原因中之一。

針對於此，根據本發明的氧化物半導體是如下氧化物半導體，即：藉由從氧化物半導體去除 n 型雜質的氫，以儘量不包含氧化物半導體的主要成分以外的雜質的方式進行高純度化，並去除氧缺陷，而實現本徵 (i 型) 氧化物半導體或使氧化物半導體無限趨近於本徵型。也就是說，其特徵是：不是添加雜質實現氧化物半導體的 i 型化，而是藉由儘量去除氫、水等的雜質、氧缺陷來實現高純度化，得到 i 型 (本徵半導體) 或無限趨近於 i 型 (本徵半導體) 的氧化物半導體。藉由採用上述結構，如箭頭所示那樣，可以使費密能級 (E_f) 無限趨近於與本徵費米能級 (E_i) 相同的程度。

氧化物半導體的帶隙 (E_g) 為 3.15 eV，並且電子親和力 (χ) 被認為是 4.3 V。構成源極電極及汲極電極的鈦 (Ti) 的功函數與氧化物半導體的電子親和力 (χ) 大致相等。在此情況下，在金屬-氧化物半導體介面中，不形成

肖特基型的電子勢壘。

此時，如圖24A所示那樣，電子移動在閘極絕緣膜和被高純度化的氧化物半導體的介面中的氧化物半導體一側的能上穩定的最底部。

此外，在圖24B中，因為當對閘極電極（GE）施加負電位（反偏壓）時，實質上沒有少數載子的電洞，所以電流成為無限趨近於0的值。

如上所述，藉由以儘量不包含氧化物半導體的主要成分以外的元素（雜質元素）的方式進行氧化物半導體的高純度化，得到本徵（i型）或實質上本徵的氧化物半導體，由此該氧化物半導體與閘極絕緣層的介面特性明顯化。因此，要求閘極絕緣層可以與氧化物半導體形成優良介面。明確地說，例如，最好使用如下絕緣層，即：藉由一種CVD法製造的絕緣層，該CVD法利用使用VHF頻帶至 μ 波頻帶的電源頻率產生的高密度電漿；或藉由濺射法製造的絕緣層等。

可以使氧化物半導體高純度化並使氧化物半導體和閘極絕緣層的介面處於良好狀態。

例如，在電晶體的通道寬度 W 為 $1 \times 10^4 \mu\text{m}$ ，且通道長度 L 為 $3 \mu\text{m}$ 的元件中，也獲得 10^{-13}A 以下的截止電流和 0.1V/dec. 的亞臨界值（subthreshold swing value：S值）（閘極絕緣膜的厚度為 100nm ）。

像這樣，藉由以儘量不包含氧化物半導體的主要成分以外的水、氫等的雜質的方式實現氧化物半導體膜的高純

度化，可以實現優良的電晶體工作。

實施例模式 2

在本實施例模式中，對能夠控制更高電壓或更大電流的用於功率裝置（power device）的電晶體的結構及製造方法進行說明。另外，可以與實施例模式 1 同樣地進行與實施例模式 1 同樣的部分或具有同樣的功能的部分以及製程，因此省略重複說明。

如圖 5A 所示，在基板 200 上形成成為基底膜的絕緣膜 201 之後形成第一電極 202。

至於用於基板 200 的基板，參照實施例模式 1 所示的基板 100 的記載即可。另外，至於絕緣膜 201 的材料、結構及厚度，參照實施例模式 1 所示的基底膜的記載即可。

第一電極 202 使用選自鋁、鉻、銅、鈹、鈦、鉬、鎢、釷中的金屬元素、以上述金屬元素為成分的合金、組合上述金屬元素的合金等來形成。另外，可以使用選自錳、鎂、鋅、鈹、鈦中的任一種或多種的金屬元素。另外，第一電極 202 可以採用單層結構或兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；在鎢膜上層疊鈦膜的兩層結構；鈦膜、層疊在該鈦膜上的鋁膜、在其上層疊的鈦膜的三層結構等。另外，也可以使用：組合鋁與選自鈦、鈹、鎢、鉬、鉻、釷中的一種或多種元素的膜、合金膜或氮化膜。

另外，作為第一電極 202 可以使用具有透光性的導電

材料如氧化銦錫、包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦鋅、添加有氧化矽的氧化銦錫等。另外，也可以採用上述具有透光性的導電性材料和上述金屬元素的疊層結構。

在基板 200 上藉由濺射法、CVD 法或真空蒸鍍法形成導電膜，在該導電膜上藉由光微影製程形成抗蝕劑掩模，使用該抗蝕劑掩模對導電膜進行蝕刻，而可以形成第一電極 202。或者，不使用光微影製程，而藉由印刷法、噴墨法形成第一電極 202，可以縮減製程數。另外，當將第一電極 202 的端部形成為錐形形狀時，提高後面形成的閘極絕緣膜的覆蓋性，所以是較佳的。藉由將第一電極 202 的端部與絕緣膜 201 的角度設定為 30° 以上且 60° 以下，較佳地設定為 40° 以上且 50° 以下，可以提高後面形成的閘極絕緣膜的覆蓋性。

在本實施例模式中，作為成為第一電極 202 的導電膜，藉由濺射法形成厚度為 50nm 的鈦膜，形成厚度為 100nm 的鋁膜，並形成厚度為 50nm 的鈦膜。接著，使用利用光微影製程形成的抗蝕劑掩模進行蝕刻，形成第一電極 202。另外，藉由利用噴墨法形成抗蝕劑掩模代替利用光微影製程形成的抗蝕劑掩模，可以縮減製程數。

接著，在第一電極 202 上形成島狀氧化物半導體膜 203。氧化物半導體膜 203 可以藉由濺射法、塗布法、印刷法等形成。在本實施例模式中，在藉由濺射法在第一電極

202上形成氧化物半導體膜之後，利用蝕刻等將該氧化物半導體膜處理為所希望的形狀，形成島狀氧化物半導體膜203。另外，氧化物半導體膜可以在稀有氣體（例如氬）氣圍下、在氧氣圍下或在稀有氣體（例如氬）及氧氣圍下藉由濺射法形成。

另外，用來形成島狀氧化物半導體膜203的蝕刻參照實施例模式1所示的用來形成島狀氧化物半導體膜203的蝕刻的記載而實施即可。另外，將藉由蝕刻形成的島狀氧化物半導體膜203的端部和第一電極202之間設定為 30° 以上且 60° 以下，較佳地設定為 40° 以上且 50° 以下，而可以提高後面形成的閘極絕緣膜的覆蓋性，所以是較佳的。

另外，最好在使用濺射法形成氧化物半導體膜之前，進行引入氬氣體並產生電漿的反濺射，而去除附著在第一電極202的表面上的灰塵。反濺射是指在不對靶材一側施加電壓的情況下使用RF電源在氬氣圍下對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦等代替氬氣圍。另外，也可以在對氬氣圍添加氧、一氧化二氮等的氣圍下進行反濺射。另外，也可以在對氬氣圍添加氦、四氟化碳等的氣圍下進行反濺射。

氧化物半導體膜203可以使用上述那樣的氧化物半導體。

在本實施例模式中，將藉由使用包含In（銦）、Ga（鎵）及Zn（鋅）的氧化物半導體靶材的濺射法而得到的厚

度為30nm的In-Ga-Zn-O基非單晶膜用於氧化物半導體膜203。作為上述靶材，例如可以使用具有各金屬的原子比為In：Ga：Zn=1：1：0.5、In：Ga：Zn=1：1：1或In：Ga：Zn=1：1：2的組成比的氧化物半導體靶材。另外，可以在稀有氣體（典型的是氬）氣圍下、在氧氣圍下或者在稀有氣體（典型的是氬）及氧氣圍下藉由濺射法來形成氧化物半導體膜。此外，在利用濺射法的情況下，也可以使用包括2wt%以上且10wt%以下的SiO₂的靶材形成膜。另外，包含In、Ga及Zn的氧化物半導體靶材的填充率為90%以上且100%以下，較佳地為95%以上且99.9%以下。藉由使用高填充率的氧化物半導體靶材，所形成的氧化物半導體膜成為緻密的膜。

在保持為減壓狀態的處理室內保持基板，一邊去除處理室內的殘留水分一邊引入去除了氬及水分的濺射氣體，使用金屬氧化物作為靶材在基板200上形成氧化物半導體膜203。在形成膜時，也可以將基板溫度設定為100℃以上且600℃以下，較佳地為200℃以上且400℃以下。藉由一邊加熱基板一邊形成膜，可以降低形成了的氧化物半導體膜所包含的雜質濃度。另外，可以減少因濺射產生的缺陷。為了去除處理室內的殘留水分，最好使用吸附型真空泵。例如，最好使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用設置有冷阱的渦輪泵。由於使用低溫泵排氣的沉積室排出例如氬原子、水（H₂O）等包含氬原子的化合物（最好也排出包含碳原子的化合物）等，

所以可以降低在該沉積室中形成的氧化物半導體膜所包含的雜質濃度。

在本實施例模式中，作為氧化物半導體膜的成膜條件的一個例子，應用如下條件，即基板溫度為室溫，基板和靶材之間的距離為110mm，壓力為0.4Pa，直流（DC）電源為0.5kW，在氧及氬（氧流量15sccm：氬流量30sccm）氣圍下。另外，脈衝直流（DC）電源是較佳的，因為可以減少在形成膜時發生的稱為微粒的灰塵並可以實現均勻的膜厚分佈。氧化物半導體膜的厚度為1 μ m以上，較佳地為3 μ m以上，更佳地為10 μ m以上。另外，由於根據所應用的氧化物半導體膜材料適當的厚度不同，所以根據材料適當地選擇厚度即可。

另外，為了使氧化物半導體膜203中儘量不包含氫、羥基及水分，作為形成膜的預處理，最好在濺射裝置的預熱室中對形成了第一電極202的基板200進行預熱，使吸附到基板200的氫、水分等雜質脫離且將其排出。另外，將預熱的溫度設定為100℃以上且400℃以下，較佳地設定為150℃以上且300℃以下。另外，設置在預熱室中的排氣單元最好是低溫泵。另外，可以省略該預熱處理。另外，該預熱也可以在形成閘極絕緣膜之前，對形成到閘極電極的基板200同樣地進行。

作為濺射法，有作為濺射電源使用高頻電源的RF濺射法、DC濺射法，並且還有以脈衝方式施加偏壓的脈衝DC濺射法。RF濺射法主要用於絕緣膜的形成，而DC濺射法

主要用於金屬膜的形成。

此外，還有可以設置多個材料不同的靶材的多元濺射裝置。多元濺射裝置既可以在同一處理室中層疊形成不同的材料膜，又可以在同一處理室中使多種材料同時放電而進行成膜。

另外，有利用磁控管濺射法或 ECR 濺射法的濺射裝置，磁控管濺射法在處理室內具備磁體機構，ECR 濺射法不使用輝光放電而利用使用微波來產生的電漿。

另外，作為使用濺射法的成膜方法，還有：在成膜時使靶材物質與濺射氣體成分產生化學反應而形成它們的化合物薄膜的反應濺射法；以及在形成膜時對基板也施加電壓的偏壓濺射法。

接著，在減壓氣圍下、在氮或稀有氣體等的惰性氣體氣圍下、在氧氣體氣圍下或在超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：空腔振盪雷射光譜法）方式的露點儀來測定時的水分量為 20ppm（露點換算為 -55°C ）以下，較佳地為 1ppm 以下，更佳地為 10ppb 以下的空氣）氣圍下，對氧化物半導體膜 203 進行第一加熱處理。藉由對氧化物半導體膜 203 進行加熱處理，如圖 5B 所示，形成水分、氫被脫離的氧化物半導體膜 205。明確而言，以 500°C 以上且 850°C 以下（或玻璃基板的應變點以下的溫度），最好以 550°C 以上且 750°C 以下進行加熱處理即可。例如，以 600°C 進行 3 分鐘以上且 6 分鐘以下左右的加熱處理即可。藉由使用 RTA 法，可以在短時間內進行脫水

化或脫氫化，由此也可以以超過玻璃基板的應變點的溫度進行第一加熱處理。在本實施例模式中，使用加熱處理裝置中之一的電爐，在氮氣圍下在基板溫度達到 600°C 的狀態下對氧化物半導體膜203進行6分鐘的加熱處理之後，不使氧化物半導體膜接觸於大氣且防止水或氫的再次混入到氧化物半導體膜，而得到氧化物半導體膜205。

另外，由於已經在實施例模式1中描述了用於第一加熱處理的加熱處理裝置的詳細說明，所以在此省略說明。

另外，在加熱處理中，最好在氮或氦、氖、氬等的稀有氣體中不包含水分、氫等。或者，最好將導入於加熱處理裝置中的氮或氦、氖、氬等的稀有氣體的純度設定為6N（99.9999%）以上，更佳地為7N（99.99999%）以上（即，將雜質濃度設定為1ppm以下，較佳地為0.1ppm以下）。

並且，如圖5B所示，藉由第一加熱處理在島狀氧化物半導體膜205的表層部中形成晶體區域206。晶體區域206包含粒子尺寸是1nm以上且20nm以下的所謂奈米晶體（也寫為奈米結晶）。並且，島狀氧化物半導體膜205的除了晶體區域206以外的區域包括非晶或非晶區域中分散有微晶的非晶和微晶的混合物。注意，奈米結晶的尺寸只是個例子而已，因此本發明不應該被解釋為限定於上述數值範圍內。在使用各金屬的原子比是 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的靶並藉由濺射法形成的 In-Ga-Zn-O 基氧化物半導體膜中，與使用具有其他原子比的靶形成的氧化物半導體膜相比表層部中的晶化更容易進展，因此更易於將晶體區域106形成到更深

的區域中。

接著，如圖5C所示，使用離子植入法或離子摻雜法對其表層部具有晶體區域206的氧化物半導體膜205添加氧。藉由使用離子植入法或離子摻雜法等對氧化物半導體膜205添加氧，形成添加有過多的氧的氧化物半導體膜207。藉由添加氧，切斷構成氧化物半導體的金屬與氫的鍵或該金屬與羥基的鍵，並使氫或羥基與氧起反應，而產生水。由此，可以藉由後面進行的第二加熱處理來容易使雜質的氫或羥基作為水脫離。

在使用氧氣體利用離子植入法來添加氧的情況下，將加速電壓設定為5kV以上且100kV以下，將劑量設定為 1×10^{13} 離子/cm²以上且 1×10^{16} 離子/cm²以下即可。

另外，也可以在使用離子植入法對氧化物半導體膜205添加氧的同時，在500℃以上且850℃以下（或者玻璃基板的應變點以下的溫度），較佳地為550℃以上且750℃以下的範圍內對形成有氧化物半導體膜205的基板進行加熱處理。

另外，形成在氧化物半導體膜205的表層部的晶體區域206所包含的結晶因使用離子植入法或離子摻雜法等進行的氧添加而受到損傷。因此，氧化物半導體膜207的表層部的結晶性低於氧添加之前的氧化物半導體膜205所具有的晶體區域206。根據氧的劑量，可以使氧化物半導體膜107的表層部與上述氧化物半導體膜205所具有的非晶區域處於相同的狀態。

接著，進行第二加熱處理。第二加熱處理可以在與第一加熱處理同樣的條件下進行。明確而言，在減壓氣圍下、在氮或稀有氣體等的惰性氣體氣圍下、在氧氣體氣圍下或在超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：空腔振盪雷射光譜法）方式的露點儀來測定時的水分含量為 20ppm（露點換算為 -55°C ）以下，較佳地為 1ppm 以下，更佳地為 10ppb 以下的空氣）氣圍下，以 500°C 以上且 850°C 以下（或玻璃基板的應變點以下的溫度），最好以 550°C 以上且 750°C 以下進行加熱處理。當利用 RTA（Rapid Thermal Anneal：快速熱退火）處理進行加熱處理時，例如以 600°C 進行 3 分鐘以上且 6 分鐘以下左右的加熱處理即可。藉由使用 RTA 法，可以在短時間內進行脫水化或脫氫化，由此也可以以超過玻璃基板的應變點的溫度進行第二加熱處理。在本實施例模式中，使用加熱處理裝置中之一的電爐，在氮氣圍下在基板溫度達到 600°C 的狀態下進行 6 分鐘的加熱處理之後，不使氧化物半導體膜接觸於大氣且防止水或氫再次混入到氧化物半導體膜，而得到氧化物半導體膜 208。另外，上述加熱處理也可以在形成島狀氧化物半導體膜 208 之後進行多次。

在本發明的一個實施例中，藉由對氧化物半導體膜 205 添加氧，切斷構成氧化物半導體的金屬與氫的鍵或該金屬與羥基的鍵並使該氫或羥基與氧起反應，而產生水。由此，藉由在氧的添加之後進行第二加熱處理，可以容易使殘留的氫或羥基等的雜質作為水脫離。由此，在藉由上

述加熱處理形成的島狀氧化物半導體膜208中進行第一加熱處理也不被去除的水分或氫等雜質被去除，而與第一加熱處理後的氧化物半導體膜205相比，可以進一步實現i型（本徵半導體）或無限趨近於i型。由於藉由水分、氫等雜質的脫離可以得到i型（本徵半導體）或無限趨近於i型的氧化物半導體，所以可以防止因上述雜質而導致的臨界值電壓漂移等的電晶體特性的劣化，而降低截止電流。

另外，在85℃的溫度下，對閘極施加的電壓為 $2 \times 10^6 \text{ V/cm}$ ，12小時的閘極偏壓-熱壓力測試（BT測試）中，當氧化物半導體添加有雜質時，雜質與氧化物半導體的主要成分的接合因強電場（B：偏壓）和高溫（T：溫度）被切斷，而所產生的懸空鍵引起臨界值電壓（ V_{th} ）的漂移。但是，如上所述那樣藉由使閘極絕緣膜和氧化物半導體膜的介面特性良好，並且儘量去除氧化物半導體膜中的雜質，尤其是氫或水等，可以得到對於BT測試也具有穩定性的電晶體。

另外，由於已經在實施例模式1中描述了用於第二加熱處理的加熱處理裝置的詳細說明，所以在此省略說明。

另外，在加熱處理中，最好在氮或氦、氖、氬等的稀有氣體中不包含水分、氫等。或者，最好將導入於加熱處理裝置中的氮或氦、氖、氬等的稀有氣體的純度設定為6N（99.9999%）以上，更佳地設定為7N（99.99999%）以上（即，將雜質濃度設定為1ppm以下，較佳地為0.1ppm以下）。

在氧化物半導體膜205中，雖然在藉由第一加熱處理水或氫被去除的同時產生氧缺陷，但是藉由使用離子植入法或離子摻雜法等氧添加可以向該產生氧缺陷的氧化物半導體膜充分供應氧。並且因為藉由第一加熱處理去除的氫或水不是構成氧化物半導體的元素而是所謂的雜質，而後面添加的氧是構成氧化物半導體的元素之一，所以可以形成滿足化學計量組成比的結構。因此，藉由在進行第一加熱處理和氧添加之後進行第二加熱處理，可以修復受到損傷的晶體區域206並促進結晶生長來使結晶生長從氧化物半導體膜208的表層部進展到半導體膜的更內部，而可以形成擴大到氧化物半導體膜的更深部的晶體區域209。並且，因為與第一加熱處理相比，藉由該第二加熱處理進一步促進結晶生長，所以在晶體區域209內，晶粒彼此鄰接且構成氧化物半導體的金屬元素在彼此鄰接的晶粒之間連綿，即連接。由此，因為在其通道形成區具有上述晶體區域的電晶體中晶粒介面的勢壘低，所以可以獲得高遷移率、高耐壓等的良好特性。

另外，圖5D所示的氧化物半導體膜208具有主要由非晶構成的非晶區域210和形成在氧化物半導體膜208的表層部中的晶體區域209。

另外，因為與晶體區域209以外的非晶區域210相比晶體區域209很穩定，所以藉由在氧化物半導體膜208的表層部具有晶體區域209，可以防止雜質（例如氫、水、羥基或氫化物等）侵入到非晶區域210。因此，可以提高氧化

物半導體膜208的可靠性。

注意，雖然在本實施例模式中氧化物半導體膜208具有晶體區域209和非晶區域210，但是晶體區域209也可以佔據氧化物半導體膜208的幾乎所有部分。另外，即使在氧化物半導體膜208具有晶體區域209和非晶區域210的情況下，晶體區域209離氧化物半導體膜208的表面的深度也不侷限於圖5A至圖6C所示的結構。

藉由上述製程可以降低氧化物半導體膜中的氫濃度，從而可以實現高純度化。由此可以實現氧化物半導體膜的穩定化。另外，藉由玻璃轉變溫度以下的加熱處理，可以形成載子密度極少，且帶隙寬的氧化物半導體膜。由此，由於可以使用大面積基板製造電晶體，所以可以提高批量生產性。另外，藉由使用該氫濃度被降低的被高純度化的氧化物半導體膜，可以製造耐壓性高，短通道效果低，且導通截止比高的電晶體。

另外，非晶區域210主要由非晶氧化物半導體膜構成。此外，“主要”例如是指占50%以上的狀態，而在此情況下是指非晶氧化物半導體膜占體積百分比（或者重量百分比）的50%以上的狀態。也就是說，非晶區域210有時除了包括非晶氧化物半導體膜的結晶以外還包括氧化物半導體膜的結晶等，但是氧化物半導體膜的結晶等的含有率較佳地低於體積百分比（或者重量百分比）的50%。但是，不侷限於上述範圍內。

在將In-Ga-Zn-O基氧化物半導體膜用於氧化物半導體

膜的材料時，最好將上述非晶區域210的組成設定為Zn的含量（原子百分比）是In或Ga的含量（原子百分比）以上。這是因為藉由採用這樣的組成，易於形成所定的組成的晶體區域209。

接著，如圖5E所示，在氧化物半導體膜208上形成第二電極211。作為用於第二電極211的導電膜的材料、結構，可以採用與第一電極202同樣的方式。另外，第二電極211的製造方法可以與第一電極202同樣地實施。

在本實施例模式中，藉由光微影製程在成為第二電極211的導電膜上形成抗蝕劑掩模，使用該抗蝕劑掩模對導電膜進行蝕刻，從而形成第二電極211。在此，作為成為第二電極211的導電膜，按順序層疊厚度為50nm的鈦膜、厚度為100nm的鋁膜以及厚度為50nm的鈦膜。藉由將第二電極211的端部和氧化物半導體膜208之間設定為 30° 以上且 60° 以下，較佳地為 40° 以上且 50° 以下，而可以提高後面形成的閘極絕緣膜的覆蓋性，所以是較佳的。另外，第二電極211在與第一電極202隔離的位置不與第一電極202接觸地形成。

將第一電極202和第二電極211中的一方用作電晶體的源極電極，並且將第一電極202和第二電極211中的另一方用作電晶體的汲極電極。

也可以在形成第二電極211之後進行加熱處理。將加熱處理的溫度設定為 400°C 以上且 850°C 以下，較佳地設定為 400°C 以上且低於基板的應變點。在本實施例模式中，

在加熱處理裝置中之一的電爐中引入基板，且在氮、稀有氣體等的惰性氣體氣圍下以 450°C 對氧化物半導體膜208進行1小時的加熱處理，然後不使氧化物半導體膜接觸於大氣且防止氫、水、羥基或氫化物等再次侵入到氧化物半導體膜，進一步降低氫濃度並使氧化物半導體膜高純度化，從而可以得到i型化或實質上i型化的氧化物半導體膜。

另外，在上述加熱處理中，最好在氮或氫、氬、氦等的稀有氣體中不包含氫、水、羥基或氫化物等。或者，最好將導入於加熱處理裝置中的氮或氫、氬、氦等的稀有氣體的純度為6N（99.9999%）以上，更佳地設定為7N（99.99999%）以上（即，將雜質濃度設定為1ppm以下，較佳地設定為0.1ppm以下）。

圖7A示出圖5E的第一電極202、氧化物半導體膜208、第二電極211的俯視圖。另外，圖7A中的虛線B1-B2的截面圖相當於圖5E。

接著，如圖6A所示，覆蓋第一電極202、氧化物半導體膜208、第二電極211地形成閘極絕緣膜212，並在閘極絕緣膜212上形成閘極電極213。閘極絕緣膜212使用電漿CVD法或濺射法等並使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氮氧化鋁膜、氧化鈣膜、氧化鋇膜的單層或疊層形成。

另外，作為閘極絕緣膜212使用鈣矽酸鹽（ HfSiO_x ）、添加有N的 HfSi_xO_y 、添加有氮的鈣鋁酸鹽（ HfAlO_x ）、氧化鈣、氧化鋇等的high-k材料，來可以減少閘極洩漏電

流。還可以採用 high-k 材料和氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜和氧化鋁膜中的任一個以上的疊層結構。最好將閘極絕緣膜 212 的厚度設定為 50nm 以上且 500nm 以下。藉由使閘極絕緣膜 212 的厚度厚，可以減少閘極洩漏電流。

閘極絕緣膜 212 最好儘量不包含水分、氫等的雜質。在藉由濺射法形成氧化矽膜時，作為靶材使用矽靶材或石英靶材，並且作為濺射氣體使用氧或氧及氫的混合氣體。

由於藉由去除雜質被 i 型化或實質上被 i 型化的氧化物半導體（被高純度化的氧化物半導體）對介面能級或介面電荷非常敏感，所以與閘極絕緣膜 212 的介面很重要。由此，要求與被高純度化的氧化物半導體接觸的閘極絕緣膜（GI）的高品質化。

例如，使用 μ 波（2.45GHz）的高密度電漿 CVD 可以形成緻密的絕緣耐壓高的高品質的絕緣膜，因此是較佳的。藉由使被高純度化的氧化物半導體與高品質的閘極絕緣膜密接，可以降低介面能級並使介面特性良好。

當然，若作為閘極絕緣膜 212 可以形成良好的絕緣膜，則可以應用其他形成方法諸如濺射法或電漿 CVD 法等。另外，也可以使用由成膜後的熱處理改進閘極絕緣膜 212 的膜質及與氧化物半導體的介面特性的絕緣膜。不管是上述哪一種情況，使用如下閘極絕緣膜即可：不僅作為閘極絕緣膜的膜質良好，而且降低與氧化物半導體膜的介面態密度，並可以形成良好的介面。

也可以形成層疊有使用高阻擋性的材料形成的絕緣膜、所包含的氮的比率低的氧化矽膜以及氧氮化矽膜等的絕緣膜的閘極絕緣膜212。在此情況下，將氧化矽膜、氧氮化矽膜等的絕緣膜形成在具有阻擋性的絕緣膜和氧化物半導體膜之間。作為高阻擋性的絕緣膜，例如可以舉出氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等。藉由使用具有阻擋性的絕緣膜，可以防止水分或氫等的氣圍中的雜質或包含在基板內的鹼金屬、重金屬等的雜質侵入到氧化物半導體膜內、閘極絕緣膜212內或者氧化物半導體膜和其他絕緣膜的介面及其近旁。另外，藉由以與氧化物半導體膜接觸的方式形成所包含的氮的比率低的氧化矽膜、氧氮化矽膜等的絕緣膜，可以防止使用高阻擋性的材料的絕緣膜直接接觸於氧化物半導體膜。

例如，作為第一閘極絕緣膜形成厚度為5nm以上且300nm以下的氧化矽膜（ SiO_x （ $x>0$ ）），在第一閘極絕緣膜上作為第二閘極絕緣膜藉由濺射法層疊厚度為50nm以上且200nm以下的氮化矽膜（ SiN_y （ $y>0$ ））來形成厚度為100nm的閘極絕緣膜。在本實施例模式中，在如下條件下利用RF濺射法形成厚度為100nm的氧化矽膜：壓力為0.4Pa；高頻電源為1.5kW；以及在氧及氫（氧流量25sccm：氫流量25sccm=1：1）氣圍下。

另外，為了使閘極絕緣膜212中儘量不包含氫、羥基及水分，作為形成膜的預處理，最好在濺射裝置的預熱室中對形成有第一電極202、氧化物半導體膜208及第二電極

211的基板200進行預熱，使吸附到基板200的氫、水分等雜質脫離且將其排出。另外，將預熱的溫度設定為 100°C 以上且 400°C 以下，較佳地設定為 150°C 以上且 300°C 以下。另外，設置在預熱室中的排氣單元較佳地是低溫泵。另外，也可以省略該預熱處理。

另外，也可以在形成閘極絕緣膜212之後進行加熱處理。加熱處理在惰性氣體氣圍（氮或氮、氬、氫等）下最好以 200°C 以上且 400°C 以下，例如 250°C 以上且 350°C 以下進行。在本實施例模式中，例如在氮氣圍下以 250°C 進行1小時的加熱處理。由於藉由進行上述加熱處理，在氧化物半導體膜208與構成閘極絕緣膜212的氧化矽接觸的狀態下對氧化物半導體膜208進行加熱，所以即使在第二加熱處理中發生氧缺陷，也可以從氧化矽供應氧，減少成為施主的氧缺陷，並實現滿足化學計量組成比的結構，從而可以使氧化物半導體膜208i型化或實質上i型化。該加熱處理的時序只要進行在形成閘極絕緣膜212之後就沒有特別的限制，而也可以在其他製程，例如形成後面形成的閘極電極213、絕緣膜214或佈線215、佈線216、佈線217中的任一個之後進行。另外，藉由兼作用來使透明導電膜低電阻化的加熱處理等其他加熱處理，可以不增加製程數地進行加熱處理。

作為閘極電極213的材料，可以使用利用鉬、鈦、鉻、鉬、鎢、釷、釷等金屬材料、以這些金屬材料為主要成分的合金材料的導電膜或這些金屬的氮化物的單層或疊層

。另外，若能夠耐受後面的製程中進行的加熱處理的溫度，則作為上述金屬材料可以使用鋁、銅。為了避免耐熱性或腐蝕性的問題，鋁或銅最好與高熔點金屬材料組合而使用。作為高熔點金屬材料，可以使用鉬、鈦、鉻、鉭、鎢、釹、銦等。

例如，作為具有兩層結構的閘極電極213，最好採用：在鋁膜上層疊有鉬膜的兩層結構；在銅膜上層疊有鉬膜的兩層結構；在銅膜上層疊有氮化鈦膜或氮化鉭膜的兩層結構；層疊有氮化鈦膜和鉬膜的兩層結構。作為具有三層結構的閘極電極213，最好採用：將鋁膜、鋁和矽的合金膜、鋁和鈦的合金膜或鋁和釹的合金膜用作中間層，將鎢膜、氮化鎢膜、氮化鈦膜或鈦膜用作上方和下方的層而層疊的結構。

另外，藉由作為閘極電極213使用氧化銦、氧化銦氧化錫合金、氧化銦氧化鋅合金、氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵等的具有透光性的氧化物導電膜，可以提高像素部的孔徑比。

閘極電極213的厚度為10nm至400nm，較佳地為100nm至200nm。在本實施例模式中，在藉由使用鎢靶材的濺射法形成150nm的用於閘極電極的導電膜之後，藉由蝕刻將該導電膜處理（構圖）為所希望的形狀，形成閘極電極213。至少隔著閘極絕緣膜212在與氧化物半導體膜208的端部重疊的位置形成閘極電極213即可。在氧化物半導體膜208的端部中，在隔著該閘極絕緣膜212與閘極電極213

重疊的部分218中形成通道形成區。另外，若所形成的閘極電極213的端部的形狀為錐形形狀，則層疊在其上的絕緣膜214的覆蓋性提高，因此是較佳的。另外，也可以使用噴墨法形成抗蝕劑掩模。當藉由噴墨法形成抗蝕劑掩模時不使用光掩模，因此可以縮減製造成本。

接著，如圖6B所示，在覆蓋第一電極202、氧化物半導體膜208、第二電極211、閘極絕緣膜212以及閘極電極213地形成絕緣膜214之後，形成接觸孔221、接觸孔222、接觸孔223。絕緣膜214最好儘量不包含水分、氫等的雜質，既可以是單層的絕緣膜又可以由層疊的多個絕緣膜構成。作為絕緣膜214，例如使用氧化物絕緣膜諸如氧化矽膜、氧氮化矽膜、氧化鋁膜或氧氮化鋁膜等、氮化物絕緣膜諸如氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等。或者，可以採用氧化物絕緣膜及氮化物絕緣膜的疊層。藉由作為上述絕緣膜214使用高阻擋性的絕緣膜例如氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等，可以防止水分或氫等的雜質侵入到氧化物半導體膜208內、閘極絕緣膜212內或氧化物半導體膜208和其他絕緣膜的介面及其近旁。

在本實施例模式中形成在藉由濺射法形成的厚度為200nm的氧化矽膜上層疊藉由濺射法形成的厚度為100nm的氮化矽膜的絕緣膜214。另外，在藉由濺射法形成絕緣膜214的情況下，也可以將基板200加熱到100℃至400℃的溫度，並引入包含去除了氫、水、羥基或氫化物等的高純

度氮的濺射氣體使用矽半導體的靶材形成絕緣膜 214。在此情況下，較佳的是一邊去除殘留在處理室內的氫、水、羥基或氫化物等一邊形成絕緣膜。

另外，也可以在形成絕緣膜 214 之後進行加熱處理。加熱處理在惰性氣體氣圍（氮或氫、氦、氬等）下最好以 200℃ 以上且 400℃ 以下，例如以 250℃ 以上且 350℃ 以下進行。

可以藉由光微影製程形成抗蝕劑掩模，並藉由蝕刻選擇性地去除閘極絕緣膜 212 及絕緣膜 214 的一部分來形成接觸孔 221、接觸孔 222、接觸孔 223。藉由形成接觸孔 221，閘極電極 213 的一部分被露出。藉由形成接觸孔 222，第二電極 211 的一部分被露出。藉由形成接觸孔 223，閘極電極 213 的一部分被露出。另外，在形成這些接觸孔時，也可以在第一電極 202 的不被閘極電極 213 覆蓋的區域中形成使第一電極 202 露出的接觸孔。

接著，如圖 6C 所示，在絕緣膜 214 上覆蓋接觸孔 221、接觸孔 222、接觸孔 223 地形成導電膜之後，藉由蝕刻等將該導電膜處理為所希望的形狀，形成佈線 215、佈線 216、佈線 217。另外，也可以使用噴墨法形成用來蝕刻的抗蝕劑掩模。當藉由噴墨法形成抗蝕劑掩模時不使用光掩模，因此可以縮減製造成本。

佈線 215 藉由接觸孔 221 連接於閘極電極 213。佈線 216 藉由接觸孔 222 連接於第二電極 211。佈線 217 藉由接觸孔 223 連接於閘極電極 213。另外，在形成這些佈線時，也可

以形成藉由接觸孔連接於第一電極202的佈線。

佈線215、佈線216、佈線217可以使用具有與第一電極202同樣的結構、與第一電極202同樣的材料的導電膜並使用同樣的製造方法形成。

藉由上述製程形成電晶體220。

圖7B示出圖6C所示的電晶體220的俯視圖。另外，圖7B中的虛線B1-B2的截面圖相當於圖6C。在圖7B中，佈線230是與佈線215、佈線216、佈線217同時形成的佈線，並藉由接觸孔231連接於第一電極202。

如上述那樣，藉由降低氧化物半導體膜中的氫濃度可以實現高純度化。由此可以實現氧化物半導體膜的穩定化。另外，藉由玻璃轉變溫度以下的加熱處理，可以形成載子密度極少且帶隙寬的氧化物半導體膜。由此，由於可以使用大面積基板製造電晶體，所以可以提高批量生產性。另外，藉由使用該氫濃度被降低的被高純度化的氧化物半導體膜，可以製造耐壓性高，短通道效果低，且導通截止比高的電晶體。

另外，在本實施例模式中，氧化物半導體膜208中的形成在與第二電極211不同的區域中的部分的至少一部分被閘極電極213覆蓋即可。另外，第一電極202和第二電極211中的用作汲極電極的電極也可以連接於閘極電極213。藉由用作汲極電極的電極連接於閘極電極213，可以將該電晶體用作二極體。

另外，根據電晶體的極性及施加到各電極的電位的高

低差而電晶體所具有的“源極電極”和“汲極電極”的名稱互相調換。一般而言，在n通道型電晶體中，將被施加低電位的電極稱為源極電極，而將被施加高電位的電極稱為汲極電極。另外，在p通道型電晶體中，將被施加低電位的電極稱為汲極電極，而將被施加高電位的電極稱為源極電極。在本說明書中，為了方便起見，假設源極電極和汲極電極被固定而說明電晶體的連接關係，但是實際上根據上述電位的關係源極電極和汲極電極的名稱互相調換。

另外，在本說明書中連接是指電連接，並相當於能夠傳送電流或電壓的狀態。

在此，對本實施例模式所示的電晶體的汲極電極耐壓進行說明。

當半導體中的電場到達某個臨界值時，產生碰撞離子化，在耗盡層內由高電場加速了的載子碰撞到晶格，而產生電子電洞對。當電場變高時，因碰撞離子化而產生的電子電洞對也進一步由電場加速，反復碰撞離子化，而產生電流以指數函數的方式增加的雪崩擊穿（avalanche breakdown）。藉由載子（電子、電洞）具有半導體的帶隙以上的動能，產生碰撞離子化。由此，帶隙越大，產生碰撞離子化的電場越高。

由於氧化物半導體的帶隙為 3.15eV ，該帶隙大於矽的帶隙即 1.74eV ，所以不容易產生雪崩擊穿。由此，使用氧化物半導體的電晶體的汲極電極耐壓高，即使被施加高電場也不容易出現導通電流的指數函數的快速上升。

接著，對使用氧化物半導體的電晶體的熱載子劣化進行說明。

熱載子劣化是指被加速至高速的電子在通道中的汲極電極附近植入到的閘極絕緣膜中並成為固定電荷，或者由於在閘極絕緣膜介面形成陷阱能級而產生臨界值電壓的變動或閘極洩漏電流等的電晶體特性的劣化的情況。熱載子劣化的主要原因是通道熱電子植入（CHE植入）及汲極雪崩熱載子植入（DAHC植入）。

由於矽的帶隙窄，所以容易由雪崩擊穿如雪崩那樣發生電子，並以能夠越過閘極絕緣膜的勢壘的方式被加速至高速的電子數增加。然而，由於本實施例模式所示的氧化物半導體的帶隙寬，所以不容易發生雪崩擊穿，並與矽相比對熱載子劣化的耐性高。另外，雖然高耐壓材料的一種的碳化矽的帶隙和氧化物半導體的帶隙相等，但是由於氧化物半導體的遷移率比碳化矽的遷移率小得2位數左右，所以電子不容易被加速，與碳化矽相比不容易發生熱載子劣化，並且汲極電極耐壓高。

以上所述，使用氧化物半導體的電晶體的汲極電極耐壓高，明確而言，能夠具有100V以上，最好具有500V，更佳地具有1kV以上的汲極電極耐壓。

在此，以下示出對電晶體的典型例子的碳化矽和氧化物半導體進行比較的情況。在此，作為碳化矽使用4H-SiC。

氧化物半導體和4H-SiC具有幾個共同點。本徵載子密

度是其中的一個例子。根據費米-狄拉克分佈，氧化物半導體的本徵載子密度被估計為 10^{-7}cm^{-3} 左右，這與4H-SiC的 $6.7\times 10^{-11}\text{cm}^{-3}$ 同樣，顯示極為低的數值。

另外，因為氧化物半導體的能帶隙為3.0eV至3.5eV，並且4H-SiC的能帶隙為3.26eV，所以從寬頻隙半導體的這一點來看，氧化物半導體和碳化矽也具有共同點。

然而，氧化物半導體的製造溫度和碳化矽的製造溫度的大不一樣。碳化矽通常需要 1500°C 至 2000°C 的熱處理。另一方面，藉由在 300°C 至 500°C （玻璃轉變溫度以下，最高為 700°C 左右）的溫度下進行熱處理，可以製造氧化物半導體，並可以在大面積基板上製造電晶體。另外，可以提高處理量。

另外，由於使用碳化矽的電晶體使用PN接面，所以需要進行成為施主或受主的雜質（磷、硼等）的摻雜製程，而製造製程數增加。另一方面，由於使用氧化物半導體的電晶體不需要設置PN接面，所以可以縮減製造製程，提高處理量，還可以使用大面積基板。

另外，雖然對氧化物半導體中的帶隙內的DOS（狀態密度：density of state）等的物性已在進行各種各樣的研究，但是這些研究不包括充分降低DOS本身的技術思想。在本實施例模式中，藉由從氧化物半導體中去除會成為DOS的原因的水或氫，製造被高純度化的氧化物半導體。這是基於充分降低DOS本身的技術思想。由此，可以製造極為優良的工業產品。

再者，藉由將氧供給給由氧缺乏而產生的金屬的懸空鍵以減少由氧缺陷而起的DOS，可以得到更被高純度化（i型）的氧化物半導體。例如，藉由與通道形成區密接地形成氧過剩的氧化膜並從該氧化膜供給氧，可以減少由氧缺陷而起的DOS。

氧化物半導體中的缺陷被認為起因於由氫過剩導致的傳導帶下0.1eV至0.2eV的較淺能級、由氧不足導致的較深能級等。徹底去除氫並充分供給氧以消除上述缺陷的技術思想是對的。

另外，一般來說，氧化物半導體為n型，但是在本實施例模式中，藉由去除雜質，尤其是水或氫，實現i型化。在這一點上，不是如矽等那樣添加雜質而實現i型化，因此可以說其包括從來沒有的技術思想。

另外，藉由使氧化物半導體i型化，電晶體的溫度特性良好，典型的是在-25℃至150℃的溫度範圍內，至於電晶體的電流電壓特性，幾乎沒有導通電流、截止電流、電場效應遷移率、S值以及臨界值電壓的變動，並幾乎沒有因溫度而發生的電流電壓特性的劣化。

另外，使用本實施例模式所示的氧化物半導體的電晶體的遷移率比使用碳化矽的電晶體的遷移率小得2位數左右，但是藉由提高漏電壓且增大通道寬度（W），可以提高電晶體的電流值，並可以提高裝置特性。

本實施例模式的技術思想是如下思想，不對氧化物半導體中還添加雜質，與此相反，藉由意圖性地去除不需要

的如水、氫那樣的雜質，使氧化物半導體本身高純度化。換言之，去除構成施主能級的水或氫，並減少氧缺陷，充分供給構成氧化物半導體的主要成分的氧，來使氧化物半導體高純度化。

藉由形成氧化物半導體膜，使用SIMS（二次離子質譜分析法）測量出 10^{20}cm^{-3} 級的氫。意圖性地去除該成為施主能級的原因的水或氫，並對氧化物半導體添加隨著去除水或氫的同時減少的氧（氧化物半導體的成分之一），由此使氧化物半導體高純度化，從而實現在電學上i型（本徵）的半導體。

另外，在本實施例模式中，氧化物半導體中的水、氫的含量越少越好，並且載子也越少越好。換言之，要求載子密度低於 $1\times 10^{14}\text{cm}^{-3}$ ，較佳地低於 $1\times 10^{12}\text{cm}^{-3}$ ，更佳地低於測量極限以下的 $1\times 10^{11}\text{cm}^{-3}$ 。再者，在本實施例模式的技術思想中，載子密度近於0或等於0是理想的。藉由降低氧化物半導體中的載子，最好消除氧化物半導體中的載子，在電晶體中將氧化物半導體用作載子穿過的通路（路徑）。其結果是，氧化物半導體成為被高純度化的i型（本徵）半導體，並且藉由使載子消失，或使載子極少，在電晶體的截止狀態下可以使 I_{off} 極低，這是本實施例模式的技術思想。

另外，當氧化物半導體用作通路（路徑），並且氧化物半導體本身是沒有載子或有極少載子的被高純度化的i型（本徵）時，從源極電極、汲極電極供給載子。

另外，與如實施例模式1所示那樣的通道形成爲與基板大致平行的橫向電晶體相比，具有本實施例模式所示的結構的電晶體可以減少基板表面上的佔有面積。其結果是可以實現電晶體的微細化。

像這樣，藉由以儘量不包含氧化物半導體膜的主要成分以外的雜質，典型的是氫、水、羥基或氫化物等的方式實現高純度化，可以使電晶體的工作良好。尤其是可以提高耐壓性，降低短通道效果，並提高導通截止比。

另外，與實施例模式1的晶體區域109同樣，表層部的晶體區域209的結晶是其c軸（c-axis）取向爲大致垂直於氧化物半導體膜208表面的方向的結晶，並且該結晶彼此鄰接。因此，如實施例模式1所說明的那樣，藉由具有晶體區域209，平行於氧化物半導體膜208表面的方向上的氧化物半導體膜208的電特性得到提高。另外，在本發明的一個實施例中，在晶體區域內呈現晶粒彼此鄰接且構成氧化物半導體的金屬元素在彼此鄰接的晶粒之間連接的狀態。因此，平行於氧化物半導體膜208表面的方向上的電特性進一步得到提高。由此，因爲氧化物半導體膜208的表層部中的載子遷移率上升，所以具有該氧化物半導體膜208的電晶體的場效應遷移率上升，而可以實現良好的電特性。

此外，晶體區域209的結晶結構不侷限於上述結構，而也可以包含其他結晶結構的結晶。例如，在使用In-Ga-Zn-O基氧化物半導體材料的情況下，除了包含InGaZnO₄的

結晶以外，還可以包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 、 $\text{InGaZn}_5\text{O}_8$ 等結晶等。當然，當然，更有效且更佳的是 InGaZnO_4 的結晶遍佈整個晶體區域209。

此外，因為與晶體區域209以外的非晶區域210相比晶體區域209很穩定，所以藉由在氧化物半導體膜208的表層部具有該晶體區域209，可以抑制雜質（例如氫、水、羥基或氫化物等）侵入到非晶區域210中。由此，可以提高氧化物半導體膜208的可靠性。

本實施例模式可以與上述實施例模式組合而實施。

實施例模式3

在本實施例模式中，以通道保護結構的底閘型電晶體為例子，對半導體裝置的結構及製造方法進行說明。注意，因為與實施例模式1相同部分或具有相同功能的部分及製程可以與實施例模式1同樣地進行，所以省略重複的說明。

如實施例模式1的圖1E所示，到第二加熱處理的製程為止使用同樣的方式進行處理。接著，如圖8A所示，以重疊於氧化物半導體膜108內的與閘極電極101重疊的區域，即以重疊於通道形成區的方式在氧化物半導體膜108上形成通道保護膜130。藉由設置通道保護膜130，可以防止在後面的製程中對氧化物半導體膜108中的成為通道形成區的部分造成損傷（蝕刻時的電漿或蝕刻劑所導致的膜減少等）。因此，可以提高電晶體的可靠性。

通道保護膜 130 可以使用包含氧的無機材料（氧化矽、氧氮化矽、氮氧化矽等）。通道保護膜 130 可以使用電漿 CVD 法或熱 CVD 法等氣相生長法或濺射法形成。在形成通道保護膜 130 之後，對通道保護膜 130 進行蝕刻來處理其形狀。在此，藉由濺射法形成氧化矽膜，使用利用光微影法形成的掩模對該氧化矽膜進行蝕刻處理而形成通道保護膜 130。

另外，也可以在形成通道保護膜 130 之後進行加熱處理。在惰性氣體氣圍（氮或氬、氖、氫等）下最好以 200℃ 以上且 400℃ 以下的溫度，例如以 250℃ 以上且 350℃ 以下的溫度進行加熱處理。在本實施例模式中，例如在氮氣圍下以 250℃ 的溫度進行 1 小時的加熱處理。藉由以彼此接觸的方式設置氧化物半導體膜 108 的成為通道形成區的部分和作為包含氧的絕緣膜的通道保護膜 130 之後進行加熱處理，向氧化物半導體膜 108 供應氧，因此可以選擇性地使氧化物半導體膜 108 的接觸於通道保護膜 130 的區域處於氧過剩狀態。其結果是，即使在氧化物半導體膜 108 的至少接觸於通道保護膜 130 的區域中由於第二加熱處理產生了氧缺陷的情況下，也可以降低成為施體的氧缺陷而滿足化學計量組成比，且重疊於閘極電極 101 的通道形成區成為 i 型化或實質上成為 i 型化，從而可以提高電晶體的電特性並減輕電特性的偏差。進行該加熱處理的時機只要在形成通道保護膜 130 之後就沒有特別的限制，並且例如藉由將該加熱處理兼作形成樹脂膜時的加熱處理或用來將透明

導電膜低電阻化的加熱處理，可以在不增加製程數的條件下進行該加熱處理。

接著，如圖8B所示，藉由在氧化物半導體膜108上形成成為源極電極及汲極電極（包括使用與源極電極及汲極電極相同的層形成的佈線）的導電膜，然後利用蝕刻等將該導電膜處理為所希望的形狀，來形成源極電極131、汲極電極132。源極電極131、汲極電極132的材料、厚度、結構及製造方法可以參照關於實施例模式1所示的源極電極111、汲極電極112的記載說明。

源極電極131、汲極電極132接觸於氧化物半導體膜108所具有的晶體區域109。因為藉由使高導電性的晶體區域109與源極電極131、汲極電極132接觸，可以降低源極電極131及汲極電極132與氧化物半導體膜108之間的接觸電阻，所以可以提高形成的電晶體的導通電流。

接著，進行使用 N_2O 、 N_2 或Ar等氣體的電漿處理。藉由該電漿處理去除附著到露出的氧化物半導體膜表面的吸著水等。另外，也可以使用氧和氬的混合氣體進行電漿處理。

另外，在進行電漿處理之後，如圖8C所示，覆蓋源極電極131、汲極電極132、通道保護膜130及氧化物半導體膜108地形成絕緣膜133。絕緣膜133的材料、厚度、結構及製造方法可以參照關於實施例模式1所示的絕緣膜113的說明。

另外，也可以在形成絕緣膜133之後進行加熱處理。

在惰性氣體氣圍（氮或氦、氬、氫等）下最好以 200°C 以上且 400°C 以下（例如 250°C 以上且 350°C 以下）的溫度進行加熱處理。在本實施例模式中，例如在氮氣圍下以 250°C 的溫度進行1小時的加熱處理。

藉由上述製程形成電晶體140。

另外，雖然在本實施例模式中氧化物半導體膜108具有晶體區域109和非晶區域110，但是晶體區域109也可以佔據氧化物半導體膜108的幾乎所有部分。另外，即使在氧化物半導體膜108具有晶體區域109和非晶區域110的情況下，晶體區域109離氧化物半導體膜108的表面的深度也不侷限於圖8A至圖8C所示的結構。

圖9示出圖8C所示的電晶體140的俯視圖。注意，沿著圖9的虛線C1-C2的截面圖相當於圖8C。

藉由上述製造方法形成的電晶體140具有閘極電極101、閘極電極101上的閘極絕緣膜102、閘極絕緣膜102上的氧化物半導體膜108、氧化物半導體膜108上的通道保護膜130、氧化物半導體膜108上的源極電極131及汲極電極132。電晶體140還可以具有在氧化物半導體膜108、源極電極131、汲極電極132及通道保護膜130上的絕緣膜133。

另外，雖然使用單閘結構的電晶體說明電晶體140，但是也可以根據需要形成具有多個通道形成區的多閘結構的電晶體。

接著，也可以藉由在絕緣膜133上形成導電膜，然後對該導電膜進行構圖，而如圖10A所示在重疊於氧化物半

導體膜 108 的位置上形成背閘極電極 145。背閘極電極 145 可以使用與閘極電極 101 或源極電極 131 及汲極電極 132 相同的材料及結構而形成。

背閘極電極 145 的厚度是 10nm 至 400nm，較佳地是 100nm 至 200nm。在本實施例模式中，形成層疊有鈦膜、鋁膜、鈦膜的導電膜。並且，藉由光微影法形成抗蝕劑掩模，利用蝕刻去除不需要的部分，並將該導電膜處理（構圖）為所希望的形狀，以形成背閘極電極 145。

接著，如圖 10B 所示，覆蓋背閘極電極 145 地形成絕緣膜 146。絕緣膜 146 最好使用可以防止氣圍中的水分、氫、氧等對電晶體 140 的特性造成影響的高阻擋性的材料。例如，可以藉由電漿 CVD 法或濺射法等形成氮化矽膜、氮氧化矽膜、氮化鋁膜或氮氧化鋁膜等的單層或疊層作為高阻擋性的絕緣膜。為了得到阻擋性效果，例如最好將絕緣膜 146 的厚度形成為 15nm 至 400nm。

在本實施例模式中，藉由電漿 CVD 法形成 300nm 的絕緣膜。膜的形成條件是：矽烷氣體的流量是 4sccm；一氧化二氮的流量是 800sccm；並且基板溫度是 400℃。

圖 10C 示出圖 10B 所示的半導體裝置的俯視圖。圖 10B 相當於沿著圖 10C 的虛線 C1-C2 的截面圖。

注意，雖然圖 10B 例示背閘極電極 145 覆蓋整個氧化物半導體膜 108 的情況，但是本發明不侷限於該結構。背閘極電極 145 至少重疊於氧化物半導體膜 108 所具有的通道形成區的一部分即可。

背閘極電極 145 可以處於電絕緣的浮動狀態或被施加電位的狀態。當背閘極電極 145 處於被施加電位的狀態時，可以對背閘極電極 145 施加與閘極電極 101 相同水準的電位或接地等固定電位。藉由控制施加到背閘極電極 145 的電位水準，可以控制電晶體 140 的臨界值電壓。

本實施例模式可以與上述實施例模式適當地組合而實施。

實施例模式 4

在本實施例模式中，說明使用本發明的製造方法形成的半導體顯示裝置之一的被稱為電子紙或數位紙的半導體顯示裝置的結構。

電子紙使用能夠藉由施加電壓來控制灰度的具有儲存性的顯示元件。明確而言，用於電子紙的顯示元件可以使用：非水電泳型顯示元件；在兩個電極之間的高分子材料中分散有液晶小滴的 PDLC (polymer dispersed liquid crystal：聚合物分散液晶) 方式的顯示元件；在兩個電極之間具有手性向列液晶或膽甾液晶的顯示元件；或者在兩個電極之間具有帶電的微粒並利用電場使該微粒在粉體中移動的粉體移動方式的顯示元件等。另外，非水電泳型顯示元件包括：在兩個電極之間夾有分散有帶電的微粒的分散液的顯示元件；在夾有絕緣膜的兩個電極上具有分散有帶電的微粒的分散液的顯示元件；在兩個電極之間將具有分別帶著不同電荷的雙色半球的扭轉球分散在溶劑中的顯

示元件；以及在兩個電極之間具有溶液中分散有多個帶電的微粒的微膠囊的顯示元件等。

圖 13A 示出電子紙的像素部 700、信號線驅動電路 701 和掃描線驅動電路 702 的俯視圖。

像素部 700 具有多個像素 703。另外，從信號線驅動電路 701 多個信號線 707 被引至像素部 700 內。從掃描線驅動電路 702 多個掃描線 708 被引至像素部 700 內。

各像素 703 具有電晶體 704、顯示元件 705、儲存電容 706。電晶體 704 的閘極電極連接到掃描線 708 之一。另外，電晶體 704 的源極電極和汲極電極中的一方連接到信號線 707 之一，另一方連接到顯示元件 705 的像素電極。

注意，雖然在圖 13A 中為了保持施加到顯示元件 705 的像素電極和對置電極之間的電壓而與顯示元件 705 並聯地連接有儲存電容 706，但是只要顯示元件 705 具有足夠高的儲存性以維持顯示，就不需要必須設置儲存電容 706。

注意，雖然在圖 13A 中對在各像素中設置一個用作切換元件的電晶體的主動矩陣型像素部的結構進行了說明，但是根據本發明的一個實施例的電子紙不侷限於該結構。設置在像素中的電晶體的數目可以為多個，或者除了電晶體以外還可以連接有如電容、電阻或線圈等的元件。

在圖 13B 中，以具有微膠囊的電泳型電子紙為例，示出設置在各像素 703 中的顯示元件 705 的截面圖。

顯示元件 705 具有像素電極 710、對置電極 711、被像素電極 710 及對置電極 711 施加電壓的微膠囊 712。電晶體

704的源極電極和汲極電極713中的一方連接到像素電極710。

氧化鈦等帶正電的白色顏料和碳黑等帶負電的黑色顏料與油等分散介質一起被封入微膠囊712內。藉由根據施加到像素電極710的視頻信號的電壓對像素電極和對置電極之間施加電壓，將黑色顏料引到正電極一側並將白色顏料引到負電極一側，而可以顯示灰度。

另外，在圖13B中，在像素電極710和對置電極711之間微膠囊712由具有透光性的樹脂714固定。但是，本發明不侷限於該結構。由微膠囊712、像素電極710和對置電極711形成的空間也可以填充有空氣、惰性氣體等氣體。但是，此時最好使用黏合劑將微膠囊712固定到像素電極710和對置電極711中的一方或兩者。

另外，顯示元件705所具有的微膠囊712的數目不需要如圖13B所示那樣為多個。既可以採用一個顯示元件705具有多個微膠囊712的結構，又可以採用多個顯示元件705具有一個微膠囊712的結構。例如，假設兩個顯示元件705共有一個微膠囊712，對一方的顯示元件705所具有的像素電極710施加正電壓，對另一方的顯示元件705所具有的像素電極710施加負電壓。此時，在與被施加正電壓的像素電極710重疊的區域中，在微膠囊712內，黑色顏料被引到像素電極710一側，而白色顏料被引到對置電極711一側。反之，在與被施加負電壓的像素電極710重疊的區域中，在微膠囊712內，白色顏料被引到像素電極710一側，而黑色

顏料被引到對置電極 711 一側。

接著，以上述電泳型電子紙為例對電子紙的具體驅動方法進行說明。

電子紙的工作可以分為以下幾個期間進行說明：初始化期間、寫入期間、保持期間。

藉由在轉換進行顯示的圖像之前首先在初始化期間暫時將像素部內的各像素的灰度統一，而使顯示元件初始化。藉由將顯示元件初始化，可以防止餘象。明確而言，在電泳型中，以使各像素的顯示為白色或黑色的方式利用顯示元件 705 所具有的微膠囊 712 調整顯示的灰度。

在本實施例模式中，對將顯示黑色的初始化視頻信號輸入到像素之後將顯示白色的初始化視頻信號輸入到像素時的初始化工作進行說明。例如，在向對置電極 711 一側進行圖像顯示的電泳型電子紙中，首先，以使微膠囊 712 內的黑色顏料朝向對置電極 711 一側並使白色顏料朝向像素電極 710 一側的方式對顯示元件 705 施加電壓。接著，以使微膠囊 712 內的白色顏料朝向對置電極 711 一側並使黑色顏料朝向像素電極 710 一側的方式對顯示元件 705 施加電壓。

另外，當僅向像素輸入一次初始化視頻信號時，由於在初始期間之前顯示的灰度，微膠囊 712 內的白色顏料和黑色顏料的移動有時中途停止，而在初始化期間結束之後顯示在像素之間的灰度也有可能產生偏差。因此，最好藉由對像素電極 710 施加相對於共同電壓 V_{com} 為負的電壓

$-V_p$ 多次來顯示黑色，並且藉由對像素電極 710 施加相對於共同電壓 V_{com} 為正的電壓 V_p 多次來顯示白色。

另外，當在初始化期間之前各像素的顯示元件所顯示的灰度不同時，需要輸入初始化視頻信號的最少次數也不同。因此，也可以根據在初始化期間之前顯示的灰度而改變對每個像素輸入初始化視頻信號的次數。此時，最好對不需要輸入初始化視頻信號的像素輸入共同電壓 V_{com} 。

另外，為了多次對像素電極 710 施加初始化視頻信號的電壓 V_p 或電壓 $-V_p$ ，在對各掃描線施加選擇信號的脈衝的期間中，多次地進行如下一串連的工作，即對具有該掃描線的行（line）的像素輸入初始化視頻信號。藉由將初始化視頻信號的電壓 V_p 或電壓 $-V_p$ 施加到像素電極 710 多次，可以使微膠囊 712 內的白色顏料和黑色顏料的移動收斂，以防止各像素之間產生灰度的偏差，從而可以使像素部的像素初始化。

另外，在初始化期間，也可以不在顯示黑色之後顯示白色而在顯示白色之後顯示黑色。或者，在初始化期間，也可以在各像素中顯示白色之後顯示黑色然後再顯示白色。

另外，在像素部內的所有像素中，不需要同時開始初始化期間。例如，也可以使各像素或屬於同一行（line）的各像素等的開始初始化期間的時序各不相同。

接著，在寫入期間對像素輸入具有圖像資訊的視頻信號。

當利用整個像素部進行圖像顯示時，在一個幀期間對所有的掃描線依次輸入電壓的脈衝移動的選擇信號。並且，在選擇信號出現脈衝的一行期間內，對所有信號線輸入具有圖像資訊的視頻信號。

微膠囊 712 內的白色顏料和黑色顏料根據施加到像素電極 710 的視頻信號的電壓移動到像素電極 710 一側或對置電極 711 一側，由此顯示元件 705 進行灰度顯示。

另外，最好在寫入期間也與初始化期間同樣地對像素電極 710 施加視頻信號的電壓多次。因此，在向各掃描線施加選擇信號的脈衝的期間中，多次地進行如下一串連的工作，即對具有該掃描線的行（line）的像素輸入初始化視頻信號。

接著，在保持期間，在藉由信號線對所有像素輸入共同電壓 V_{com} 之後，不進行對掃描線的選擇信號的輸入或對信號線的視頻信號的輸入。因此，因為只要不對像素電極 710 和對置電極 711 之間施加正電壓或負電壓，顯示元件 705 所具有的微膠囊 712 內的白色顏料和黑色顏料則保持其配置，所以顯示元件 705 所顯示的灰度被保持。因此，在保持期間也維持顯示在寫入期間寫入的圖像。

另外，用於電子紙的顯示元件改變灰度時所需的電壓比用於液晶顯示裝置的液晶元件或用於發光裝置的有機發光元件等發光元件高。因此，在寫入期間在用於切換元件的像素的電晶體 704 中源極電極和汲極電極之間的電位差變大，因此截止電流升高，像素電極 710 的電位變動而容

易產生顯示失真。爲了防止因電晶體704的截止電流而導致像素電極710的電位變動，將儲存電容706的電容形成得大是有效的。另外，由於不僅像素電極710和對置電極711之間的電壓被施加到微膠囊712，而且產生在信號線707和對置電極711之間的電壓也被施加到微膠囊712，顯示元件705的顯示有時出現雜波。爲了防止該雜波產生，有效的是確保像素電極710的大面積並防止產生在信號線707和對置電極711之間的電壓被施加到微膠囊712。但是，如上所述，當爲了防止像素電極710的電位變動而將儲存電容706的電容形成得較大，或者爲了防止顯示產生雜波而將像素電極710的面積形成得較大時，在寫入期間需要向像素供應的電流值變高，而導致視頻信號的輸入所需的時間變長。在根據本發明的一個實施例的電子紙中，在用作像素的切換元件的電晶體704中，因爲氧化物半導體膜所具有的晶體區域與源極電極或汲極電極接觸，所以氧化物半導體膜和源極電極或汲極電極之間的接觸電阻降低，而可以提高導通電流以及場效應遷移率。因此，即使在將儲存電容706的電容形成得較大或者將像素電極710的面積形成得較大的情況下，也可以迅速地對像素輸入視頻信號。因此，可以抑制寫入期間的長度，而可以順利地進行顯示的圖像的轉換。

另外，在本發明的一個實施例中，將雜質濃度極低的氧化物半導體膜用於電晶體704的啓動層。因此，在電晶體704中，閘極電極和源極電極之間的電壓大致爲0時的截

止電流即洩漏電流非常低。因此，在寫入期間，即使電晶體 704 的源極電極和汲極電極之間的電位差大，也可以抑制截止電流並防止因像素電極 710 的電位變動而產生的顯示失真。另外，在用作切換元件的像素的電晶體 704 中，因為在寫入期間源極電極和汲極電極之間的電位差變大，所以容易劣化。但是，在本發明的一個實施例中，由於可以將電晶體 704 的隨時間的劣化而導致的臨界值電壓的偏差抑制為小，因此可以提高電子紙的可靠性。

本實施例模式可以與上述實施例模式組合而實施。

實施例模式 5

圖 14A 示出主動矩陣型半導體顯示裝置的方塊圖的一個例子。在顯示裝置的基板 5300 上包括像素部 5301、第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、信號線驅動電路 5304。在像素部 5301 中配置有從信號線驅動電路 5304 延伸的多個信號線以及從第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 延伸的多個掃描線。此外，在掃描線與信號線的交叉區中分別具有顯示元件的像素被配置為矩陣狀。另外，顯示裝置的基板 5300 藉由 FPC（撓性印刷電路）等連接部連接於時序控制電路 5305（也稱為控制器、控制 IC）。

在圖 14A 中，第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、信號線驅動電路 5304 與像素部 5301 形成在同一基板 5300 上。由此，設置在外部的驅動電路等構件的

數量減少，所以不僅可以實現顯示裝置的小型化，而且可以藉由縮減裝配製程或檢查製程而實現成本的降低。另外，當在基板5300的外部設置驅動電路時，需要延伸佈線，且佈線之間的連接數增加。當在相同基板5300上設置驅動電路時，可以減少上述佈線之間的連接數。因此，可以防止因驅動電路和像素部的連接不良而導致的良率的降低以及因連接部分的機械強度低而導致的可靠性的降低。

另外，作為一個例子，時序控制電路5305向第一掃描線驅動電路5302供應第一掃描線驅動電路啟動信號（GSP1）、掃描線驅動電路時鐘信號（GCK1）。此外，作為一個例子，時序控制電路5305向第二掃描線驅動電路5303供應第二掃描線驅動電路啟動信號（GSP2）（也稱為起始脈衝）、掃描線驅動電路時鐘信號（GCK2）。向信號線驅動電路5304供應信號線驅動電路啟動信號（SSP）、信號線驅動電路時鐘信號（SCK）、視頻信號資料（DATA）（也簡稱為視頻信號）及鎖存信號（LAT）。另外，可以省略第一掃描線驅動電路5302和第二掃描線驅動電路5303中的一方。

圖14B示出將驅動頻率低的電路（例如，第一掃描線驅動電路5302、第二掃描線驅動電路5303）與像素部5301形成在同一基板5300上，而將信號線驅動電路5304與像素部5301形成在不同的基板上的結構。另外，也可以與像素部5301一起將信號線驅動電路5304中的用於取樣電路的模擬開關等驅動頻率低的電路部分地形成在一個基板5300上

。如此，藉由部分地採用系統整合型面板（system-on-panel），可以享受系統整合型面板的一定程度的優點，即避免上述因連接不良而導致的良率的降低以及連接部分的機械強度低等的問題以及藉由縮減裝配製程或檢查製程降低成本等。再者，與將像素部5301、掃描線驅動電路5302、掃描線驅動電路5303及信號線驅動電路5304都形成在同一基板上的系統整合型面板相比，可以進一步提高驅動頻率高的電路的性能，並可以形成當使用單晶半導體時難以實現的面積寬的像素部。

接著，對使用n通道型電晶體的信號線驅動電路的結構進行說明。

圖15A所示的信號線驅動電路具有移位暫存器5601及取樣電路5602。取樣電路5602具有多個開關電路5602_1至5602_N（N是自然數）。開關電路5602_1至5602_N分別具有多個n通道型電晶體5603_1至5603_k（k是自然數）。

以開關電路5602_1為例對信號線驅動電路的連接關係進行說明。注意，以下將電晶體所具有的源極電極和汲極電極中的任一方稱為第一端子，而將另一方稱為第二端子。

電晶體5603_1至5603_k的第一端子分別連接到佈線5604_1至5604_k。對佈線5604_1至5604_k分別輸入視頻信號。電晶體5603_1至5603_k的第二端子分別連接到信號線S1至Sk。電晶體5603_1至5603_k的閘極電極連接到移位暫存器5601。

移位暫存器 5601 對佈線 5605_1 至 5605_N 依次輸出具有高位準的電壓（H 位準）的時序信號，並能夠依次選擇開關電路 5602_1 至 5602_N。

開關電路 5602_1 具有利用電晶體 5603_1 至 5603_k 的開關控制佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 的導通狀態（第一端子和第二端子之間的導通）的功能，即控制是否將佈線 5604_1 至 5604_k 的電位供應給信號線 S1 至 Sk 的功能。

接著，參照圖 15B 的時序圖說明圖 15A 的信號線驅動電路的工作。圖 15B 作為一個例子示出從移位暫存器 5601 分別輸入到佈線 5605_1 至 5605_N 的時序信號 Sout_1 至 Sout_N 以及輸入到佈線 5604_1 至 5604_k 的視頻信號 Vdata_1 至 Vdata_k 的時序圖。

另外，信號線驅動電路的一個工作期間相當於顯示裝置中的一個行期間。在圖 15B 中，例示將一個行期間分割為期間 T1 至期間 TN 的情況。期間 T1 至期間 TN 分別是用來對屬於被選擇的列的像素寫入視頻信號的期間。

在期間 T1 至期間 TN 中，移位暫存器 5601 將 H 位準的時序信號依次輸出到佈線 5605_1 至 5605_N。例如，在期間 T1 中，移位暫存器 5601 將 H 位準的信號輸出到佈線 5605_1。由此，開關電路 5602_1 所具有的電晶體 5603_1 至 5603_k 導通，所以佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 處於導通狀態。此時，對佈線 5604_1 至 5604_k 輸入 Data (S1) 至 Data (Sk)。Data (S1) 至 Data (Sk) 分別藉由電晶體 5603_1 至 5603_k 寫入到屬於被選擇的列的像素中的第一行至第 k

行的像素。藉由上述步驟，在期間 T_1 至 T_N 中，對屬於被選擇的列的像素的每 k 行按順序寫入視頻信號。

如上所述，藉由對每多個行的像素寫入視頻信號，可以減少視頻信號的數量或佈線的數量。因此，可以減少與控制器等的外部電路的連接數量。此外，藉由對每多個列的像素寫入視頻信號，可以延長寫入時間，因此可以防止視頻信號的寫入不足。

參照圖 16A 至圖 17B 說明用於信號線驅動電路或掃描線驅動電路的移位暫存器的一個實施例。

移位暫存器具有第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N (N 是 3 以上的自然數) (參照圖 16A)。向第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 從第一佈線 11 供應第一時鐘信號 CK_1 ，從第二佈線 12 供應第二時鐘信號 CK_2 ，從第三佈線 13 供應第三時鐘信號 CK_3 ，從第四佈線 14 供應第四時鐘信號 CK_4 。另外，對第一脈衝輸出電路 10_1 輸入來自第五佈線 15 的起始脈衝 SP_1 (第一起始脈衝)。此外，對第二級以後的第 n 脈衝輸出電路 10_n (n 是 2 以上且 N 以下的自然數) 輸入來自前一級的脈衝輸出電路 10_{n-1} 的信號 (稱為前級信號 $OUT(n-1)$)。另外，對第一脈衝輸出電路 10_1 輸入來自後二級的第三脈衝輸出電路 10_3 的信號。同樣地，對第二級以後的第 n 脈衝輸出電路 10_n 輸入來自後二級的第 $(n+2)$ 脈衝輸出電路 10_{n+2} 的信號 (後級信號 $OUT(n+2)$)。從而，從各級的脈衝輸出電路輸出用來輸入到後級及 / 或前二級的脈衝輸出

電路的第一輸出信號（ $OUT(1)(SR)$ 至 $OUT(N)(SR)$ ）以及輸入到其他電路等第二輸出信號（ $OUT(1)$ 至 $OUT(N)$ ）。另外，如圖16A所示，由於不對移位暫存器的最後級的兩個級輸入後級信號 $OUT(n+2)$ ，所以作為一個例子，採用另行分別輸入第二起始脈衝 $SP2$ 、第三起始脈衝 $SP3$ 的結構即可。

另外，時鐘信號（ CK ）是以一定間隔反復H位準和L位準（低位準的電壓）的信號。在此，第一時鐘信號（ $CK1$ ）至第四時鐘信號（ $CK4$ ）依次遲延 $1/4$ 週期。在本實施例模式中，利用第一時鐘信號（ $CK1$ ）至第四時鐘信號（ $CK4$ ）進行脈衝輸出電路的驅動的控制等。

第一輸入端子21、第二輸入端子22及第三輸入端子23電連接到第一佈線11至第四佈線14中的任一個。例如，在圖16A中，在第一脈衝輸出電路10_1中，第一輸入端子21電連接到第一佈線11，第二輸入端子22電連接到第二佈線12，並且第三輸入端子23電連接到第三佈線13。此外，在第二脈衝輸出電路10_2中，第一輸入端子21電連接到第二佈線12，第二輸入端子22電連接到第三佈線13，並且第三輸入端子23電連接到第四佈線14。

第一脈衝輸出電路10_1至第N脈衝輸出電路10_N分別具有第一輸入端子21、第二輸入端子22、第三輸入端子23、第四輸入端子24、第五輸入端子25、第一輸出端子26、第二輸出端子27（參照圖16B）。在第一脈衝輸出電路10_1中，對第一輸入端子21輸入第一時鐘信號 $CK1$ ，對第

二輸入端子22輸入第二時鐘信號CK2，對第三輸入端子23輸入第三時鐘信號CK3，對第四輸入端子24輸入起始脈衝，對第五輸入端子25輸入後級信號OUT(3)，從第一輸入端子26輸出第一輸出信號OUT(1)(SR)，從第二輸出端子27輸出第二輸出信號OUT(1)。

接著，參照圖17A示出脈衝輸出電路的具體的電路結構的一個例子。

各脈衝輸出電路具有第一電晶體31至第十三電晶體43(參照圖17A)。此外，除了上述第一輸入端子21至第五輸入端子25以及第一輸出端子26、第二輸出端子27以外，還從被供應第一高電源電位VDD的電源線51、被供應第二高電源電位VCC的電源線52、被供應低電源電位VSS的電源線53向第一電晶體31至第十三電晶體43供應信號或電源電位。在此，示出圖17A的各電源線的電源電位的關係：即第一電源電位VDD是第二電源電位VCC以上的電位，並且第二電源電位VCC是大於第三電源電位VSS的電位。此外，第一時鐘信號(CK1)至第四時鐘信號(CK4)是以一定間隔反復H位準和L位準的信號，並且當H位準時電位為VDD，並且當L位準時電位為VSS。另外，藉由使電源線51的電位VDD高於電源線52的電位VCC，可以不影響到工作地將施加到電晶體的閘極電極的電位抑制得低，並降低電晶體的臨界值電壓的漂移，而可以抑制劣化。

在圖17A的第一電晶體31中，第一端子電連接到電源線51，第二端子電連接到第九電晶體39的第一端子，閘極

電極電連接到第四輸入端子24。在第二電晶體32中，第一端子電連接到電源線53，第二端子電連接到第九電晶體39的第一端子，閘極電極電連接到第四電晶體34的閘極電極。在第三電晶體33中，第一端子電連接到第一輸入端子21，第二端子電連接到第一輸出端子26。在第四電晶體34中，第一端子電連接到電源線53，第二端子電連接到第一輸出端子26。在第五電晶體35中，第一端子電連接到電源線53，第二端子電連接到第二電晶體32的閘極電極及第四電晶體34的閘極電極，閘極電極電連接到第四輸入端子24。在第六電晶體36中，第一端子電連接到電源線52，第二端子電連接到第二電晶體32的閘極電極及第四電晶體34的閘極電極，閘極電極電連接到第五輸入端子25。在第七電晶體37中，第一端子電連接到電源線52，第二端子電連接到第八電晶體38的第二端子，閘極電極電連接到第三輸入端子23。在第八電晶體38中，第一端子電連接到第二電晶體32的閘極電極及第四電晶體34的閘極電極，閘極電極電連接到第二輸入端子22。在第九電晶體39中，第一端子電連接到第一電晶體31的第二端子及第二電晶體32的第二端子，第二端子電連接到第三電晶體33的閘極電極及第十電晶體40的閘極電極，閘極電極電連接到電源線52。在第十電晶體40中，第一端子電連接到第一輸入端子21，第二端子電連接到第二輸出端子27，閘極電極電連接到第九電晶體39的第二端子。在第十一電晶體41中，第一端子電連接到電源線53，第二端子電連接到第二輸出端子27，閘極電極

電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極。在第十二電晶體 42 中，第一端子電連接到電源線 53，第二端子電連接到第二輸出端子 27，閘極電極電連接到第七電晶體 37 的閘極電極。在第十三電晶體 43 中，第一端子電連接到電源線 53，第二端子電連接到第一輸出端子 26，閘極電極電連接到第七電晶體 37 的閘極電極。

在圖 17A 中，以第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極以及第九電晶體 39 的第二端子的連接部分為節點 A。此外，以第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二端子、第六電晶體 36 的第二端子、第八電晶體 38 的第一端子以及第十一電晶體 41 的閘極電極的連接部分為節點 B（參照圖 17A）。

在此，圖 17B 示出圖 17A 所示的具備多個脈衝輸出電路的移位暫存器的時序圖。

此外，如圖 17A 所示，藉由設置其閘極電極被施加第二電源電位 V_{CC} 的第九電晶體 39，在升壓工作的前後有如下優點。

在沒有其閘極電極被施加第二電位 V_{CC} 的第九電晶體 39 的情況下，當因升壓工作而節點 A 的電位上升時，第一電晶體 31 的第二端子的源極電極電位上升，而變成高於第一電源電位 V_{DD} 的電位。然後，第一電晶體 31 的源極電極轉換為第一端子一側，即電源線 51 一側。因此，在第一電晶體 31 中，因為對閘極電極和源極電極之間以及閘極電極和汲極電極之間施加較大的偏壓，所以閘極和源極電極之

間以及閘極和汲極電極之間受到較大的壓力，這會導致電晶體的劣化。於是，藉由設置其閘極電極被施加第二電源電位 V_{CC} 的第九電晶體 39，雖然因升壓工作而節點 A 的電位上升，但是可以不使第一電晶體 31 的第二端子的電位上升。換言之，藉由設置第九電晶體 39，可以將對第一電晶體 31 的閘極電極和源極電極之間施加的負偏壓的值設定得小。由此，由於藉由採用本實施例模式的電路結構來可以將施加到第一電晶體 31 的閘極電極和源極電極之間的負偏壓設定得小，所以可以抑制因壓力而導致的第一電晶體 31 的劣化。

此外，只要在第一電晶體 31 的第二端子和第三電晶體 33 的閘極電極之間以藉由第一端子和第二端子連接的方式設置第九電晶體 39，就對設置第九電晶體 39 的結構沒有特別的限制。另外，在採用具有多個本實施例模式的脈衝輸出電路的移位暫存器時，具有如下優點：在其級數與掃描線驅動電路相比多的信號線驅動電路中，可以省略第九電晶體 39 從而可以減少電晶體的數量。

另外，藉由作為第一電晶體 31 至第十三電晶體 43 的啓動層使用氧化物半導體，可以降低電晶體的截止電流並提高導通電流及場效應遷移率，並且還可以降低劣化的程度，所以可以減少電路內的錯誤工作。此外，使用氧化物半導體的電晶體的因其閘極電極被施加高電位而導致的劣化的程度比使用非晶矽的電晶體小。由此，即使對供應第二電源電位 V_{CC} 的電源線供應第一電源電位 V_{DD} 也可以得到

相同的工作，並且可以減少引導電路之間的電源線的數量，因此可以實現電路的小型化。

另外，即使替換接線關係，即，將從第三輸入端子 23 向第七電晶體 37 的閘極電極供應時鐘信號及從第二輸入端子 22 向第八電晶體 38 的閘極電極供應的時鐘信號變為從第二輸入端子 22 向第七電晶體 37 的閘極電極供應時鐘信號及從第三輸入端子 23 向第八電晶體 38 的閘極電極供應時鐘信號，也能夠獲得同樣的作用。此時，在圖 17A 所示的移位暫存器中，藉由從第七電晶體 37 及第八電晶體 38 的狀態都是導通狀態變化到第七電晶體 37 截止且第八電晶體 38 導通的狀態，然後成為第七電晶體 37 截止且第八電晶體 38 截止的狀態，由第二輸入端子 22 及第三輸入端子 23 的電位降低所產生的節點 B 的電位的降低發生兩次，該節點 B 的電位的降低起因於第七電晶體 37 的閘極電極的電位的降低及第八電晶體 38 的閘極電極的電位的降低。另一方面，在圖 17A 所示的移位暫存器中，藉由從第七電晶體 37 及第八電晶體 38 的狀態都是導通狀態變化到第七電晶體 37 導通而第八電晶體 38 截止的狀態，然後成為第七電晶體 37 截止且第八電晶體 38 截止的狀態，而由第二輸入端子 22 及第三輸入端子 23 的電位的降低所產生的節點 B 的電位的降低僅發生一次，該節點 B 的電位的降低起因於第八電晶體 38 的閘極電極的電位的降低。由此，最好採用從第三輸入端子 23 向第七電晶體 37 的閘極電極供應時鐘信號 CK3，且從第二輸入端子 22 向第八電晶體 38 的閘極電極供應時鐘信號 CK2 的連接

結構。這是因為這樣會可以減少節點B的電位的變動次數並降低雜訊的緣故。

像這樣，藉由採用在將第一輸出端子26及第二輸出端子27的電位保持為L位準的期間中對節點B定期供應H位準的信號的結構，可以抑制脈衝輸出電路的錯誤工作。

本實施例模式可以與上述實施例模式組合而實施。

實施例模式6

根據本發明的一個實施例的液晶顯示裝置使用截止電流低且可靠性高的電晶體，因此具有高可見度和高可靠性。在本實施例模式中，對根據本發明的一個實施例的液晶顯示裝置的結構進行說明。

圖18示出根據本發明的一個實施例的液晶顯示裝置的像素的截面圖作為一個例子。圖18所示的電晶體1401包括：形成在絕緣表面上的閘極電極1402；閘極電極1402上的閘極絕緣膜1403；在閘極絕緣膜1403上重疊於閘極電極1402的氧化物半導體膜1404；以及依次疊層在氧化物半導體膜1404上的用作源極電極或汲極電極的導電膜1406a及導電膜1406b。另外，作為電晶體1401的構成要素，還可以包括形成在氧化物半導體膜1404上的絕緣膜1407。絕緣膜1407以覆蓋閘極電極1402、閘極絕緣膜1403、氧化物半導體膜1404、導電膜1406a以及導電膜1406b的方式形成。另外，氧化物半導體膜1404具有非晶區域1430、非晶區域1430上的晶體區域1431，並且晶體區域1431接觸於導電膜

1406a以及導電膜1406b。

在絕緣膜1407上形成有絕緣膜1408。在絕緣膜1407、絕緣膜1408的一部分中設有開口部，並且在該開口部中以接觸於導電膜1406b的方式形成有像素電極1410。

另外，在絕緣膜1408上形成有用來控制液晶元件的液晶盒間隙的間隔物1417。間隔物1417可以藉由將絕緣膜蝕刻為所希望的形狀而形成，但是也可以藉由在絕緣膜1408上分散填料來控制液晶盒間隙。

並且，在像素電極1410上形成有取向膜1411。另外，與像素電極1410相對的位置設置有對置電極1413，在對置電極1413的接近於像素電極1410一側形成有取向膜1414。取向膜1411、取向膜1414可以使用聚醯亞胺、聚乙烯醇等有機樹脂形成，並且對其表面進行如摩擦處理等的用來使液晶分子按一定方向排列的取向處理。可以藉由邊對取向膜施加壓力邊滾動裹有尼龍等布的滾子並以一定方向對上述取向膜的表面進行磨擦，來進行摩擦處理。另外，也可以不進行取向處理而使用氧化矽等無機材料並藉由蒸鍍法來直接形成具有取向特性的取向膜1411、取向膜1414。

而且，在像素電極1410和對置電極1413之間的被密封材料1416圍繞的區域中設置有液晶1415。作為液晶1415的植入，既可以使用分配器方法（滴落法）也可以使用浸漬法（泵浦方式）。另外，密封材料1416中也可以混入填料。

另外，使用像素電極1410、對置電極1413、液晶1415

形成的液晶元件也可以與能夠透過特定波長區域的光的濾色片重疊。將濾色片形成在形成有對置電極1413的基板（對置基板）1420上即可。也可以在將分散有顏料的丙烯酸基樹脂等有機樹脂塗在基板1420上之後，使用光微影法選擇性地形成濾色片。另外，也可以在將分散有顏料的聚醯亞胺基樹脂塗在基板1420上之後，使用蝕刻選擇性地形成濾色片。或者，也可以藉由使用噴墨法等液滴噴射法來選擇性地形成濾色片。

另外，也可以在像素之間形成能夠遮蔽光的遮蔽膜，以便防止觀察到像素之間的液晶1415的取向無序所導致的向錯。作為遮蔽膜，可以使用碳黑、低價氧化鈦（low-valent titanium oxide）等包含黑色顏料的有機樹脂。或者，也可以利用使用鉻的膜形成遮蔽膜。

作為像素電極1410和對置電極1413，例如可以使用含有氧化矽的氧化銦錫（ITSO）、氧化銦錫（ITO）、氧化鋅（ZnO）、氧化銦鋅（IZO）、添加有鎳的氧化鋅（GZO）等透明導電材料。注意，雖然在本實施例模式中示出將透過光的導電膜用於像素電極1410及對置電極1413來製造透過型液晶元件的例子，但是本發明不侷限於該結構。根據本發明的一個實施例的液晶顯示裝置也可以為半透過型或反射型。

注意，雖然在本實施例模式中，作為液晶顯示裝置示出TN（扭轉向列）型，但是本發明的薄膜電晶體也可以用於如VA（垂直定向）型、OCB（光學補償彎曲）型、IPS

（平面內切換）型等其他的液晶顯示裝置。

另外，也可以使用不使用取向膜的呈現藍相的液晶。藍相是液晶相之一，是指當對膽固醇相液晶進行升溫時即將從膽固醇相轉變到均質相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以爲了改善溫度範圍而將混合有5wt%以上的手性試劑的液晶組成物用於液晶1415。包含顯示藍相的液晶和手性試劑的液晶組成物的回應時間短，即爲10 μ sec.以上且100 μ sec.以下，並且由於其具有光學各向同性而不需要取向處理，從而視角依賴性小。

圖19是示出本發明的液晶顯示裝置的結構的立體圖的一個例子。圖19所示的液晶顯示裝置具有：在一對基板之間形成有液晶元件的液晶面板1601；第一擴散板1602；稜鏡片1603；第二擴散板1604；導光板1605；反射板1606；光源1607；以及電路基板1608。

將液晶面板1601、第一擴散板1602、稜鏡片1603、第二擴散板1604、導光板1605、反射板1606按順序層疊。光源1607設置在導光板1605的端部，並且擴散到導光板1605的內部的來自光源1607的光藉由第一擴散板1602、稜鏡片1603以及第二擴散板1604均勻性地照射到液晶面板1601。

注意，雖然在本實施例模式中使用第一擴散板1602和第二擴散板1604，但是擴散板的數量不侷限於此，還可以是單數或者三個以上。並且，擴散板設置在導光板1605和液晶面板1601之間即可。因此，既可以只在與稜鏡片1603相比更接近於液晶面板1601的一側設置擴散板，也可以只

在與稜鏡片1603相比更接近於導光板1605的一側設置擴散板。

此外，稜鏡片1603不侷限於圖19所示的截面是鋸齒狀的形狀，只要是能夠將來自導光板1605的光聚焦到液晶面板1601一側的形狀即可。

在電路基板1608中設置有生成輸入到液晶面板1601的各種信號的電路或者對這些信號進行處理的電路等。並且，在圖19中，電路基板1608與液晶面板1601藉由FPC（撓性印刷電路）1609連接。注意，上述電路可以利用COG（玻璃上晶片安裝）法連接到液晶面板1601，或者也可以利用COF（薄膜上晶片安裝）法將上述電路的一部分連接到FPC 1609。

在圖19中，示出在電路基板1608上設置有控制光源1607的驅動的控制基電路，並且該控制基電路與光源1607藉由FPC 1610連接的例子。但是，上述控制基電路也可以形成在液晶面板1601上，此時，液晶面板1601與光源1607藉由FPC等連接。

注意，雖然圖19例示在液晶面板1601的端部配置光源1607的邊緣照光型的光源，但是本發明的液晶顯示裝置也可以是在液晶面板1601的正下方配置光源1607的正下型。

本實施例模式可以與上述實施例模式適當地組合而實施。

實施例模式7

在本實施例模式中，對將本發明的一個實施例的電晶體用於像素的發光裝置的結構進行說明。在本實施例模式中，參照圖20A至圖20C說明當用來驅動發光元件的電晶體為n型時的像素的截面結構。另外，雖然在圖20A至圖20C中對第一電極是陰極且第二電極是陽極的情況進行說明，但是也可以採用第一電極是陽極且第二電極是陰極的結構。

圖20A是當電晶體6031為n型且從第一電極6034一側取出來自發光元件6033的光時的像素的截面圖。電晶體6031被絕緣膜6037覆蓋，在絕緣膜6037上形成有具有開口部的隔壁6038。在隔壁6038的開口部中露出有第一電極6034的一部分，並且在該開口部按順序層疊有第一電極6034、電致發光層6035、第二電極6036。

第一電極6034使用透過光的材料或將其形成為能夠透過光的厚度形成，並且可以使用低功函數的金屬、合金、導電化合物以及它們的混合物等形成。明確地說，可以使用：Li或Cs等的鹼金屬；Mg、Ca、Sr等的鹼土金屬；包含它們的合金（Mg:Ag、Al:Li、Mg:In等）；它們的化合物（氟化鈣或氮化鈣）；以及Yb或Er等的稀土金屬。另外，當設置電子植入層時，也可以使用鋁等其他的導電膜。並且，將第一電極6034形成為能夠透過光的膜厚（較佳地為5nm至30nm左右）。再者，也可以使用透光性氧化物導電材料以接觸於具有透過光的程度的膜厚的上述導電膜之上或其下的方式形成具有透光性的導電膜，來抑制第一電極

6034的薄層電阻。此外，也可以僅僅使用利用了氧化銦錫（ITO）、氧化鋅（ZnO）、氧化銦鋅（IZO）、添加了鎵的氧化鋅（GZO）等其他透光性氧化物導電材料的導電膜。另外，也可以使用對ITO或包含氧化矽的氧化銦混合2%至20%的氧化鋅（ZnO）的物質。在使用透光性氧化物導電材料時，最好在電致發光層6035中設置電子植入層。

另外，第二電極6036使用反射或遮蔽光的材料及膜厚形成，且使用適合於用作陽極的材料形成。例如，可以將如下結構用於第二電極6036，該結構是：由氮化鈦、氮化鎢、鈦、鎢、鎳、鉑、鉻、銀、鋁等中的一種或多種構成的單層膜；氮化鈦膜和以鋁為主要成分的膜的疊層；氮化鈦膜、以鋁為主要成分的膜及氮化鈦膜的三層結構等。

電致發光層6035由單層或多個層構成。當電致發光層6035由多個層構成時，從載子傳輸特性的觀點而言，可以將這些層分類為電洞植入層、電洞傳輸層、發光層、電子傳輸層、電子植入層等。當電致發光層6035除了發光層之外，還具有電洞植入層、電洞傳輸層、電子傳輸層和電子植入層中的任何層時，電子植入層、電子傳輸層、發光層、電洞傳輸層和電洞植入層以這種順序層疊在第一電極6034上。此外，各層的邊界不需要必須很清楚，存在形成各層的材料部分混合，使得介面不清楚的情況。各個層可以使用有機基材料或無機類材料。作為有機類材料，可以使用高、中或低分子類材料中的任何一種。另外，中分子類材料相當於重複結構單元的數目（聚合度）大約為2至

20的低聚合物。電洞植入層和電洞傳輸層沒有嚴格的區別，電洞傳輸性（電洞遷移率）無論對電洞植入層還是電洞傳輸層都是十分重要的特性，從這一點上來看電洞植入層和電洞傳輸層是相同的。為方便起見，將形成在與陽極接觸一側的層稱為電洞植入層，而將與電洞植入層接觸的層稱為電洞傳輸層來對其進行區分。電子傳輸層和電子植入層也是如此，將與陰極接觸的層稱作電子植入層，將與電子植入層接觸的層稱作電子傳輸層。發光層有時還兼作電子傳輸層，因此也稱為發光性電子傳輸層。

在圖20A所示的像素中，發光元件6033發出的光如空心箭頭所示可以從第一電極6034一側提取。

接著，圖20B示出當電晶體6041為n型且從第二電極6046一側取出來自發光元件6043的光時的像素的截面圖。電晶體6041被絕緣膜6047覆蓋，在絕緣膜6047上形成有具有開口部的隔壁6048。在隔壁6048的開口部中露出有第一電極6044的一部分，並且在該開口部中按順序層疊有第一電極6044、電致發光層6045、第二電極6046。

第一電極6044可以使用反射或遮蔽光的材料及膜厚形成，並使用低功函數的金屬、合金、導電化合物、以及它們的混合物等形成。明確地說，可以使用：Li或Cs等鹼金屬；Mg、Ca、Sr等鹼土金屬；包含它們的合金（Mg:Ag、Al:Li、Mg:In等）；它們的化合物（氟化鈣或氮化鈣）；以及Yb或Er等稀土金屬。當設置電子植入層時，也可以使用鋁等其他導電膜。

另外，第二電極 6046 使用透過光的材料或將其形成為能夠透過光的厚度形成。例如，第二電極 6046 可以使用氧化銦錫（ITO）、氧化鋅（ZnO）、氧化銦鋅（IZO）、添加了鎵的氧化鋅（GZO）等其他透光性氧化物導電材料形成。另外，第二電極 6046 也可以使用對 ITSO 或者包含氧化矽的氧化銦混合 2% 至 20% 的氧化鋅（ZnO）的物質來形成。除了上述透光性氧化物導電材料之外，第二電極 6046 還可以使用如下結構，該結構是：例如由氮化鈦、氮化鋯、鈦、鎢、鎳、鉑、鉻、銀、鋁等中的一種或多種形成的單層膜；氮化鈦膜和以鋁為主要成分的膜的疊層；以及氮化鈦膜、以鋁為主要成分的膜及氮化鈦膜的三層結構等。然而，當使用除了透光性氧化物導電材料之外的材料時，使用將其形成為能夠透過光的厚度（較佳地為 5nm 至 30nm 左右）形成第二電極 6046。

電致發光層 6045 可以與圖 20A 所示的電致發光層 6035 同樣地形成。

在圖 20B 所示的像素中，發光元件 6043 發出的光如空心箭頭所示可以從第二電極 6046 一側提取。

接著，圖 20C 是當電晶體 6051 為 n 型且從第一電極 6054 一側及第二電極 6056 一側取出來自發光元件 6053 的光時的像素的截面圖。電晶體 6051 被絕緣膜 6057 覆蓋，在絕緣膜 6057 上形成有具有開口部的隔壁 6058。在隔壁 6058 的開口部中露出有第一電極 6054 的一部分，並且在該開口部中按順序層疊有第一電極 6054、電致發光層 6055、第二電極

6056。

第一電極 6054 可以與圖 20A 所示的第一電極 6034 同樣地形成。另外，第二電極 6056 可以與圖 20B 所示的第二電極 6046 同樣地形成。電致發光層 6055 可以與圖 20A 所示的電致發光層 6035 同樣地形成。

在圖 20C 所示的像素中，發光元件 6053 發出的光如空心箭頭所示可以從第一電極 6054 一側及第二電極 6056 一側提取。

本實施例模式可以與其他實施例模式適當地組合而實施。

實施例 1

藉由使用根據本發明的一個實施例的半導體裝置，可以提供高可靠性的電子設備、耗電量低的電子設備、高速驅動的電子設備。另外，藉由使用根據本發明的一個實施例的半導體顯示裝置，可以提供高可靠性的電子設備、高可見度的電子設備、低耗電量的電子設備。尤其是在難以經常被供應電力的攜帶用的電子設備中，藉由作為結構要素追加根據本發明的一個實施例的低耗電量的半導體裝置或半導體顯示裝置，可以獲得如下優點：連續使用時間變長。另外，藉由使用截止電流低的電晶體，不需要用來彌補高截止電流的冗長的電路設計，所以可以提高用於半導體裝置的積體電路的集成度，從而可以實現高功能的半導體裝置。

另外，因為在本發明的半導體裝置中可以抑制製造製程中的加熱處理的溫度，所以在其耐熱性比玻璃低的由塑膠等具有撓性的合成樹脂構成的基板上也可以製造特性優異且高可靠性的電晶體。因此，藉由使用本發明的一個實施例的製造方法，可以提供高可靠性、輕量且撓性的半導體裝置。作為塑膠基板，可以舉出以聚對苯二甲酸乙二醇酯（PET）為代表的聚酯、聚醚砜（PES）、聚萘二甲酸乙二醇酯（PEN）、聚碳酸酯（PC）、聚醚醚酮（PEEK）、聚砜（PSF）、聚醚醯亞胺（PEI）、聚芳酯（PAR）、聚對苯二甲酸丁二醇酯（PBT）、聚醯亞胺、丙烯酸－丁二烯－苯乙烯樹脂、聚氯乙烯、聚丙烯、聚乙酸乙烯酯、丙烯酸樹脂等。

根據本發明的一個實施例的半導體裝置可以用於顯示裝置、筆記本式個人電腦、具備記錄媒體的圖像再現裝置（典型地是，能夠再現如數位通用磁片（DVD）等記錄媒體並具有能夠顯示其圖像的顯示器的裝置）。此外，作為可以使用根據本發明的一個實施例的半導體裝置的電子設備，可以舉出行動電話、可攜式遊戲機、可攜式資訊終端、電子書閱讀器、攝像機、數位相機、護目鏡型顯示器（頭盔顯示器）、導航系統、音頻再現裝置（車載音響、數位音頻播放器等）、影印機、傳真機、印表機、複合式印表機、自動取款機（ATM）、自動售貨機等。圖21A至圖21F示出這些電子設備的具體例子。

圖21A是電子書閱讀器，包括框體7001、顯示部7002

等。根據本發明的一個實施例的半導體顯示裝置可以用於顯示部 7002。藉由將根據本發明的一個實施例的半導體顯示裝置用於顯示部 7002，可以提供高可靠性的電子書閱讀器、能夠進行高可見度的顯示的電子書閱讀器、低耗電量的電子書閱讀器。另外，根據本發明的一個實施例的半導體裝置可以用於用來控制電子書閱讀器的驅動的積體電路。藉由將根據本發明的一個實施例的半導體裝置用於用來控制電子書閱讀器的驅動的積體電路，可以提供高可靠性的電子書閱讀器、低耗電量的電子書閱讀器、高速驅動的電子書閱讀器、高功能的電子書閱讀器。另外，因為藉由使用具有撓性的基板，可以使半導體裝置、半導體顯示裝置具有撓性，所以可以提供撓性、輕量且使用方便的電子書閱讀器。

圖 21B 是顯示裝置，包括框體 7011、顯示部 7012、支撐台 7013 等。根據本發明的一個實施例的半導體顯示裝置可以用於顯示部 7012。藉由將根據本發明的一個實施例的半導體顯示裝置用於顯示部 7012，可以提供高可靠性的顯示裝置、能夠進行高可見度的顯示的顯示裝置、低耗電量的顯示裝置。另外，根據本發明的一個實施例的半導體裝置可以用於用來控制顯示裝置的驅動的積體電路。藉由將根據本發明的一個實施例的半導體裝置用於用來控制顯示裝置的驅動的積體電路，可以提供高可靠性的顯示裝置、低耗電量的顯示裝置、高速驅動的顯示裝置、高功能的顯示裝置。另外，顯示裝置包括用於個人電腦、TV 播放接收

、廣告顯示等的所有資訊顯示用顯示裝置。

圖 21C 是顯示裝置，包括框體 7021、顯示部 7022 等。根據本發明的一個實施例的半導體顯示裝置可以用於顯示部 7022。藉由將根據本發明的一個實施例的半導體顯示裝置用於顯示部 7022，可以提供高可靠性的顯示裝置、能夠進行高可見度的顯示的顯示裝置、低耗電量的顯示裝置。另外，根據本發明的一個實施例的半導體裝置可以用於用來控制顯示裝置的驅動的積體電路。藉由將根據本發明的一個實施例的半導體裝置用於用來控制顯示裝置的驅動的積體電路，可以提供高可靠性的顯示裝置、低耗電量的顯示裝置、高速驅動的顯示裝置、高功能的顯示裝置。另外，因為藉由使用具有撓性的基板，可以使半導體裝置、半導體顯示裝置也具有撓性，所以可以提供具有撓性、輕量且使用方便的半導體裝置。因此，可以如圖 21C 所示那樣將顯示裝置固定到布料等而使用，由此顯示裝置的應用範圍大幅拓寬。

圖 21D 是可攜式遊戲機，包括框體 7031、框體 7032、顯示部 7033、顯示部 7034、麥克風 7035、揚聲器 7036、操作鍵 7037、觸控筆 7038 等。根據本發明的一個實施例的半導體顯示裝置可以用於顯示部 7033 或顯示部 7034。藉由將根據本發明的一個實施例的半導體顯示裝置用於顯示部 7033、顯示部 7034，可以提供高可靠性的可攜式遊戲機、能夠進行高可見度的顯示的可攜式遊戲機、低耗電量的可攜式遊戲機。另外，根據本發明的一個實施例的半導體裝

置可以用於用來控制可攜式遊戲機的驅動的積體電路。藉由將根據本發明的一個實施例的半導體裝置用於用來控制可攜式遊戲機的驅動的積體電路，可以提供高可靠性的可攜式遊戲機、低耗電量的可攜式遊戲機、高速驅動的可攜式遊戲機、高功能的可攜式遊戲機。另外，圖21D所示的可攜式遊戲機具有顯示部7033和顯示部7034的兩個顯示部，但是可攜式遊戲機所具有的顯示部的數目不侷限於此。

圖21E是行動電話機，包括框體7041、顯示部7042、聲音輸入部7043、聲音輸出部7044、操作鍵7045、光接收部7046等。藉由將由光接收部7046接收的光轉換為電信號，可以提取外部的圖像。根據本發明的一個實施例的半導體顯示裝置可以用於顯示部7042。藉由將根據本發明的一個實施例的半導體顯示裝置用於顯示部7042，可以提供高可靠性的行動電話機、能夠進行高可見度的顯示的行動電話機、低耗電量的行動電話機。另外，根據本發明的一個實施例的半導體裝置可以用於用來控制行動電話機的驅動的積體電路。藉由將根據本發明的一個實施例的半導體裝置用於用來控制行動電話機的驅動的積體電路，可以提供高可靠性的行動電話機、低耗電量的行動電話機、高速驅動的行動電話機、高功能的行動電話機。

圖21F是可攜式資訊終端，包括框體7051、顯示部7052、操作鍵7053等。在圖21F所示的可攜式資訊終端中，也可以將數據機裝在框體7051的內部。根據本發明的一個實施例的半導體顯示裝置可以用於顯示部7052。藉由將

根據本發明的一個實施例的半導體顯示裝置用於顯示部 7052，可以提供高可靠性的可攜式資訊終端、能夠進行高可見度的顯示的可攜式資訊終端、低耗電量的可攜式資訊終端。另外，根據本發明的一個實施例的半導體裝置可以用於用來控制可攜式資訊終端的驅動的積體電路。藉由將根據本發明的一個實施例的半導體裝置用於用來控制可攜式資訊終端的驅動的積體電路，可以提供高可靠性的可攜式資訊終端、低耗電量的可攜式資訊終端、高速驅動的可攜式資訊終端、高功能的可攜式資訊終端。

本實施例可以與上述實施例模式適當地組合而實施。

【圖式簡單說明】

在附圖中：

圖 1A 至圖 1E 是示出半導體裝置的製造方法的圖；

圖 2A 至圖 2C 是示出半導體裝置的製造方法的圖；

圖 3A 至圖 3C 是示出半導體裝置的製造方法的圖；

圖 4 是半導體裝置的截面圖；

圖 5A 至圖 5E 是示出半導體裝置的製造方法的圖；

圖 6A 至圖 6C 是示出半導體裝置的製造方法的圖；

圖 7A 和圖 7B 是半導體裝置的俯視圖；

圖 8A 至圖 8C 是示出半導體裝置的製造方法的圖；

圖 9 是半導體裝置的俯視圖；

圖 10A 至圖 10C 是示出半導體裝置的製造方法的圖；

圖 11A 和圖 11B 是電晶體的截面圖；

圖 12 A 和 圖 12 B 是 電 晶 體 的 截 面 圖 ；

圖 13 A 和 圖 13 B 是 電 子 紙 的 俯 視 圖 以 及 截 面 圖 ；

圖 14 A 和 圖 14 B 是 半 導 體 顯 示 裝 置 的 方 塊 圖 ；

圖 15 A 和 圖 15 B 是 說 明 信 號 線 驅 動 電 路 的 結 構 的 圖 ；

圖 16 A 和 圖 16 B 是 示 出 移 位 暫 存 器 的 結 構 的 電 路 圖 ；

圖 17 A 和 圖 17 B 是 示 出 移 位 暫 存 器 的 一 個 實 施 例 的 圖 以
及 說 明 其 工 作 的 時 序 圖 ；

圖 18 是 液 晶 顯 示 裝 置 的 截 面 圖 ；

圖 19 是 示 出 液 晶 顯 示 裝 置 的 模 組 的 結 構 的 圖 ；

圖 20 A 至 圖 20 C 是 發 光 裝 置 的 截 面 圖 ；

圖 21 A 至 圖 21 F 是 使 用 半 導 體 裝 置 的 電 子 設 備 的 圖 ；

圖 22 是 使 用 氧 化 物 半 導 體 的 反 交 錯 型 的 電 晶 體 的 縱 截
面 圖 ；

圖 23 A 和 圖 23 B 是 圖 22 所 示 的 截 面 A-A' 的 能 帶 圖 （ 示
意 圖 ） ；

圖 24 A 是 示 出 對 閘 極 電 極 （ GE ） 施 加 正 電 位 （ $V_G > 0$ ）
時 的 狀 態 的 圖 ； 圖 24 B 是 示 出 對 閘 極 電 極 （ GE ） 施 加 負 電
位 （ $V_G < 0$ ） 時 的 狀 態 的 圖 ； 以 及

圖 25 是 示 出 真 空 能 級 和 金 屬 的 功 函 數 （ ϕ_M ） 、 氧 化 物
半 導 體 的 電 子 親 和 力 （ χ ） 的 關 係 的 圖 。

【 主 要 元 件 符 號 說 明 】

10：脈衝輸出電路

11：佈線

12 : 佈 線

13 : 佈 線

14 : 佈 線

15 : 佈 線

21 : 輸 入 端 子

22 : 輸 入 端 子

23 : 輸 入 端 子

24 : 輸 入 端 子

25 : 輸 入 端 子

26 : 輸 出 端 子

27 : 輸 出 端 子

31 : 電 晶 體

32 : 電 晶 體

33 : 電 晶 體

34 : 電 晶 體

35 : 電 晶 體

36 : 電 晶 體

37 : 電 晶 體

38 : 電 晶 體

39 : 電 晶 體

40 : 電 晶 體

41 : 電 晶 體

42 : 電 晶 體

43 : 電 晶 體

51：電源線

52：電源線

53：電源線

100：基板

101：閘極電極

102：閘極絕緣膜

103：氧化物半導體膜

104：氧化物半導體膜

105：氧化物半導體膜

106：晶體區域

107：氧化物半導體膜

108：氧化物半導體膜

109：晶體區域

110：非晶區域

111：源極電極

112：汲極電極

113：絕緣膜

114：電晶體

115：背閘極電極

116：絕緣膜

130：通道保護膜

131：源極電極

132：汲極電極

133：絕緣膜

- 140：電 晶 體
- 145：背 閘 極 電 極
- 146：絕 緣 膜
- 200：基 板
- 201：絕 緣 膜
- 202：電 極
- 203：氧 化 物 半 導 體 膜
- 205：氧 化 物 半 導 體 膜
- 206：晶 體 區 域
- 207：氧 化 物 半 導 體 膜
- 208：氧 化 物 半 導 體 膜
- 209：晶 體 區 域
- 210：非 晶 區 域
- 211：電 極
- 212：閘 極 絕 緣 膜
- 213：閘 極 電 極
- 214：絕 緣 膜
- 215：佈 線
- 216：佈 線
- 217：佈 線
- 218：部 分
- 220：電 晶 體
- 221：接 觸 孔
- 222：接 觸 孔

223：接觸孔

230：佈線

231：接觸孔

700：像素部

701：信號線驅動電路

702：掃描線驅動電路

703：像素

704：電晶體

705：顯示元件

706：儲存電容

707：信號線

708：掃描線

710：像素電極

711：對置電極

712：微膠囊

713：源極電極或汲極電極

714：樹脂

1401：電晶體

1402：閘極電極

1403：閘極絕緣膜

1404：氧化物半導體膜

1406a：導電膜

1406b：導電膜

1407：絕緣膜

1408：絕緣膜

1410：像素電極

1411：取向膜

1413：對置電極

1414：取向膜

1415：液晶

1416：密封材料

1417：間隔物

1420：基板

1430：非晶區域

1431：晶體區域

1601：液晶面板

1602：擴散板

1603：稜鏡片

1604：擴散板

1605：導光板

1606：反射板

1607：光源

1608：電路基板

1609：FPC

1610：FPC

5300：基板

5301：像素部

5302：掃描線驅動電路

5303：掃描線驅動電路

5304：信號線驅動電路

5305：時序控制電路

5601：移位暫存器

5602：取樣電路

5603：電晶體

5604：佈線

5605：佈線

6031：電晶體

6033：發光元件

6034：電極

6035：電致發光層

6036：電極

6037：絕緣膜

6038：隔壁

6041：電晶體

6043：發光元件

6044：電極

6045：電致發光層

6046：電極

6047：絕緣膜

6048：隔壁

6051：電晶體

6053：發光元件

6054：電極
6055：電致發光層
6056：電極
6057：絕緣膜
6058：隔壁
7001：框體
7002：顯示部
7011：框體
7012：顯示部
7013：支撐台
7021：框體
7022：顯示部
7031：框體
7032：框體
7033：顯示部
7034：顯示部
7035：麥克風
7036：揚聲器
7037：操作鍵
7038：觸控筆
7041：框體
7042：顯示部
7043：聲音輸入部
7044：聲音輸出部

7045 : 操 作 鍵

7046 : 光 接 收 部

7051 : 框 體

7052 : 顯 示 部

7053 : 操 作 鍵

七、申請專利範圍：

1. 一種半導體裝置，包含：

閘極電極層；

包含金屬氧化物的氧化物半導體層，該金屬氧化物包括至少銦；以及

安插在該閘極電極層和該氧化物半導體層間的閘極絕緣層；

其中該氧化物半導體層的頂表面包含結晶區，且

其中該結晶區包含晶體，其尺寸大於或等於 1 nm 且小於或等於 20 nm。

2. 如申請專利範圍第 1 項的半導體裝置，其中該氧化物半導體層包含該結晶區和非晶區。

3. 如申請專利範圍第 1 項的半導體裝置，其中該結晶區包括多數晶粒，且相鄰晶粒互相接觸。

4. 如申請專利範圍第 1 項的半導體裝置，其中該氧化物半導體層包括 In-Ga-Zn-O 基氧化物。

5. 如申請專利範圍第 1 項的半導體裝置，其中該氧化物半導體層具有 Zn 原子 % 含量大於 In 或 Ga 原子 % 含量的組成。

6. 如申請專利範圍第 1 項的半導體裝置，其中該氧化物半導體層包括實質化學計量組成比。

7. 一種半導體裝置，包含：

閘極電極層；

在該閘極電極層上的氧化物半導體層；

安插在該閘極電極層和該氧化物半導體層間的閘極絕緣層；以及

在該氧化物半導體層上且與其接觸的含有矽和氧的絕緣層，

其中該氧化物半導體層的頂表面包含結晶區，且

其中該結晶區包含晶體，其尺寸大於或等於 1nm 且小於或等於 20nm。

8.如申請專利範圍第 7 項的半導體裝置，其中該氧化物半導體層包含該結晶區和非晶區。

9.如申請專利範圍第 7 項的半導體裝置，其中該結晶區包括多數晶粒，且相鄰晶粒互相接觸。

10.如申請專利範圍第 7 項的半導體裝置，其中該氧化物半導體層包括 In-Ga-Zn-O 基氧化物。

11.如申請專利範圍第 7 項的半導體裝置，其中該氧化物半導體層具有 Zn 原子 % 含量大於 In 或 Ga 原子 % 含量的組成。

12.如申請專利範圍第 7 項的半導體裝置，其中該氧化物半導體層包括實質化學計量組成比。

13.如申請專利範圍第 7 項的半導體裝置，其中該含有矽和氧的絕緣層是由氧化矽所形成。

14.一種半導體裝置，包含：

閘極電極層；

在該閘極電極層上的氧化物半導體層；以及

安插在該閘極電極層和該氧化物半導體層間的閘極絕

緣層，

其中該氧化物半導體層的頂表面包含結晶區，以及

其中該結晶區包括在與該閘極電極層重疊的部份的不同厚度。

15.如申請專利範圍14項的半導體裝置，其中該結晶區包含晶體，其尺寸大於或等於1nm且小於或等於20nm。

16.如申請專利範圍第14項的半導體裝置，其中該氧化物半導體層包含該結晶區和非晶區。

17.如申請專利範圍第14項的半導體裝置，其中該結晶區包括多數晶粒，且相鄰晶粒互相接觸。

18.如申請專利範圍第14項的半導體裝置，其中該氧化物半導體層包括In-Ga-Zn-O基氧化物。

19.如申請專利範圍第14項的半導體裝置，其中該氧化物半導體層具有Zn原子%含量大於In或Ga原子%含量的組成。

20.如申請專利範圍第14項的半導體裝置，其中該氧化物半導體層包括實質化學計量組成比。

21.如申請專利範圍第14項的半導體裝置，其中該部份包括通道形成區。

22.一種半導體裝置，包含：

閘極電極層；

包含金屬氧化物的氧化物半導體層，該金屬氧化物包括至少銦；以及

安插在該閘極電極層和該氧化物半導體層間的閘極絕

緣層；

其中該氧化物半導體層的頂表面至少包含結晶區，以及

其中該晶體區的 c 軸對齊在實質垂直於該氧化物半導體層的該頂表面的方向。

23. 如申請專利範圍第 22 項的半導體裝置，其中該結晶區包含晶體，其尺寸大於或等於 1 nm 且小於或等於 20 nm。

24. 如申請專利範圍第 22 項的半導體裝置，其中該氧化物半導體層包含該結晶區和非晶區。

25. 如申請專利範圍第 22 項的半導體裝置，其中該結晶區包括多數晶粒，且相鄰晶粒互相接觸。

26. 如申請專利範圍第 22 項的半導體裝置，其中該氧化物半導體層包括 In-Ga-Zn-O 基氧化物。

27. 如申請專利範圍第 22 項的半導體裝置，其中該氧化物半導體層具有 Zn 原子 % 含量大於 In 或 Ga 原子 % 含量的組成。

28. 如申請專利範圍第 22 項的半導體裝置，其中該氧化物半導體層包括實質化學計量組成比。

29. 一種半導體裝置，包含：

閘極電極層；

在該閘極電極層上的氧化物半導體層；

安插在該閘極電極層和該氧化物半導體層間的閘極絕緣層；以及

在該氧化物半導體層上且與其接觸的含有矽和氧的絕緣層，

其中該氧化物半導體層的頂表面至少包含結晶區，以及

其中該晶體區的 c 軸對齊在實質垂直於該氧化物半導體層的該頂表面的方向。

30.如申請專利範圍第 29 項的半導體裝置，其中該結晶區包含晶體，其尺寸大於或等於 1nm 且小於或等於 20nm。

31.如申請專利範圍第 29 項的半導體裝置，其中該氧化物半導體層包含該結晶區和非晶區。

32.如申請專利範圍第 29 項的半導體裝置，其中該結晶區包括多數晶粒，且相鄰晶粒互相接觸。

33.如申請專利範圍第 29 項的半導體裝置，其中該氧化物半導體層包括 In-Ga-Zn-O 基氧化物。

34.如申請專利範圍第 29 項的半導體裝置，其中該氧化物半導體層具有 Zn 原子 % 含量大於 In 或 Ga 原子 % 含量的組成。

35.如申請專利範圍第 29 項的半導體裝置，其中該氧化物半導體層包括實質化學計量組成比。

36.如申請專利範圍第 29 項的半導體裝置，其中該含有矽和氧的絕緣層是由氧化矽所形成。

37.一種半導體裝置，包含：

閘極電極層；

在該閘極電極層上的氧化物半導體層；以及

安插在該閘極電極層和該氧化物半導體層間的閘極絕緣層，

其中該氧化物半導體層的頂表面至少包含結晶區，

其中該晶體區的c軸對齊在實質垂直於該氧化物半導體層的該頂表面的方向，以及

其中該結晶區包括在與該閘極電極層重疊的部份的不同厚度。

38.如申請專利範圍第37項的半導體裝置，其中該結晶區包含晶體，其尺寸大於或等於1nm且小於或等於20nm。

39.如申請專利範圍第37項的半導體裝置，其中該氧化物半導體層包含該結晶區和非晶區。

40.如申請專利範圍第37項的半導體裝置，其中該結晶區包括多數晶粒，且相鄰晶粒互相接觸。

41.如申請專利範圍第37項的半導體裝置，其中該氧化物半導體層包括In-Ga-Zn-O基氧化物。

42.如申請專利範圍第37項的半導體裝置，其中該氧化物半導體層具有Zn原子%含量大於In或Ga原子%含量的組成。

43.如申請專利範圍第37項的半導體裝置，其中該氧化物半導體層包括實質化學計量組成比。

44.如申請專利範圍第37項的半導體裝置，其中該部份包括通道形成區。

圖 1A

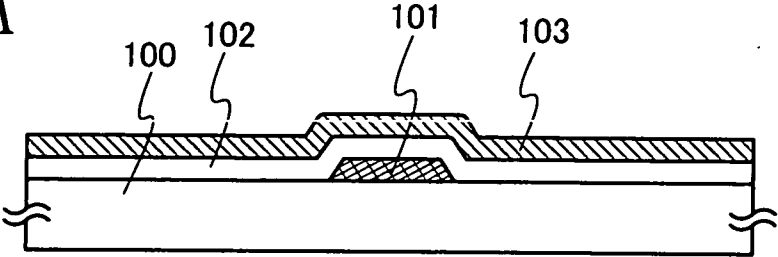


圖 1B

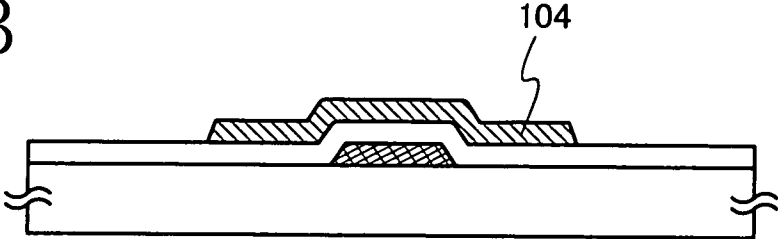


圖 1C

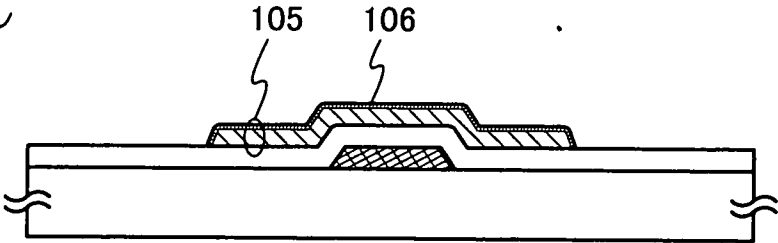


圖 1D

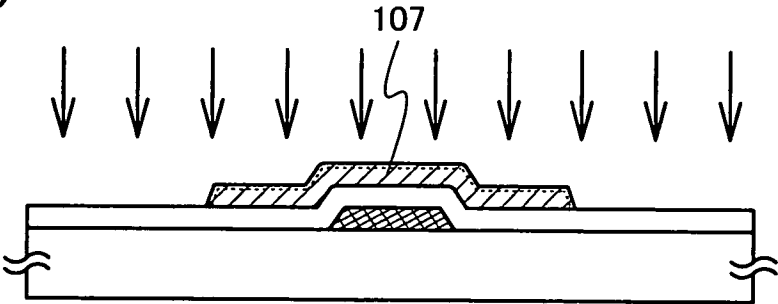


圖 1E

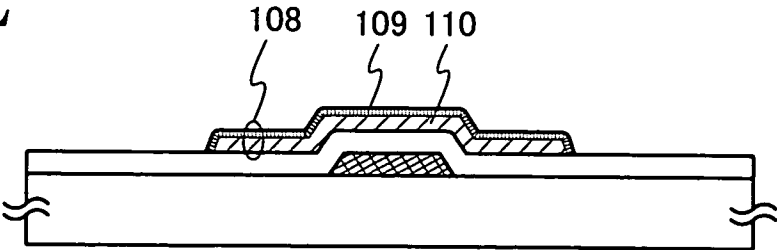


圖 2A

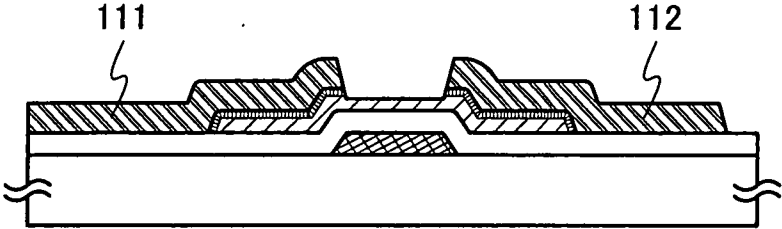


圖 2B

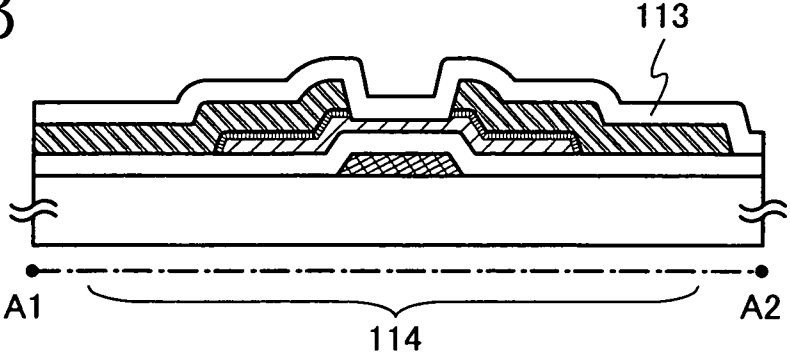


圖 2C

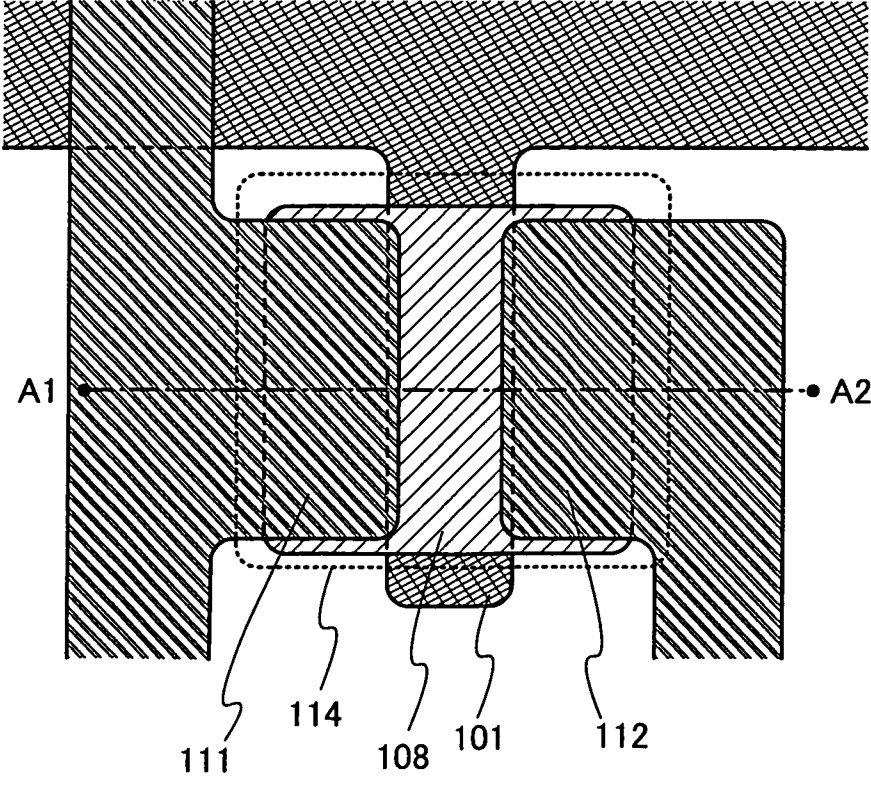


圖 3A

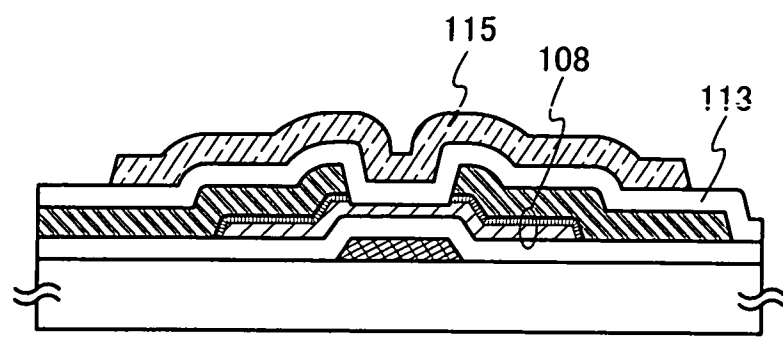


圖 3B

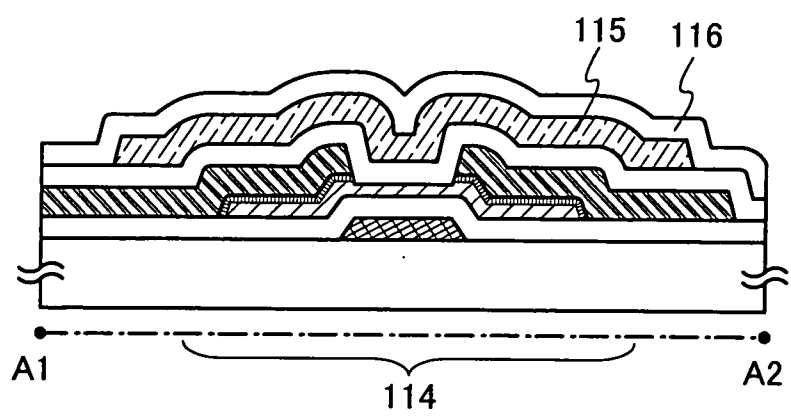


圖 3C

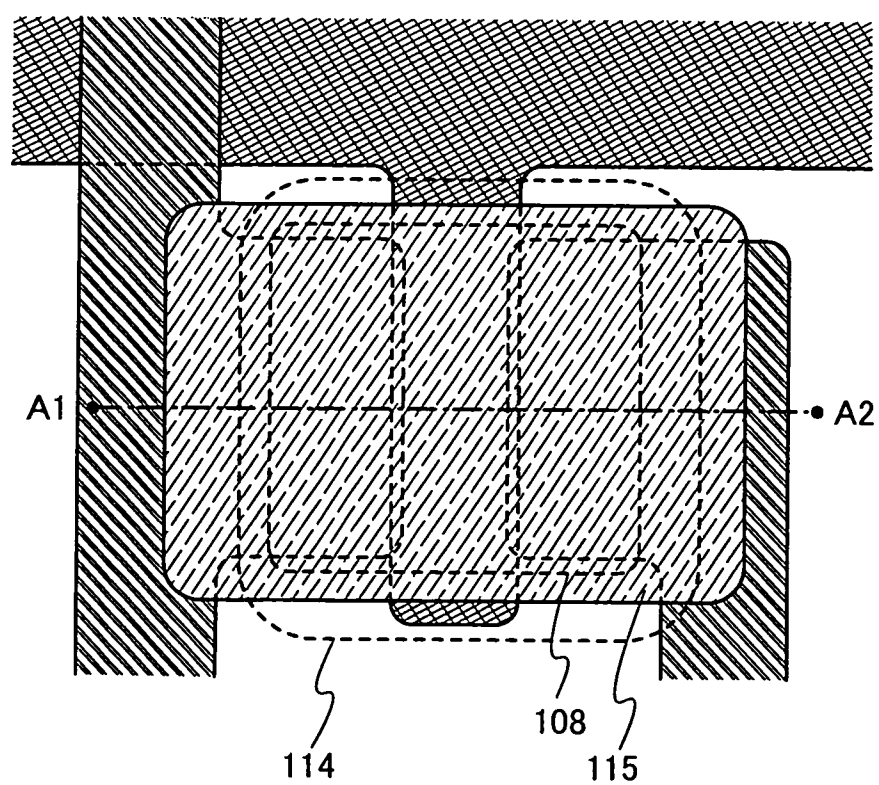


圖4

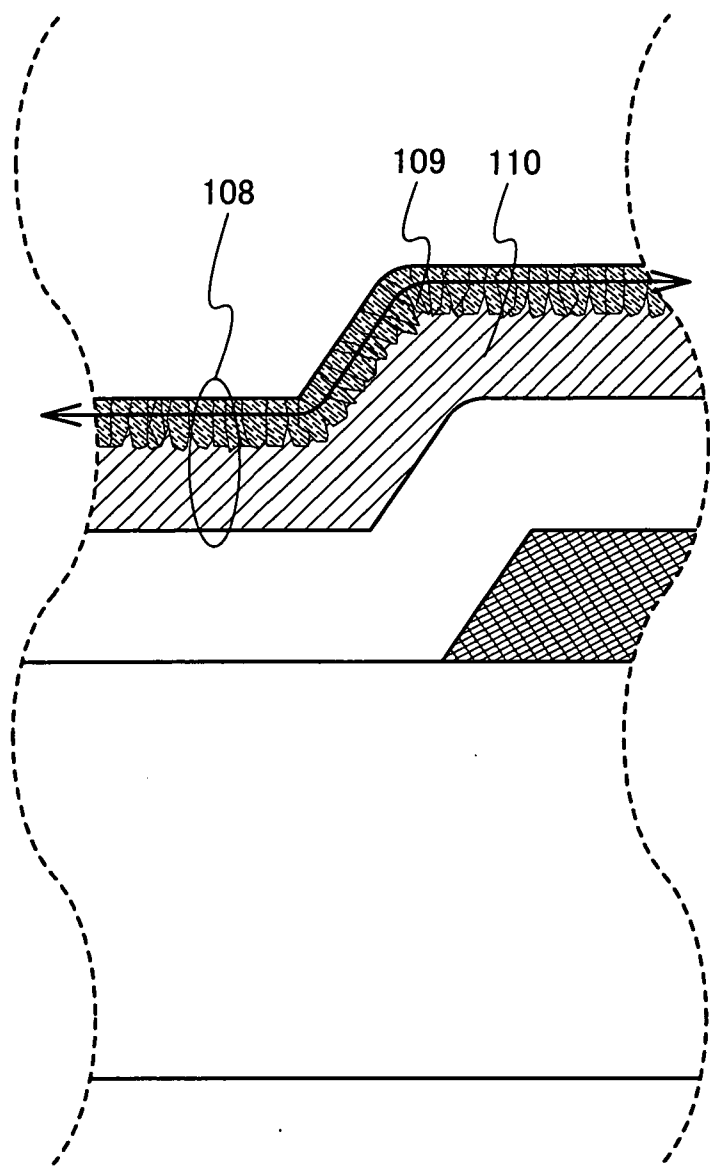


圖 5A

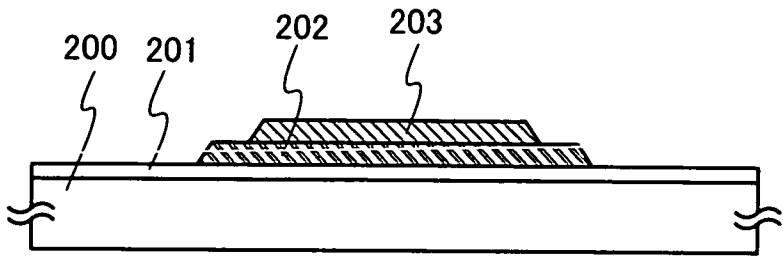


圖 5B

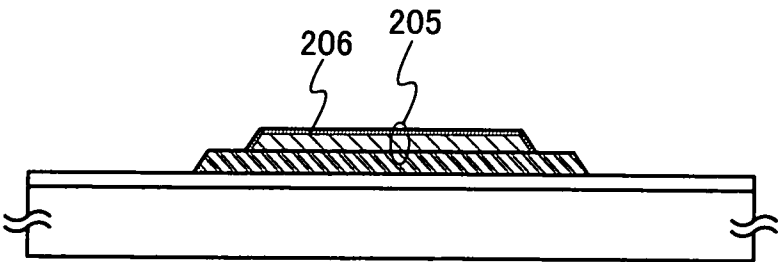


圖 5C

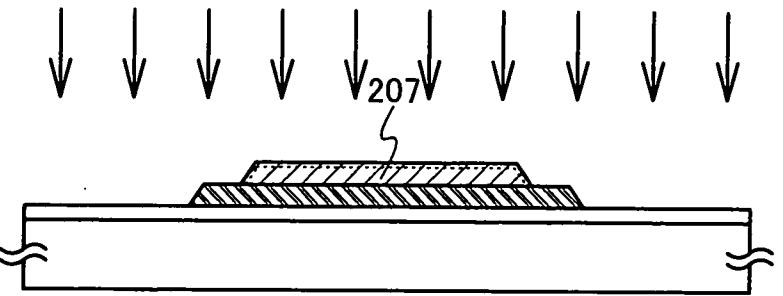


圖 5D

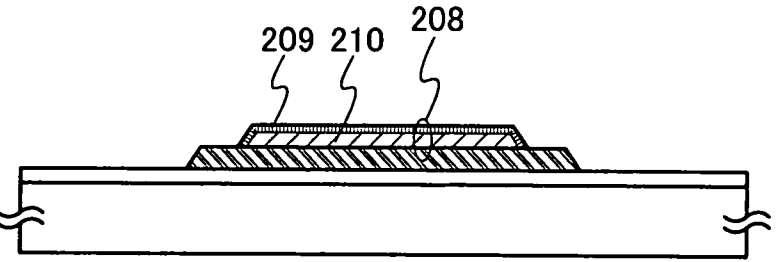


圖 5E

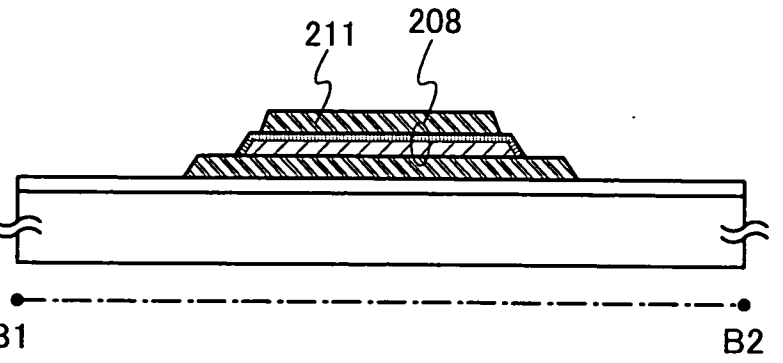


圖 6A

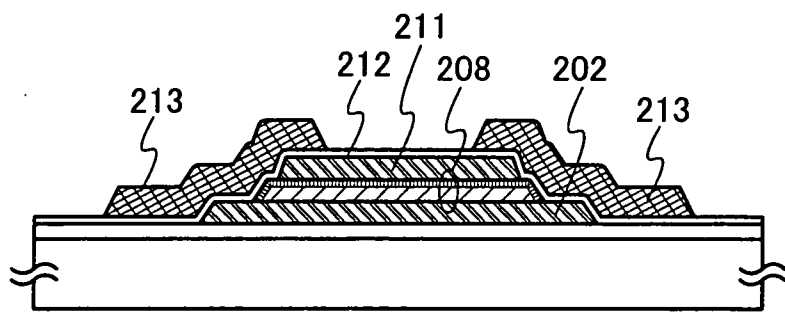


圖 6B

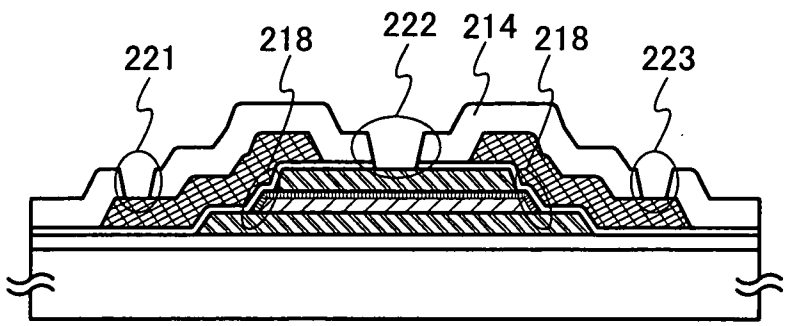


圖 6C

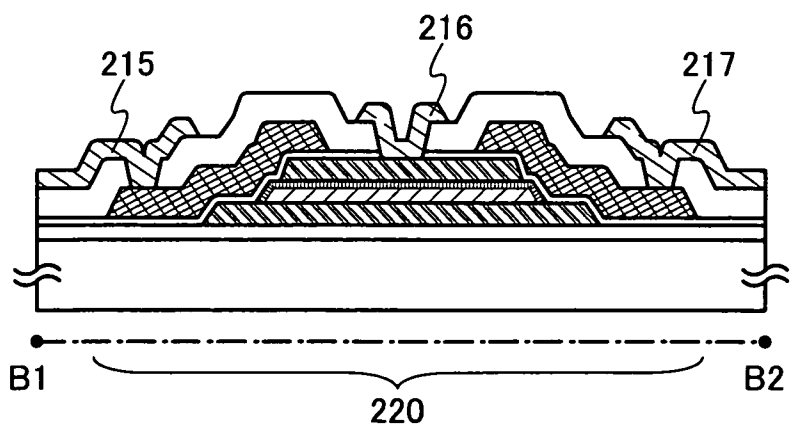


圖 7A

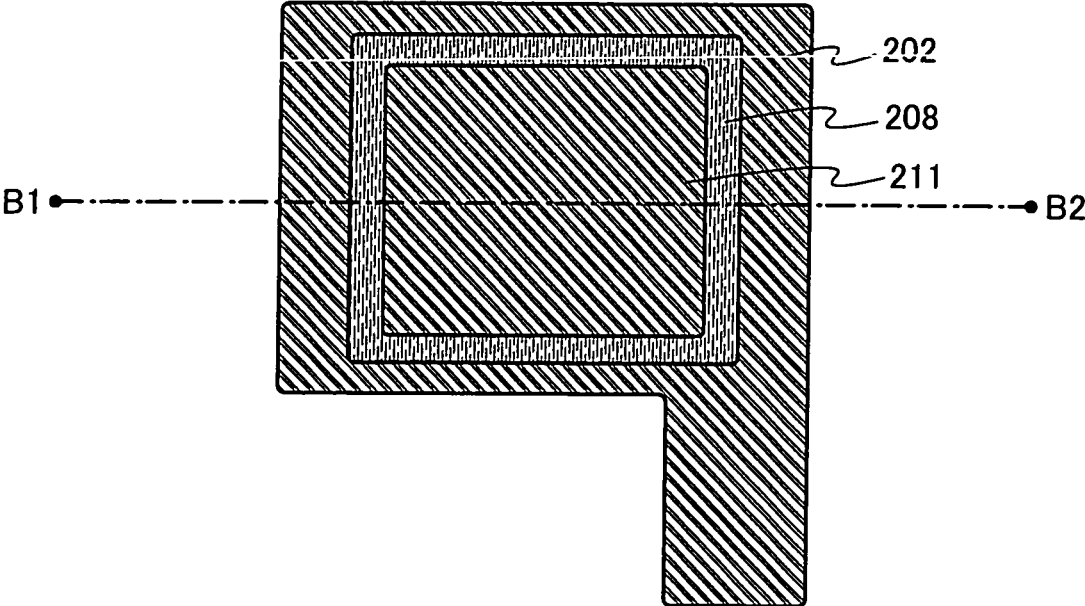


圖 7B

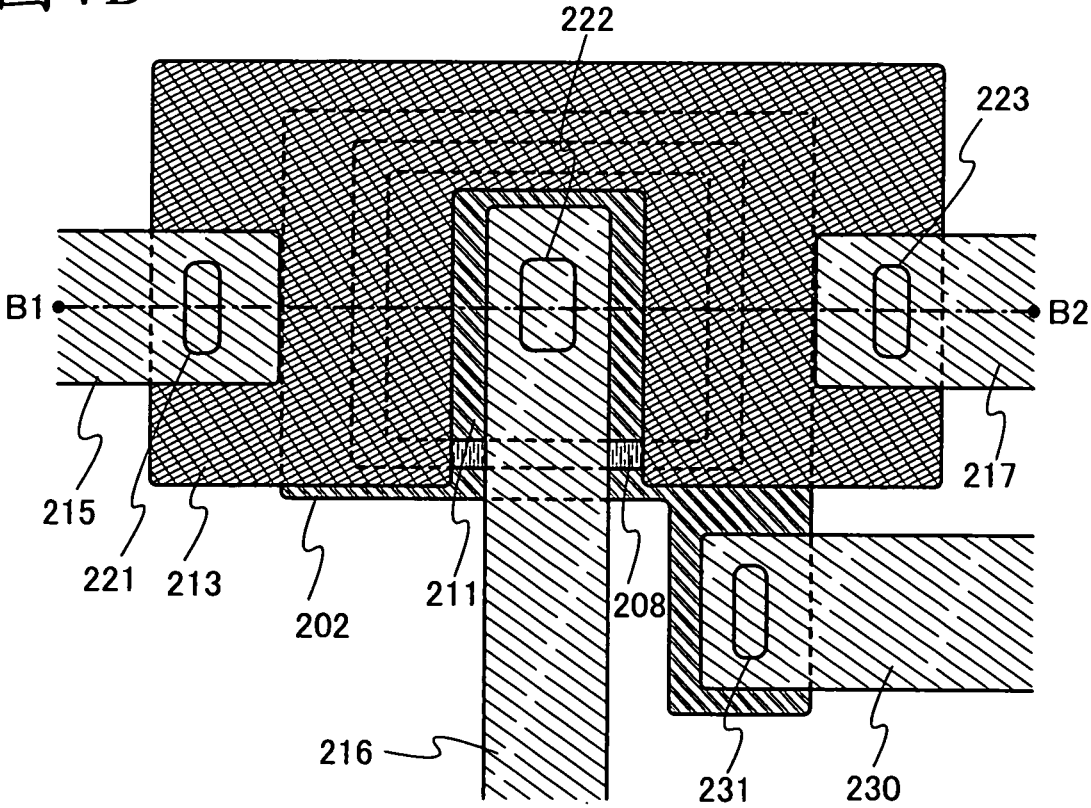


圖 8A

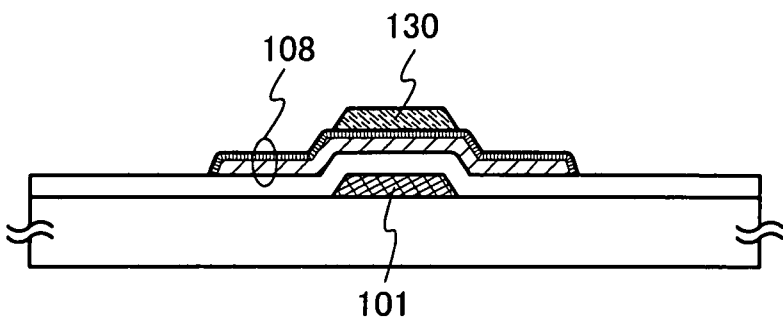


圖 8B

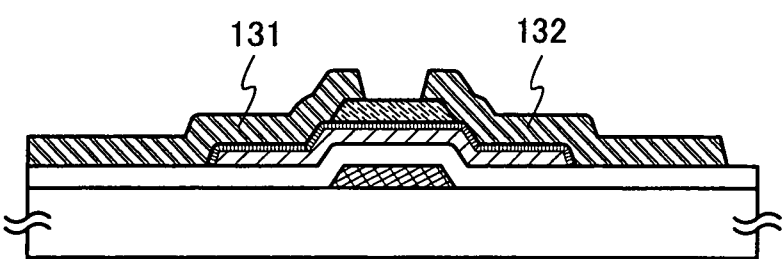


圖 8C

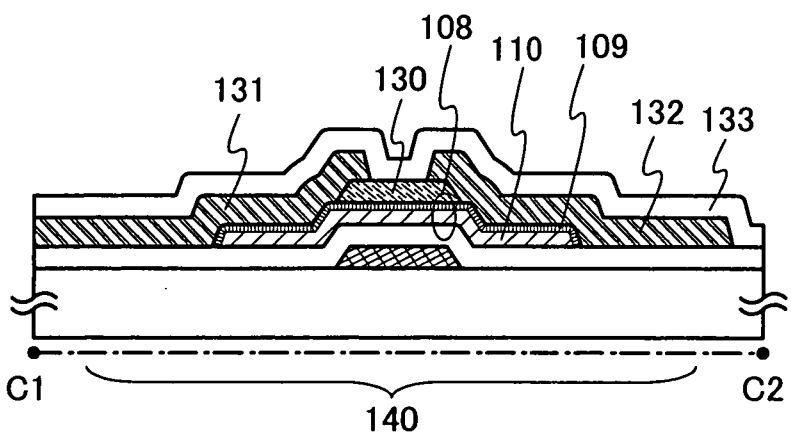


圖 9

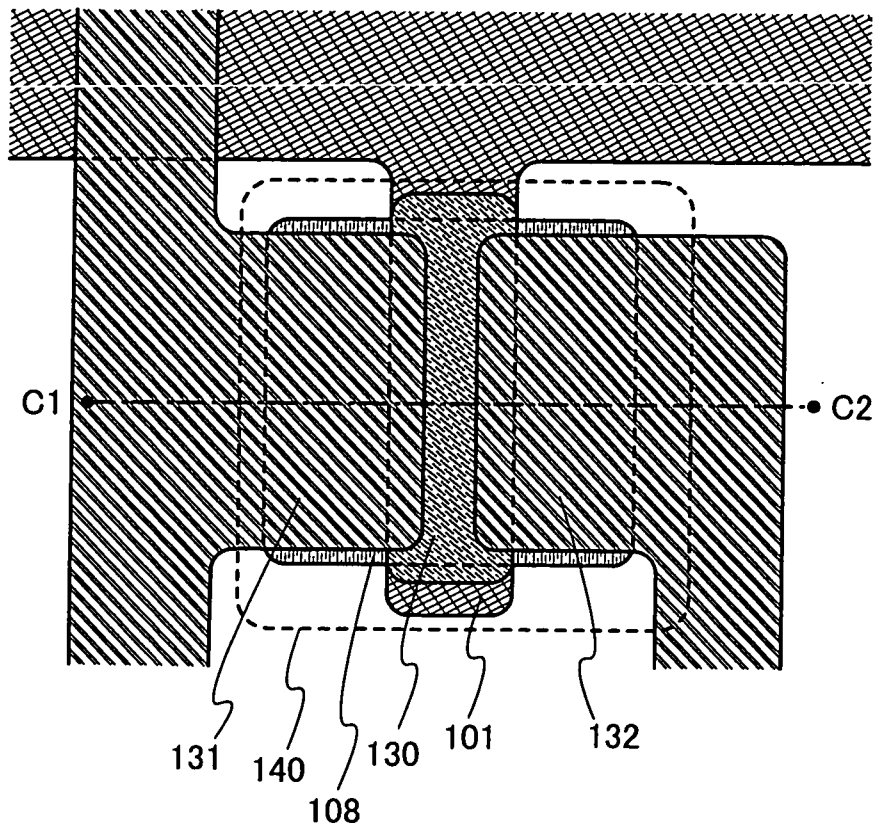


圖 10A

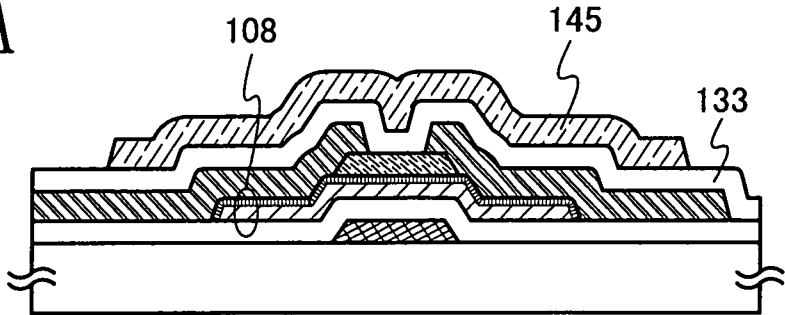


圖 10B

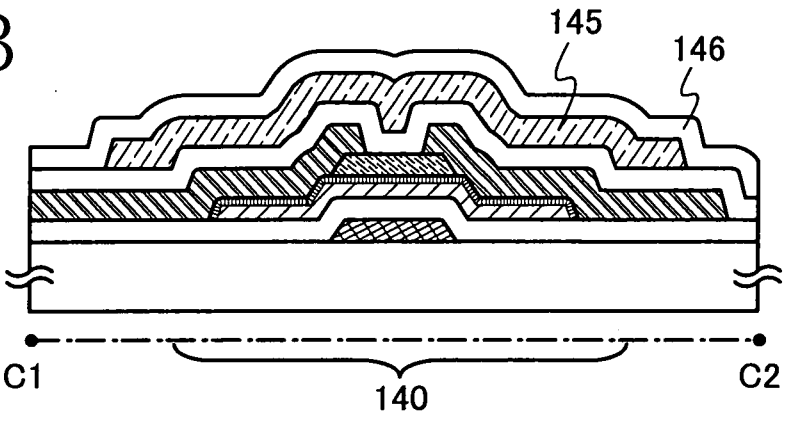


圖 10C

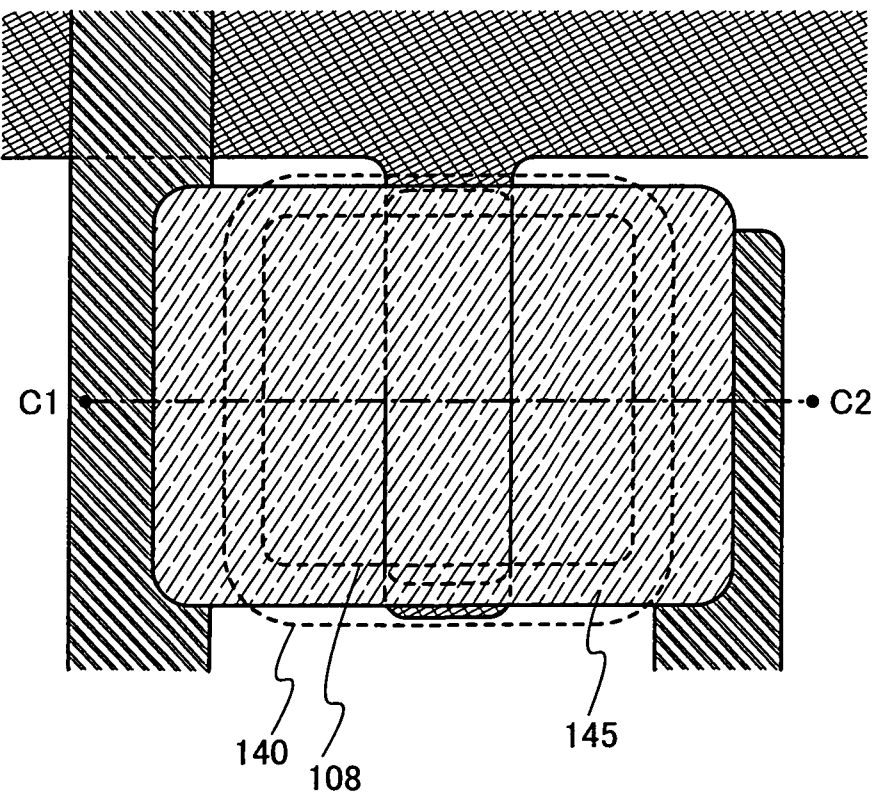


圖 11A

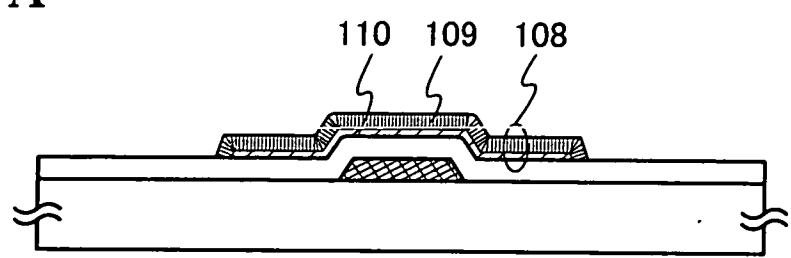


圖 11B

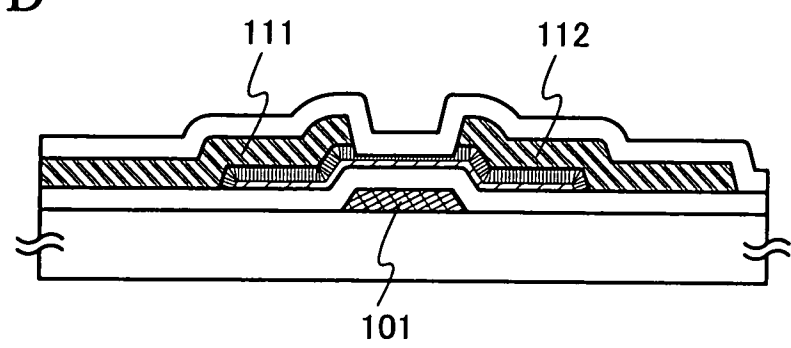


圖 12A

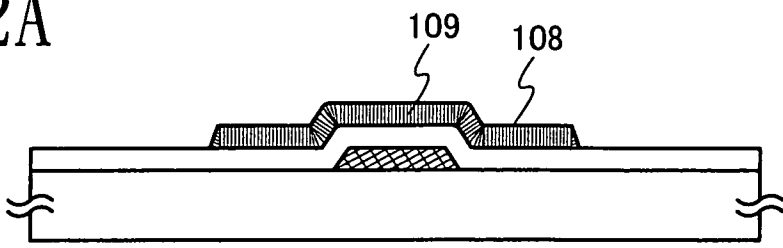


圖 12B

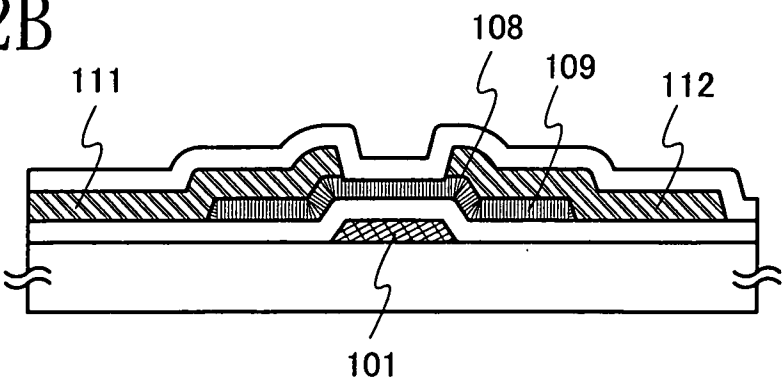


圖 13A

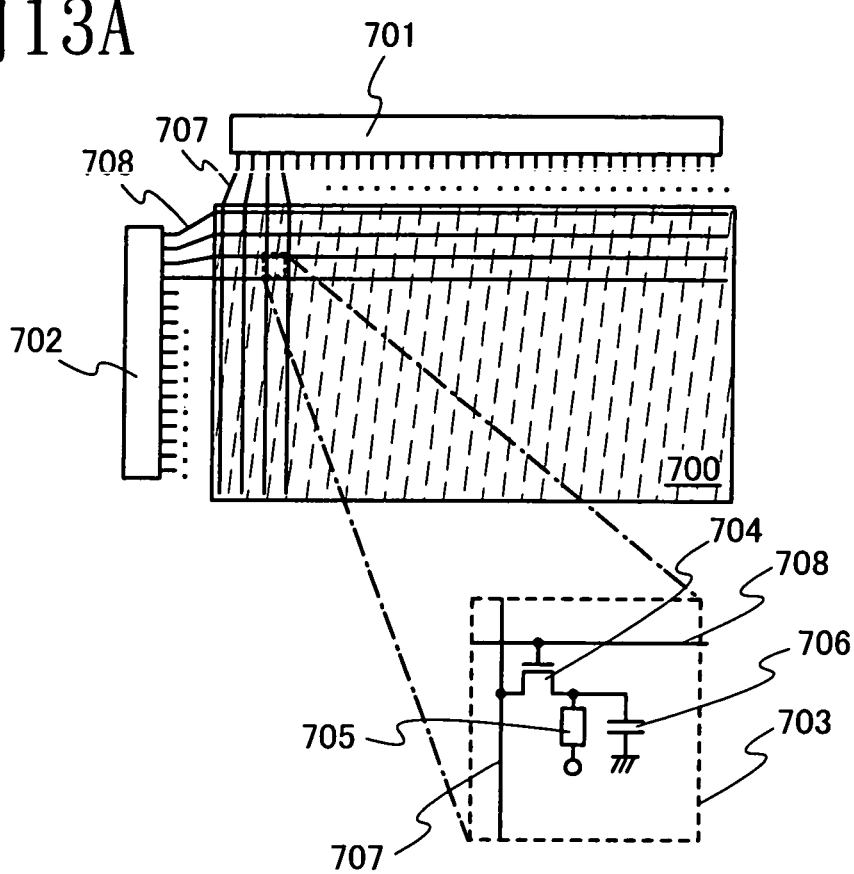


圖 13B

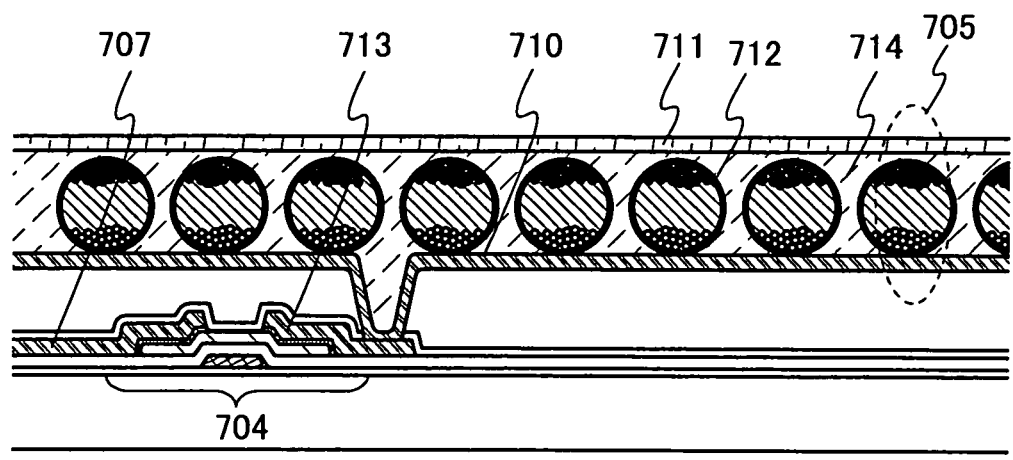


圖 14A

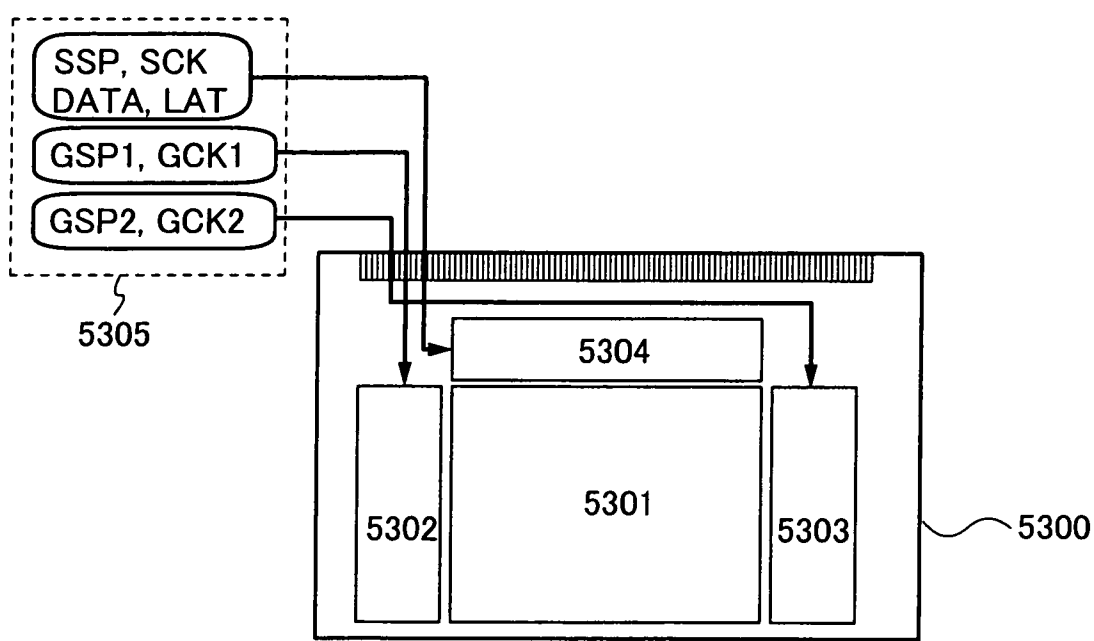


圖 14B

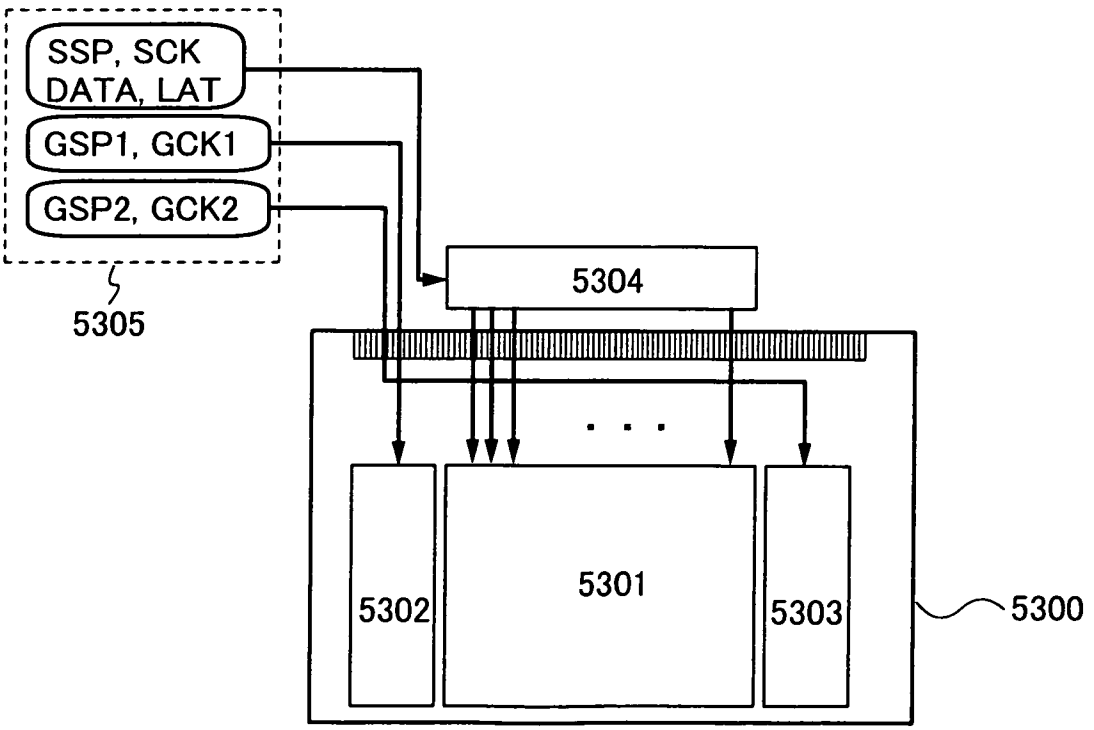


圖 15A

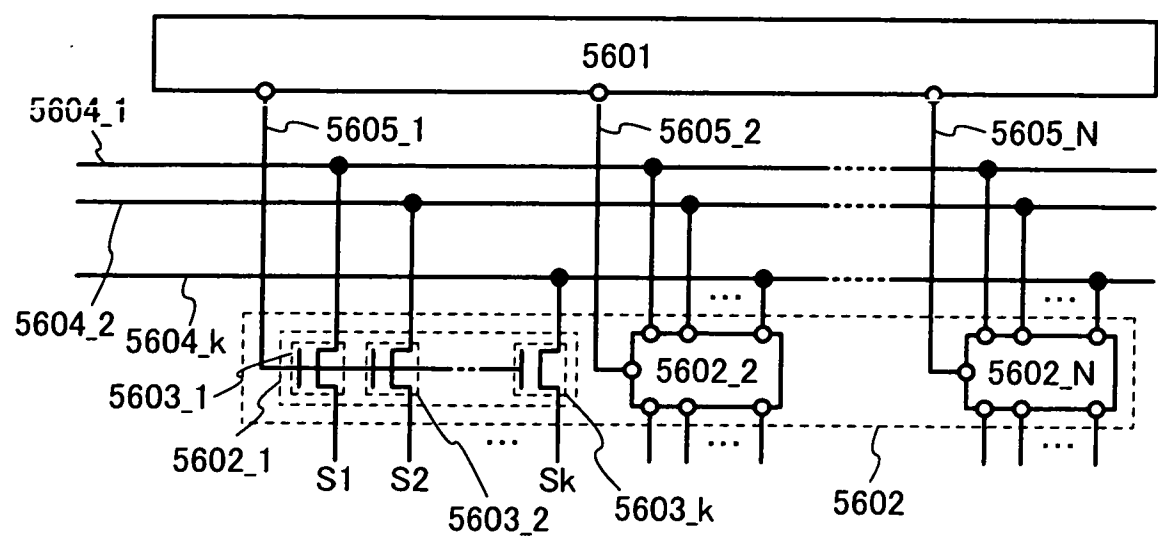


圖 15B

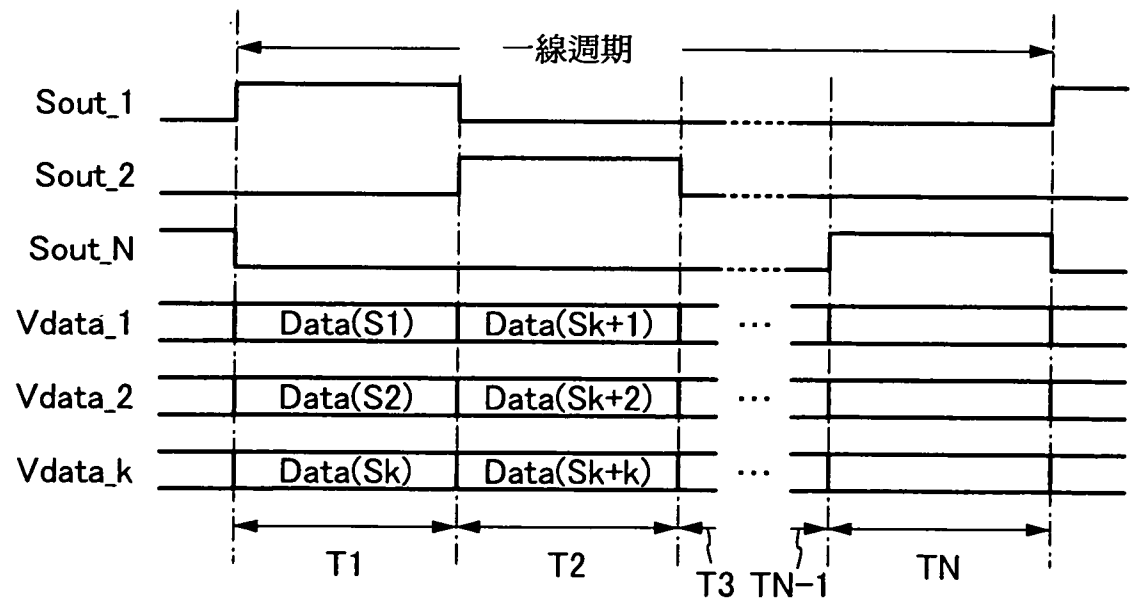


圖 16A

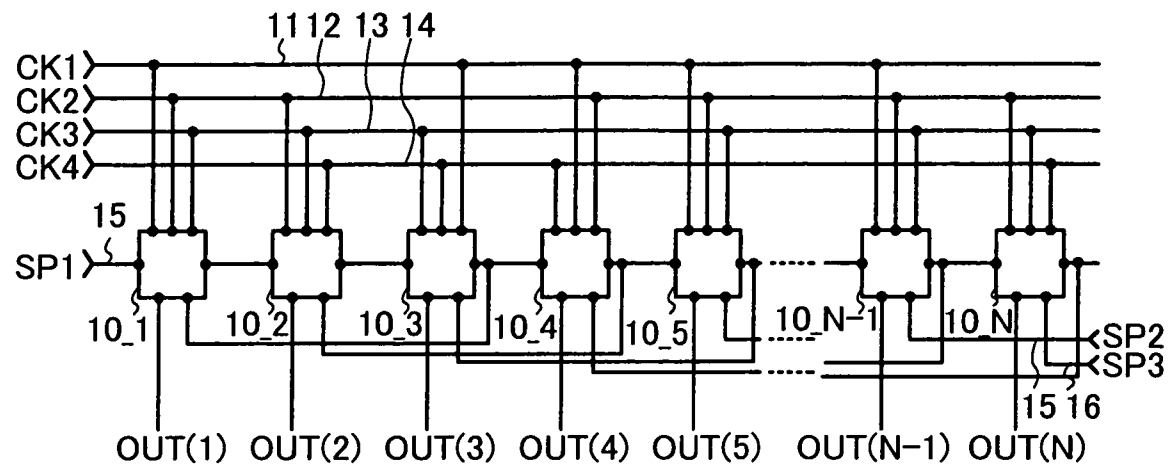


圖 16B

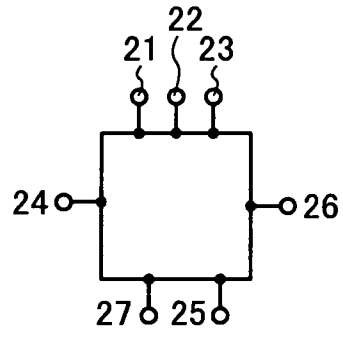


圖 17A

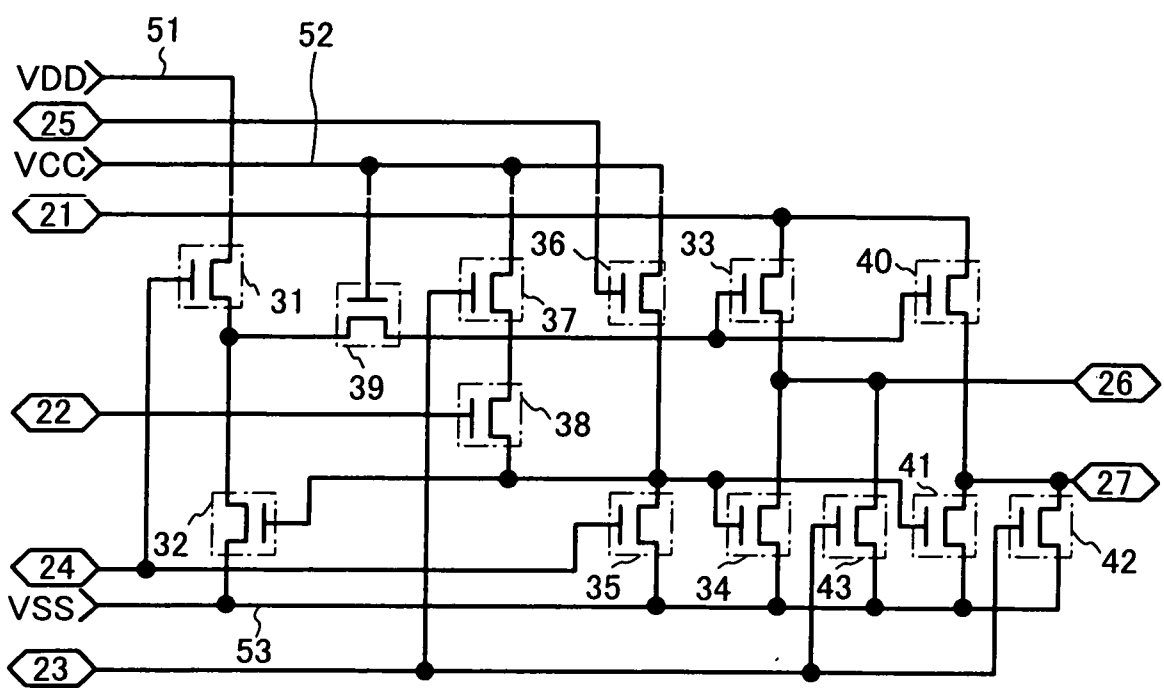


圖 17B

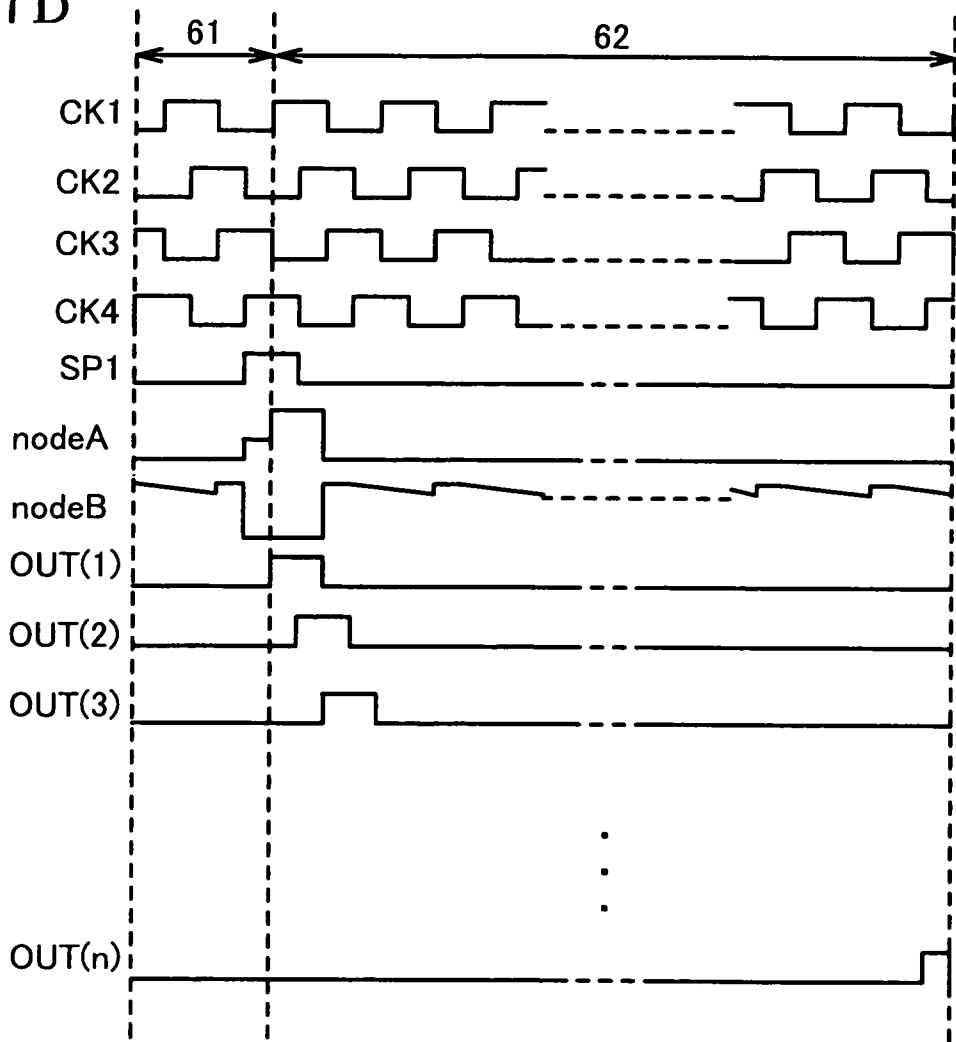


圖18

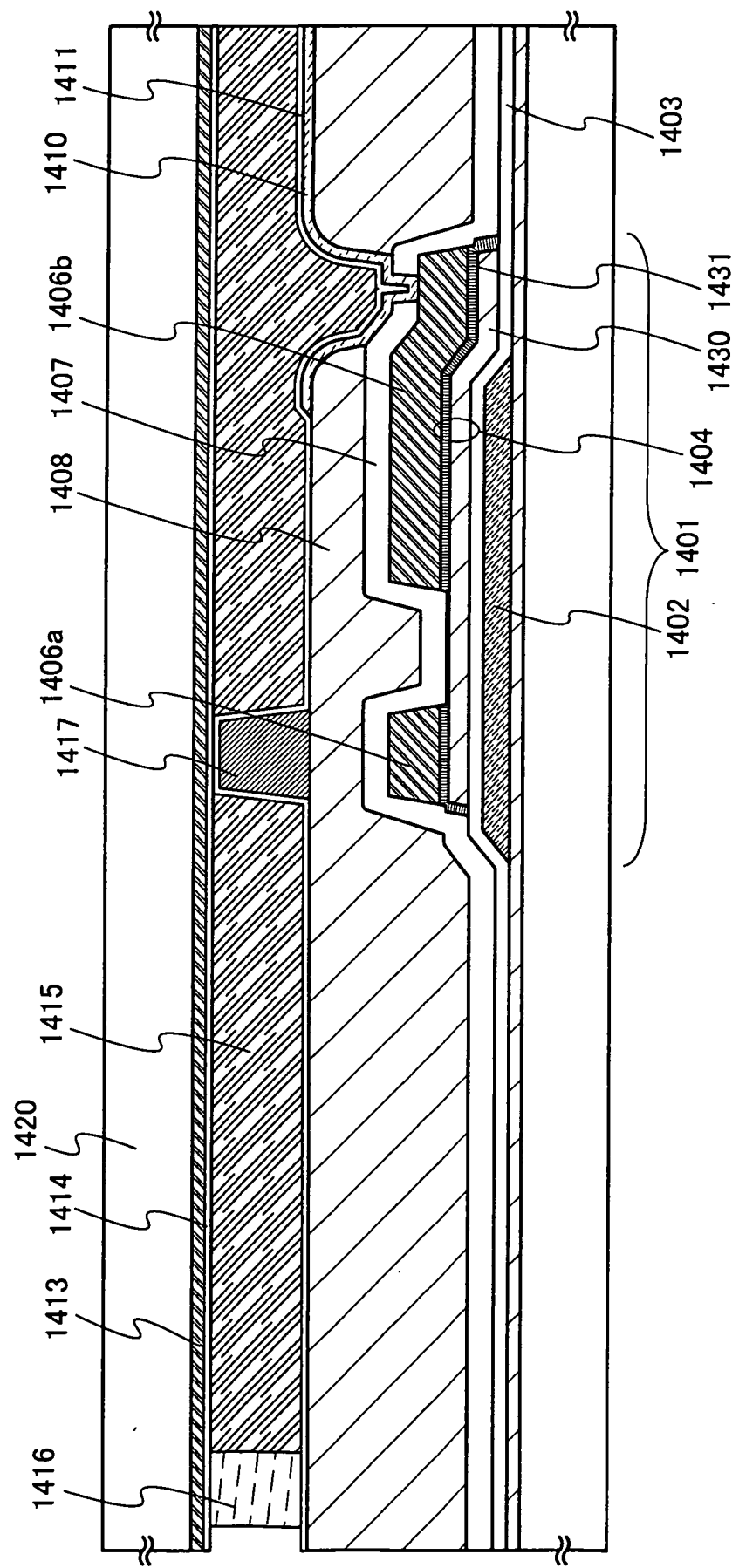


圖 19

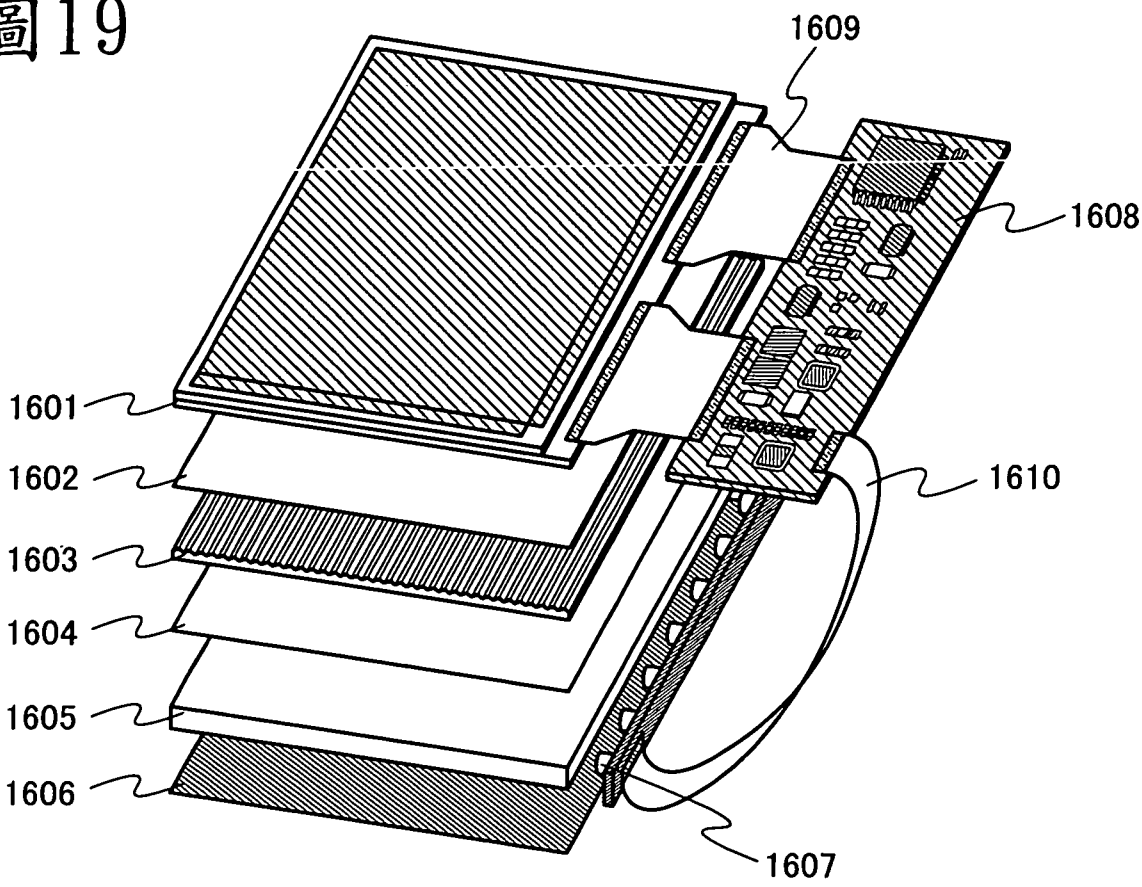


圖 20A

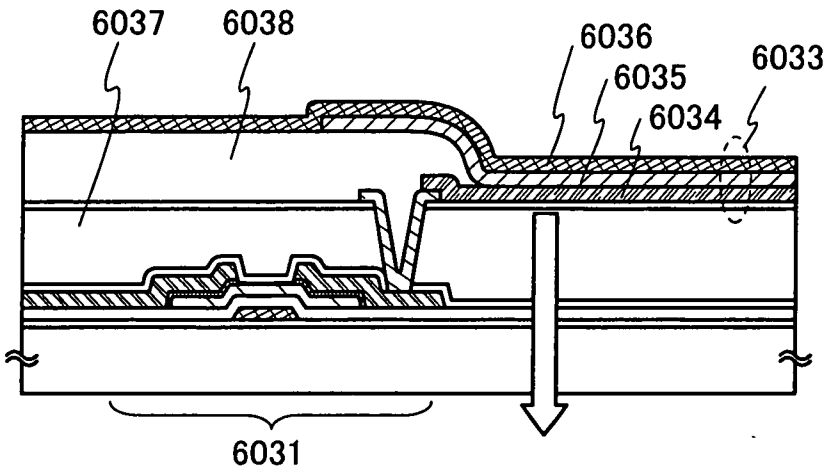


圖 20B

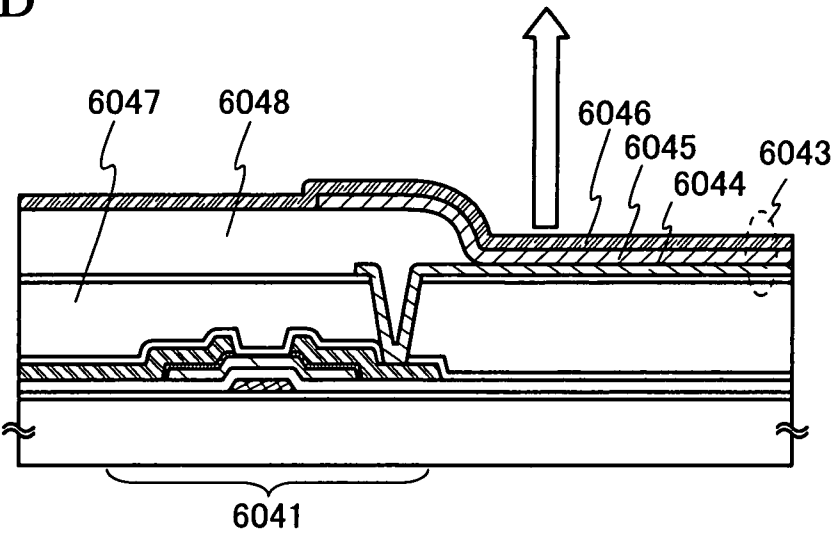


圖 20C

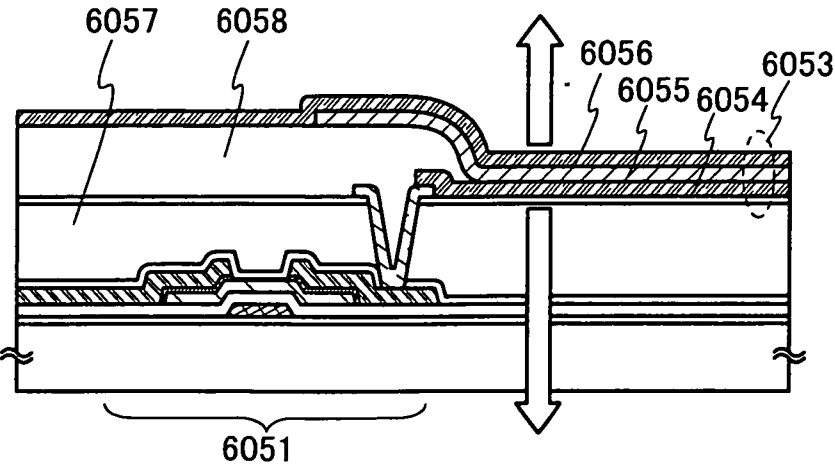


圖 21A

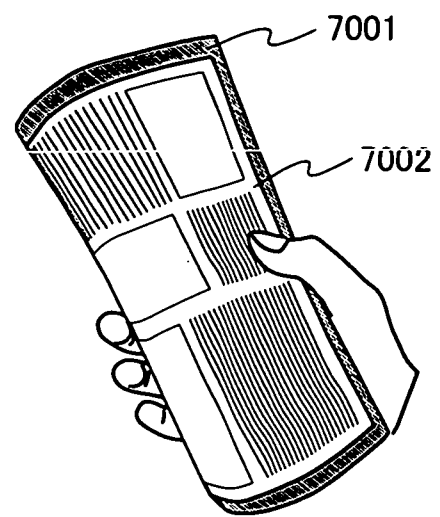


圖 21B

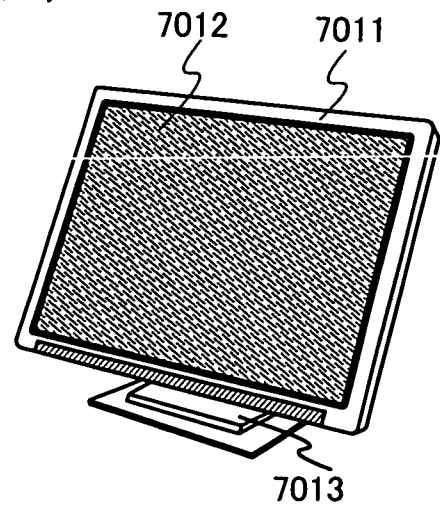


圖 21C

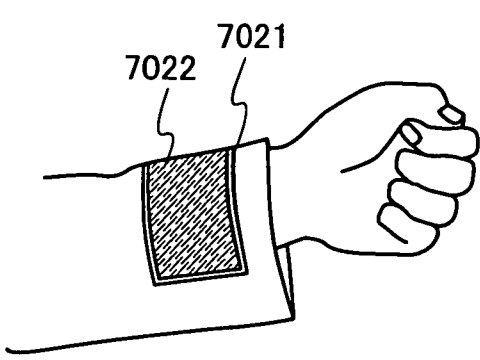


圖 21D

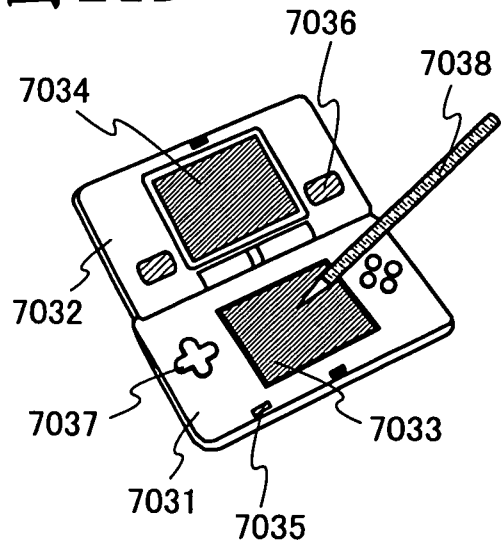


圖 21E

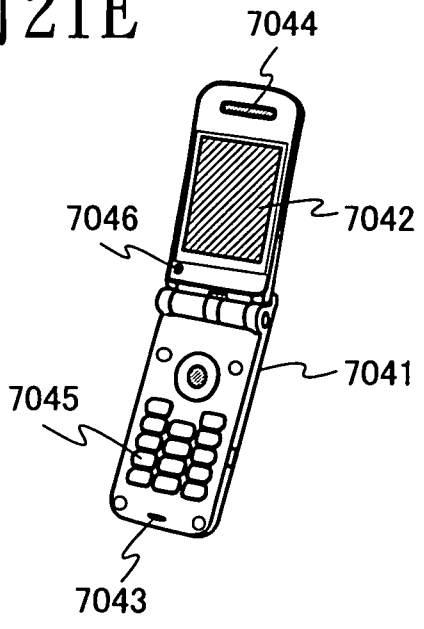


圖 21F

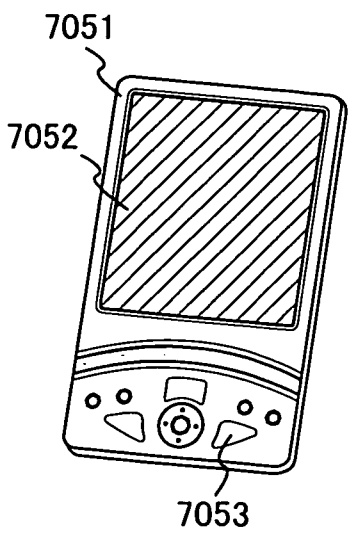


圖 22

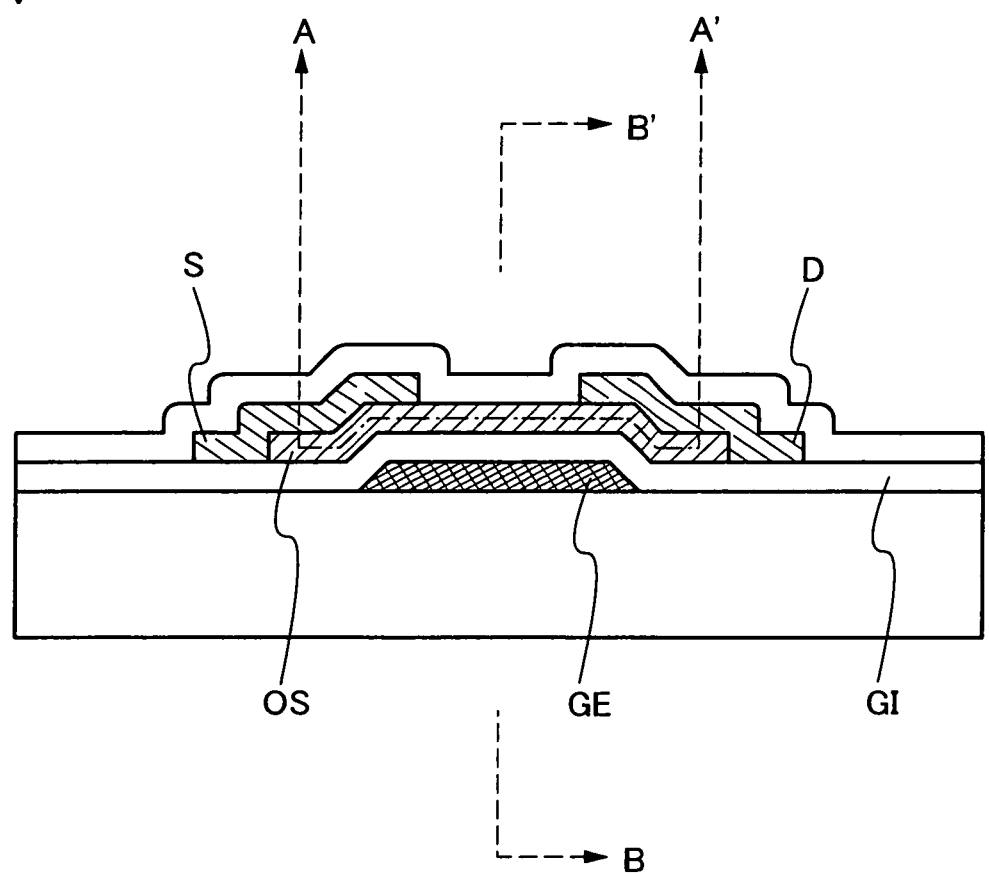


圖 23

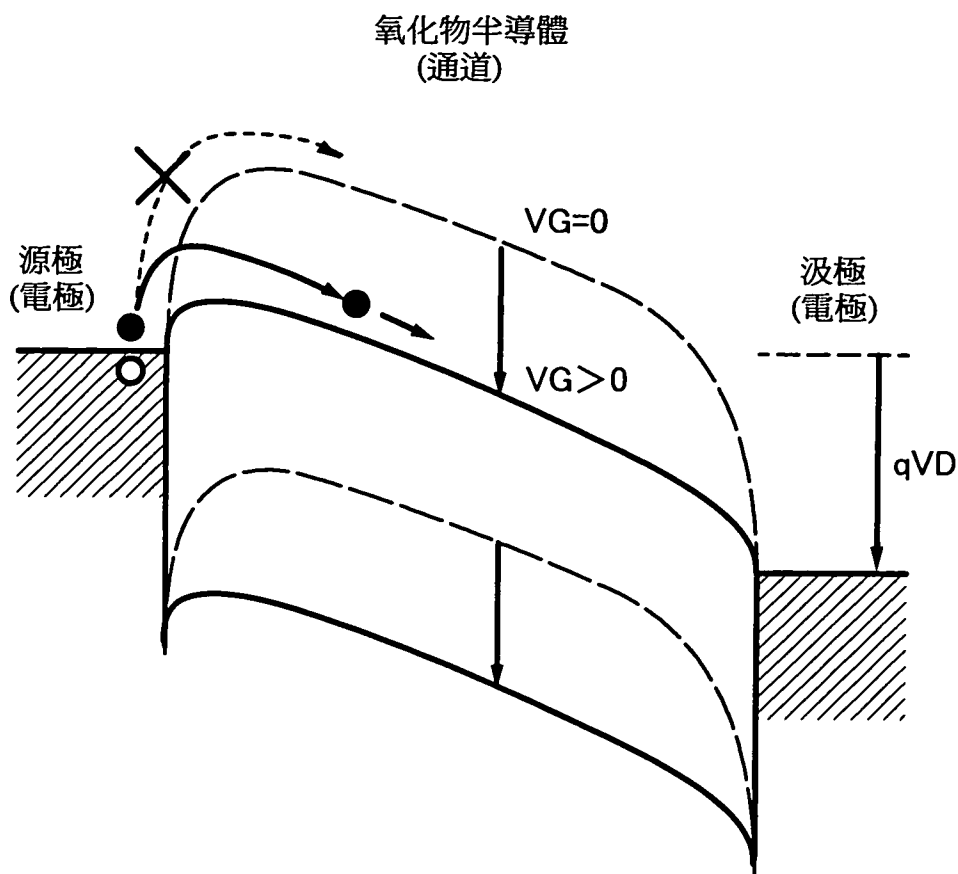
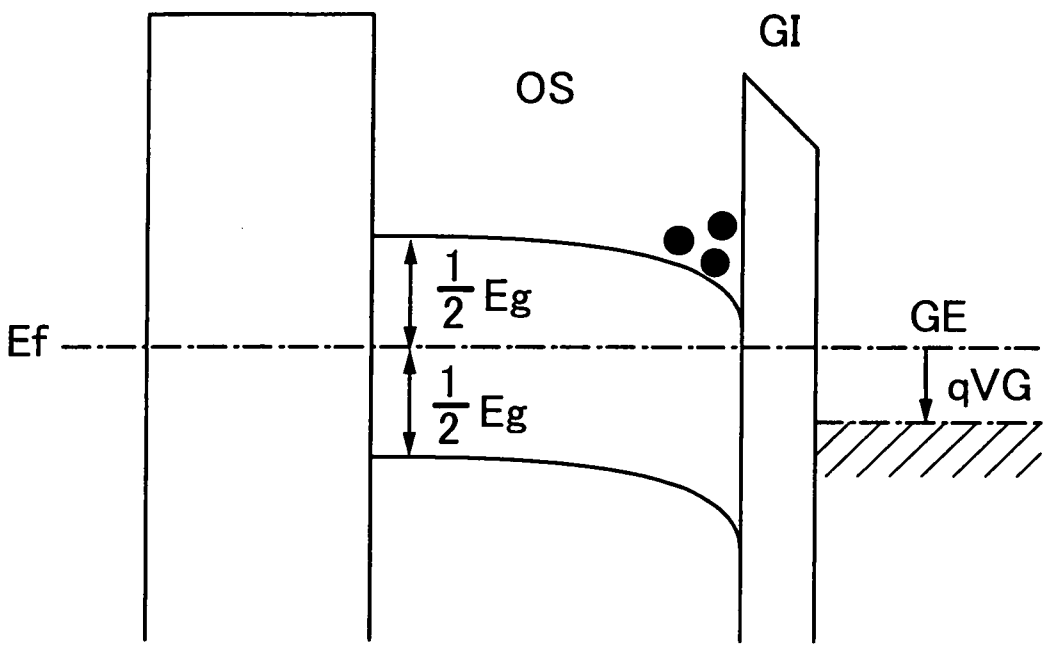
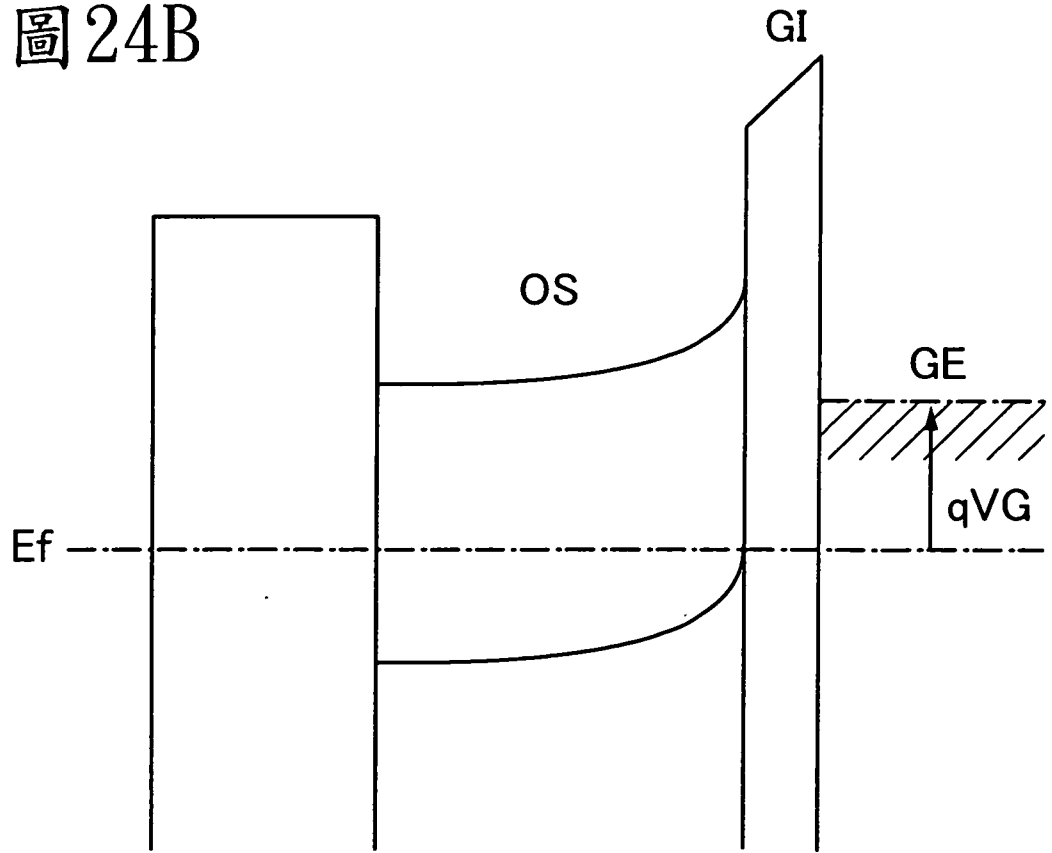


圖 24A



B-B' 截面的能帶圖 ($V_G > 0$)

圖 24B



B-B' 截面的能帶圖 ($V_G < 0$)

圖25

