

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4299853号
(P4299853)

(45) 発行日 平成21年7月22日 (2009. 7. 22)

(24) 登録日 平成21年4月24日 (2009. 4. 24)

(51) Int. Cl.

F I

G O 3 F 1/08 (2006. 01)

G O 3 F 1/08 A

H O 1 L 21/027 (2006. 01)

H O 1 L 21/30 5 O 2 R

H O 1 L 21/82 (2006. 01)

H O 1 L 21/82 C

請求項の数 6 (全 18 頁)

(21) 出願番号 特願2006-294951 (P2006-294951)
 (22) 出願日 平成18年10月30日 (2006. 10. 30)
 (65) 公開番号 特開2007-133395 (P2007-133395A)
 (43) 公開日 平成19年5月31日 (2007. 5. 31)
 審査請求日 平成20年10月31日 (2008. 10. 31)
 (31) 優先権主張番号 11/164076
 (32) 優先日 平成17年11月9日 (2005. 11. 9)
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 集積回路フィーチャを形成するための方法およびプログラム

(57) 【特許請求の範囲】

【請求項 1】

集積回路 (IC) を形成するための側壁イメージ転写、及びリソグラフィマスクによるエッジ・ベースのパターン転写プロセスを最適化する複数のマスクに IC デザインを変換する方法であって、

複数の IC 形状を含む IC パターン内 O 字形状のイメージ転写形状を形成するために、側壁イメージ転写によるエッジ・ベースのイメージ転写マスクを生成するステップと、

前記 O 字形状から延びる残余部分を除去し該 O 字形状を保護するブロック・マスクを生成するステップと、

前記 IC パターン内の残りの IC 形状及び残余部分を形成するためにリソグラフィ・マスクを生成するステップとを含む、方法。

【請求項 2】

エッジ・ベースのイメージ転写マスクを生成する前記ステップが、

前記 IC パターン内の前記 O 字形状のエッジ・ベースのイメージ転写形状のために、前記複数内でエッジ・ベースのイメージ転写形状セットを選択するステップ

をさらに含む、請求項 1 に記載の方法。

【請求項 3】

前記エッジ・ベースのイメージ転写形状の前記生成時のエラーに基づいて、前記セットを反復的に削減するステップ

10

20

をさらに含む、請求項 2 に記載の方法。

【請求項 4】

前記削減されたエッジ・ベースのイメージ転写形状のセット内で、それぞれのエッジ・ベースのイメージ転写形状について、最も好都合なエッジ・ベースのイメージ転写形状を選択的に選び、それにより、エッジ・ベースのイメージ転写形状の最終セットを作成するステップ

をさらに含む、請求項 3 に記載の方法。

【請求項 5】

選択的に選ぶ前記ステップが、

エッジ・ベースのイメージ転写形状の前記最終セットの周りに排除エリアを画定し、エッジ・ベースのイメージ拡張に応じて少なくとも部分的な IC 障害を引き起こす恐れがあるエッジ・ベースのイメージ転写形状の拡張を実質的に防止するステップ

をさらに含む、請求項 4 に記載の方法。

【請求項 6】

前記 O 字形状のエッジ・ベースのイメージ転写形状が、前記 IC パターン内の拡散エリアの上に何れのポリシリコン線も含む、請求項 1 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、集積回路の形成に関し、詳細には、エッジ・ベースのパターン転写 (edge based pattern transfer) プロセスにより前記集積回路の形成を最適化するマスク・セットに集積回路パターンを変換するための方法に関する。

【背景技術】

【0002】

集積回路 (「IC」) 業界は、電子デバイスがより高速になるとともに無限に小さくなるよう努力している。したがって、IC 業界は、寸法制御 (dimensional control) が改善された IC 構造体 (IC feature) を形成する方法を求める要求によって推進されている。寸法制御が改善された IC 形成により、さらに小さい IC 構造体が作成され、それにより、IC の回路密度が増加する。回路密度の増加により、より高いチップ性能がもたらされる。したがって、寸法制御が改善された IC 構造体を形成する改良型の方法を開発することにより、相当な経済的利点を得ることができる。2 通りの従来技術の IC 形成方法としては、光リソグラフィ (optical lithography) と側壁イメージ転写 (「SIT: sidewall image transfer」) を含む。

【0003】

一方の従来技術の IC 形成方法である光リソグラフィは、半導体基板とこのような基板上に付着させた様々なフィルムを光源の使用によって順次変更するパターン形成操作を含む。感光性ポリマ・フィルム、たとえば、フォトレジストまたはレジストの層を基板上にコーティングし、続いて、マスタ・ステンシル、すなわち、フォトマスクまたはマスクを通してレジストを光源に対して露光する。マスクは、レジストに転写された線および空間などのパターン形成された IC 構造体を含む。レジストを露光した後、光リソグラフィ・ツールはレジストを溶剤に浸す。溶剤は、レジストに転写された構造体を画定する。

【0004】

光リソグラフィ・ツールは光源の波長によって制限されるので、この光リソグラフィという従来技術の方法は問題を含むものである。たとえば、IC 構造体が 45 . 0 nm という線幅まで小さくなると、光リソグラフィではこのような小さい線幅の IC 構造体を形成できないことがますます問題を含むものになる。無限に小さくなる IC 構造体を形成することに加えて、光リソグラフィは、寸法制御が高まった IC 構造体を作成する能力を持たなければならない。たとえば、電界効果トランジスタのゲートは、光リソグラフィによって形成されたこのような構造体の 1 つであり、その公称幅の $\pm 10\%$ を上回るように制御されなければならない。しかし、回折効果 (diffraction effect) により、このように寸

10

20

30

40

50

法制御されたＩＣ構造体を生み出す（deliver）光リソグラフィの能力が制限される。光リソグラフィがＩＣ構造体を提供する際の正確さは、転写中のＩＣ構造体の解像度に反比例する。光リソグラフィによって生産されるＩＣ構造体は、光リソグラフィ・ツールの最小解像度を上回る線幅に制限され、それは最終的にレジストを露光するために光リソグラフィが使用する光源の波長（「 λ 」）によって制限される。少なくともこれらの理由により、光リソグラフィは不十分なものである。

【０００５】

もう１つの従来技術のＩＣ形成方法であるＳＩＴと、さらにエッジ・ベースのイメージ転写プロセスは、メサ（mesa）の側壁上にエッチマスキング媒体（etch-masking medium）、たとえば、窒化物を付着させることと、メサを除去することを含み、それにより側壁構造が残される。側壁構造は、狭いＩＣ構造体のパターン形成のための１次イメージ転写媒体として作用する。

【０００６】

ＳＩＴは光リソグラフィという従来技術の方法より寸法制御が改善されているが、ＳＩＴ操作ごとに１つのＩＣ構造体サイズしか形成できず、閉ループ・トポグラフィしか作成できず、ＳＩＴは包括的ではないＩＣ構造体形状ライブラリを有し、換言すれば、ＳＩＴでは特定のＩＣ構造体形状しか形成できないので、ＳＩＴという従来技術の方法は問題を含むものである。寸法制御は重要であるが、場合によっては、他の考慮事項、たとえば、構造体サイズの拡大、チップ性能、およびコストに対して、寸法制御が２次的なものになる。ＳＩＴでは、このような他の考慮事項が最も重要なものになる場合、ＩＣ設計者は所望のＩＣ構造体を作成するためにＳＩＴから光リソグラフィに頼らなければならない。このような考慮事項に加えて、ＳＩＴでは限られた数の形状、より具体的には、閉ループ形状しか作成できないので、ＳＩＴは不利である。ＳＩＴでは形成できない形状を形成しなければならない場合、ＩＣ設計者はＳＩＴから光リソグラフィに頼らなければならない。ＳＩＴが問題を含むもう１つの理由は、エッジ・ベースの画像処理プロセスを実行するために必要なマスク・セットにＩＣレイアウトを変換することに関連する難題である。要するに、ＳＩＴは寸法制御については改善されているが、光リソグラフィに対する依存状態を完全に排除するわけではない。少なくともこれらの理由により、ＳＩＴ単独では不十分である。ＳＩＴはエッジ・ベースのイメージ転写プロセスであるが、位相シフト（alternating phase shift）はＳＩＴと同様の利点および欠点を有するもう１つのエッジ・ベースのイメージ転写プロセスであることに留意されたい。

【発明の開示】

【発明が解決しようとする課題】

【０００７】

当技術分野で必要とされているものは、寸法制御、チップ性能、およびコストなどの考慮事項に基づいてエッジ・ベースのイメージ転写マスクの使用を最適化する最終マスク・セットを作成し、ブロックおよび光リソグラフィ・マスクにより集積回路を作成する際の欠点を補償する、集積回路を形成するための改良された方法である。

【課題を解決するための手段】

【０００８】

本発明は、集積回路を形成するためのエッジ・ベースのイメージ転写プロセスを最適化する複数のマスクに集積回路パターンを変換するための方法を対象とする。集積回路パターン内に最適化された数のエッジ・ベースのイメージ転写形状を形成するために、エッジ・ベースのイメージ転写マスクが生成される。各集積回路パターンは複数の集積回路形状で構成される。

【０００９】

本発明の第１の実施形態により、最適化された数のエッジ・ベースのイメージ転写形状の残余セクションを除去するためにブロック・マスクが生成され、残りの集積回路形状を形成するためにリソグラフィ・マスクが生成される。

【００１０】

本発明の第2の実施形態により、集積回路パターン内の最適化された数のエッジ・ベースのイメージ転写形状のために、複数の集積回路形状内でエッジ・ベースのイメージ転写形状セットが選択される。エッジ・ベースのイメージ転写形状の生成時のエラーに基づいて、そのセットが反復的に削減される。

【0011】

本発明の第3の実施形態により、集積回路パターン内の最適化された数のエッジ・ベースのイメージ転写形状のために、複数内でエッジ・ベースのイメージ転写形状セットが選択される。セット内のそれぞれのエッジ・ベースのイメージ転写形状は、バイナリのエッジ・ベースのイメージ転写製造オプションを含む。それぞれのエッジ・ベースのイメージ転写形状について、最も好都合なエッジ・ベースのイメージ転写バイナリ製造オプションが選択的に選ばれる。それにより、エッジ・ベースのイメージ転写形状の最終セットが作成される。

10

【0012】

本発明の第4の実施形態により、ICパターン内の最適化された数のエッジ・ベースのイメージ転写形状のために、複数内でエッジ・ベースのイメージ転写形状セットが選択され、そのセットの周りに排除エリア(exclusion area)が画定され、エッジ・ベースのイメージ拡張に応じて少なくとも部分的なIC障害を引き起こす恐れがあるエッジ・ベースのイメージ転写形状の拡張を実質的に防止する。

【0013】

本発明は、集積回路を形成するために光リソグラフィと連携したエッジ・ベースのイメージ転写の使用を最適化するものである。このように実行する際に、本発明では、エッジ・ベースのイメージ転写によって二重構造体が作成されるのでコストを節約し、厳密な寸法制御でエッジ・ベースのイメージ転写プロセスが作成されるので回路密度について改善され、さらに継続的に光リソグラフィに依存することによるエッジ・ベースのイメージ転写プロセスの欠点を補償する。

20

【0014】

少なくとも上記の理由により、本発明は、集積回路の形成について改善されている。

【0015】

本発明の特徴および要素特性は、特許請求の範囲に詳細に示されている。図面は、例示のみを目的としており、一定の縮尺で描かれているわけではない。さらに、図面内の同様の番号は同様の特徴を表している。しかし、本発明自体は、構成および動作方法のいずれについても、添付図面に併せて読んだときに、以下に示す詳細な説明を参照することによって最も良く理解することができる。

30

【発明を実施するための最良の形態】

【0016】

次に、添付図面に関連して、本発明について説明する。図面では、本発明をより明確に説明し例証するために、その構造の様々な態様が簡略化して図示され、概略的に表現されている。

【0017】

概要および概論として、本発明は、集積回路(「IC」)を形成するためのエッジ・ベースのイメージ転写プロセスの使用を最適化する1組のマスク・セットに既存のICデザインを変換するための方法を対象とする。ICパターン内に最適化された数のエッジ形状を形成するエッジ・ベースのイメージ転写マスクが生成される。次に、エッジ・ベースのイメージ転写マスクの残余セクションを除去するブロック・マスクが生成される。最後に、エッジ・ベースのイメージ転写では生成できないICパターン内の残りのIC形状を形成するためにリソグラフィ・マスクが生成される。本発明は、IC形成のためのエッジ・ベースのイメージ転写を最適化するマスク・セットを反復プロセスにより選択的に作成する新規な方法である。

40

【0018】

本発明の好ましい実施形態は、エッジ・ベースのイメージ転写に関連する頻度倍増(fr

50

equency doubling) および改善された寸法制御という利点を利用しようとして、ICを作成するためのエッジ・ベースのイメージ転写プロセスを最適化することを含む。好ましい実施形態では、複数のIC形状を含むICパターン内の最適化された数のエッジ形状のためのエッジ・ベースのイメージ転写マスクと、エッジ形状上の残余セクションを除去するためのブロック・マスクと、ICパターン内の残りのIC形状のためのリソグラフィ・マスクとを生成する。

【0019】

図1～図20は、好ましい実施形態により最適化されたエッジ・ベースのイメージ転写プロセスを実行するために必要なマスクを形成するプロセスを例示する図である。本発明のプロセスおよび図面に関する全般的な説明は以下の通りである。図1における既存のICデザインのための例示的なレイアウト100から始めて、以下のステップが実行される。図2～図4に図示されている通り、中心線表現が生成される。図5～図10では中心線表現の部分が選択的に除去される。図11～図14ではエッジ形状の最適セットが選択される。図15～図16ではエッジ形状における製造違反(manufacturing violation)が除去される。次に、図17～図18ではBLOCKマスクとLITHOマスクが形成される。最後に、図19、図20では結果がチェックされる。

【0020】

図1は、複数のIC形状を含むICパターン100を描写している。例示されているものは、チップ設計全体のうちの小さいエリア、たとえば、数ミクロン(μm)四方のエリアである。この図では、実線はポリシリコン導体(「PC: polysiliconconductor」)を表し、破線は拡散エリア(diffusion area)を表す。図1には、10個の拡散エリア110、111、112、113、114、115、116、117、118、119が例示されている。拡散エリア110、111、112、113、114、115、116、117、118、119を横切るPC線120、121、122、123、124、125、126は、CMOS電界効果トランジスタ(FET: fieldeffect transistor)用などのゲートとして機能する。ゲートは、エッジ・ベースのイメージ転写プロセスによって形成しなければならず、したがって、同じ最小厚さ、たとえば、50nm(500Å)を有することになる。拡散エリアの外側のPC線は相互接続として機能する。PC線127は、PC線120、121、122の底部を接続する。PC線127などの相互接続は、典型的には、より太くなり、寸法変化に対してあまり敏感ではないことに留意されたい。したがって、相互接続であるPC線127は、エッジ・ベースのイメージ転写の代わりに、光リソグラフィによって適切に形成されるであろう。135および136など、図1に図示されているいくつかの最小厚さのPC線は、拡散エリア113を越えて延び、それにより、IC形成中の潜在的なミスアライメントにもかかわらず、135、136が拡散エリア113を横切ることを保証する。

【0021】

好ましい実施形態の目標は、可能な限り多くのオーバーラップを有し、BLOCKおよびLITHO用のSITまたは位相シフト(alternating phase shift)・マスクなどのエッジ・ベースのイメージ転写プロセスの使用により集積回路を形成するために1組のマスク・セットを生成することにある。マスクを生成するプロセスは、まず、SITによって形成しなければならないすべてのPC線を検出することと、次に、BLOCKマスクを使用して特定の断片を消去することと、次に、SITによって形成することができない線をLITHOを使用して追加することを含む。「オーバーラップ」とは、処理許容度により、様々な断片がギャップなしでまとまることを意味する。たとえば、「オーバーラップ」により、クリティカル(critical)PC線(たとえば、線125の下端部)がノンクリティカル(non-critical)PC線(たとえば、129)に接続される場合にLITHOパターンがSITパターンにオーバーラップしなければならないことを意味する。オーバーラップすることにより、接続が保証される。最終的に、様々な断片を連続的に製造可能な1つのパターンにまとめる(assemble)ことが望ましい。図1は、エッジ・ベースのイメージ・プロセスの利点を可能な限り利用しながら(すなわち、可能な限りLITHOを使用せず)、

図 1 に表された物理的な集積回路レイアウトを実現するために必要な様々なマスクを生成する努力の最終目標を表している。

【 0 0 2 2 】

図 2 は、本発明によりクリティカルおよびノンクリティカル中心線 IC セグメントに分割された図 1 の IC パターン内の各 IC 形状を描写している。PC セグメントは、「クリティカル」または「ノンクリティカル」のいずれかとして定義され分類される。最小厚さを有するゲートになるクリティカル中心線セグメントは実線 (solid) で図示されている。ノンクリティカル中心線セグメントは影付き (shaded) で図示されている。たとえば、クリティカル中心線セグメント 2 2 0、2 2 1、2 2 2、2 2 3、2 2 4、2 2 5、2 2 6 は、PC 線 1 2 0、1 2 1、1 2 2、1 2 3、1 2 4、1 2 5、1 2 6 にそれぞれ対応する。ノンクリティカル中心線セグメント 1 3 7、1 3 8、1 3 9 は、PC 線 1 2 7、1 2 8、1 2 9 にそれぞれ対応する。本明細書で上述した通り、クリティカル・セグメントはエッジ・ベースのイメージ転写プロセスによって形成しなければならず、ノンクリティカル・セグメントはエッジ・ベースのイメージ転写プロセスによる形成に制限されない。しかし、好ましい実施形態によりエッジ・ベースのイメージ転写プロセスを最適化するために、エッジ・ベースのイメージ転写プロセスを使用して、可能な限り多くのノンクリティカル PC セグメントを形成することが望ましい。PC セグメント (たとえば、1 3 0、
・ ・ 1 3 9) はいずれも、5 0 0 など、目標となるエッジ・ベースのイメージ転写の厚さである厚さで描かれている。エッジ・ベースのイメージ転写は、5 0 0 など、1 つの狭い構造体サイズしか生み出さない。したがって、非最小チャネル長ゲート、または換言
すれば、たとえば 5 0 0 より太いチャネル長ゲートは、中心線生成から明確に排除される。というのは、このような構造体は従来のリソグラフィ手段によってパターン形成しなければならぬからである。

【 0 0 2 3 】

図 3 は、中心線を作成するための図 2 に図示されているクリティカルおよびノンクリティカル中心線 IC セグメントの併合 (merger) を描写している。たとえば、クリティカル中心線セグメント 2 2 0、2 2 1、2 2 2 とノンクリティカル中心線セグメント 2 2 7 は IC 形状 3 1 0 に併合され、クリティカル中心線セグメント 2 2 3、2 2 4 とノンクリティカル中心線セグメント 2 2 8 は IC 形状 3 1 1 に併合され、クリティカル中心線セグメント 2 2 5、2 2 6 とノンクリティカル中心線セグメント 2 2 9 は IC 形状 3 1 2 に併合される。各クリティカル中心線セグメントごとに、併合断片 (merging piece) は必ずノンクリティカルになる。図 3 の併合断片は 2 2 7、2 2 8、および 2 2 9 である。図 3 に図示されているクリティカル・セグメントとノンクリティカル・セグメントの併合は、エッジ・ベースのイメージ転写マスクを使用して完全に形成された場合の IC パターンを表している。しかし、エッジ・ベースのイメージ転写マスクを使用してすべての IC 形状を形成できるわけではなく、したがって、何らかの IC 形状はリソグラフィで形成しなければならない。図 3 は、U 字形 3 1 1、3 1 2、T 字形、E 字形、くし形、L 字形、直線形、および O 字形などの様々な IC 形状を描写しており、そのうちのいくつかはエッジ・ベースのイメージ転写マスクで作成することができ、いくつかは作成することができない。U 字形 IC 形状はエッジ・ベースのイメージ転写マスクで作成することができ、T 字形 IC 形状は作成することができない。IC パターンのその他のセグメントはエッジ・ベースのイメージ転写マスクによって形成することができない。図 3 に図示されている通り、併合されたセグメントのいくつかは、線の端部から延びる小さい「こぶ (nub)」または「テール (tail)」などの付加物 (appendage) を有する。このような付加物は、エッジ・ベースのイメージ転写プロセスの解像度以下のものであるので、エッジ・ベースのイメージ転写マスクを使用して形成することができず、リソグラフィで形成されることになる。

【 0 0 2 4 】

図 4 は、図 3 の併合時に検出された付加物のクリーンアップを描写している。図 3 に図示されている「こぶ」および「テール」はすべて除去される。除去された付加物に関するデータは、後で処理するために保管される。たとえば、O 字形上の「テール」は、除去さ

れ、リソグラフィによって後で設計に挿入するために保管される。付加物のクリーンアップは、エッジ・ベースのイメージ転写によって形成しなければならないIC形状については実行することができない。換言すれば、クリティカル構造体は一切除去することができない。ICに関する設計規則では、必須のエッジ・ベースのイメージ転写構造体が付加物を有することを禁止しているはずである。

【0025】

図5は、併合されたがクリーンアップされた図4のIC形状全体に関するエッジ・ベースのイメージ転写マスク形状を描写している。図5では、すべての中心線形状の片側に1つずつ、エッジ・ベースのイメージ転写形状が生成されている。エッジ・ベースのイメージ形状は陰影線(hatched line)によって表されている。エッジ・ベースのイメージ転写形状はSITまたは位相シフト(alternating phase shift)・マスクを介して作成することができるが、好ましい実施形態の説明のために、本明細書ではエッジ・ベースのイメージ転写プロセスとしてSITについて論じることとする。SIT形状510は、U字形構造体の内側またはO字形511の内側/外側に形成することができる。SIT形状がO字形の内側/外側のいずれに形成されるかという選択については、図13に関して本明細書で後述することとする。IC形状520は意味ありげにT字形を組み込んでいるが、上述の通り、T字形IC形状はエッジ・ベースのイメージ転写プロセスで形成することができない。このようなエラーについては、図6に関してさらに詳述することとする。

【0026】

図6は、図5に描写されているICパターン全体に関するエッジ・ベースのイメージ転写マスク形状の使用時のエラーを描写している。エラーは黒い実線(solid black line)によって描写されている。上述の通り、SITはT字形を形成することができず、したがって、図5に描写されているT字形520は黒い実線を有する。図7に関してさらに詳述するように、T字形IC形状などの中心線表現の部分は、その後、選択的に除去される。PCを付着させるための空間がメサ間に存在しない恐れがあるので、T字形に加えて、隣接するIC対形状は形成することができない。これは、2本の黒い実線を有する2つのE字形パターンと2本の実線を有するくし形パターンの両方で図6に描写されている。この問題を解消するために、すべての隣接するSIT対形状にバイナリ・プロパティ(binary property)が割り当てられ、対に含まれる他のすべてのIC形状のみがSITによって形成される。SIT形状は線の形成のために可能なものではないので、T字形および隣接するIC対形状に加えて、エラーが発生する可能性がある。これは、右上隅および右下隅のIC形状内の実線によって図6に描写されている。エラーが識別されると、図7に描写される改訂された1組の中心線セットが生成される。

【0027】

図7は、図6で検出されたエラーに基づくICパターンのセグメントに関するエッジ・ベースのイメージ転写マスク形状の精選除去(select elimination)を描写している。図5のエラーに関連するICパターンは、SITによって形成されたIC形状のセットから排除される。加えて、相互接続など、最小値より広いセグメントを有するいくつかのIC形状は、このようなIC形状がエラーに関連していた場合、SITによって形成されたIC形状のセットから排除されることになる。しかし、最小値より広いセグメントを有するIC形状がすべて排除されるわけではない。相互接続710および711は、最小値より広いセグメントであるが、図7に描写されている精選除去で排除されていないことに留意されたい。これは、セグメント710および711が図5のエラーを有するIC形状として識別されなかったからである。

【0028】

図8は、図7の精選除去に基づいて改良されたエッジ・ベースのイメージ転写マスク形状を描写している。図8では、E字形およびくし形IC形状にバイナリ・プロパティが関連付けられているので、SITは2本の可能な中心線のうちの1本のみに形成されることに留意されたい。

【0029】

10

20

30

40

50

図 9 は、図 8 の改良されたエッジ・ベースのイメージ転写マスク形状におけるエラーを描写している。図 9 では、図 6 のようなエラーが黒い実線 (solid black) で描写されている。右上の I C 形状には、この場合も隣接する S I T 形状とともに中心線が存在する。このパターンの両側にメサが存在しなければならないと思われるので、エラーが描写されている。加えて、図 9 は、本明細書で上述した通り、S I T によって形成できない T 字形も描写している。

【 0 0 3 0 】

図 1 0 は、図 9 の I C パターンのセグメントに関するエッジ・ベースのイメージ転写マスク形状の追加の精選除去 (further select elimination) を描写している。図 9 のエラーに関連する I C 形状の場合、図 1 0 では、非ゲート形成領域内の狭いセグメントが除去されている。図 6 のエラーに関連する I C 形状と比較すると、図 7 では、最小セグメントより広いものが除去されていた。図 1 0 の精選除去の結果として、図 9 で黒い実線であった中心線セグメントが S I T なしで描写されている。したがって、図 1 0 は、「T 字形」全体が除去されていることを描写している。このように 2 回改訂された中心線に基づいて、次に、P C 線を形成するためにどこに S I T 形状を形成できるかが判断される。

【 0 0 3 1 】

図 1 1 は、図 1 0 の追加の精選除去に基づいてエッジ・ベースのイメージ転写マスク形状を作成する際の第 1 のステップを描写している。図 1 1 では、図 1 0 からの 2 回改訂された中心線セット内の中心線の両側に S I T 形状が形成されている。最終的に、S I T マスクを生成するために、2 つの S I T 形状のうちの 1 つだけが使用されることになる。たとえば、O 字形に関しては、O 字形の内側および O 字形の外側に S I T 形状が存在する。最終的に、S I T マスクを生成するために、2 つの S I T 形状のうちの 1 つだけが使用されることになる。同様に、図 1 1 の左上隅の U 字形に関しては、両方の U 字形の内側および外側に S I T 形状が存在する。

【 0 0 3 2 】

図 1 2 は、図 1 1 のエッジ・ベースのイメージ転写マスク形状前駆体 (precursor) の半分の除去を描写している。S I T 形状の半分だけが保持されている。O 字形に関しては、外側の S I T 形状が保持されていた。図 1 2 の左上隅の U 字形に関しては、内側の S I T 形状が保持されていた。

【 0 0 3 3 】

図 1 3 は、図 1 2 の特定のセグメント形状に関するエッジ・ベースのイメージ転写マスク形状の精選選択 (select choice) を描写している。このような選択は複雑度 (complexity) に基づくものである。たとえば、複雑度は、S I T 形状の隅をカウントすることによって測定することができる。たとえば、S I T 形状内の隅が多いほど、S I T 形状の複雑度が増す。代わって、S I T 形状の外周と S I T 形状の面積とを比較することによって複雑度を測定することができ、その場合、比率が低いほど複雑度が低下する。これは、O 字形に関して図 1 3 に描写されている。O 字形の外周に沿って、O 字形内にメサを作成することは、あまり複雑ではないであろう。

【 0 0 3 4 】

図 1 4 は、図 1 3 で行われた選択によるエッジ・ベースのイメージ転写マスク形状を描写している。S I T 形状のうちのいくつかは反転 (flip) されている。たとえば、O 字形に関する S I T 形状は、図 1 2 に描写されている O 字形の外側から、図 1 4 に図示されている O 字形の内側に反転されている。同様に、左上隅の E 字形構造の中央のピン (middle prong) は、図 1 2 の中央のピンの左側から、図 1 4 の中央のピンの右側に反転されている。これは、図 1 3 で留意された複雑度を最小限にするために行われたものである。

【 0 0 3 5 】

図 1 5 は、図 1 4 のエッジ・ベースのイメージ転写マスク形状に関するエッジ・ベースのイメージ転写排除エリアを描写している。詳細には、図 1 5 では、イメージ劣化を引き起こさずに、S I T がそれを横切って形成する排除領域を拡張または併合することができない。このような領域は、この図ではダブル・ハッチング (double hatching) (X) で

10

20

30

40

50

図示されている。このように実行する際に、S I T形状（メサ）間に少なくとも最小限の間隔が維持される。また、2つのS I T形状（たとえば、1 5 1 1、1 5 1 2）間の空間は、この図の丸で囲まれたエリアによって強調表示されているように、大きくなりすぎる場合もある。

【 0 0 3 6 】

図 1 6 は、最終的なエッジ・ベースのイメージ転写マスク形状を描写している。最終的なエッジ・ベースのイメージ転写マスク形状は、図 1 5 によって画定された排除領域に基づくものである。図 1 6 にはS I T用のメサが描写されている。

【 0 0 3 7 】

図 1 7 は、ブロック・マスクを描写している。ブロック・マスクは、S I Tの残余部分を除去し、意図されたS I Tイメージを保護する。たとえば、図 1 7 では、ブロック・マスクは、図 1 7 の右上隅に図示されているI C形状内のS I Tの部分を除去する。これは、このI C形状内の濃いラテラル・クロスハッチ（lateral cross hatch）によって図示されている。同様に、ブロック・マスクは意図されたS I Tイメージを保護し、これは、図 1 7 のO字形の外周を囲むクロス・ハッチによって図示されている。

【 0 0 3 8 】

図 1 8 は、リソグラフィ・マスクを描写している。リソグラフィ・マスクを画定する際に、まず、S I Tによって生成しなければならないI C形状がリソグラフィ・マスクから排除される。上述の通り、ゲートはS I Tによって生成しなければならない。これが行われると、従来のリソグラフィによって形成しなければならないI C形状が画定される。上述の通り、T字形構造はリソグラフィによって形成しなければならない。I Cパターンのうちのいくつかのエリアは冗長なものになり、換言すれば、S I Tとリソグラフィの両方で形成されることになる。上述の通り、このような冗長性またはオーバーラップは、クリティカル線とノンクリティカル線との間に接続が行われることを保証するものである。図 1 8 では、冗長エリアのいくつかを丸で囲んでいる。

【 0 0 3 9 】

図 1 9 は、図 1 6 ～図 1 8 のマスクに基づいて予測されたエッジ・ベースのイメージ転写ウェハ・パターンを描写している。このように実行する際に、I Cパターン内で追加のエラーが識別される可能性がある。

【 0 0 4 0 】

図 2 0 は、エッジ・ベースのイメージ転写とリソグラフィとのオーバーラップに基づく集積回路パターンを描写している。S I Tイメージは黒い実線で図示され、リソグラフィ・オーバーラップはグレーで図示されている。

【 0 0 4 1 】

好ましい実施形態のレイアウト変換プロセスは、電子計算機支援設計システム上で実行されるソフトウェアとして実現することができる。このようなシステムは、当技術分野では周知のものであり、したがって、概略のみ説明することにする。

【 0 0 4 2 】

電子回路を設計するための現在のコンピュータ支援設計（C A D : computer aided design）システムは、E C A Dまたは電子C A Dシステムと呼ばれ、図形表示装置を備えたデジタル・コンピュータ上で実行される1組のソフトウェア・ツールをユーザに提供することによって、電子回路の設計を支援する。典型的には、E C A Dシステム上では、回路図エディタ（schematiceditor）、論理コンパイラ（logic compiler）、論理シミュレータ（logic simulator）、論理ベリファイヤ（logicverifier）、およびレイアウト・プログラム（layout program）という5つの主要ソフトウェア・プログラム機能が実行される。回路図エディタ・プログラムは、システムのユーザが、ディスプレイ画面を使用して回路図の入力または変更あるいはその両方を行えるようにし、プロセス内でネット・リスト（netlist）（コンポーネント間の接続の要約）を生成する。論理コンパイラは、ネット・リストを入力として受け取り、コンポーネント・データベースを使用して、レイアウト、検証、およびシミュレーションに必要な情報のすべてを1つまたは複数の回路図オブジ

10

20

30

40

50

エクト・ファイルに入れ、そのファイルのフォーマット（複数も可）はこれらの機能のために具体的に最適化される。論理ベリファイは、まとめて接続された複数の出力、過負荷の信号経路などの設計エラーがないかどうか、回路図をチェックし、このような設計問題が存在する場合はエラー表示を生成する。論理シミュレータは、回路図オブジェクト・ファイル（複数も可）およびシミュレーション・モデルを受け取り、1組のシミュレーション結果を生成し、命令、初期条件、およびファイルまたはユーザ入力の形でそれに提供される入力信号値に基づいて動作する。レイアウト・プログラムは、それから半導体チップ（または回路基板）をレイアウトし生産することができるデータを生成する。

【0043】

図21は、本発明のレイアウト変換プログラムを実行するために適した、一般化され非常に簡略化されたECADシステム2100を示している。コンピュータ（CPU）2102は、システムの中にあり、キーボード2104およびポインティング・デバイス（マウス）2106などの入力装置ならびにモニタ2108およびプリンタ2110などの出力装置とのインターフェースを取るための従来のハードウェアをすべて含む。大容量記憶装置2112は、コンピュータ2102とのインターフェースが取られ、たとえば、（i）本発明のレイアウト変換ソフトウェア、および（ii）それに関して本発明のレイアウト変換ソフトウェアが、本明細書で上述した通り、SITプロセスを実行するために必要な3つのマスクのためのパターンを生成することになる既存の回路レイアウトを含む。コンピュータ2102は、当然のことながら、ローカル・エリア・ネットワーク（LAN）、広域ネットワーク（WAN）、またはインターネットなどの適切なネットワーク2114を介して任意の数の他のコンピュータ、ワークステーションなどと通信することができる。

【0044】

使用する際に、単数または複数のユーザは、本発明のレイアウト変換ソフトウェアをロードし、それに関してレイアウト変換ソフトウェアが、本明細書で上述した通り、SITプロセスを実行するために必要な3つのマスクのためのパターンを生成することになる既存の回路レイアウトをロードし、所望の結果を達成するために必要に応じてプログラムと対話することになるであろう。その後、マスクに関する出力ファイルが生成され、SITプロセスを実現するために他のユーザに伝えられる。

【0045】

本発明は、1台のコンピュータ・システムで集中方式で実現するか、種々のエレメントがいくつかの相互接続コンピュータ・システムにわたって分散されている分散方式で実現することができる。本明細書に記載した方法を実行するために適合されたものであれば、どのような類のコンピュータ・システムまたはその他の装置でも適している。ハードウェアとソフトウェアの典型的な組み合わせとしては、ロードされ実行されたときに、本明細書に記載した方法を実行するようにコンピュータ・システムを制御するコンピュータ・プログラムを備えた汎用コンピュータ・システムにすることができるであろう。また、本発明は、本明細書に記載した方法の実現を可能にするすべての特徴を含み、コンピュータ・システムにロードされたときに、このような方法を実行することができるコンピュータ・プログラムに組み込むこともできる。

【0046】

これに関連して、コンピュータ・プログラム手段（computer program means）またはコンピュータ・プログラムは、直接または他の言語、コード、または表記への変換、または異なる物質的形式による複製のいずれか一方または両方の後、情報処理機能を有するシステムに特定の機能を実行させるための1組の命令を任意の言語、コード、または表記で表した任意の表現を意味する。

【0047】

要するに、本発明は、集積回路を作成するためにエッジ・ベースのイメージ転写プロセスの使用を最適化する最終マスク・セットの作成を可能にする。このように実行する際に、本発明は、エッジ・ベースのイメージ転写に関連する頻度倍増および厳密な寸法制御と

10

20

30

40

50

いう利点を利用する。同時に、本発明は、エッジ・ベースのイメージ転写で作成できない集積回路形状を作成するとともに、エッジ・ベースのイメージ転写で作成しなければならない集積回路形状とリソグラフィによって作成される集積回路形状との接続を保証するために、リソグラフィを使用する。

【 0 0 4 8 】

具体的な好ましい実施形態およびその他の代替実施形態に関連して本発明について詳細に説明してきたが、上記の説明を考慮すると、非常に多くの代替例、変更例、および変形例が当業者にとって明白になることは明らかである。したがって、特許請求の範囲は、本発明の真の範囲および精神に含まれる、このような代替例、変更例、および変形例のすべてを包含することが意図されている。

【図面の簡単な説明】

【 0 0 4 9 】

【図 1】複数の集積回路（「IC」）形状を含む IC パターンを描写する図である。

【図 2】本実施形態によりクリティカルおよびノンクリティカル中心線 IC セグメントに分割された図 1 の各 IC 形状を描写する図である。

【図 3】中心線を作成するための図 2 のクリティカルおよびノンクリティカル中心線 IC セグメントの併合を描写する図である。

【図 4】図 3 の併合時に検出された付加物のクリーンアップを描写する図である。

【図 5】併合されたがクリーンアップされた図 4 の IC セグメント全体に関するエッジ・ベースのイメージ転写マスク形状を描写する図である。

【図 6】図 5 の IC パターン全体に関するエッジ・ベースのイメージ転写マスク形状の使用時のエラーを描写する図である。

【図 7】図 6 で検出されたエラーに基づく IC パターンのセグメントに関するエッジ・ベースのイメージ転写マスク形状の精選除去を描写する図である。

【図 8】図 7 の精選除去に基づいて改良されたエッジ・ベースのイメージ転写マスク形状を描写する図である。

【図 9】図 8 の改良されたエッジ・ベースのイメージ転写マスク形状におけるエラーを描写する図である。

【図 10】図 9 の IC パターンのセグメントに関するエッジ・ベースのイメージ転写マスク形状の追加の精選除去を描写する図である。

【図 11】図 10 の精選除去に基づいてエッジ・ベースのイメージ転写マスク形状を作成する際の第 1 のステップを描写する図である。

【図 12】図 11 のエッジ・ベースのイメージ転写マスク前駆体の半分の除去を描写する図である。

【図 13】図 12 の特定のセグメント形状に関するエッジ・ベースのイメージ転写マスク形状の精選選択を描写する図である。

【図 14】図 13 の精選選択によるエッジ・ベースのイメージ転写マスク形状を描写する図である。

【図 15】図 14 のエッジ・ベースのイメージ転写マスク形状に関するエッジ・ベースのイメージ転写排除エリアを描写する図である。

【図 16】最終的なエッジ・ベースのイメージ転写形状マスクを描写する図である。

【図 17】ブロック・マスクを描写する図である。

【図 18】リソグラフィ・マスクを描写する図である。

【図 19】図 16、図 17、および図 18 のマスクに基づいて予測されたエッジ・ベースのイメージ転写ウェハ・パターンを描写する図である。

【図 20】エッジ・ベースのイメージ転写とリソグラフィ・オーバーラップとのオーバーラップに基づく集積回路パターンを描写する図である。

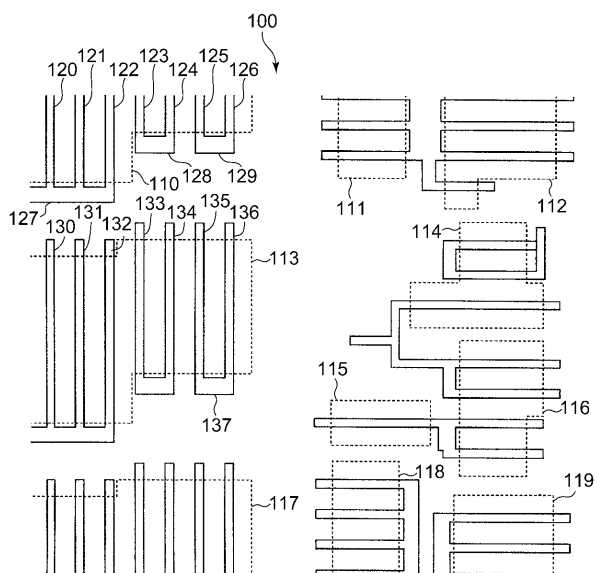
【図 21】本発明により本発明を実現可能な電子設計システムのブロック図である。

【符号の説明】

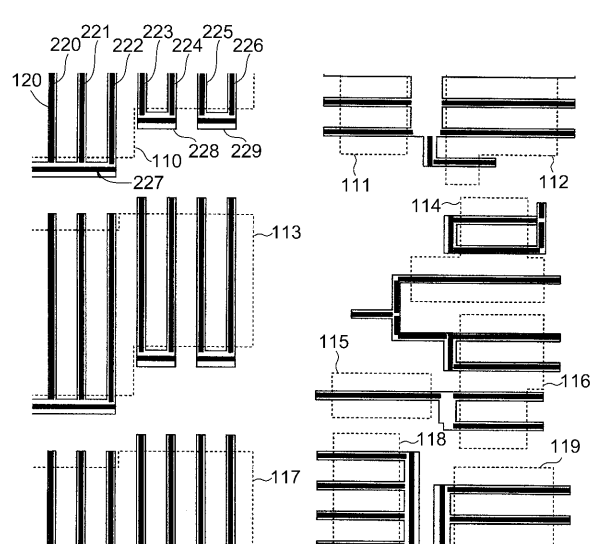
【 0 0 5 0 】

100 : 集積回路レイアウト
 110、111、112、113、114、115、116、117、118、119 : 拡散エリア
 120、121、122、123、124、125、126、127、128、129、130、131、132、133、134、135、136、137 : ポリシリコン
 導体 (P C) 線

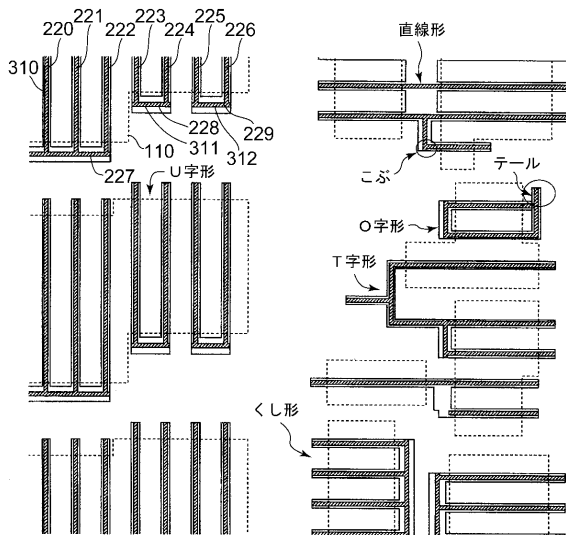
【図 1】



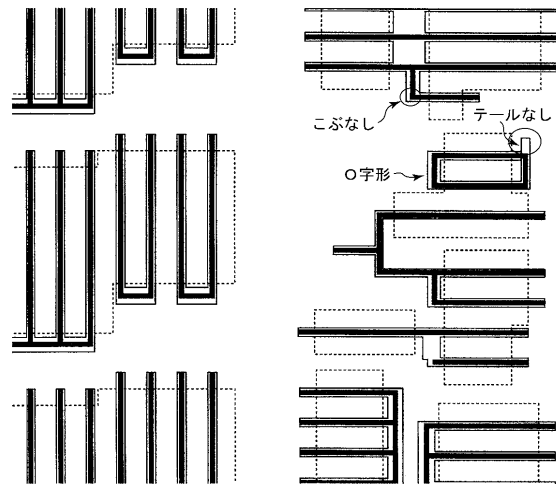
【図 2】



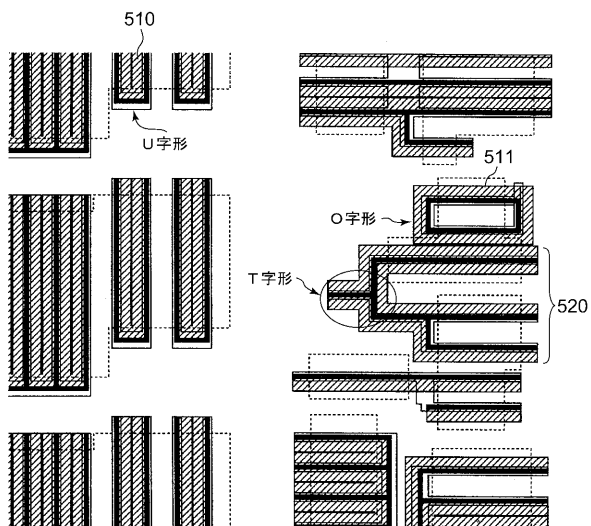
【図 3】



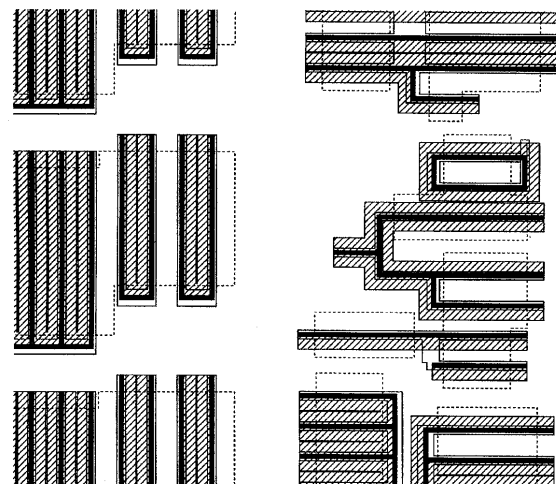
【図 4】



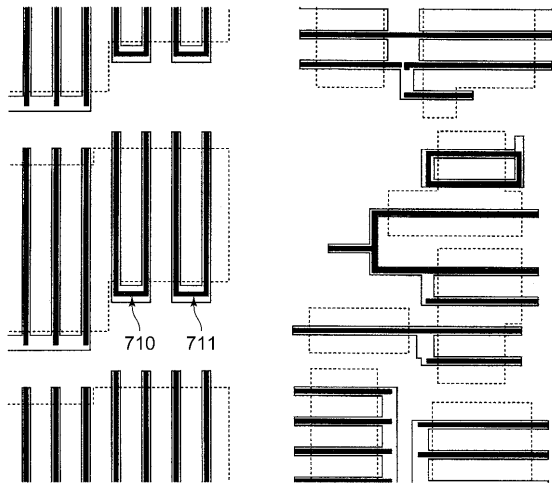
【図 5】



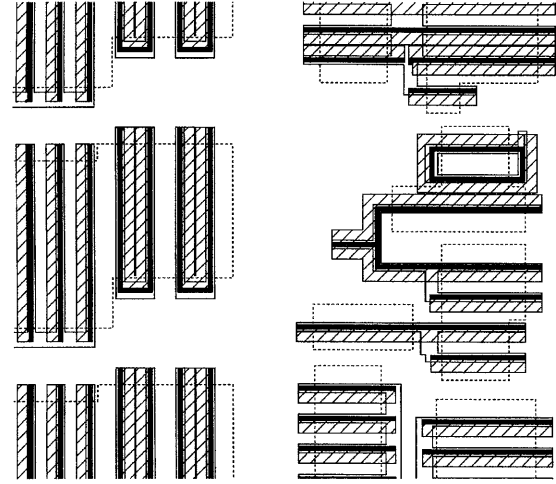
【図 6】



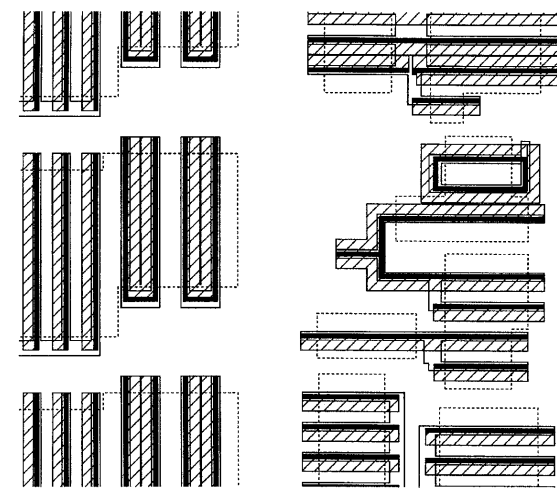
【図 7】



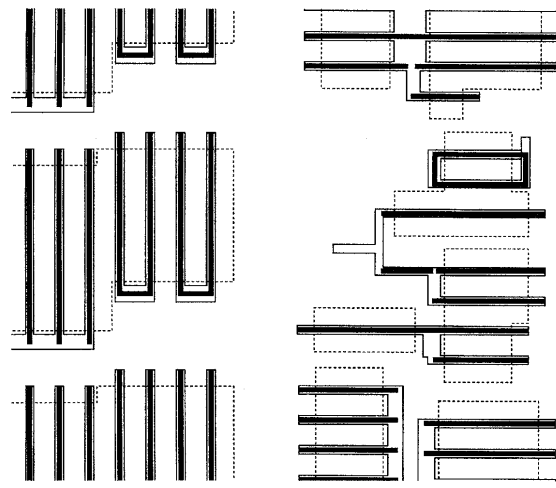
【図 8】



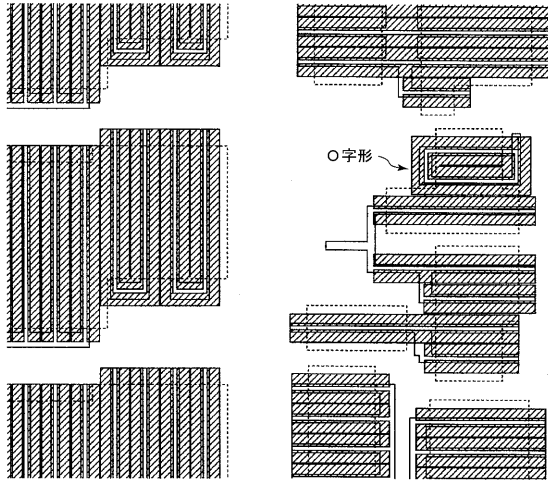
【図 9】



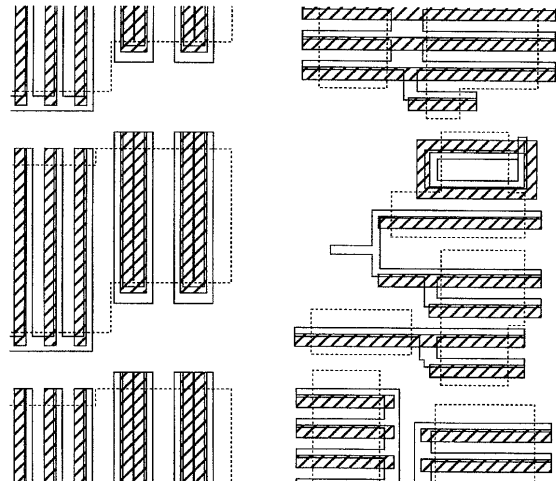
【図 10】



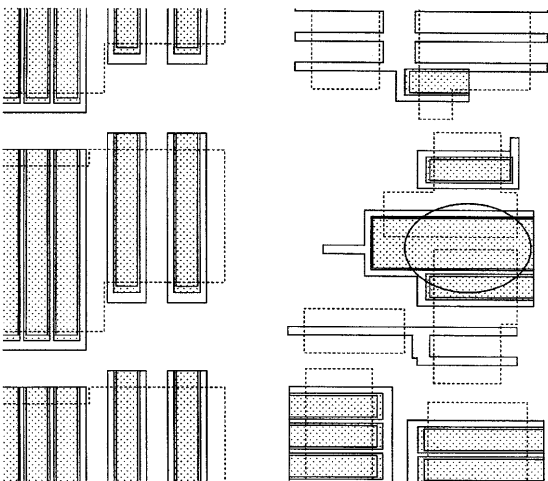
【図 1 1】



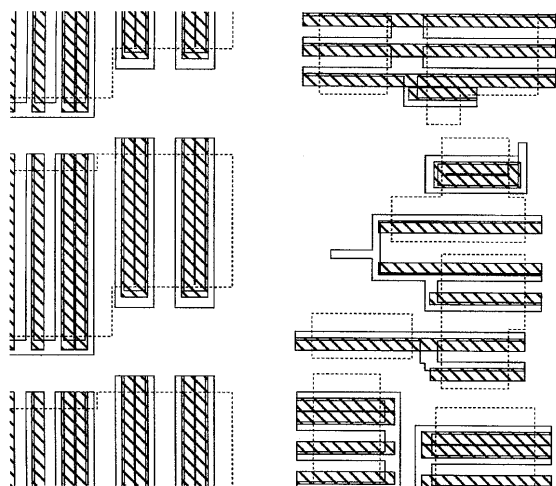
【図 1 2】



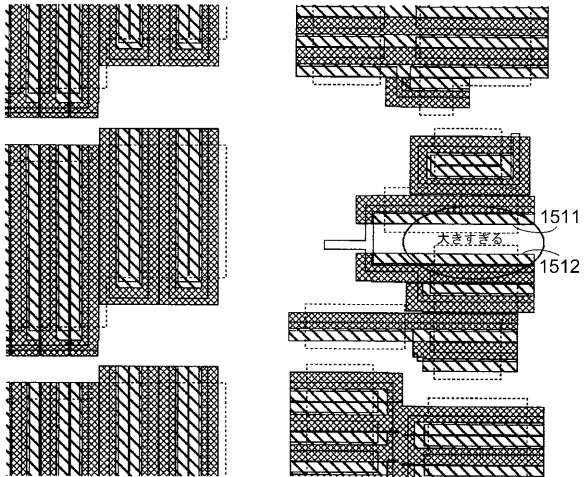
【図 1 3】



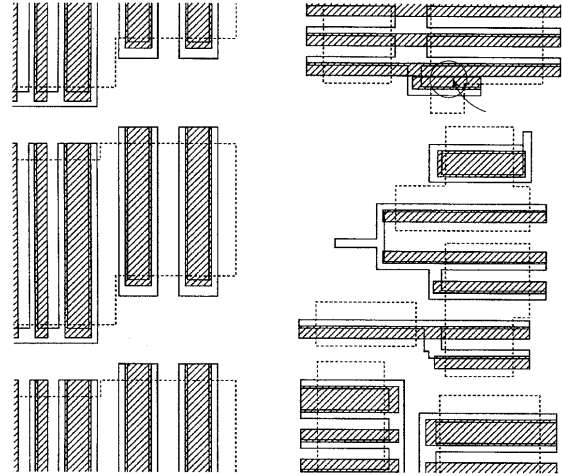
【図 1 4】



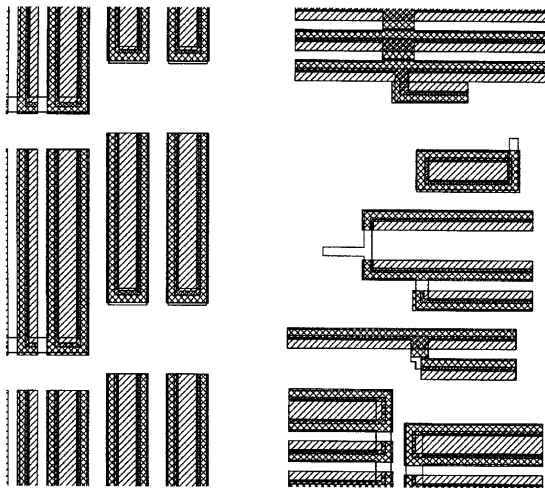
【図 15】



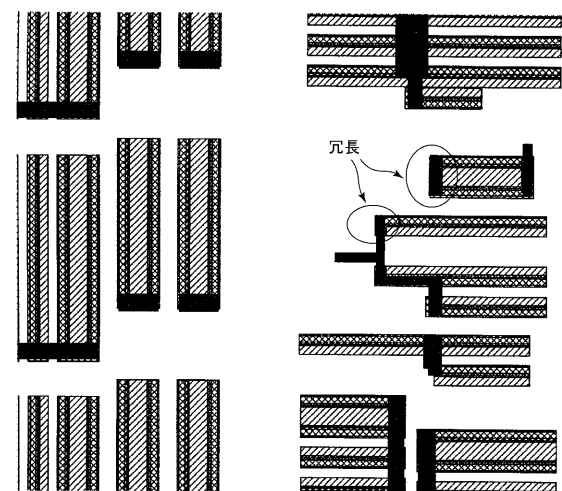
【図 16】



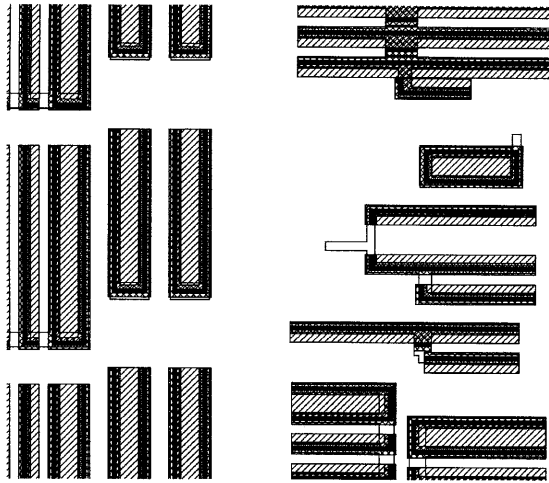
【図 17】



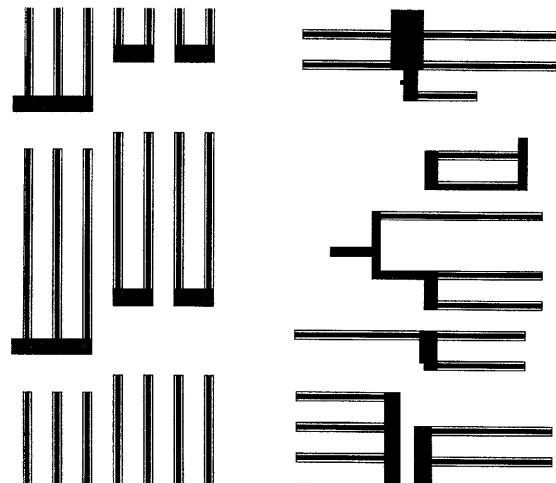
【図 18】



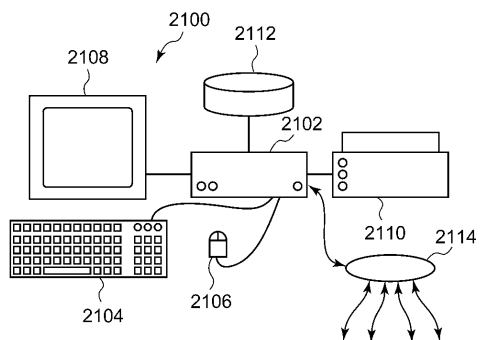
【図 19】



【図 20】



【図 21】



フロントページの続き

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ラーズ・ウォルフガング・リープマン

アメリカ合衆国 1 2 5 7 0 ニューヨーク州ポークアグ ファイブ・コーンウェル・ストリート

(72)発明者 ヨーヘン・バイントナー

ドイツ連邦共和国 7 2 5 3 2 ゴマディングエン ソンネンハルデ 1 8

審査官 多田 達也

(56)参考文献 特開 2 0 0 3 - 1 6 8 6 4 0 (J P , A)

特開 2 0 0 5 - 1 9 7 6 8 5 (J P , A)

特開平 9 - 1 3 9 3 7 6 (J P , A)

特表 2 0 0 9 - 5 0 9 3 4 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 3 F 1 / 0 0 - 1 6