



(12) 发明专利

(10) 授权公告号 CN 102194512 B

(45) 授权公告日 2015. 05. 20

(21) 申请号 201110035461. 9

(22) 申请日 2011. 02. 01

(30) 优先权数据

2010-026573 2010. 02. 09 JP

2010-261517 2010. 11. 24 JP

(73) 专利权人 索尼公司

地址 日本东京

(72) 发明人 大场和博 保田周一郎 水口彻也

荒谷胜久 紫牟田雅之 河内山彰

小笠原茧美

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 陈桂香 武玉琴

(51) Int. Cl.

G11C 11/15(2006. 01)

H01L 45/00(2006. 01)

(56) 对比文件

CN 102405499 A, 2012. 04. 04, 说明书第
0031-0037、0058-0059 段, 附图 2 和 5.

US 2008/0164568 A1, 2008. 07. 10, 全文.

JP 2009-135370 A, 2009. 06. 18, 全文.

WO 2009/141857 A1, 2009. 11. 26, 全文.

审查员 房琦

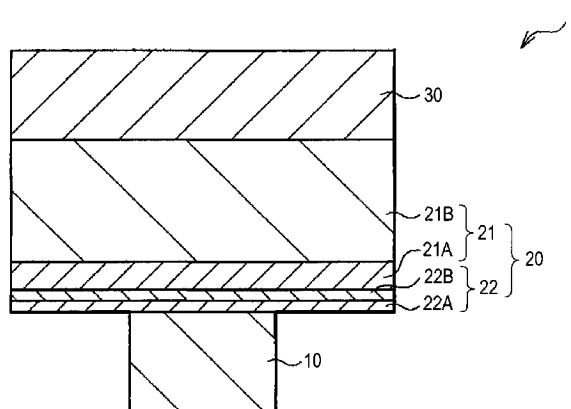
权利要求书2页 说明书30页 附图49页

(54) 发明名称

存储元件、存储装置以及存储装置操作方法

(57) 摘要

本发明公开了存储元件、存储装置以及存储装置操作方法。所述存储元件包括依次设置的第一电极、存储层和第二电极。其中, 所述存储层包括离子源层和可变电阻层。所述离子源层含有铝 (Al), 且含有选自碲 (Te)、硫 (S) 和硒 (Se) 组成的组中的至少一种硫族元素。所述可变电阻层设置在所述离子源层与所述第一电极之间, 并且含有氧化铝, 还含有具有比所述氧化铝的电阻低的电阻的过渡金属氧化物和过渡金属氧氮化物的至少一者。根据本发明的存储元件、存储装置以及存储装置操作方法, 由于可变电阻层含有氧化铝且含有电阻比所述氧化铝的电阻低的过渡金属氧化物和过渡金属氧氮化物的至少一者, 因而能够改善存储元件和存储装置的重复耐久性。



1. 存储元件,所述存储元件包括依次设置的第一电极、存储层和第二电极,其中,所述存储层包括:

离子源层,所述离子源层包括:中间层,所述中间层含有铝,且含有选自由碲、硫和硒组成的组中的至少一种硫族元素,以及离子供给层,所述离子供给层含有铝和所述硫族元素,还含有选自由铜、锌、银、镍、钴、锰、铁、钛、锆、钪、钕、钽、铬、钼和钨组成的组中的至少一种金属元素;以及

可变电阻层,所述可变电阻层设置在所述离子源层与所述第一电极之间,并且含有氧化铝,还含有具有比所述氧化铝的电阻低的电阻的过渡金属氧化物和过渡金属氧氮化物的至少一者。

2. 如权利要求1所述的存储元件,其中,所述可变电阻层具有如下结构:该结构中,从所述第一电极侧依次层叠有第一层和第二层,所述第一层由所述过渡金属氧化物和所述过渡金属氧氮化物的至少一者制成,所述第二层含有所述氧化铝作为主要组分。

3. 如权利要求2所述的存储元件,其中,所述第一层的厚度为1nm以上,且所述第一层的电阻低于所述第二层的电阻值。

4. 如权利要求1所述的存储元件,其中,所述可变电阻层所含有的所述氧化铝与所含有的所述过渡金属氧化物和所述过渡金属氧氮化物的至少一者处于混合状态。

5. 如权利要求1所述的存储元件,其中,所述过渡金属氧化物或所述过渡金属氧氮化物是选自下组中的过渡金属的至少一种氧化物或氧氮化物:该组由钛、锆、钪、钕、钽、铬、钼和钨组成。

6. 如权利要求1所述的存储元件,其中,所述中间层中的铝含量与硫族元素含量之比小于所述离子供给层中的铝含量与硫族元素含量之比。

7. 如权利要求1所述的存储元件,其中,所述中间层的电阻高于所述离子供给层的电阻。

8. 如权利要求1所述的存储元件,其中,所述中间层含有选自由锆、铜、铬、锰、钛和钪组成的组中的至少一种过渡金属。

9. 如权利要求1所述的存储元件,其中,所述中间层和所述离子供给层至少一者含有氧。

10. 如权利要求1所述的存储元件,其中,所述中间层含有氧和选自由铜、钛、锆、钪、铬和锰组成的组中的至少一种过渡金属。

11. 如权利要求1至5任一项所述的存储元件,其中,利用所述存储层的电特性的变化来存储信息,所述存储层的电特性的变化是由下列原因中的至少一种所致:所述氧化铝响应于向所述第一电极和所述第二电极施加的电压而发生的氧化还原反应;以及所述离子源层中所含有的金属元素离子的移动。

12. 如权利要求11所述的存储元件,其中,所述离子源层中所含有的金属元素是选自自由铜、锌、银、镍、钴、锰、铁、钛、锆、钪、钕、钽、铬、钼和钨组成的组中的至少一种元素。

13. 如权利要求11所述的存储元件,其中,所述氧化铝是通过所述第一电极侧的氧化反应而形成的,该氧化反应是由所述离子源层中含有的铝离子的移动或扩散而引起的或者是通过向所述第一电极和所述第二电极施加电压而引起的。

14. 如权利要求1至5任一项所述的存储元件,其中,

所述第一电极由选自由钛、锆、钪、钒、铌、钽、铬、钼和钨组成的组中的至少一种过渡金属或该过渡金属的氮化物形成,并且

所述过渡金属氧化物和所述过渡金属氧氮化物的至少一者是通过与所述第一电极的表面进行氧化而形成的。

15. 如权利要求 1 至 5 任一项所述的存储元件,其中,所述过渡金属氧化物和所述过渡金属氧氮化物的至少一者是通过在所述第一电极的上表面上形成过渡金属材料膜并且对所述过渡金属材料膜和所述第一电极表面上的至少所述过渡金属材料膜进行氧化而形成的,所述过渡金属材料膜是由选自由钛、锆、钪、钒、铌、钽、铬、钼和钨组成的组中的至少一种过渡金属或该过渡金属的氮化物制成的。

16. 存储装置,所述存储装置包括:

多个存储元件,每个所述存储元件是如权利要求 1 至 15 任一项所述的存储元件;以及脉冲施加部件,所述脉冲施加部件用于选择性地向所述多个存储元件施加电压脉冲或电流脉冲。

17. 如权利要求 16 所述的存储装置,其中,用于构成所述多个存储元件中的相邻存储元件的每一者的各层中至少某一层是由同一层形成的,并且以共用的方式而被设置着。

18. 如权利要求 17 所述的存储装置,其中,所述多个存储元件的共用层是所述可变电阻层、所述离子源层和所述第二电极,并且为每个所述存储元件单独设置有所述第一电极。

19. 存储装置操作方法,所述存储装置包括:多个存储元件,每个所述存储元件包括依次设置的第一电极、存储层和第二电极;以及用于选择性地向所述多个存储元件施加电压脉冲或电流脉冲的脉冲施加部件,

所述存储层包括:离子源层,所述离子源层含有铝和除了铝之外的金属元素,所述离子源层还含有选自由碲、硫和硒组成的组中的至少一种硫族元素;以及可变电阻层,所述可变电阻层设置在所述离子源层与所述第一电极之间,所述可变电阻层含有氧化铝,所述可变电阻层还含有具有比所述氧化铝的电阻低的电阻的过渡金属氧化物和过渡金属氧氮化物的至少一者,

所述方法包括如下步骤:

向所述第一电极与所述第二电极间施加电压,使得在所述离子源层中,所述离子源层中所含有的铝离子和金属元素离子向所述第一电极侧移动,而在所述可变电阻层中,通过氧化铝或金属元素离子的还原反应形成传导路径,由此实现低电阻状态;以及

向所述第一电极与所述第二电极间施加相反极性的电压,使得在所述离子源层中,所述离子源层中所含有的铝离子和金属元素离子向所述第二电极侧移动,而在所述可变电阻层中,铝离子通过氧化反应形成氧化铝由此实现高电阻状态,或者被还原的金属元素得以离子化然后向所述离子源层移动由此消除所述传导路径且实现高电阻状态。

20. 如权利要求 19 所述的存储装置操作方法,其中所述离子源层中所含有的金属元素是选自由铜、锌、银、镍、钴、锰、铁、钛、锆、钪、钒、铌、钽、铬、钼和钨组成的组中的至少一种元素。

存储元件、存储装置以及存储装置操作方法

[0001] 相关申请的交叉参考

[0002] 本申请包含与 2010 年 2 月 9 日和 2010 年 11 月 24 日分别向日本专利局提交的日本优先权专利申请 JP 2010-026573 和 JP 2010-261517 所公开的内容相关的主题,在此将这两项日本优先权专利申请的全部内容以引用的方式并入本文中。

技术领域

[0003] 本发明涉及存储元件和存储装置以及存储装置的操作方法,上述存储元件和存储装置能够利用存储层的电特性的变化来存储信息,所述存储层包括离子源层和可变电阻层。

背景技术

[0004] 在诸如计算机等信息设备中,已经开始广泛使用高速高密度动态随机存取存储器(Dynamic Random Access Memory, DRAM) 来作为随机存取存储器。然而,由于与电子设备中所使用的典型逻辑电路 LSI 和信号处理电路相比,DRAM 的制造过程复杂,因此 DRAM 的制造成本很高。此外,DRAM 是一种在电源切断时信息会丢失的易失性存储器。因此,需要对 DRAM 进行频繁的刷新操作;即,必须对写入的信息(数据)进行读取、再放大以及重写。

[0005] 在相关技术中,例如,已经提出了闪存、FeRAM(铁电随机存取存储器;铁电存储器)和 MRAM(磁阻随机存取存储器;磁存储元件)等作为即使在电源切断时也能保存信息的非易失性存储器。这些存储器甚至在未被供电时也能长时期地保存所写入的信息。然而,这些存储器都有各自的优点和缺点。也就是说,闪存具有高集成度,但在操作速度方面存在缺点。FeRAM 在更高集成度所需的微细图形加工方面具有局限性并且还在自身制造工艺上存在问题。MRAM 存在着电力消耗的问题。

[0006] 因此,曾提出了一种新型存储元件,这种新型存储元件特别有利于克服存储元件在微细图形加工方面的局限性。这种存储元件具有这样的结构:该结构中,包含有某种金属的离子导体夹在两个电极之间。在这种存储元件中,在上述两个电极的任意一者中含有上述离子导体中所包含的金属。结果,当向两个电极间施加电压时,电极中所含有的金属作为离子而扩散到离子导体中。因此,离子导体的例如电阻值或电容等电特性有所改变。例如,专利文献 JP-T-2002-536840 提出了一种利用这种特性的存储装置的示例。该文献 JP-T-2002-536840 中所提出的存储装置具有如下结构:该结构中,离子导体由硫族化物和金属的固溶体(solid solution)制成。具体地,离子导体由将 Ag、Cu 或 Zn 溶解于 AsS、GeS 和 GeSe 中而得到的材料制成,并且在两个电极的任意一者中包含有 Ag、Cu 或 Zn。

[0007] 在上述文献 JP-T-2002-536840 所公开的结构中,由于制造工艺中的温度上升或者当长时期地保存数据时的长期热负载,因而会加速离子导体的结晶化,并会改变诸如电阻值等原始的电特性。因此,专利文献 JP-A-2005-197634 提出了这样的一种结构:该结构中,在离子导体与电极之间设置有由氧化钪膜制成的存储用薄膜。

[0008] 然而,该文献 JP-A-2005-197634 中所公开的结构擦除性能不足,并且当对很多

位 (bit) 进行重写时,擦除状态时的电阻值趋于向更低侧移动。这样,写入状态时的电阻值与擦除状态时的电阻值之间的电阻分隔宽度不充足,并且重复耐久性也仍有改善的余地。

发明内容

[0009] 鉴于上述问题,本发明期望提供具有更好的重复耐久性的存储元件和存储装置,还期望提供存储装置的操作方法。

[0010] 本发明实施方式的存储元件包括依次设置的第一电极、存储层和第二电极。所述存储层包括下列构成要素 (A) 和 (B): (A) 离子源层,所述离子源层含有铝 (Al),且含有选自碲 (Te)、硫 (S) 和硒 (Se) 组成的组中的至少一种硫族元素; (B) 可变电阻层,所述可变电阻层设置在所述离子源层与所述第一电极之间,并且含有氧化铝,还含有具有比所述氧化铝的电阻低的电阻的过渡金属氧化物和过渡金属氮化物的至少一者。

[0011] 本发明实施方式的存储装置包括:多个存储元件,每个所述存储元件包括依次设置的第一电极、存储层和第二电极;以及用于选择性地向所述多个存储元件施加电压脉冲或电流脉冲的脉冲施加部件。所述多个存储元件都是由本发明上述实施方式的存储元件构成的。

[0012] 本发明实施方式的存储装置的操作方法包括如下步骤:向所述第一电极与所述第二电极间施加电压,使得在所述离子源层中,所述离子源层中所含有的铝 (Al) 离子和金属元素离子向所述第一电极侧移动,而在所述可变电阻层中,通过氧化铝或金属元素离子的还原反应形成传导路径,由此实现低电阻状态;以及向所述第一电极与所述第二电极间施加相反极性的电压,使得在所述离子源层中,所述离子源层中所含有的铝 (Al) 离子和金属元素离子向所述第二电极侧移动,而在所述可变电阻层中,铝 (Al) 离子通过氧化反应形成氧化铝由此实现高电阻状态,或者被还原的金属元素得以离子化然后向所述离子源层移动由此消除所述传导路径且实现高电阻状态。

[0013] 在本发明实施方式的存储元件、存储装置或者存储装置的操作方法中,当向处于初始状态(高电阻状态)的存储元件施加“正方向”(例如,第一电极侧为负电位,而第二电极侧为正电位)的电压脉冲或电流脉冲时,在所述离子源层中,所述离子源层中所含有的铝 (Al) 离子和金属元素离子向所述第一电极侧移动。在此情况下,在所述第一电极中,通过氧化铝或金属元素离子的还原反应形成了传导路径,从而实现了低电阻状态(写入状态)。当向处于该低电阻状态的存储元件施加“负方向”(例如,第一电极侧为正电位,而第二电极侧为负电位)的电压脉冲时,在所述离子源层中,所述离子源层中所含有的铝 (Al) 离子和金属元素离子向所述第二电极侧移动。在此情况下,在所述可变电阻层中,铝 (Al) 离子通过氧化反应形成氧化铝,或者被还原的金属元素通过氧化反应而得以离子化然后溶解于所述离子源层中,从而消除了所述传导路径并增大了所述可变电阻层的电阻(实现了初始状态或擦除状态)。

[0014] 虽然写入操作和擦除操作是与低电阻状态相关联或是与高电阻状态相关联可根据定义而变,但在本说明书中,将低电阻状态定义成写入状态,而将高电阻状态定义成擦除状态。

[0015] 在本说明书中,由于所述可变电阻层含有氧化铝且含有具有比所述氧化铝的电阻低的电阻的过渡金属氧化物和过渡金属氮化物的至少一者,因此甚至当向所述存储元件

施加正方向的电压脉冲或电流脉冲时,也很难有偏置电压施加至过渡金属氧化物或过渡金属氧氮化物。因此,即使在存储元件处于写入状态(低电阻状态)时,过渡金属氧化物或过渡金属氧氮化物也不会被还原,而会在第一电极上形成氧化物膜或氧氮化物膜。于是,能够防止由于重复的写入和擦除操作而在所述第一电极与所述离子源层中所含有的硫族元素之间发生不必要的氧化反应。

[0016] 根据本发明实施方式的存储元件或存储装置,由于所述可变电阻层含有氧化铝且含有具有比所述氧化铝的电阻低的电阻的过渡金属氧化物和过渡金属氧氮化物的至少一者,因而能够改善存储元件或存储装置的重复耐久性。

[0017] 根据本发明实施方式的存储装置的操作方法,当向所述第一电极与所述第二电极间施加电压时,在所述离子源层中,使得所述离子源层中所含有的铝(Al)离子和金属元素离子向所述第一电极侧移动,而在所述可变电阻层中,通过氧化铝或金属元素离子的还原反应形成了传导路径,由此实现低电阻状态。此外,当向所述第一电极与所述第二电极间施加相反极性的电压时,在所述离子源层中,使得所述离子源层中所含有的铝(Al)离子和金属元素离子向所述第二电极侧移动,而在所述可变电阻层中,铝(Al)离子通过氧化反应形成氧化铝由此实现了高电阻状态,或者被还原的金属元素得以离子化然后向所述离子源层移动由此消除了所述传导路径且实现了高电阻状态。因此,能够改善存储装置的重复耐久性。

附图说明

[0018] 图1是示出了本发明第一实施方式的存储元件的结构的截面图。

[0019] 图2是示出了图1中所示的第一层的变形方式的截面图。

[0020] 图3是示出了变形例1的存储元件的结构的截面图。

[0021] 图4是示出了变形例2的存储元件的结构的截面图。

[0022] 图5是示出了变形例3的存储元件的结构的截面图。

[0023] 图6是示出了本发明第二实施方式的存储元件的结构的截面图。

[0024] 图7是示出了变形例4的存储元件的结构的截面图。

[0025] 图8是示出了图7中所示的第一层的变形方式的截面图。

[0026] 图9是示出了本发明第三实施方式的存储元件的结构的截面图。

[0027] 图10是示出了Te-Zr膜的体积电阻率(volume resistivity)对Zr添加量的依赖关系的图。

[0028] 图11是示出了本发明第四实施方式的存储元件的结构的截面图。

[0029] 图12是示出了Te-Zr膜的体积电阻率对膜沉积时的氧流量的依赖关系的图。

[0030] 图13是示出了利用图1所示存储元件而得到的存储单元阵列的简化结构的截面图。

[0031] 图14是该存储单元阵列的平面图。

[0032] 图15A~图15C示出了实施例1的结果。

[0033] 图16A~图16C示出了实施例2的结果。

[0034] 图17A和图17B示出了实施例3的结果。

[0035] 图18A~图18C示出了比较例1的结果。

- [0036] 图 19A 和图 19B 示出了比较例 2 的结果。
- [0037] 图 20A ~ 图 20C 示出了比较例 3 的结果。
- [0038] 图 21A 和图 21B 示出了对由过渡金属氧化物制成的第一层的作用进行检测的检测结果。
- [0039] 图 22A ~ 图 22C 是实施例 2 的存储元件的 TEM-EDX 能谱图。
- [0040] 图 23 是示出了图 24A ~ 图 24F 所示各个元件的 EDX 轮廓的结果。
- [0041] 图 24A ~ 图 24F 示出了实施例 2 的存储元件的各个元件的 EDX 轮廓的结果。
- [0042] 图 25A 和图 25B 示出了实施例 4-1 的结果。
- [0043] 图 26A 和图 26B 示出了实施例 4-2 的结果。
- [0044] 图 27A 和图 27B 示出了实施例 5-1 的结果。
- [0045] 图 28A 和图 28B 示出了实施例 6-1 的结果。
- [0046] 图 29A 和图 29B 示出了实施例 6-2 的结果。
- [0047] 图 30A 和图 30B 示出了实施例 6-3 的结果。
- [0048] 图 31A 和图 31B 示出了实施例 6-4 的结果。
- [0049] 图 32A 和图 32B 示出了实施例 6-5 的结果。
- [0050] 图 33A ~ 图 33C 示出了实施例 7-1 的结果。
- [0051] 图 34A ~ 图 34C 示出了实施例 7-2 的结果。
- [0052] 图 35A ~ 图 35C 示出了实施例 7-3 的结果。
- [0053] 图 36A 和图 36B 分别示出了实施例 8-1 和实施例 8-2 的结果。
- [0054] 图 37A 和图 37B 分别示出了实施例 8-3 和实施例 8-4 的结果。
- [0055] 图 38A 和图 38B 分别示出了实施例 9-1 和实施例 9-2 的结果。
- [0056] 图 39A ~ 图 39C 示出了实施例 10 的结果。
- [0057] 图 40A ~ 图 40C 示出了实施例 11 的结果。
- [0058] 图 41A 和图 41B 分别示出了实施例 10 和实施例 11 的擦除特性的检测结果。
- [0059] 图 42A ~ 图 42C 示出了实施例 12 的结果。
- [0060] 图 43A 和图 43B 示出了实施例 13-1 的结果。
- [0061] 图 44A 和图 44B 示出了实施例 13-2 的结果。
- [0062] 图 45A 和图 45B 示出了实施例 13-3 的结果。
- [0063] 图 46A ~ 图 46C 示出了实施例 14 的结果。
- [0064] 图 47A ~ 图 47C 示出了实施例 15 的结果。
- [0065] 图 48A ~ 图 48C 示出了实施例 16 的结果。
- [0066] 图 49A ~ 图 49C 示出了实施例 17 的结果。
- [0067] 图 50A 和图 50B 示出了实施例 18 的结果。
- [0068] 图 51A 和图 51B 示出了比较例 4 的结果。
- [0069] 图 52A ~ 图 52C 分别示出了实施例 18、实施例 19 和比较例 4 的结果。
- [0070] 图 53A 和图 53B 示出了实施例 20 的结果。

具体实施方式

- [0071] 下面,参照附图来详细说明本发明的优选实施例。按下列顺序进行说明。

[0072] 1. 第一实施方式（存储元件，在该存储元件中，依次层叠有由过渡金属氧化物制成的第一层和含有氧化铝作为主要组分的第二层从而形成可变电阻层，并且离子源层包括中间层和离子供给层）

[0073] 2. 变形例 1（存储元件，在该存储元件中，可变电阻层含有处于混合状态的氧化铝和过渡金属氧化物，并且离子源层包括中间层和离子供给层）

[0074] 3. 变形例 2（存储元件，在该存储元件中，依次层叠有由过渡金属氧化物制成的第一层和含有氧化铝作为主要组分的第二层从而形成可变电阻层，并且离子源层由单层构成）

[0075] 4. 变形例 3（存储元件，在该存储元件中，可变电阻层含有处于混合状态的氧化铝和过渡金属氧化物，并且离子源层由单层构成）

[0076] 5. 第二实施方式（存储元件，在该存储元件中，依次层叠有由过渡金属氮化物制成的第一层和含有氧化铝作为主要组分的第二层从而形成可变电阻层，并且离子源层包括中间层和离子供给层）

[0077] 6. 变形例 4（存储元件，在该存储元件中，第一层包括过渡金属氧化物层和过渡金属氮化物层）

[0078] 7. 第三实施方式（存储元件，在该存储元件中，在中间层中添加有过渡金属）

[0079] 8. 第四实施方式（存储元件，在该存储元件中，在中间层和离子供给层的至少一者中添加有氧）

[0080] 9. 存储装置

[0081] 10. 实施例

[0082] 第一实施方式

[0083] 图 1 是示出了本发明第一实施方式的存储元件 1 的结构截面图。存储元件 1 包括依次设置的下部电极 10（第一电极）、存储层 20 以及上部电极 30（第二电极）。存储层 20 包括从上部电极 30 侧依次设置的离子源层 21 和可变电阻层 22。

[0084] 下部电极 10 例如设置于稍后所述（参见图 13）的形成有互补型金属氧化物半导体（Complementary Metal Oxide Semiconductor, CMOS）电路的硅基板 41 上，且用作与该 CMOS 电路部分的连接部。下部电极 10 由例如钨（W）、氮化钨（WN）、铜（Cu）、铝（Al）、钼（Mo）、钽（Ta）和硅化物（silicide）等用于半导体工艺中的布线材料制成。当下部电极 10 由例如 Cu 等在电场下很可能会引起离子传导的材料形成时，在由 Cu 等制成的下部电极 10 的表面上可以涂敷有例如 W、WN、TiN 或 TaN 等难以引起离子传导和热扩散的材料。

[0085] 下部电极 10 优选由选自钛（Ti）、锆（Zr）、铪（Hf）、钒（V）、铌（Nb）、Ta、铬（Cr）、Mo 和 W 组成的组中的至少一种过渡金属形成，或者由该过渡金属的氮化物形成。这是因为，稍后所述的可变电阻层 22 中的过渡金属氧化物（或者由过渡金属氧化物制成的第一氧化物层 22A）可通过对下部电极 10 的表面进行氧化而容易地形成。

[0086] 离子源层 21 起到离子供给源的作用，并且主要具有非晶结构。离子源层 21 含有选自碲（Te）、硫（S）和硒（Se）组成的组中的至少一种硫族元素作为会成为阴离子的离子传导材料。此外，离子源层 21 含有 Al 作为用于在擦除时形成氧化物的元素。

[0087] 另外，离子源层 21 含有至少一种金属元素。作为包含在离子源层 21 中的金属元素，例如优选使用选自 Cu、锌（Zn）、银（Ag）、镍（Ni）、钴（Co）、锰（Mn）、铁（Fe）、Ti、Zr、Hf、

V、Nb、Ta、Cr、Mo 和 W 组成的组中的至少一种金属元素。元素 Al 以及上述这些金属元素中的某些元素具有会成为阳离子的离子传导材料的功能。

[0088] 为了使离子源层 21 非晶化,离子源层 21 优选含有 Zr 作为金属元素。这是因为能够改善低电阻状态(写入状态)或高电阻状态(初始状态或擦除状态)的电阻值维持特性。在本说明书中,将低电阻状态定义成写入状态,而将高电阻状态定义成擦除状态。此外,当元素 Cu 与 Zr 结合时,元素 Cu 易于形成非晶结构,因此元素 Cu 保持了离子源层 21 的均匀微观结构,并且具有会成为阳离子的金属元素的功能。

[0089] 视需要可以向离子源层 21 中添加其他元素。添加元素的示例包括镁(Mg)、锗(Ge)和硅(Si)等。元素 Mg 易于成为阳离子,并利用消除偏压(removal bias)而被用来形成氧化物膜,从而能够容易地实现高电阻状态。类似于 Al,元素 Ge 在擦除时刻形成氧化物,从而使得高电阻状态(擦除状态)稳定化并且还有助于可允许的重复次数的增多。元素 Si 是这样的添加元素:它既能够在对存储层 20 进行高温热处理过程中抑制膜脱落还能改善数据保存特性,并且元素 Si 可以与 Zr 一起添加入离子源层 21 中。

[0090] 离子源层 21 的这种材料的具体示例包括:具有例如组分 ZrTeAl、ZrTeAlGe、CuZrTeAl、CuZrTeAlGe、CuHfTeAl、CuTiTeAl、AgZrTeAl、NiZrTeAl、CoZrTeAl、MnZrTeAl 或 FeZrTeAl 的材料。

[0091] 离子源层 21 中的 Al 含量为例如 30 ~ 50at% (at% 是原子百分比)。离子源层 21 中的 Zr 含量优选为 7.6 ~ 26at%,离子源层 21 中所含有的 Zr 相对于硫族元素的总原子数的组分比(= $Zr(at\%) / \text{硫族元素的总原子数}(at\%)$) 优选在 0.2 ~ 0.74 的范围内。离子源层 21 中的 Ge 含量优选为 15at% 以下。离子源层 21 中的 Si 含量优选在约 10 ~ 45at% 的范围内。根据这样的配置,各个组成元素能够最大程度地发挥出它们的作用。稍后进行详细说明。

[0092] 可变电阻层 22 设置在离子源层 21 与下部电极 10 之间,并且可变电阻层 22 具有对电传导起势垒作用的功能。可变电阻层 22 含有氧化铝(AlO_x)且含有具有比该氧化铝低的电阻的过渡金属氧化物。具体地,可变电阻层 22 具有这样的结构:该结构中,从下部电极 10 侧依次层叠有由过渡金属氧化物制成的第一层 22A 和具有高电阻且含有氧化铝作为主要组分的第二层 22B。这样,能够改善存储元件 1 的重复耐久性。

[0093] 可变电阻层 22 中所包含的过渡金属氧化物(或第一层 22A)优选是具有传导性能的氧化物,并且该过渡金属氧化物不具有高绝缘特性。具体地,该过渡金属氧化物优选是选自 Ti、Zr、Hf、V、Nb、Ta、Cr、Mo 和 W 组成的组中的至少一种过渡金属的氧化物。

[0094] 可变电阻层 22 中所包含的氧化铝(或第二层 22B)是通过在下部电极 10 侧的氧化反应而形成的,上述氧化反应是由离子源层 21 中所含有的 Al 离子的运动或扩散或者向下部电极 10 和上部电极 30 施加电压而引起的。虽然可变电阻层 22 中所包含的氧化铝(或第二层 22B)是在制造存储元件 1 时已经形成了的,但该氧化铝在稍后说明的高电阻状态(擦除状态)下往往会生长得更大(即,厚度变大)。

[0095] 第一层 22A 的厚度优选为 1nm 以上。这是因为在该厚度下能够获得良好的电阻分隔特性。另外,第一层 22A 优选具有这样的厚度:使得第一层 22A 的电阻小于第二层 22B 的电阻值。这是因为:如果第一层 22A 的厚度太大,则第一层 22A 具有比第二层 22B 的电阻高的电阻,从而会使操作特性劣化。例如在氧化钛(TiO_x)的情况下,构成第一层 22A 的过渡

金属氧化物的密度优选为 $4\text{g}/\text{cm}^3$ 以下。

[0096] 另外,离子源层 21 优选具有两层结构,该两层结构中,从下部电极 10 侧依次层叠有中间层 21A 和离子供给层 21B。中间层 21A 含有 Al,还含有选自 Te、S 和 Se 组成的组中的至少一种硫族元素。离子供给层 21B 具有与前述离子源层 21 相同的结构。也就是说,离子供给层 21B 含有 Al 和硫族元素,还含有选自 Cu、Zn、Ag、Ni、Co、Mn、Fe、Ti、Zr、Hf、V、Nb、Ta、Cr、Mo 和 W 组成的组中的至少一种金属元素。利用这种结构,在保持良好的重复耐久性的同时能够改善数据保存特性,并使得允许进行低电流非易失性存储操作。离子供给层 21B 优选含有上面提及的金属元素,并具有这样的结构:该结构中,能够抑制非必要的元素扩散及层的混合。

[0097] 具体地,离子供给层 21B 优选含有 Al 和硫族元素,还含有选自 Cu、Ti、Zr 和 Hf 组成的组中的至少一种元素。这些元素的使用能够使非晶结构稳定化从而保持矩阵结构,其结果是,改善了写入和擦除操作的可靠性。在这些元素中,当元素 Cu 与 Zr 结合时,元素 Cu 易于形成非晶结构并且具有能够维持离子供给层 21B 的均匀微观结构的功能。

[0098] 另外,视需要,离子供给层 21B 可含有诸如 Ge、Si 或 Mg 等其他添加元素。

[0099] 优选的是,中间层 21A 中的 Al 含量与硫族元素含量之比 (Al 浓度) 小于离子供给层 21B 中的 Al 含量与硫族元素含量之比 (Al 浓度)。因为考虑到中间层 21A 中的 Al 是由相对于离子供给层 21B 的浓度梯度引起的扩散而产生的,所以例如可以认为该 Al 含量小于 Al_2Te_3 的理想配比组分。因此,可以认为中间层 21A 中的大部分 Al 以离子状态存在。所施加的电压被有效地用于驱动这些离子,从而能改善上述数据保存特性,并使得能够进行低电流非易失性存储操作。

[0100] 与下部电极 10 一样,上部电极 30 由已知半导体工艺中所使用的布线材料予以形成。

[0101] 在本实施方式的存储元件 1 中,当通过下部电极 10 和上部电极 30 从电源 (脉冲施加部件) (未图示) 施加电压脉冲或电流脉冲时,通过氧化铝或者离子源层 21 (具体地,离子供给层 21B) 中所包含的金属元素离子的氧化还原反应来改变存储层 20 的电特性 (例如,电阻值)。因此,存储 (写入、擦除及读取) 了信息。下面详细说明存储元件 1 的操作。

[0102] 首先,例如向存储元件 1 施加正电压,使得上部电极 30 处于正电位侧而下部电极 10 处于负电位侧。以此方式,离子源层 21 中的 Al 离子向下部电极 10 侧移动,并且在过渡金属氧化物层 22A 上含有氧化铝作为主要组分的第二层 22B 发生了还原反应,从而实现低电阻状态 (写入状态)。

[0103] 此外,离子源层 21 中所含有的金属元素被离子化,这些金属离子移动并扩散到可变电阻层 22 中且在下部电极 10 侧被还原。结果,在下部电极 10 与存储层 20 之间的界面处形成了被还原成金属状态或者比第二层 22B 的电阻低的电阻状态的传导路径。或者,被离子化的金属元素留在可变电阻层 22 中并形成杂质能级,且在可变电阻层 22 中形成传导路径。因此,存储层 20 的电阻值减小并且从初始状态的高电阻状态变为低电阻状态。

[0104] 然后,即使在去除上述正电压以使得没有向存储元件 1 施加电压时,也能保持上述低电阻状态。因此,信息被写入。当将存储元件 1 应用于仅可写入一次的存储装置 (该存储装置被称作可编程只读存储器 (Programmable Read Only Memory, PROM)) 时,仅通过上述记录过程来完成信息的记录。

[0105] 另一方面,当将存储元件 1 应用于可擦除存储装置,亦即随机存取存储器(Random Access Memory, RAM)或电可擦除可编程只读存储器(Electrically Erasable and Programmable Read Only Memory, EEPROM)等时,擦除过程是必需的。在该擦除过程中,例如可向存储元件 1 施加负电压,使得上部电极 30 处于负电位侧而下部电极 10 处于正电位侧。以此方式,离子源层 21 中的 Al 离子朝着上部电极 30 侧移动,并且 Al 离子通过氧化反应在第一层 22A 上形成含有氧化铝作为主要组分的第二层 22B,从而实现了高电阻状态(擦除状态)。

[0106] 此外,处于还原状态且在存储层 20 中形成了传导路径的金属元素通过氧化反应而被离子化,并溶解于离子源层 21 中或者与 Te 等结合,从而使电阻状态变为更高电阻状态。以此方式,由金属元素形成的传导路径消失或减少,因而电阻值增大。或者,离子源层 21 中所存在的例如 Ge 等添加元素在下部电极 10 上形成氧化物膜,从而电阻状态变为高电阻状态。

[0107] 随后,即使当去除上述负电压而使得没有向存储元件 1 施加电压时,也能维持上述高电阻状态。于是,能够擦除所写入的信息。通过重复上述步骤,能够重复进行向存储元件 1 中写入信息以及从存储元件 1 中擦除所写入的信息的操作。

[0108] 例如,当高电阻状态与信息“0”相关联而低电阻状态与信息“1”相关联时,在通过施加正电压而记录信息的过程中能够将信息从“0”变为“1”,并且在通过施加负电压而擦除信息的过程中能够将信息从“1”变为“0”。

[0109] 为了解调所记录的数据,优选的是,初始电阻值与记录后的电阻值之比很大。然而,如果可变电阻层的电阻值太高,就难以写入信息,也就是说,难以实现低电阻状态,并且因此写入阈值电压变得太高。因此,将初始电阻值调整为 $1\text{G}\Omega$ 以下。可变电阻层 22 的电阻值例如能够通过该可变电阻层 22 的厚度和该可变电阻层 22 中的氧含量等来予以控制。

[0110] 在上述说明中,将写入操作定义为将电阻状态变成低电阻状态“1”的操作,并将擦除操作定义为将电阻状态变成高电阻状态“0”的操作。相反,也可把将电阻状态从高电阻状态“1”变成低电阻状态“0”的操作定义成擦除操作。在此情况下,可以将上述说明中的写入操作和擦除操作互换。

[0111] 在本说明书中,由于在可变电阻层 22 具有的结构中从下部电极 10 侧依次层叠有由过渡金属氧化物制成的第一层 22A 和含有氧化铝作为主要组分的第二层 22B,因而,即使当向存储元件施加上述正电压时,也很难有偏置电压施加到第一层 22A 上。因此,即使当存储元件处于写入状态(低电阻状态)时,第一层 22A 也不会被还原而是在下部电极 10 上形成氧化物膜。于是,能够抑制响应于重复的写入和擦除操作而在下部电极 10 与离子源层 21 所含的硫族元素之间发生不需要的氧化反应。

[0112] 也就是说,当在由诸如 W 或 Ti 等金属材料制成的下部电极 10 上未设置第一层 22A,而将离子源层 21 或中间层 21A 形成得与下部电极 10 接触时,能得到良好的操作特性和良好的数据保存特性。也就是说,当重复操作的次数为 $10 \sim 100$ 时,可以明确地实现高电阻状态和低电阻状态。然而,当重复操作的次数进一步增大时,主要会在擦除操作中出现错误,并且电阻状态难以返回至高电阻状态,从而使元件特性劣化。这被认为是归因于如下事实:除了上述的氧化还原反应以外,还会出现下部电极 10 与中间层 21A 或离子源层 21 所含的硫族元素发生反应时的氧化反应。在本实施方式中,因为由过渡金属氧化物制成的第

一层 22A 设置在下部电极 10 上,因而抑制了不必要的使下部电极 10 与硫族元素化合的氧化反应,改善了重复可靠性,并延长了存储器的寿命。

[0113] 另外,当可变电阻层 22 具有由第一层 22A 和第二层 22B 构成的两层结构,并且离子源层 21 具有由中间层 21A 和离子供给层 21B 构成的两层结构时,在保持良好的重复耐久性的同时能够改善数据保存特性。尽管其原因不是很明确,但这被认为是归因于下面的事实。

[0114] 当通过写入操作实现低电阻状态时,在下部电极 10 的界面附近发生还原反应。具体地,含有氧化铝作为主要组分的第二层 22B 被还原,并且 Al 离子移动至离子源层 21 中且在下部电极 10 的界面附近被还原,从而形成金属状的 Al。当停止写入偏置电压以实现数据保存状态时,该 Al 金属易于被氧化,并且在该 Al 金属与氧结合时能够实现高电阻状态。这被认为是低电阻状态的数据保存错误。另一方面,中间层 21A 中的大量的硫族元素非常容易与 Al 金属反应,并且即使在产生 Al 金属时,因为所产生的 Al 金属会随即与硫族元素发生反应,因而实现了高电阻状态。于是,几乎不会出现数据保存错误,并且能改善数据保存特性。

[0115] 也就是说,如上所述,中间层 21A 中的 Al 含量与硫族元素含量之比 (Al 浓度) 优选小于离子供给层 21B 中的 Al 含量与硫族元素含量之比 (Al 浓度)。因此,当去除写入偏置电压时,在写入操作时由 Al 离子的还原反应所产生的 Al 金属再次变成氧化铝,并且该氧化铝不会增加元件电阻,而是会溶解于能够溶解 Al 的中间层 21A 中。因此,电阻不会增大,并且能够得到良好的数据保存特性。

[0116] 另外,对于擦除操作,虽然在中间层 21A 中含有离子化的 Al,但 Al 离子也能够含有大量硫族元素的中间层 21A 中轻松地移动。因此,通过擦除偏压能够容易地提供 Al 离子,并且改善了擦除特性。结果,可以认为低电阻状态与高电阻状态之间的电阻分隔宽度变宽了。

[0117] 除此之外,因为离子源层 21 具有由中间层 21A 和离子供给层 21B 构成的两层结构,所以还能够改善在低电流、高速度下的数据保存特性。

[0118] 也就是说,当存储元件 1 与晶体管结合从而形成非易失性存储单元时,为了增大利用高技术半导体工艺的存储单元的容量,必须实现存储元件 1 和晶体管的微细化。由于驱动电流随着晶体管尺寸的微细化而降低,因此为了实现高容量和低电力消耗的非易失性存储器,需要改善在用低电流进行重写的状态下的数据保存特性。此外,为了实现能够进行高速重写操作的高容量非易失性存储器,需要具有这样的数据保存特性:其能够在微细化晶体管的低电流下以及在利用纳秒级的短脉冲的高速下保持重写电阻状态。

[0119] 然而,在相关技术中,由于通过较低的重写能量实现的低电阻记录状态和高电阻记录状态很可能受到热干扰的影响,这就存在随着电流减少且重写速度增大而难以保存数据的问题。

[0120] 当在电流驱动力较低的晶体管的低电流下写入数据时,由于低电阻状态的电阻值增大,因而电阻值的保持特性是低电流操作的关键因素。在本实施方式的存储元件 1 中,如上所述,数据保存特性有所改善,并以可以实现更高电阻值的数据保存。因此,低电流非易失性存储操作是可以实现的。

[0121] 另外,在本实施方式中,如上所述,离子源层 21 除了含有 Al 以外优选还含有 Zr、

Cu、Ge 等。原因如下。

[0122] 当离子源层 21 中含有 Zr 时,特别是当 Zr 与 Al 和 Cu 共同存在时,易于使非晶结构稳定化。即使当 Al 和 Cu 的离子例如在写入操作时从离子源层 21 移走时,也易于保持非晶结构并能维持离子源层 21 的矩阵结构。例如,通过写入偏压来使 Al 和 Cu 的离子移动,从而改变离子源层 21 的组分,并且这些元素的组分比减小。然而,由于即使在该组分比变化时也会因 Zr 的存在而稳定地保持着非晶结构,因而能够抑制离子不必要的移动或扩散。于是,能够改善写入状态保持特性。

[0123] 关于在擦除时的高电阻状态的保持,在呈金属状态或接近于金属状态的 Al 或者 Cu 的传导路径被氧化从而形成氧化物或者与诸如 S、Se 和 Te 等硫族元素的化合物的状态下,当传导路径包含 Zr 且因而离子源层 21 具有稳定的非晶结构时,就抑制了不必要的离子扩散。因此,在未施加擦除偏置电压的保持状态下不可能出现由于热等原因而使得不必要的离子再次从离子源层 21 扩散。也不可能出现使得处于高电阻状态的氧化物或硫族化物再次被还原从而实现低电阻状态。因此,即使长期地或者在高于室温的高温状态下保存数据的情况下也能保持高电阻状态。

[0124] 另外,由于离子源层 21 含有 Al,因此当在擦除操作期间向存储元件 1 施加负电压,例如使得上部电极 30 处于负电位侧而下部电极 10 处于正电位侧时,通过 Al 离子的氧化反应在第一层 22A 上形成含有氧化铝作为主要组分的第二层 22B,从而使高电阻状态(擦除状态)稳定化。另外,从第二层 22B 的自身再生的角度看,元素 Al 有助于增加可允许的重复操作次数。除了包含 Al 之外,也可以包含具有相同功能的诸如 Ge 等其他元素。

[0125] 鉴于上述说明,当离子源层 21 中含有 Zr、Al、Cu 和 Ge 等时,与相关技术中的存储元件相比,改善了宽范围的电阻值保持特性和高速写入/擦除操作特性,并且还增加了可允许的重复操作次数。另外,在将电阻状态从低电阻状态变为高电阻状态时通过调节擦除电压,来形成位于高电阻状态与低电阻状态之间的中间状态,该中间状态能够被稳定地保持。于是,除了二值存储之外还能够实现多值存储。

[0126] 同时,依赖于 Zr、Cu、Al 和 Ge 的组分比,与存储操作相关的重要特性(包括施加这种电压的写入/擦除操作的特性、电阻值保持特性以及可允许的重复操作次数等)会发生变化。

[0127] 例如,如果 Zr 含量太大,则离子源层 21 的电阻值就会过度下降,从而无法向离子源层 21 施加有效电压。因此,特别是难以进行擦除操作,并且擦除阈值电压会随着 Zr 的组分比而升高。此外,如果 Zr 含量进一步增大,则难以进行写入操作(即,难以实现低电阻状态)。另一方面,如果 Zr 的组分比太小,则会减弱如上所述的对宽范围电阻值保持特性的改善效果。因此,离子源层 21 中 Zr 的组分比优选为 7.5at% 以上,且更加优选为 26at% 以下。

[0128] 当向离子源层 21 中添加适量的 Cu 时,元素 Cu 促进了离子源层 21 的非晶化。然而,如果 Cu 含量过大,则由于金属状态的 Cu 在含有硫族元素的离子源层 21 中的稳定性不足,因此元素 Cu 可能使所写入数据的保存特性变劣或者会对高速写入操作产生不利影响。另一方面,Zr 和 Cu 的结合具有这样的效果:易于形成非晶结构,并且能够保持离子源层 21 的均匀微观结构。于是,因为防止了由于重复操作而导致的离子源层 21 中的材料组分变得不均匀,所以增加了可允许的重复操作次数并且还改善了数据保存特性。当在上述范围内

含有足量的 Zr 时,由于非晶结构是稳定的,因此不会对所写入数据的保存特性产生影响。

[0129] 另外,如果 Al 含量太大,则 Al 离子能够容易地移动,通过对 Al 离子进行的还原易于实现写入状态。由于处于金属状态的 Al 在固体硫族化物电解质中的稳定性低,因而写入状态(低电阻状态)的保持特性会下降。另一方面,如果 Al 的组分比太小,则对擦除操作自身以及高电阻状态下的数据保存特性的改善效果变差,并且可允许的重复操作次数减少。因此,Al 的组分比优选为 30at% 以上,并且更加优选为 50at% 以下。

[0130] 虽然 Ge 不一定是必须含有的,但当 Ge 含量太大时所写入数据的保存特性会劣化,因此,Ge 的组分比优选为 15at% 以下。

[0131] 虽然 Si 不一定是必须含有的,但如果 Si 的组分比太小则不能得到防止存储层 20 的膜脱落的效果,而如果 Si 的组分比太大则不能得到良好的存储操作特性。因此,离子源层 21 中 Si 的组分比优选在 10 ~ 45at% 的范围内。

[0132] 下面,说明本实施方式的存储元件 1 的制造方法。

[0133] 首先,在形成有 CMOS 电路(其由选择晶体管等构成)的基板上形成例如由氮化钛(TiN)制成的下部电极 10 这样的柱塞。

[0134] 然后,在下部电极 10 的上表面上形成过渡金属材料膜,该过渡金属材料膜由选自 Ti、Zr、Hf、V、Nb、Ta、Cr、Mo 和 W 组成的组中的至少一种过渡金属或该过渡金属的氮化物制成,并对该过渡金属材料膜并且对下部电极 10 表面上的至少过渡金属材料膜进行氧化,从而形成第一层 22A。

[0135] 具体地,例如通过溅射方法在例如由 TiN 制成的下部电极 10 的上表面上形成厚度为 1.0nm 的 Ti 膜,作为过渡金属材料膜。接着,利用氧等离子体对该 Ti 膜进行氧化,形成由 TiO_x 制成的第一层 22A。这时,由于 Ti 膜的厚度非常小,因而随着对 Ti 膜的氧化还可能进行了对下部电极 10 表面的氧化。

[0136] 或者,可在例如由 TiN 制成的下部电极 10 的上表面上形成作为过渡金属材料膜的氮化锆(ZrN)膜,并且可以对该 ZrN 膜进行氧化。此时,由于该 ZrN 膜的厚度非常小,因而对该 ZrN 膜进行氧化从而生成了氧化锆(ZrO_x),并且还对下部电极 10 的表面进行氧化从而形成了 TiO_x。因此,如图 2 所示,例如,形成了由 ZrO_x 层 22A1 和 TiO_x 层 22A2 构成的第一层 22A。在此情况下,对 ZrN 膜进行充分氧化是很重要的,并且作为结果,形成了 TiO_x。

[0137] 随后,通过例如溅射方法形成由 Te 制成的厚度为 4nm 的中间层 21A。接着,形成厚度为 60nm 的由 CuZrTeAlGe(Cu:11at%;Zr:11at%;Te:30at%;Al:40at%;Ge:8at%)制成的离子供给层 21B。于是,形成了具有由中间层 21A 和离子供给层 21B 构成的两层结构的离子源层 21。此时,在存储层 20 中,离子供给层 21B 中所含有的 Al 扩散到中间层 21A 中从而与由 TiO_x 制成的第一层 22A 中过剩的氧结合或者与进入到其他膜中的氧结合,从而在第一层 22A 上形成了由 AlO_x 制成的第二层 22B。

[0138] 可以通过在形成第一层 22A 之后形成作为 Al 源的 Al 膜并且对该 Al 膜进行氧化来形成由 AlO_x 制成的第二层 22B。然而,如上所述,因为在离子供给层 21B 中已包含了用作第二层 22B 的 Al 源的 Al 元素,所以在不用引入第二层 22B 的沉积工艺的情况下就能够容易地形成包括第二层 22B 的存储层 20。可通过对构成第一层 22A 的 TiO_x 的等离子体氧化条件(O₂氛围气压及输入电力)进行控制来控制第二层 22B 的厚度。

[0139] 在形成离子源层 21 和可变电阻层 22 之后,在离子源层 21 上形成例如由 W 制成的

上部电极 30。于是,形成了下部电极 10、存储层 20 和上部电极 30 的层叠膜。

[0140] 在形成上述层叠膜之后,通过等离子体蚀刻等方法对该层叠膜中的可变电阻层 22、离子源层 21 和上部电极 30 进行图形化。除了等离子体蚀刻之外,也可利用诸如离子研磨 (ion milling) 或反应离子蚀刻 (Reactive Ion Etching, RIE) 等其他蚀刻方法来进行图形化。此外,对上部电极 30 的表面进行蚀刻,使上部电极 30 的用于与外部电路 (其用于施加中间电位 ($V_{dd}/2$)) 相连接的接触部露出。

[0141] 在对上述层叠膜进行图形化之后,形成厚度为 200nm 的布线层 (例如由 Al 制成) (未图示),该布线层与上部电极 30 的接触部相连接。然后,例如在真空热处理炉中以 300℃ 温度对该层叠膜进行两个小时的热处理。通过这样做,可以制造出图 1 所示的存储元件 1。

[0142] 在上述制造方法中,是在形成第一层 22A 的步骤中形成 Ti 膜之后,使用氧等离子体对该 Ti 膜进行氧化从而形成由 TiO_x 制成的第一层 22A。然而,第一层 22A 也可通过如下方式来形成:通过逆溅射 (reverse sputtering) 或研磨等方法,将例如由 TiN 制成的下部电极 10 表面上的自然氧化物膜或者来源于下部电极 10 形成过程中的清洗步骤的膜除去,然后对下部电极 10 的表面进行等离子体氧化。

[0143] 如上所述,在本实施方式中,可变电阻层 21 具有这样的结构:从下部电极 10 侧依次层叠有由过渡金属氧化物制成的第一层 22A 和含有氧化铝作为主要组分的第二层 22B。因此,能够防止响应于重复写入和擦除操作而在下部电极 10 与离子源层 21 所含的硫族元素之间发生不必要的氧化反应,能够改善重复耐久性并且能够延长存储器的寿命。因此,能够减小擦除状态的电阻值变化,并且在多位 (multi-bit) 存储阵列中能够得到具有足够大的电阻分隔宽度的良好特性。

[0144] 另外,因为离子源层 21 具有由中间层 21A 和离子供给层 21B 构成的两层结构,所以在维持良好重复耐久性的同时能够改善数据保存特性,并允许进行低电流非易失性存储操作。因此,即使在晶体管的电流驱动力随着晶体管的微细化而减小的情况下,也能够保持信息并能够实现高密度且小型化的存储装置。

[0145] 此外,由于离子源层 21 含有 Zr、Al、Cu 和 Ge 等,因而数据保存特性是优异的。另外,下部电极 10、可变电阻层 22、离子源层 21 和上部电极 30 任何一者能够由可溅射用的材料制成,并能简化制造工序。也就是说,可以使用由适于各层材料的组分制成的靶材依次进行溅射。另外,在同一溅射装置中通过更换靶材来连续地进行沉积。

[0146] 变形例 1

[0147] 在上述实施方式中,已经说明了这种情况:可变电阻层 22 具有从下部电极 10 侧依次层叠有由过渡金属氧化物制成的第一层 22A 和含有氧化铝作为主要组分的第二层 22B 的结构。然而,如图 3 所示,可变电阻层 22 可具有以混合状态含有氧化铝和过渡金属氧化物的单层结构。

[0148] 在此情况下,例如当向存储元件 1 施加正电压,使得上部电极 30 处于正电位侧而下部电极 10 处于负电位侧时,在离子源层 21 中,离子源层 21 所含的 Al 离子和金属元素离子向下部电极 10 侧移动。在此情况下,在下部电极 10 上,通过氧化铝或金属元素离子的还原反应形成传导路径,由此实现低电阻状态 (写入状态)。例如当向处于低电阻状态的存储元件 1 施加负电压,使得上部电极 30 处于负电位侧而下部电极 10 处于正电位侧时,在离子源层 21 中,离子源层 21 所含的 Al 离子和金属元素离子向上部电极 30 侧移动。在此情况

下,在下部电极 10 上,Al 离子通过氧化反应形成氧化铝,或者处于还原状态的金属元素通过氧化反应而被离子化从而溶解于离子源层 21 中,从而使传导路径消失并实现了高电阻状态(擦除状态)。

[0149] 在本示例中,由于可变电阻层 22 含有处于混合状态的氧化铝以及具有比该氧化铝低的电阻的过渡金属氧化物,因而即便在向存储元件施加上述正电压时,也难以有偏置电压施加到过渡金属氧化物上。因此,即使当存储元件处于写入状态(低电阻状态)时,过渡金属氧化物也不会被还原,而是在下部电极 10 上形成氧化物膜。因此,能够防止响应于重复写入和擦除操作而在下部电极 10 与离子源层 21 所包含的硫族元素之间发生不必要的氧化反应。

[0150] 变形例 2

[0151] 在上述实施方式中,已经说明了这种情况:离子源层 21 具有由中间层 21A 和离子供给层 21B 构成的两层结构。然而,离子源层 21 不是必须具有中间层 21A,而是也可以如图 4 所示具有仅由离子供给层 21B 构成的单层结构。

[0152] 变形例 3

[0153] 另外,如图 5 所示,可变电阻层 22 可以是以混合状态包含有氧化铝和过渡金属氧化物的单层,并且离子源层 21 可以是仅由离子供给层 21B 构成的单层。

[0154] 第二实施方式

[0155] 图 6 示出了本发明第二实施方式的存储元件 1 的截面结构。该存储元件 1 除了可变电阻层 22 的第一层 22A 是由过渡金属氧氮化物制成以外,具有与第一实施方式相同的结构、操作和效果,并且该存储元件 1 可以类似于第一实施方式而被制造出来。因此,用相同的附图标记表示相应的构件。

[0156] 构成第一层 22A 的过渡金属氧化物优选是具有传导性能且不具有高绝缘性能的氧氮化物。具体地,该过渡金属氧化物优选为选自由 Ti、Zr、Hf、V、Nb、Ta、Cr、Mo 和 W 组成的组中的至少一种过渡金属的氧化物。

[0157] 因为由过渡金属氧氮化物制成的第一层 22A 含有氮(N)但不含有过剩的氧(O),所以第一层 22A 的电阻低。此外,如第一实施方式所述,当离子供给层 21B 中所含的 Al 扩散到中间层 21A 中从而与第一层 22A 中过剩的氧结合或者与进入其他记录膜中的氧结合时,形成了由氧化铝制成的第二层 22B。于是,因为第一层 22A 中未含有过剩的氧,所以抑制了氧化铝的生成,并且第二层 22B 的厚度减小。因为这些事实,使得施加到第一层 22A 和第二层 22B 上的那部分电压减小,而施加到离子供给层 21B 和中间层 21A 上的电压增大,从而使离子易于移动和扩散。于是,能够降低阈值电压,并且存储元件 1 能够适用于低电流操作。该操作电流可由第一层 22A 中的氮含量来控制。

[0158] 变形例 1 ~ 3 也适用于第二实施方式。也就是说,如图 3 所示,可变电阻层 22 可具有以混合状态含有氧化铝和过渡金属氧氮化物的单层结构。另外,离子源层 21 不是必须具有中间层 21A,而是可以如图 4 所示具有仅由离子供给层 21B 构成的单层结构。此外,如图 5 所示,可变电阻层 22 可以是以混合状态含有氧化铝和过渡金属氧氮化物的单层,并且离子源层 21 可以是仅由离子供给层 21B 构成的单层。

[0159] 变形例 4

[0160] 第一实施方式已经对第一层 22A 由过渡金属氧化物制成的情况进行了说明,并且

第二实施方式已经对第一层 22A 由过渡金属氧氮化物制成的情况进行了说明。然而,如图 7 所示,第一层 22A 可包含过渡金属氧化物层 22A3 和过渡金属氧氮化物层 22A4。

[0161] 也就是说,例如,类似于第一实施方式,当在例如由 TiN 制成的下部电极 10 的上表面上形成作为过渡金属材料膜的 Ti 膜,并通过氧等离子体对该 Ti 膜进行氧化时,通过对该 Ti 膜和 / 或下部电极 10 的表面进行的氧化来形成由 TiO_x 制成的过渡金属氧化物层 22A3。因为 TiN 的氧化没有完全完成,因而在过渡金属氧化物层 22A3 下方就可能形成有由钛氧氮化物 ($TiON$) 制成的过渡金属氧氮化物层 22A4。这同样适于对由 TiN 制成的下部电极 10 的表面直接进行等离子体氧化的情况。

[0162] 此外,当在例如由 TiN 制成的下部电极 10 的上表面上形成作为过渡金属材料膜的 ZrN 膜,并对该 ZrN 膜进行氧化时,就存在如图 8 所示的可能性,即依次形成:由通过 ZrN 膜的氧化而形成的 ZrO_x 制成的过渡金属氧化物层 22A3、由因 ZrN 的未完全氧化而生成的锆氧氮化物 ($ZrON$) 制成的过渡金属氧氮化物层 22A4、由通过下部电极 10 表面的氧化而形成的 TiO_x 制成的过渡金属氧氮化物层 22A3、以及由因 TiN 的未完全氧化而生成的 $TiON$ 制成的过渡金属氧氮化物层 22A4。因为 ZrN 膜的厚度非常小,所以有可能不会形成由 ZrON 制成的过渡金属氧氮化物层 22A4。

[0163] 变形例 1 ~ 3 也适用于变形例 4。也就是说,如图 3 所示,可变电阻层 22 可具有以混合状态含有氧化铝、过渡金属氧化物和过渡金属氧氮化物的单层结构。另外,离子源层 21 不是必须具有中间层 21A,而是可以如图 4 所示具有仅由离子供给层 21B 构成的单层结构。此外,如图 5 所示,可变电阻层 22 可以是以混合状态含有氧化铝、过渡金属氧化物和过渡金属氧氮化物的单层结构,并且离子源层 21 可以是仅由离子供给层 21B 构成的单层。

[0164] 第三实施方式

[0165] 图 9 示出了本发明第三实施方式的存储元件 1 的截面结构。该存储元件 1 除了在离子源层 21 的中间层 21A 中添加有诸如 Zr 等过渡金属以外,具有与第一或第二实施方式相同的结构、操作和效果,并且该存储元件 1 可类似于第一或第二实施方式而被制造出来。因此,用相同的附图标记表示相应的构件。

[0166] 由于中间层 21A 含有例如 Zr 作为添加元素,因而中间层 21A 具有比离子供给层 21B 的电阻高的电阻。因此,能够容易地向中间层 21A 施加电压,并且存储元件 1 能够在低电流下轻松地工作。此外,当向存储元件 1 施加电压时,离子能够更有效地移动,并且能进行可靠的写入和擦除操作。于是,降低了操作错误,并改善了电阻变化。

[0167] 图 10 示出了通过对将 Zr 掺杂到单质 Te 中所形成的膜的表面电阻 (sheet resistance) 进行测量而得到的体积电阻率的计算结果。从图 10 可以理解,Te-Zr 膜的电阻率随着 Zr 含量从 0% (纯 Te) 增大而增大,并且在 Zr 含量为约 7% 时达到最大值,且在更高 Zr 含量处会减小。据此,可以理解的是,通过在中间层 21A 中添加几个百分比的 Zr 能够增大中间层 21A 的电阻率。

[0168] 除了 Zr 以外,诸如 Cu、Cr、Mn、Ti 或 Hf 等其他过渡金属类似于 Zr 也同样具有能够增大中间层 21A 的电阻的效果。也就是说,中间层 21A 优选含有 Al 和硫族元素,且含有选自 Zr、Cu、Cr、Mn、Ti 和 Hf 组成的组中的至少一种过渡金属。

[0169] 如上所述,在本实施方式中,由于中间层 21A 含有选自 Zr、Cu、Cr、Mn、Ti 和 Hf 组成的组中的至少一种过渡金属使得中间层 21A 的电阻高于离子供给层 21B 的电阻,因而

在写入和擦除操作时能够加速离子的运动,能够稳定存储操作并能够改善写入和擦除操作状态的电阻分布。

[0170] 变形例 1、第二实施方式和变形例 4 也适用于本实施方式。也就是说,可变电阻层 22 可具有以混合状态含有氧化铝、过渡金属氧化物和过渡金属氧氮化物的单层结构。

[0171] 第四实施方式

[0172] 图 11 示出了本发明第四实施方式的存储元件 1 的截面结构。该存储元件 1 除了在离子源层 21 的中间层 21A 和离子供给层 21B 的至少一者中添加有氧 (O) 以外,具有与第一~第三实施方式相同的结构、操作和效果,并且该存储元件 1 可类似于第一~第三实施方式而被制造出来。因此,用相同的附图标记表示相应的构件。

[0173] 由于离子供给层 21B 含有氧 (O) 作为添加元素,因而离子供给层 21B 的电阻率增大。因此,在写入操作时,施加至离子供给层 21B 中的金属离子上的那部分气压增大,使得金属离子能够更容易地移动,并能更稳定地形成传导路径。因此,改善了所写入数据的保存特性。可通过沉积过程中的氧 (O_2) 流量来控制离子供给层 21B 的电阻率,并且离子供给层 21B 的电阻率随着氧 (O_2) 引入量的增加而增大。

[0174] 另一方面,由于中间层 21A 含有氧 (O) 作为添加元素,因而中间层 21A 的电阻率增大。因此,在擦除操作时,施加至中间层 21A 上的电压增大,使得金属离子能够更容易返回至离子供给层 21B。除此之外,还很可能发生这样的反应:该反应中,传导路径的金属元素被离子化从而溶解于离子源层 21 中或者与碲 (Te) 等结合,以便实现更高电阻状态。于是,改善了擦除特性。

[0175] 从上面可以看出,由于中间层 21A 和离子供给层 21B 均含有氧 (O) 作为添加元素,因而所写入数据的保存特性和擦除特性都得以改善,所以相比于其中写入和擦除特性处于此消彼长关系的相关技术来说提供了更良好的特性。于是,能够进一步改善多位存储阵列中的电阻分隔宽度。

[0176] 图 12 示出了在沉积过程中氧 (O_2) 流量为 0cc 和 5cc 的情况下,通过对将 Zr 掺杂到单质 Te 中所形成的膜的表面电阻进行测量而得到的体积电阻率的计算结果。在图 12 中,诸如电力和沉积时间等沉积条件是固定的。从图 12 可以理解,在沉积过程中氧 (O_2) 流量为 5cc 的情况下 Te-Zr 膜的电阻率高于氧 (O_2) 流量为 0cc 情况下的电阻率。据此,可以理解的是,通过在中间层 21A 中添加 Zr 和氧 (O) 能够将中间层 21A 的电阻率增大至适当值。

[0177] 当除了 Zr 以外将诸如 Cu、Ti 或 Hf 等其他过渡金属与氧 (O) 一起添加时,类似于 Zr 也能够得到让中间层 21A 的电阻适当增大的效果。也就是说,中间层 21A 优选含有 Al 和硫族元素,并且还含有氧 (O) 以及选自 Cu、Ti、Zr 和 Hf 组成的组中的至少一种过渡金属。

[0178] 此外,在图 12 中,即使当 Zr 含量为 0% (纯 Te) 时,在沉积过程中氧 (O_2) 流量为 5cc 的情况下得到的电阻也高于氧 (O_2) 流量为 0cc 的情况下得到的电阻。于是,可以理解的是,通过在中间层 21A 中仅添加氧 (O) 而不添加过渡元素就能增大中间层 21A 的电阻。在此情况下,中间层 21A 优选含有 Al 和硫族元素,并且还含有氧 (O) 作为添加元素。

[0179] 在任一种上述情况中,中间层 21A 优选具有比离子供给层 21B 高的电阻。这样,能够容易地向中间层 21A 施加电压,并且存储元件 1 能够轻松地在低电流下工作。另外,当向存储元件 1 施加电压时,离子能够更有效地移动,并且能进行可靠的写入和擦除操作。于是,降低了操作错误,并改善了电阻变化。

[0180] 鉴于上述说明,在本实施方式中,在离子源层 21 的中间层 21A 和离子供给层 21B 的至少一者中添加有氧 (O) 从而增大了该至少一者的电阻率。因此,能够通过离子供给层 21B 中所添加的氧的效果来改善所写入数据的保存特性,或者通过在中间层 21A 中所添加的氧的效果来改善擦除特性。因此,能够改善多位存储阵列中的电阻分隔宽度。

[0181] 变形例 1、第二实施方式和变形例 4 也适用于本实施方式。也就是说,可变电阻层 22 可具有以混合状态含有氧化铝、过渡金属氧化物和过渡金属氧氮化物的单层结构。

[0182] 存储装置

[0183] 可以通过例如以阵列形式或以矩阵形式布置多个存储元件 1 来构造出存储装置 (存储器)。在此情况下,视需要,可通过将元件选择用 MOS 晶体管或将二极管连接至各存储元件 1 来构造出存储单元,并且该存储单元可通过布线与读出放大器、地址解码器、写入 / 擦除 / 读取电路等连接。

[0184] 图 13 和图 14 示出了以矩阵形式布置有多个存储元件 1 的存储装置 (存储单元阵列 2) 的实例,其中,图 13 示出了截面结构,图 14 示出了平面结构。在存储单元阵列 2 中,与各存储元件 1 的下部电极 10 连接的布线以及与上部电极 30 连接的布线相互交叉地设置着,并且各个存储元件 1 例如被布置在这些布线的交叉点附近。

[0185] 存储元件 1 共用可变电阻层 22、离子源层 21 和上部电极 30 这些层中的每一层。也就是说,可变电阻层 22、离子源层 21 和上部电极 30 每一者都由各存储元件 1 所共用的共用层 (同一层) 配置而成。上部电极 30 用作相邻单元所共用的公共电极。

[0186] 另一方面,为各存储单元单独设置的下部电极 10 在相邻单元之间是电隔离的,并且各存储单元的存储元件 1 被规定为处于与各下部电极 10 相对应的位置处。下部电极 10 连接至相应的单元选择用 MOS 晶体管 Tr,并且各个存储元件 1 设置在单元选择用 MOS 晶体管 Tr 的上方。

[0187] 该 MOS 晶体管 Tr 包括源极区域 / 漏极区域 43 和栅极电极 44。该源极区域 / 漏极区域 43 形成在半导体基板 41 中的被元件隔离层 42 隔开的区域中。在栅极电极 44 的壁面上形成有侧壁绝缘层。栅极电极 44 兼用作字线 (word line) WL,该字线 WL 是存储元件 1 的一种地址线。MOS 晶体管 Tr 的源极区域 / 漏极区域 43 中的其中一个区域与存储元件 1 的下部电极 10 通过柱塞层 45、金属布线层 46 和柱塞层 47 而电连接。MOS 晶体管 Tr 的源极区域 / 漏极区域 43 中的另一个区域通过柱塞层 45 而连接至金属布线层 46。金属布线层 46 连接至位线 (bit line) BL (参见图 14),该位线 BL 是存储元件 1 的另一种地址线。在图 14 中,MOS 晶体管 Tr 的有源区域 48 由点划线表示,并且接触部 51 与存储元件 1 的下部电极 10 相连接,而接触部 52 与位线 BL 相连接。

[0188] 在存储单元阵列 2 中,在通过字线 WL 使 MOS 晶体管 Tr 的栅极处于接通状态的状态下,当向位线 BL 施加电压时,该电压通过 MOS 晶体管 Tr 的源极 / 漏极而被施加到所选的存储单元的下部电极 10 上。这里,当施加到下部电极 10 上的电压的极性相对于上部电极 30 (公共电极) 的电位而言为负电位时,如上所述,存储元件 1 的电阻值转变为低电阻状态。于是,信息被写入所选的存储单元中。接着,当将相对于上部电极 30 (公共电极) 的电位而言为正电位的电压施加至下部电极 10 时,存储元件 1 的电阻值再转变为高电阻状态。于是,写入到所选的存储单元中的信息被擦除。为了读取所写入的信息,通过 MOS 晶体管 Tr 来选择存储单元,并且向所选的存储单元施加预定的电压或电流。利用连接在位线 BL 或上部电

极 30 (公共电极) 前面的读出放大器 (sense amplifier) 等来检测根据存储元件 1 的电阻状态的不同而不同的电流或电压。将施加至所选的存储单元的上述电压或电流控制为小于存储元件 1 的电阻状态发生转变时的阈值电压。

[0189] 本实施方式的存储装置可适用于各种各样的如上所述的存储装置。例如, 本实施方式的存储装置能够适用于任何类型的存储器, 例如仅可写入一次的 PROM (Programmable Read Only Memory, 可编程只读存储器)、电可擦除的 EEPROM (Erasable Programmable Read Only Memory, 可擦除可编程只读存储器)、或者能够高速地写入、擦除和读取信息的所谓 RAM 等。

[0190] 实施例

[0191] 下面, 将对本发明的具体实施例进行说明。

[0192] 实施例 1

[0193] 以与第一实施方式相同的方式制造出具有存储元件 1 的存储单元阵列。首先, 通过溅射法在 CMOS 电路 (在该 CMOS 电路上形成有由 TiN 制成的下部电极 10 这样的柱塞) 上形成厚度为 1nm 的 Ti 膜。然后, 通过等离子体氧化对该 Ti 膜进行氧化, 从而形成由 TiOx 制成的第一层 22A。

[0194] 接着, 形成厚度为 4nm 的由 Te 制成的中间层 21A, 然后形成厚度为 60nm 的由 CuZrTeAlGe (Cu : 11at% ; Zr : 11at% ; Te : 30at% ; Al : 40at% ; Ge : 8at%) 制成的离子供给层 21B。随后, 形成厚度为 50nm 的由 W 制成的上部电极 30。本实施例的工序可概括如下。

[0195] TiN/Ti (1nm) / 等离子体氧化 / Te (4nm) / CuZrTeAlGe (60nm) / W (50nm)

[0196] 在形成了下部电极 10、存储层 20 和上部电极 30 的层叠膜之后, 对该层叠膜进行图形化使得可变电阻层 22、离子源层 21 和上部电极 30 留在存储单元阵列部中。另外, 在上部电极 30 的表面上进行蚀刻从而使上部电极 30 的用于与外部电路 (其用于施加中间电位 ($V_{dd}/2$)) 连接的接触部露出。

[0197] 在对上述层叠膜进行图形化之后, 形成厚度为 200nm 的例如由 Al 制成的布线层 (未图示), 且该布线层与上部电极 30 的接触部连接。接着, 在真空热处理炉中以 300℃ 温度对该层叠膜进行 2 小时的热处理。这样, 制造出具有图 1 所示的存储元件 1 的存储单元阵列。

[0198] 对所获得的实施例 1 的存储单元阵列的重复重写特性进行检测。在该检测过程中, 将电压 V_w 为 3V、电流为约 100 μA 且脉冲宽度为 10ns 的脉冲用作写入脉冲, 并将电压 V_e 为 2V、电流为约 100 μA 且脉冲宽度为 10ns 的脉冲用作擦除脉冲, 并且利用上述这些脉冲重复进行 10^5 次以上的重写操作。该检测的结果如图 15B 所示。另外, 当电流为 50 μA 时对同样的重复重写特性进行检测。该检测的结果如图 15C 所示。

[0199] 从图 15B 和图 15C 可理解的是, 得到了良好的存储操作: 该存储操作中, 低电阻状态的电阻值和高电阻状态的电阻值具有一位数 (one digit) 以上量级的差别。

[0200] 接着, 对 4 千位 (4-kbit) 存储单元阵列在重复 1000 次之后的累积频率分布以及在 130℃ 温度下进行了 2 小时的数据保存加速试验之后的累积频率分布进行检测。检测的结果如图 15A 所示。

[0201] 从图 15A 可理解的是, 写入状态 (低电阻状态) 和擦除状态 (高电阻状态) 是分隔的, 并且得到了良好的变化特性, 甚至在数据保存加速试验之后也能得到良好的电阻分

隔特性。

[0202] 实施例 2

[0203] 通过逆溅射法从 CMOS 电路（在该 CMOS 电路上形成有由 TiN 制成的下部电极 10 这样的柱塞）将形成在下部电极 10 上的自然氧化物膜充分地除去。然后，对下部电极 10 直接进行等离子体氧化，从而形成由 TiO_x 制成的第一层 22A。除了上述的以外，按照与实施例 1 相同的方式制造出具有存储元件 1 的存储单元阵列。实施例 2 的工序可概括如下。

[0204] TiN/ 等离子体氧化 /Te (4nm) /CuZrTeAlGe (60nm) /W (50nm)

[0205] 实施例 3

[0206] 通过逆溅射法从 CMOS 电路（在该 CMOS 电路上形成有由 W 制成的下部电极 10 这样的柱塞）将形成在下部电极 10 上的自然氧化物膜充分地除去。然后，对下部电极 10 直接进行等离子体氧化，从而形成由氧化钨 (WO_x) 制成的第一层 22A。除了上述的以外，按照与实施例 1 相同的方式制造出具有存储元件 1 的存储单元阵列。实施例 3 的工序可概括如下。

[0207] W/ 等离子体氧化 /Te (4nm) /CuZrTeAlGe (60nm) /W (50nm)

[0208] 比较例 1

[0209] 通过溅射法在 CMOS 电路（在该 CMOS 电路上形成有由 TiN 制成的下部电极这样的柱塞）上形成厚度为 1nm 的钆 (Gd) 膜。通过等离子体氧化对该 Gd 膜进行氧化，从而形成氧化钆 (GdO_x) 膜。然后，形成厚度为 60nm 的由 CuZrTeAlGe (Cu : 11at% ; Zr : 11at% ; Te : 30at% ; Al : 40at% ; Ge : 8at%) 制成的离子源层，并形成厚度为 50nm 的由 W 制成的上部电极。除了上述的以外，按照与实施例 1 相同的方式制造出具有存储元件的存储单元阵列。比较例 1 的工序可概括如下。

[0210] TiN/Gd (1nm) / 等离子体氧化 /CuZrTeAlGe (60nm) /W (50nm)

[0211] 比较例 2

[0212] 通过溅射法在 CMOS 电路（在该 CMOS 电路上形成有由 TiN 制成的下部电极这样的柱塞）上形成厚度为 1nm 的 Gd 膜。通过等离子体氧化对该 Gd 膜进行氧化，从而形成 GdO_x 膜。接着，形成厚度为 4nm 的由 Te 制成的中间层，并形成厚度为 60nm 的由 CuZrTeAlGe (Cu : 11at% ; Zr : 11at% ; Te : 30at% ; Al : 40at% ; Ge : 8at%) 制成的离子供给层。然后，形成厚度为 50nm 的由 W 制成的上部电极。除了上述的以外，按照与实施例 1 相同的方式制造出具有存储元件的存储单元阵列。比较例 2 的工序可概括如下。

[0213] TiN/Gd (1nm) / 等离子体氧化 /Te (4nm) /CuZrTeAlGe (60nm) /W (50nm)

[0214] 比较例 3

[0215] 通过溅射法在 CMOS 电路（在该 CMOS 电路上形成有由 TiN 制成的下部电极这样的柱塞）上形成厚度为 4nm 的由 Te 制成的中间层。接着，形成厚度为 60nm 的由 CuZrTeAlGe (Cu : 11at% ; Zr : 11at% ; Te : 30at% ; Al : 40at% ; Ge : 8at%) 制成的离子供给层，并形成厚度为 50nm 的由 W 制成的上部电极。除了上述的以外，按照与实施例 1 相同的方式制造出具有存储元件的存储单元阵列。比较例 3 的工序可概括如下。

[0216] TiN/Te (4nm) /CuZrTeAlGe (60nm) /W (50nm)

[0217] 与实施例 1 类似地，对于所得到的实施例 2、实施例 3 以及比较例 1、比较例 2 和比较例 3 的存储单元阵列，对重复 1000 次之后的 4 千位 (4kbit) 数据的累积频率分布和 / 或

电流为 100 μ A 和 50 μ A 情况下的重复特性进行检测。实施例 2 的累积频率分布如图 16A 所示,并且实施例 2 的重复特性如图 16B 和图 16C 所示。实施例 3 的重复特性如图 17A 和图 17B 所示。比较例 1 的累积频率分布如图 18A 所示,并且比较例 1 的重复特性如图 18B 和图 18C 所示。比较例 2 的重复特性如图 19A 和图 19B 所示。比较例 3 的累积频率分布如图 20A 所示,并且比较例 3 的重复特性如图 20B 和图 20C 所示。

[0218] 实施例 1 和 2 与比较例 3 :由过渡金属氧化物制成的第一层的有无

[0219] 从图 15A ~图 15C、图 16A ~图 16C 以及图 20A ~图 20C 可以理解,其中在下部电极 10 上形成有由 TiO_x 制成的第一层 22A 的实施例 1 和实施例 2 既得到了良好的电阻分隔特性又得到了良好的重复特性。相反,在未设置由过渡金属氧化物制成的第一层而将中间层和离子供给层直接形成在下部电极上的比较例 3 的情况下,高电阻状态和低电阻状态没有良好地分隔开,并且重复特性很差。

[0220] 虽然上述结果的原因不是很清楚,但图 21A 和图 21B 示出了电阻的变化;图 21A 和图 21B 作为用于推测该原因的测定实施例,向处于低电阻状态(在该低电阻状态下进行写入操作)的 60 个元件在擦除方向上施加 0 ~ 3V 的电压。如图 21B 所示,其中未形成有由过渡金属氧化物制成的第一层的许多元件响应于擦除电压而转变成低电阻状态。相反,如图 21A 所示,其中形成有由过渡金属氧化物制成的第一层的所有元件在测定范围内都没有响应于擦除电压而转变成低电阻状态。可以认为该结果归因于下列事实:下部电极上存在着的由过渡金属氧化物制成的第一层,抑制了当施加擦除电压时发生除了诸如形成铝氧化物膜等高电阻状态以外的不必要变化。这可归因于如下事实:在本实施例中,抑制了 Te(它作为电解质的阴离子)与下部电极的反应。

[0221] 另外,使用透射电子显微镜(Transmission Electron Microscope,TEM)对实施例 2 的存储元件 1 进行结构分析和 EDX 检测。TEM-EDX 能谱图如图 22A ~图 22C 所示,并且截面的 EDX 谱线轮廓的结果如图 23 以及图 24A ~图 24F 所示。在该 EDX 检测中,当在截面样本上用会聚成大约 1nm 直径的电子束沿线性方向以 1nm 的间隔进行扫描时,在各点处得到 EDX 能谱。EDX 谱线轮廓的结果是通过绘制 Te-L α 1 峰、Cu-K α 1 峰、O-K α 1 峰、Al-K α 1 峰、Zr-K α 1 峰和 Ti-K α 1 峰的积分强度而得到的结果。上述各个峰的积分强度为包含了背景噪声成分的值。

[0222] 从图 23 和图 24A ~图 24F 可以理解,在实施例 2 的情况下,在第一层 22A 与含有 Te 的中间层 21A 之间的界面处观察到了 Al 的峰和氧(O)的峰。因此,可以理解的是,形成有由铝氧化物(Al-O)制成的第二层 22B。从图 22A ~图 22C 中的 TEM 图像也观察到了第二层 22B 的存在。虽然在附图中没有描绘出,但根据在下部电极上未设置由过渡金属氧化物制成的第一层的比较例 3 的 TEM 图像,能够理解出在下部电极上形成有铝氧化物层。然而,实施例 2 和比较例 3 的重复特性十分不同。也就是说,在实施例 2 的情况下,甚至在重复一百万次以上的重写操作之后重复特性也很少发生劣化,并能够进行进一步的重写操作。然而,在未形成由过渡金属氧化物制成的第一层的比较例 3 的情况下,重复 10 次之后重复特性就会严重劣化。

[0223] 也就是说,可以理解的是,当可变电阻层 22 具有如下结构时就得到了良好的电阻分隔特性及良好的重复特性:该结构中,从下部电极 10 侧依次层叠有由过渡金属氧化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B。

[0224] 实施例 3 与比较例 2 :由过渡金属氧化物制成的第一层 22A 的其他材料

[0225] 从图 17A 和图 17B 可以理解,在其中设有由 WO_x 制成的第一层 22A 的实施例 3 的情况下,与实施例 1 和实施例 2 一样得到了良好的电阻分隔特性及良好的重复特性。

[0226] 相反,从图 19A 和图 19B 能够理解,在其中形成有 GdO_x 膜作为可变电阻层的比较例 2 的情况下,初始电阻值太高,并且难以进行写入操作(难以实现低电阻状态)。因此,难以重复进行写入操作。

[0227] 也就是说,这就理解了甚至在由 WO_x 代替 TiO_x 形成了第一层 22A 时,也能得到良好的电阻分隔特性和良好的重复特性。

[0228] 实施例 1 ~ 3 与比较例 1 :中间层的有无导致的低电流重复特性差别

[0229] 从图 18B 和图 18C 可以理解,在下部电极上形成有由 GdO_x 制成的可变电阻层但未设置中间层的比较例 1 的情况下,在 $100\ \mu A$ 电流下进行重复之后的电阻分隔特性相对良好。然而,在 $50\ \mu A$ 电流下的重复特性比设有中间层 21A 的实施例 1 ~ 实施例 3 的重复特性差。

[0230] 也就是说,可以理解的是,当离子源层 21 具有由中间层 21A 和离子供给层 21B 构成的两层结构时,改善了在较低电流下的重复特性。

[0231] 实施例 2 :中间层和离子供给层中的铝浓度分布

[0232] 在上述实施例 2 中,在形成由过渡金属氧化物制成的第一层 22A 之后,依次形成由 Te 制成的中间层 21A 和由 $CuZrTeAlGe$ 制成的离子供给层 21B。然而,从图 22A ~ 图 22C 中的 TEM 图像以及图 23 和图 24A ~ 图 24F 中 EDX 谱线轮廓的结果可以理解,实际上,在沉积之后,Al 从离子供给层 21B 扩散至中间层 21A,因此 Al 也存在于中间层 21A 中。然而,从 TEM 图像可以理解,中间层 21A 中的 Al 含量与硫族元素含量之比(Al 浓度)小于离子供给层 21B 中的 Al 含量与硫族元素含量之比(Al 浓度)。本实施例的效果正是归因于此。也就是说,必需的是:在中间层 21A 中作为阴离子而存在有过剩的 Te,并且在写入和擦除操作时(尤其是在擦除操作时)Te 离子不能妨碍 Al 离子的移动。此外,因为考虑到中间层 21A 中的 Al 是由相对于离子供给层 21B 的浓度梯度引起的扩散而生成的,所以例如可以认为该 Al 含量小于 Al_2Te_3 的理想配比组分。于是,可以认为中间层 21A 中的大部分 Al 是以离子状态而存在的。所施加的电位被有效地用于驱动这些离子,从而使得这种对特性的改善得以实现。

[0233] 也就是说,可以理解的是,当中间层 21A 中的 Al 浓度小于离子供给层 21B 中的 Al 浓度时,改善了在低电流下的重复特性。

[0234] 实施例 2 与比较例 1 :中间层的有无导致的数据保存特性差别

[0235] 从图 16A 和图 18A 可以理解,在未设有中间层的比较例 1 的情况下,在重复之后的数据保存加速试验以后将处于低电阻状态下的那些位变成高电阻状态,并且观察到了电阻分布的变化。相反,在设有中间层的实施例 2 的情况下,没有观察到低电阻状态的分布的变化,并得到了良好的数据保存特性。虽然上述情况的原因不是很清楚,但这可认为是归因于下面的事实。也就是说,在实施例 2 的情况下,由于存在着其中 Al 浓度比离子供给层 21B 中的 Al 浓度低的中间层 21A,因而在写入操作时通过还原反应将 Al 离子还原从而产生 Al 金属。当除去写入偏置电压时,该 Al 金属不会变成会增大元件电阻的铝氧化物,而会溶解于能够溶解 Al 的中间层 21A 中。因此,电阻不会增大。

[0236] 也就是说,应理解的是,当离子源层 21 具有由中间层 21A 和离子供给层 21B 构成的两层结构时,能改善数据保存特性。

[0237] 实施例 4-1

[0238] 除了是通过对 Ta 膜进行等离子体氧化来形成第一层 22A 以外,按照与实施例 1 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。如图 25A 和图 25B 所示,所得到的结果相当于实施例 1 中所得到的结果。

[0239] 实施例 4-2

[0240] 除了是通过对 Zr 膜进行等离子体氧化来形成第一层 22A 以外,按照与实施例 1 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。如图 26A 和图 26B 所示,所得到的结果相当于实施例 1 中所得到的结果。

[0241] 实施例 5-1

[0242] 除了中间层 21A 是由 GeS 形成且离子供给层 21B 是由 CuZrTeAlGe 形成以外,按照与实施例 1 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。如图 27A 和图 27B 所示,所得到的结果相当于实施例 1 中所得到的结果。

[0243] 实施例 5-2

[0244] 除了中间层 21A 是由 Te 形成且离子供给层 21B 是由 CuTiTeAl 形成以外,按照与实施例 1 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。所得到的结果相当于实施例 1 中所得到的结果。

[0245] 实施例 6-1

[0246] 除了中间层 21A 是由 Te (厚度 :5nm) 形成、离子供给层 21B 是由 $\text{Ag}_7\text{Zr}_{14}\text{Te}_{36}\text{Al}_{43}$ (厚度 :45nm) 形成、且上部电极 30 是由 Zr (厚度 :50nm) 形成以外,按照与实施例 2 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。如图 28A 和图 28B 所示,所得到的结果相当于实施例 2 中所得到的结果。

[0247] 实施例 6-2

[0248] 除了中间层 21A 是由 Te (厚度 :5nm) 形成、离子供给层 21B 是由 $\text{Ni}_{13}\text{Zr}_{13}\text{Te}_{33}\text{Al}_{40}$ (厚度 :45nm) 形成、且上部电极 30 是由 Zr (厚度 :50nm) 形成以外,按照与实施例 2 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。如图 29A 和图 29B 所示,所得到的结果相当于实施例 2 中所得到的结果。

[0249] 实施例 6-3

[0250] 除了中间层 21A 是由 Te (厚度 :5nm) 形成、离子供给层 21B 是由 $\text{Co}_7\text{Zr}_{14}\text{Te}_{36}\text{Al}_{43}$ (厚度 :45nm) 形成、且上部电极 30 是由 Zr (厚度 :50nm) 形成以外,按照与实施例 2 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。如图 30A 和图 30B 所示,所得到的结果相当于实施例 2 中所得到的结果。

[0251] 实施例 6-4

[0252] 除了中间层 21A 是由 Te (厚度 :5nm) 形成、离子供给层 21B 是由 $\text{Mn}_{13}\text{Zr}_{13}\text{Te}_{33}\text{Al}_{40}$ (厚度 :45nm) 形成、且上部电极 30 是由 Zr (厚度 :50nm) 形成以外,按照与实施例 2 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。如图 31A 和图 31B 所示,所得到的结果相当于实施例 2 中所得到的结果。

[0253] 实施例 6-5

[0254] 除了中间层 21A 是由 Te (厚度 :5nm) 形成、离子供给层 21B 是由 $\text{Fe}_{10}\text{Zr}_{16}\text{Te}_{39}\text{Al}_{35}$ (厚度 :45nm) 形成、且上部电极 30 是由 Zr (厚度 :50nm) 形成以外,按照与实施例 2 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。如图 32A 和图 32B 所示,所得到的结果相当于实施例 2 中所得到的结果。

[0255] 实施例 7-1

[0256] 除了离子供给层 21B 是由 $\text{Cu}_{10}\text{Hf}_{14}\text{Te}_{37}\text{Al}_{38}$ 形成以外,按照与实施例 2 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的累积频率分布、重复重写特性和电阻分隔特性进行检测。如图 33A ~ 图 33C 所示,所得到的结果相当于实施例 2 中所得到的结果。

[0257] 实施例 7-2

[0258] 除了离子供给层 21B 是由 $\text{Cu}_{10}\text{Ti}_{14}\text{Te}_{37}\text{Al}_{38}$ 形成以外,按照与实施例 2 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的累积频率分布、重复重写特性和电阻分隔特性进行检测。如图 34A ~ 图 34C 所示,所得到的结果相当于实施例 2 中所得到的结果。

[0259] 实施例 7-3

[0260] 除了中间层 21A 是由 Al_1Te_9 (厚度 :3.2nm) 形成、离子供给层 21B 是由 $\text{Cu}_{12.5}\text{Hf}_{7.5}\text{Te}_{35.4}\text{Al}_{38}\text{Ge}_{6.6}$ (厚度 :60nm) 形成、且上部电极 30 是由钨 (W) (厚度 :30nm) 形成以外,按照与实施例 2 相同的方式制造出存储单元阵列。对所获得的存储单元阵列的累积频率分布、重复重写特性和电阻分隔特性进行检测。如图 35A ~ 图 35C 所示,所得到的结果相当于实施例 2 中所得到的结果。

[0261] 实施例 8-1 ~ 实施例 8-4

[0262] 按照与实施例 2 相同的方式制造出 4 千位 (4-kbit) 存储单元阵列。此时,对由氮化钛 (TiN) 制成的下部电极 10 的表面直接进行等离子体氧化,从而形成由氧化钛 (TiO_x) 制成的第一层 22A。对于所获得的四个样本 (实施例 8-1 ~ 实施例 8-4),利用 X 射线反射技术来检测第一层 22A 的厚度和密度。检测结果如表 1 所示。

[0263] 表 1

[0264]

	厚度 (nm)	密度 (g/cm^3)
实施例 8-1	1.15	3.314
实施例 8-2	1.563	3.871
实施例 8-3	2.954	3.998
实施例 8-4	4.762	3.046

[0265] 对于实施例 8-1 ~ 实施例 8-4 中所得到的存储单元阵列,在重复进行 1000 次写入和擦除操作、且接着进行了温度加速试验之后,对累积频率分布进行检测。检测结果如图 36A、图 36B、图 37A 和图 37B 所示。

[0266] 从表 1 及图 36A ~ 图 37B 可以理解,对于实施例 8-1 ~ 实施例 8-4 的所有情况,第一层 22A 的厚度都为 1nm 以上,并且写入 (低电阻) 状态与擦除 (高电阻) 状态是分隔开

的。也就是说,可以确认,在第一层 22A 的厚度为 1nm 以上时能够得到良好的电阻分隔特性。

[0267] 实施例 9-1 和实施例 9-2

[0268] 按照与实施例 1 相同的方式制造出 4 千位 (4-kbit) 存储单元阵列。此时,在由 TiN 制成的下部电极 10 的上表面上形成作为过渡金属材料膜的 Zr 膜,并对该 Zr 膜进行氧化,从而形成 ZrOx 层 22A1。这时,还形成了 TiOx 层 22A2,由此形成了图 2 中的第一层 22A。另外,虽然在本实施例中是使用 Zr 来形成 ZrOx 层 22A1,但也可通过对 ZrN 进行氧化来形成该 ZrOx 层 22A1 (见图 2)。

[0269] 对于所获得的两个样本 (实施例 9-1 和实施例 9-2),检测第一层 22A 的厚度和密度。在实施例 9-1 的情况下,TiOx 层 22A2 的厚度和密度为 1.49nm 和 3.86g/cm³,而 ZrOx 层 22A1 的厚度和密度为 1.48nm 和 5.23g/cm³。在实施例 9-2 的情况下,TiOx 层 22A2 的厚度和密度为 2.39nm 和 3.70g/cm³,而 ZrOx 层 22A1 的厚度和密度为 1.07nm 和 5.17g/cm³。

[0270] 另外,对于实施例 9-1 和实施例 9-2 的存储单元阵列,在重复进行 1000 次写入和擦除操作、且接着进行温度加速试验之后,对累积频率分布进行检测。检测结果如图 38A 和图 38B 所示。

[0271] 从图 38A 和图 38B 可以理解,对于实施例 9-1 和实施例 9-2 的所有情况,第一层 22A 的厚度都为 1nm 以上,并且写入 (低电阻) 状态与擦除 (高电阻) 状态是分开的。也就是说,可以确认,在第一层 22A 的厚度为 1nm 以上时能够得到良好的电阻分隔特性。

[0272] 实施例 10 :由氧氮化物制成第一层 22A

[0273] 按照与第二实施方式相同的方式制造出具有存储元件 1 的存储单元阵列。首先,通过反应溅射法在 CMOS 电路 (其上形成有由 TiN 制成的下部电极 10 这样的柱塞) 上形成厚度为 0.5nm 的 ZrN 膜。沉积条件是:向 Zr 靶材施加的电压为 3.5kV,供给至腔室内的氩 (Ar) 和氮 (N₂) 的流量分别为 25sccm 和 300sccm,总气压为 2.1E⁻³(Torr)。Ar 氛围的那部分气压被评估为 2.0E⁻⁴(Torr) 而氮氛围的那部分气压被评估为 1.9E⁻³(Torr)。接着,通过等离子体氧化对上述 ZrN 膜进行氧化,从而形成由 ZrON 制成的第一层 22A。

[0274] 然后,形成厚度为 5nm 的由 Te 制成的中间层 21A,并形成厚度为 60nm 的由 CuZrTeAlGe (Cu:11at%;Zr:11at%;Te:30at%;Al:40at%;Ge:8at%) 制成的离子供给层 21B。接着,形成厚度为 50nm 的由 W 制成的上部电极 30。本实施例的工序可概括如下。

[0275] TiN/ZrN(0.5nm)/等离子体氧化/Te(5nm)/CuZrTeAlGe(60nm)/W(50nm)

[0276] 在形成了下部电极 10、存储层 20 和上部电极 30 的层叠膜之后,按照与实施例 1 相同的方式对该层叠膜进行图形化和热处理。这样,制造出具有图 6 所示的存储元件 1 的存储单元阵列。

[0277] 对实施例 10 中所获得的存储单元阵列的累积频率分布、重复重写特性和电阻分隔特性进行检测。如图 39A~图 39C 所示,与未使用本实施方式的过渡金属氧化物或过渡金属氧氮化物的比较例 1 相比,在累积频率分布、重复特性和电阻分隔特性所有这些方面都得到了良好的特性。

[0278] 也就是说,可以理解的是,当可变电阻层 22 具有如下结构时能够得到良好的电阻分隔特性及良好的重复特性:该结构中,从下部电极 10 侧依次层叠有由过渡金属氧氮化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B。

[0279] 实施例 11 :在中间层 21A 中添加有过渡金属

[0280] 按照与第三实施方式相同的方式制造出具有存储元件 1 的存储单元阵列。首先,与实施例 10 同样地,通过反应溅射法在 CMOS 电路(其上形成有由 TiN 制成的下部电极 10 这样的柱塞)上形成厚度为 0.5nm 的 ZrN 膜。接着,通过等离子体氧化对该 ZrN 膜进行氧化,从而形成由 ZrON 制成的第一层 22A。

[0281] 然后,形成厚度为 5nm 的由 $\text{Te}_{95}\text{Zr}_5$ 制成的中间层 21A,并形成厚度为 60nm 的由 CuZrTeAlGe(Cu:11at%;Zr:11at%;Te:30at%;Al:40at%;Ge:8at%) 制成的离子供给层 21B。接着,形成厚度为 50nm 的由钨(W)制成的上部电极 30。本实施例的工序可概括如下。

[0282] TiN/ZrN(0.5nm)/等离子体氧化/ $\text{Te}_{95}\text{Zr}_5$ (5nm)/CuZrTeAlGe(60nm)/W(50nm)

[0283] 在形成了下部电极 10、存储层 20 和上部电极 30 的层叠膜之后,按照与实施例 1 相同的方式对该层叠膜进行图形化和热处理。这样,制造出具有图 9 所示的存储元件 1 的存储单元阵列。

[0284] 对实施例 11 中所获得的存储单元阵列的累积频率分布、重复重写特性和电阻分隔特性进行检测。如图 40A~图 40C 所示,与未使用本实施方式的过渡金属氧化物或过渡金属氧氮化物的比较例 1 相比,在累积频率分布、重复特性和电阻分隔特性所有这些方面都得到了良好的特性。

[0285] 此外,当向处于低电阻状态(在该低电阻状态下进行写入操作)的 60 个元件在擦除方向上施加 0~3V 的电压时,对实施例 10 和实施例 11 的存储单元阵列的电阻变化进行检测。检测结果如图 41A 和图 41B 所示。根据对图 41A 和图 41B 的理解,可以确认的是:上述各元件在测定范围内还没有响应于擦除电压而转变成低电阻状态,并且所图示的擦除特性相当于或者优于实施例 1 中所得到的擦除特性。

[0286] 也就是说,可以理解的是,当可变电阻层 22 和离子源层 21 分别具有如下结构时能够得到良好的电阻分隔特性及良好的重复特性。即,可变电阻层 22 的结构为:从下部电极 10 侧依次层叠有由过渡金属氧氮化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B;离子源层 21 的结构为:由中间层 21A 和离子供给层 21B 构成的两层结构,并且在中间层 21A 中添加有作为过渡金属的 Zr。

[0287] 实施例 12:在中间层 21A 中添加有过渡金属

[0288] 除了将 WN 用于下部电极 10 以外,按照与实施例 11 相同的方式制造出存储单元阵列。本实施例的工序可概括如下。

[0289] WN/ZrN(0.5nm)/等离子体氧化/ $\text{Te}_{95}\text{Zr}_5$ (5nm)/CuZrTeAlGe(60nm)/W(50nm)

[0290] 对实施例 12 中所获得的存储单元阵列的累积频率分布、重复重写特性和电阻分隔特性进行检测。如图 42A~图 42C 所示,与未使用本实施方式的过渡金属氧化物或过渡金属氧氮化物的比较例 1 相比,在累积频率分布、重复特性和电阻分隔特性所有这些方面都得到了良好的特性。

[0291] 也就是说,可以理解的是,甚至在下部电极 10 是由代替 TiN 的 WN 制成的情况下,当可变电阻层 22 和离子源层 21 分别具有如下结构时也能够得到良好的电阻分隔特性及良好的重复特性,即,可变电阻层 22 的结构为:从下部电极 10 侧依次层叠有由过渡金属氧氮化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B;离子源层 21 的结构为:由中间层 21A 和离子供给层 21B 构成的两层结构,并且在中间层 21A 中添加有作为过渡

金属的 Zr。

[0292] 实施例 13-1 ~ 实施例 13-3 : 第一层的氧氮化物的其他材料

[0293] 按照与实施例 10 相同的方式制造出具有存储元件 1 的存储单元阵列。此时, 对于实施例 13-1、实施例 13-2 和实施例 13-3, 在 CMOS 电路 (其上形成有由 TiN 制成的下部电极 10 这样的柱塞) 上分别形成 TiN 膜、氮化钽 (TaN) 膜和氮化铪 (HfN) 膜。通过等离子体氧化对上述各个膜进行氧化, 从而对于实施例 13-1、实施例 13-2 和实施例 13-3 分别形成由 TiON 制成的第一层 22A、由钽氧氮化物 (TaON) 制成的第一层 22A 和由铪氧氮化物 (HfON) 制成的第一层 22A。

[0294] 对实施例 13-1 ~ 实施例 13-3 中所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。如图 43A 和图 43B 至图 45A 和图 45B 所示, 与未使用本实施方式的过渡金属氧化物或过渡金属氧氮化物的比较例 1 相比, 能够得到良好的特性。

[0295] 也就是说, 可以理解的是, 甚至当第一层 22A 是由 TiON、TaON 或 HfON 制成时, 也能得到良好的电阻分隔特性和良好的重复特性。

[0296] 实施例 14 : 在离子供给层 21B 中添加有氧

[0297] 按照与第四实施方式相同的方式制造出具有存储元件 1 的存储单元阵列。首先, 与实施例 10 同样地, 通过反应溅射法在 CMOS 电路 (其上形成有由 TiN 制成的下部电极 10 这样的柱塞) 上形成厚度为 0.5nm 的 ZrN 膜。接着, 通过等离子体氧化对该 ZrN 膜进行氧化, 从而形成由 ZrON 制成的第一层 22A。

[0298] 然后, 形成厚度为 5nm 的由 $\text{Te}_{95}\text{Zr}_5$ 制成的中间层 21A, 并形成厚度为 60nm 的由 CuZrTeAlGeO 制成的离子供给层 21B。作为向离子供给层 21B 掺杂氧的方法, 使用了反应溅射方法。作为沉积条件, 向各个靶材施加与用于沉积实施例 1 中由 CuZrTeAlGe 制成的离子供给层的电压大小相同的电压。供给至腔室内的氩和氧 (O_2) 的流量分别为 25sccm 和 5sccm, 并且总气压为 $2.4\text{E}^{-4}(\text{Torr})$ 。Ar 氛围的那部分气压被评估为 $2.0\text{E}^{-4}(\text{Torr})$, 而氧氛围的那部分气压被评估为 $4.0\text{E}^{-5}(\text{Torr})$ 。

[0299] 接着, 形成厚度为 50nm 的由 W 制成的上部电极 30。本实施例的工序可概括如下。

[0300] $\text{TiN}/\text{ZrN}(0.5\text{nm}) / \text{等离子体氧化} / \text{Te}_{95}\text{Zr}_5(5\text{nm}) / \text{CuZrTeAlGeO}(60\text{nm}) / \text{W}(50\text{nm})$

[0301] 在形成了下部电极 10、存储层 20 和上部电极 30 的层叠膜之后, 按照与实施例 1 相同的方式对该层叠膜进行图形化和热处理。这样, 制造出具有图 11 所示的存储元件 1 的存储单元阵列。

[0302] 对实施例 14 中所获得的存储单元阵列的累积频率分布、重复重写特性和电阻分隔特性进行检测。如图 46A ~ 图 46C 所示, 与未使用本实施方式的过渡金属氧化物或过渡金属氧氮化物的比较例 1 相比, 在累积频率分布、重复特性和电阻分隔特性所有这些方面都得到了良好的特性。

[0303] 也就是说, 可以理解的是, 当可变电阻层 22 和离子源层 21 分别具有如下结构时能够得到良好的电阻分隔特性及良好的重复特性, 即, 可变电阻层 22 的结构为: 从下部电极 10 侧依次层叠有由过渡金属氧氮化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B; 离子源层 21 的结构为: 由中间层 21A 和离子供给层 21B 构成的两层结构, 并且在离子供给层 21B 中添加有氧。

[0304] 实施例 15 : 在中间层 21A 中添加有氧和过渡金属

[0305] 按照与第四实施方式相同的方式制造出具有存储元件 1 的存储单元阵列。首先,与实施例 10 同样地,通过反应溅射法在 CMOS 电路(其上形成有由 TiN 制成的下部电极 10 这样的柱塞)上形成厚度为 0.5nm 的 ZrN 膜。接着,通过等离子体氧化对该 ZrN 膜进行氧化,从而形成由 ZrON 制成的第一层 22A。

[0306] 然后,形成厚度为 5nm 的由 TeZrO 制成的中间层 21A。作为向中间层 21A 掺杂氧的方法,使用了反应溅射方法。作为沉积条件,与实施例 11 同样地,供给至腔室内的氩和氧(O_2)的流量分别为 25sccm 和 5sccm。Ar 氛围的那部分气压被评估为 $2.0E^{-4}$ (Torr),而氧氛围的那部分气压被评估为 $4.0E^{-5}$ (Torr)。

[0307] 接着,形成厚度为 60nm 的由 CuZrTeAlGe(Cu:11at%;Zr:11at%;Te:30at%;Al:40at%;Ge:8at%)制成的离子供给层 21B,最后,形成厚度为 50nm 的由 W 制成的上部电极 30。本实施例的工序可概括如下。

[0308] TiN/ZrN(0.5nm)/等离子体氧化/TeZrO(5nm)/CuZrTeAlGe(60nm)/W(50nm)

[0309] 在形成了下部电极 10、存储层 20 和上部电极 30 的层叠膜之后,按照与实施例 1 相同的方式对该层叠膜进行图形化和热处理。这样,制造出具有图 11 所示的存储元件 1 的存储单元阵列。

[0310] 对实施例 15 中所获得的存储单元阵列的累积频率分布、重复重写特性和电阻分隔特性进行检测。如图 47A~图 47C 所示,与未使用本实施方式的过渡金属氧化物或过渡金属氧氮化物的比较例 1 相比,在累积频率分布、重复特性和电阻分隔特性所有这些方面都得到了良好的特性。

[0311] 也就是说,可以理解的是,当可变电阻层 22 和离子源层 21 分别具有如下结构时能够得到良好的电阻分隔特性及良好的重复特性,即,可变电阻层 22 的结构为:从下部电极 10 侧依次层叠有由过渡金属氧氮化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B;离子源层 21 的结构为:由中间层 21A 和离子供给层 21B 构成的两层结构,并且在中间层 21A 中添加有氧以及作为过渡金属的 Zr。

[0312] 从实施例 10 与实施例 15 的比较可以理解,实施例 15 的擦除侧电阻分布比实施例 10 位于更高电阻侧上。这被认为是归因于下面的事实:通过将氧掺杂到中间层 21A 中,中间层 21A 的电阻率增大。因此,在擦除操作时,施加至中间层 21A 上的电压增大,并且金属离子能够容易地返回至离子供给层 21B。另外,很可能进行如下反应:该反应中,传导路径的金属元素被离子化以溶解于离子源层 21 中或者与 Te 结合等,从而实现更高电阻状态。

[0313] 实施例 16:在中间层 21A 中仅添加有氧而没有添加过渡金属,并且在离子供给层 21B 中添加有氧

[0314] 按照与第四实施方式相同的方式制造出具有存储元件 1 的存储单元阵列。首先,与实施例 10 同样地,通过反应溅射法在 CMOS 电路(其上形成有由 TiN 制成的下部电极 10 这样的柱塞)上形成厚度为 0.5nm 的 ZrN 膜。接着,通过等离子体氧化对该 ZrN 膜进行氧化,从而形成由 ZrON 制成的第一层 22A。

[0315] 然后,与实施例 15 同样地,形成厚度为 5nm 的由 TeO 制成的中间层 21A。随后,与实施例 14 同样地,形成厚度为 60nm 的由含有氧(O)的 CuZrTeAlGe(Cu:11at%;Zr:11at%;Te:30at%;Al:40at%;Ge:8at%)制成的离子供给层 21B。最后,形成厚度为 50nm 的由 W 制成的上部电极 30。本实施例的工序可概括如下。

[0316] TiN/ZrN(0.5nm)/等离子体氧化/TeO(5nm)/CuZrTeAlGeO(60nm)/W(50nm)

[0317] 在形成了下部电极 10、存储层 20 和上部电极 30 的层叠膜之后,按照与实施例 1 相同的方式对该层叠膜进行图形化和热处理。这样,制造出具有图 11 所示的存储元件 1 的存储单元阵列。

[0318] 对实施例 16 中所获得的存储单元阵列的累积频率分布、重复重写特性和电阻分隔特性进行检测。如图 48A~图 48C 所示,与未使用本实施方式的过渡金属氧化物或过渡金属氧氮化物的比较例 1 相比,在累积频率分布、重复特性和电阻分隔特性所有这些方面都得到了良好的特性。

[0319] 也就是说,可以理解的是,当可变电阻层 22 和离子源层 21 分别具有如下结构时能够得到良好的电阻分隔特性及良好的重复特性,即,可变电阻层 22 的结构为:从下部电极 10 侧依次层叠有由过渡金属氧氮化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B;离子源层 21 的结构为:由中间层 21A 和离子供给层 21B 构成的两层结构,并且在中间层 21A 和离子供给层 21B 中都添加有氧。

[0320] 实施例 17:在中间层 21A 中添加有过渡金属和氧,并且

[0321] 在离子供给层 21B 中添加有氧

[0322] 按照与第四实施方式相同的方式制造出具有存储元件 1 的存储单元阵列。首先,与实施例 10 同样地,通过反应溅射法在 CMOS 电路(其上形成有由 TiN 制成的下部电极 10 这样的柱塞)上形成厚度为 0.5nm 的 ZrN 膜。接着,通过等离子体氧化对该 ZrN 膜进行氧化,从而形成由 ZrON 制成的第一层 22A。

[0323] 然后,与实施例 15 同样地,形成厚度为 5nm 的由 TeZrO 制成的中间层 21A。随后,与实施例 14 同样地,形成厚度为 60nm 的由含有氧(O)的 CuZrTeAlGe(Cu:11at%;Zr:11at%;Te:30at%;Al:40at%;Ge:8at%)制成的离子供给层 21B。最后,形成厚度为 50nm 的由 W 制成的上部电极 30。本实施例的工序可概括如下。

[0324] TiN/ZrN(0.5nm)/等离子体氧化/TeZrO(5nm)/CuZrTeAlGeO(60nm)/W(50nm)

[0325] 在形成了下部电极 10、存储层 20 和上部电极 30 的层叠膜之后,按照与实施例 1 相同的方式对该层叠膜进行图形化和热处理。这样,制造出具有图 11 所示的存储元件 1 的存储单元阵列。

[0326] 对实施例 17 中所获得的存储单元阵列的累积频率分布、重复重写特性和电阻分隔特性进行检测。如图 49A~图 49C 所示,与未使用本实施方式的过渡金属氧化物或过渡金属氧氮化物的比较例 1 相比,在累积频率分布、重复特性和电阻分隔特性所有这些方面都得到了良好的特性。

[0327] 也就是说,可以理解的是,当可变电阻层 22 和离子源层 21 分别具有如下结构时能够得到良好的电阻分隔特性及良好的重复特性,即,可变电阻层 22 的结构为:从下部电极 10 侧依次层叠有由过渡金属氧氮化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B;离子源层 21 的结构为:由中间层 21A 和离子供给层 21B 构成的两层结构,并且在中间层 21A 中添加有氧以及作为过渡金属的 Zr,并在离子供给层 21B 中添加有氧。

[0328] 实施例 18:在中间层 21A 中添加有过渡金属和氧

[0329] 按照与第四实施方式相同的方式制造出具有存储元件 1 的存储单元阵列。首先,通过等离子体氧化对 CMOS 电路上暴露出来的由 TiN 制成的下部电极 10 进行氧化,从而形

成厚度为约 1nm 的由 TiO_x 制成的第一层 22A。

[0330] 随后,形成厚度为 5nm 的 CuZrTe 膜,并将该 CuZrTe 膜暴露于气压为 10Torr 的氧气中,从而形成由 CuZrTeO_x 制成的中间层 21A。

[0331] 然后,形成厚度为 60nm 的由 CuZrTeAlGe (Cu :11at% ;Zr :11at% ;Te :30at% ;Al :40at% ;Ge :8at%) 制成的离子供给层 21B,最后,形成厚度为 50nm 的由 W 制成的上部电极 30。本实施例的工序可概括如下。

[0332] TiN/ 等离子体氧化 /CuZrTeO_x (5nm) /CuZrTeAlGe (60nm) /W (50nm)

[0333] 这里,虽然作为中间层 21A 的 CuZrTeO_x 具有在沉积过程中所表示出来的 CuZrTeO_x 的组分,但因为实际上即使在室温下 Al 也会从作为离子供给层 21B 的 CuZrTeAlGe 层扩散,所以该 CuZrTeO_x 会变成 CuZrTeAlO_x。

[0334] 在形成了下部电极 10、存储层 20 和上部电极 30 的层叠膜之后,对该层叠膜进行图形化使得可变电阻层 22、离子源层 21 和上部电极 30 留在存储单元阵列部中。另外,在上部电极 30 的表面上进行蚀刻从而使上部电极 30 的用于与外部电路 (其用于施加中间电位 (V_{dd}/2)) 连接的接触部露出。

[0335] 在对上述层叠膜进行图形化之后,形成厚度为 200nm 的例如由 Al 制成的布线层 (未图示),且该布线层与上部电极 30 的接触部连接。接着,在真空热处理炉中以 300℃ 温度对该层叠膜进行 2 小时的热处理。这样,制造出具有图 11 所示的存储元件 1 的存储单元阵列。

[0336] 对实施例 18 中所获得的存储单元阵列的重复重写特性进行检测。在该检测过程中,将电压 V_w 为 3V、电流为约 100 μA 且脉冲宽度为 10ns 的脉冲用作写入脉冲,将电压 V_e 为 2V、电流为约 100 μA 且脉冲宽度为 10ns 的脉冲用作擦除脉冲,并且利用上述这些脉冲重复进行 10⁵ 次以上的重写操作。检测的结果如图 50A 所示。

[0337] 从图 50A 可理解的是,得到了良好的存储操作:在该存储操作中,低电阻状态的电阻值与高电阻状态的电阻值具有一位数 (one digit) 以上量级的差别。

[0338] 接着,对 4 千位 (4-kbit) 存储单元阵列在重复 1000 次之后的累积频率分布 (由实线表示) 以及在 130℃ 温度下进行了 2 小时的数据保存加速试验之后的累积频率分布 (由虚线表示) 进行检测。检测的结果如图 50B 所示。

[0339] 从图 50B 可理解的是,写入状态 (低电阻状态) 与擦除状态 (高电阻状态) 是分隔开的,得到了良好的变化特性,并且甚至在数据保存加速试验之后也能得到良好的电阻分隔特性。因此,能够理解的是:通过在上述两种电阻状态之间设置参考电阻就能够读取写入状态 (低电阻状态) 和擦除状态 (高电阻状态),并能够得到良好的变化特性。

[0340] 也就是说,可以理解的是,当可变电阻层 22 和离子源层 21 分别具有如下结构时能够得到良好的电阻分隔特性及良好的重复特性,即,可变电阻层 22 的结构为:从下部电极 10 侧依次层叠有由过渡金属氧氮化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B;离子源层 21 的结构为:由中间层 21A 和离子供给层 21B 构成的两层结构,并且在中间层 21A 中添加有氧以及作为过渡金属的 Cu 和 Zr。

[0341] 实施例 19:在中间层 21A 中添加有过渡金属

[0342] 除了中间层 21A 是由 CrTe 制成的以外,按照与实施例 18 相同的方式制造出具有存储元件 1 的存储单元阵列。本实施例的工序可概括如下。

[0343] TiN/ 等离子体氧化 /CrTe (5nm) /CuZrTeAlGe (60nm) /W (50nm)

[0344] 在此情况下,与实施例 18 同样地,由于 Al 从离子供给层 21B 的扩散,因而作为中间层 21A 的 CrTe 层变成 CrAlTe。

[0345] 比较例 4

[0346] 除了中间层是由 Te 制成的以外,按照与实施例 18 相同的方式制造出具有存储元件的存储单元阵列。比较例 4 的工序可概括如下。

[0347] TiN/ 等离子体氧化 /Te (5nm) /CuZrTeAlGe (60nm) /W (50nm)

[0348] 在此情况下,与实施例 18 同样地,由于 Al 从离子供给层的扩散,因而作为中间层的 Te 层变成 AlTe。

[0349] 对比较例 4 中所得到的存储单元阵列在重复 1000 次之后的电阻分隔特性进行检测。此时,所用的电流为 $110\ \mu\text{A}$ (其与实施例 18 中所用的电流条件相同) 和 $80\ \mu\text{A}$ (其是比实施例 18 中所用的电流低的电流)。检测结果如图 51A 和图 51B 所示。

[0350] 从图 50A 和图 50B 以及图 51A 和图 51B 可以理解,在电流为 $100\ \mu\text{A}$ 的写入条件下,在实施例 18 和比较例 4 这两种情况下,在 4 千位 (4-kbit) 数据的尾部处都没有出现重叠,并且能够实现电阻分隔。然而,当比较例 4 中将电流降低至 $80\ \mu\text{A}$ 时,写入用低电阻侧的电阻分布和擦除用高电阻侧的电阻分布均变差,并且不能实现电阻分隔。于是,能够理解的是,在比较例 4 的配置构造中,相比于实施例 18 难以降低重写电流。

[0351] 对实施例 19 中所得到的存储单元阵列在 $80\ \mu\text{A}$ 电流下重复 1000 次之后的电阻分隔特性进行检测。检测结果如图 52B 所示。另外,图 52A 和图 52C 分别示出了对于实施例 18 和比较例 4 在 $80\ \mu\text{A}$ 电流下重复 1000 次之后的电阻分隔特性的检测结果。

[0352] 从图 52A ~ 图 52C 可以理解,在中间层 21A 中添加有铬 (Cr) 的实施例 19 的情况下,低电流下的重写操作是稳定的,并确保电阻分隔裕度 (margin)。

[0353] 为了调查上述情形的原因,制备了用于实施例 18 的中间层 21A 的 CuZrTeO_x 层、用于实施例 19 的中间层 21A 的 CrTe 层、以及用于比较例 4 的中间层的 Te 层,并测量上述各层的表面电阻 (sheet resistance)。它们的体积电阻率被求出如下。

[0354] Te : $0.27\ \Omega\text{cm}$

[0355] CuZrTeO_x : $0.44\ \Omega\text{cm}$

[0356] CrTe : $0.56\ \Omega\text{cm}$

[0357] 从上面的结果可以理解,实施例 18 和实施例 19 的中间层的电阻高于比较例 4 中作为中间层的 Te 层的电阻。这被认为是归因于如下事实:由于中间层 21A 的电阻变得高于离子供给层 21B 的电阻,因而当施加写入偏置电压和擦除偏置电压时,能够更有效地向中间层 21A 施加电场,并能够向主要是 Al 的离子种类施加更强的电场,从而能够使这些离子更容易移动。因此,在实施例 18 和实施例 19 中使得写入和擦除操作都稳定化。

[0358] 也就是说,可以理解的是,当可变电阻层 22 和离子源层 21 分别具有如下结构时能够得到良好的电阻分隔特性及良好的重复特性 (特别地,在低电流下的电阻分隔特性得以改善),即,可变电阻层 22 的结构为:从下部电极 10 侧依次层叠有由过渡金属氧氮化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B;离子源层 21 的结构为:由中间层 21A 和离子供给层 21B 构成的两层结构,并且在中间层 21A 中添加有 Cr。

[0359] 如上所述,甚至当中间层 21A 中添加有 Cr 时,通过进一步添加氧也能够预期可以

得到适当高的电阻值。因此,可以期望能够得到与实施例 19 相同或比实施例 19 更好的效果。

[0360] 实施例 20 :在中间层 21A 中添加有过渡金属

[0361] 除了中间层 21A 是由 MnTe 制成的以外,按照与实施例 19 相同的方式制造出具有存储元件 1 的存储单元阵列。实施例 20 的工序可概括如下。

[0362] TiN/ 等离子体氧化 /MnTe (5nm) /CuZrTeAlGe (60nm) /W (50nm)

[0363] 在此情况下,与实施例 18 同样地,由于 Al 从离子供给层 21B 的扩散,因而作为中间层 21A 的 MnTe 层变成 MnAlTe。

[0364] 对实施例 20 中所获得的存储单元阵列的重复重写特性和电阻分隔特性进行检测。如图 53A 和图 53B 所示,与未使用本实施方式的过渡金属氧化物或过渡金属氧氮化物的比较例 1 相比,在重复特性和电阻分隔特性所有这些方面都得到了良好的特性。

[0365] 也就是说,可以理解的是,当可变电阻层 22 和离子源层 21 分别具有如下结构时能够得到良好的电阻分隔特性及良好的重复特性(特别地,在低电流下的电阻分隔特性得以改善),即,可变电阻层 22 的结构为:从下部电极 10 侧依次层叠有由过渡金属氧氮化物制成的第一层 22A 以及含有氧化铝作为主要组分的第二层 22B;离子源层 21 的结构为:由中间层 21A 和离子供给层 21B 构成的两层结构,并且在中间层 21A 中添加有 Mn。

[0366] 如上所述,甚至当中间层 21A 中添加有 Mn 时,通过进一步添加氧也能够预期可以得到适当高的电阻值。因此,可以期望能够得到与实施例 20 相同或比实施例 20 更好的效果。

[0367] 虽然已经通过各实施方式和各实施例说明了本发明,但本发明不限于前述的各实施方式和各实施例,而是可以以各种形式进行变形。

[0368] 例如,本发明不限于各实施方式和各实施例中所说明的各层材料或沉积方法和沉积条件,而是也可以使用其他材料和其他沉积方法。例如,在不背离上述组分比的情况下可在离子源层 21 中添加诸如 Ti、Hf、V、Nb、Ta、Cr、Mo 或 W 等其他过渡金属元素。

[0369] 此外,例如,在上述各实施方式中,尽管已经说明了存储元件 1 和存储单元阵列 2 的各种具体层结构,但并不是需要具有所有层,并且可以还设置有其他层。

[0370] 另外,例如,在各实施方式和各实施例中,虽然已经说明了存储元件 1 具有下部电极 10(第一电极)、存储层 20 和上部电极 30(第二电极),且该下部电极 10、存储层 20 和上部电极 30 按照此顺序而被设置在形成有 CMOS 电路的硅基板 41 上的情况,但也可以将该层叠顺序倒置。在此情况下,存储元件 1 具有在硅基板 41 上依次层叠有上部电极 30(第二电极)、存储层 20 和下部电极 10(第一电极)的结构。

[0371] 本领域的技术人员应当理解,依据设计要求和因素,可以在本发明所附的权利要求或其等同物的范围内进行各种修改、组合、次组合及改变。

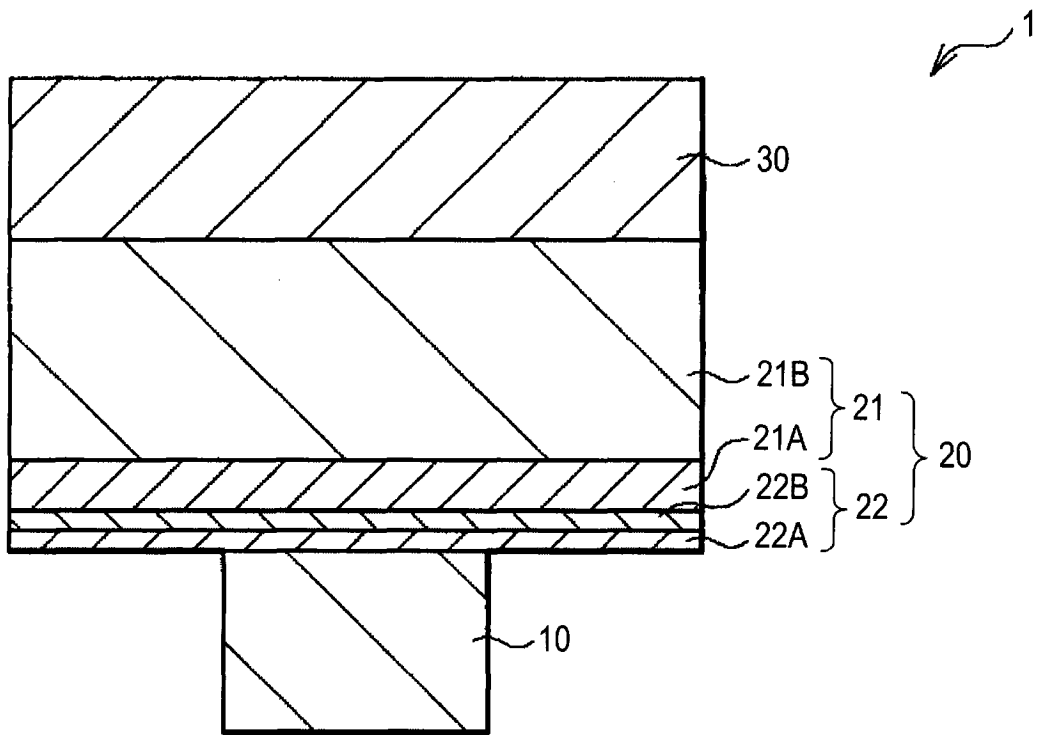


图 1

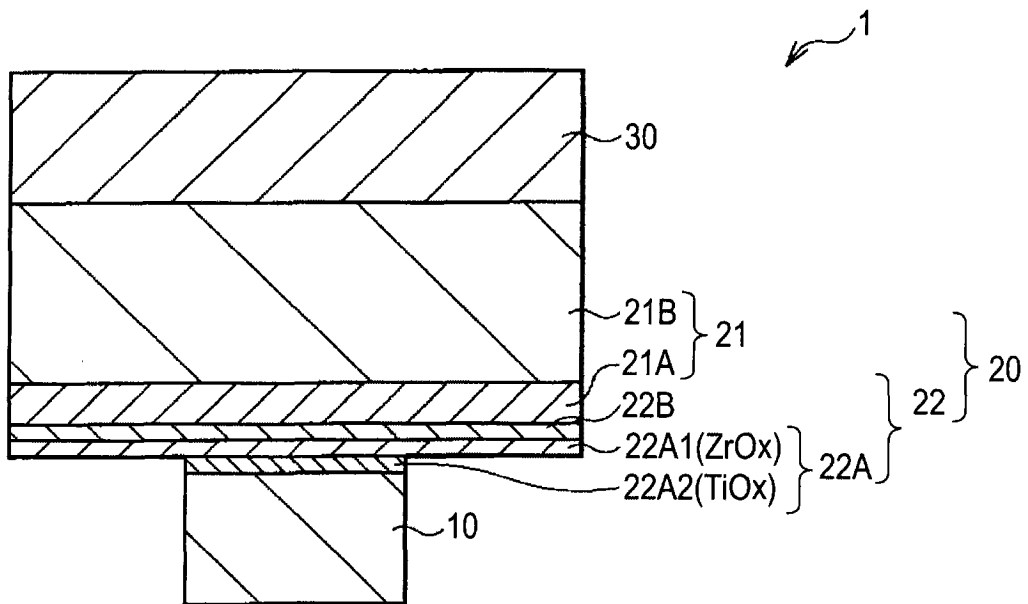


图 2

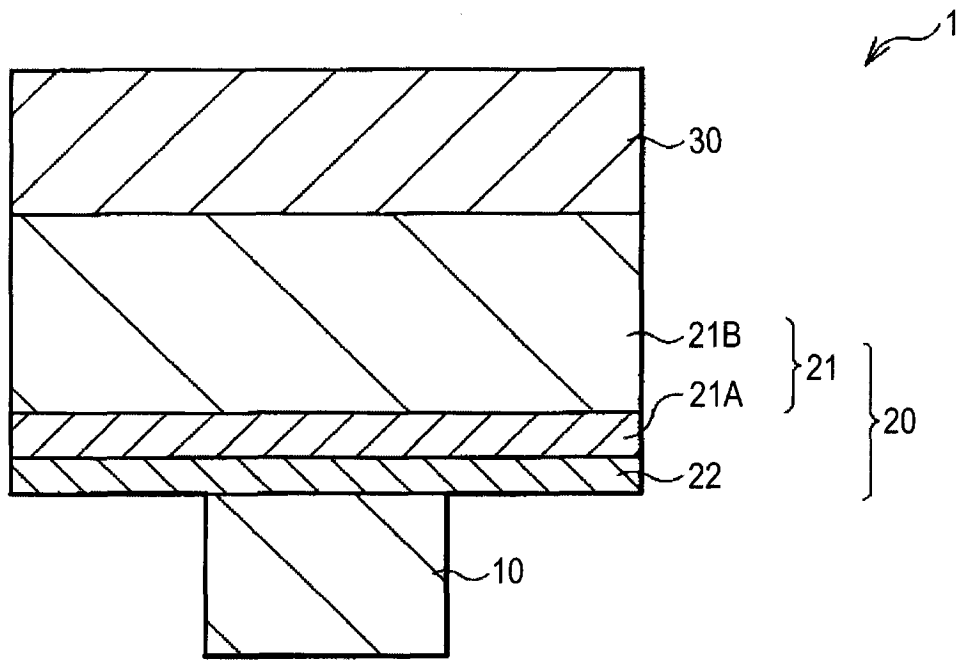


图 3

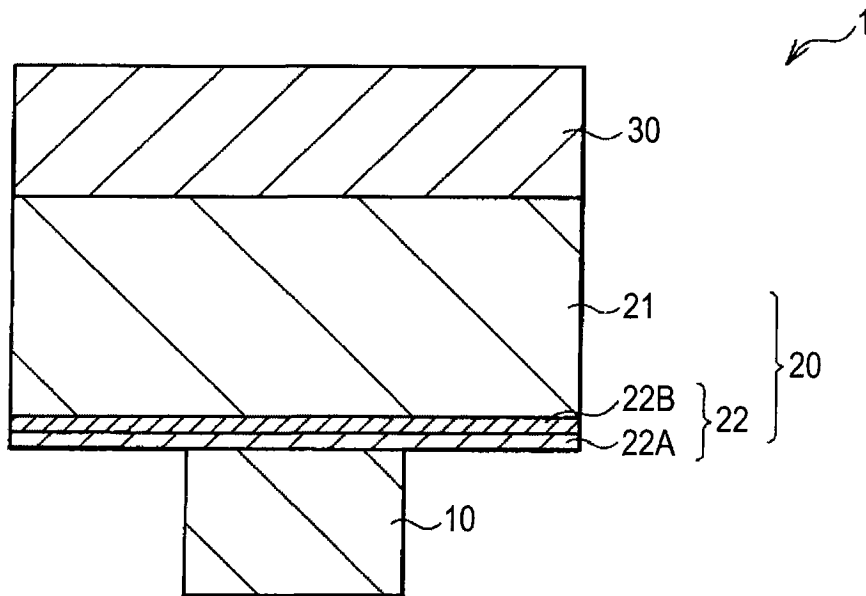


图 4

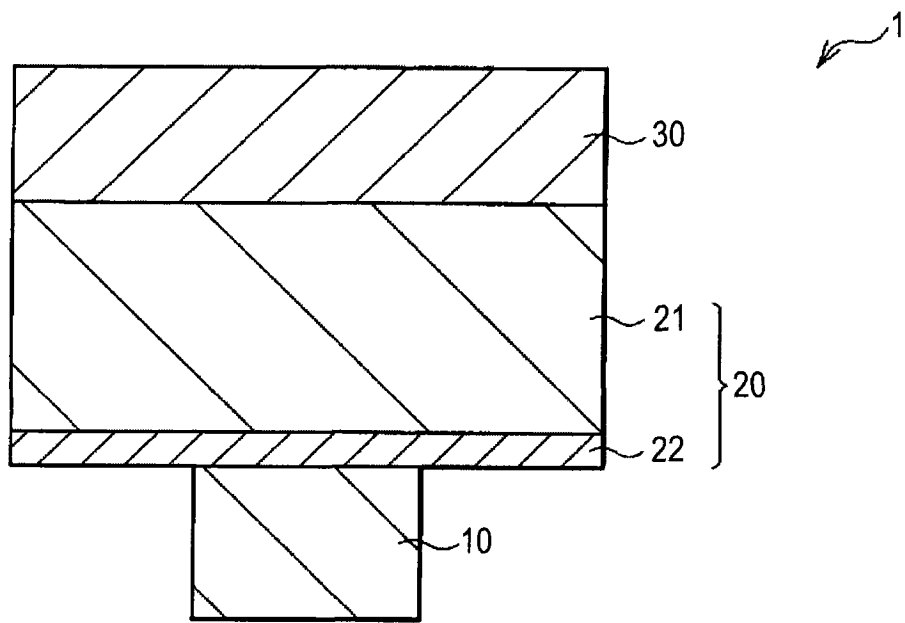


图 5

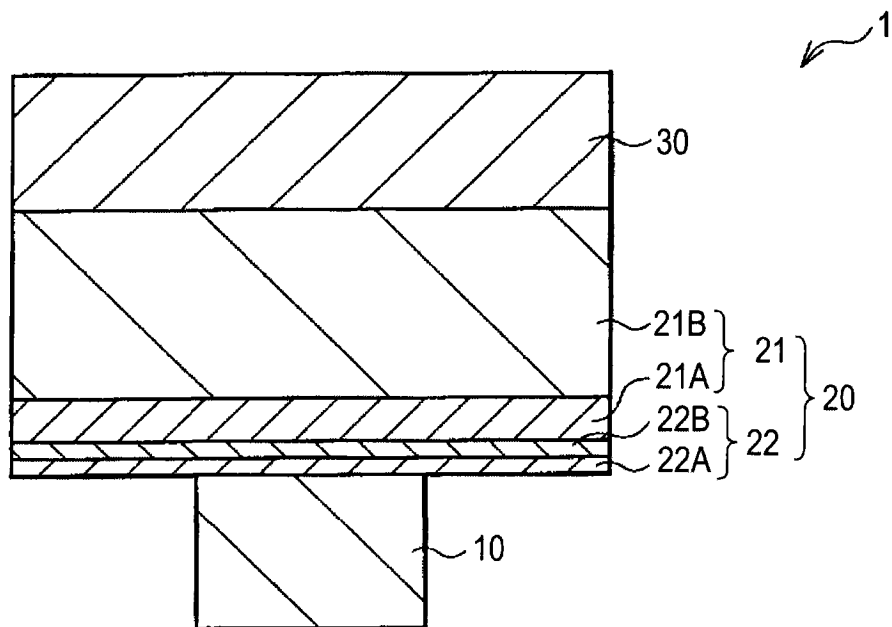


图 6

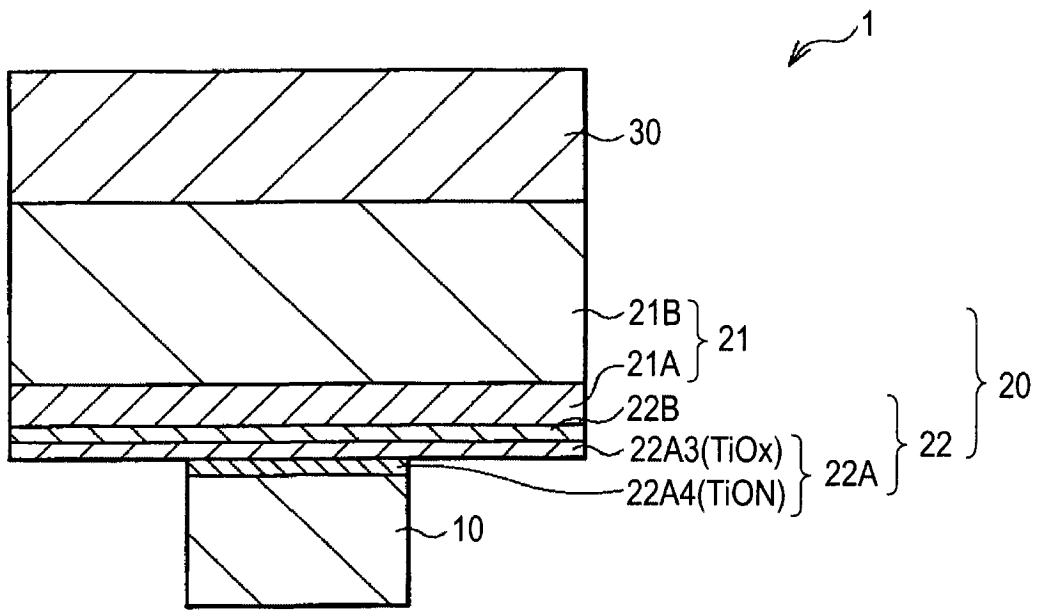


图 7

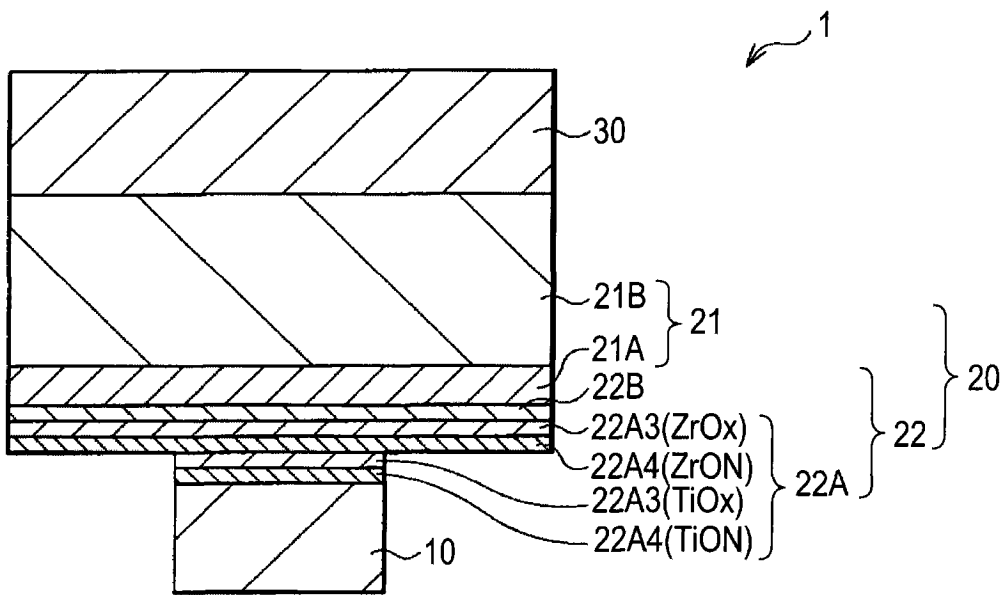


图 8

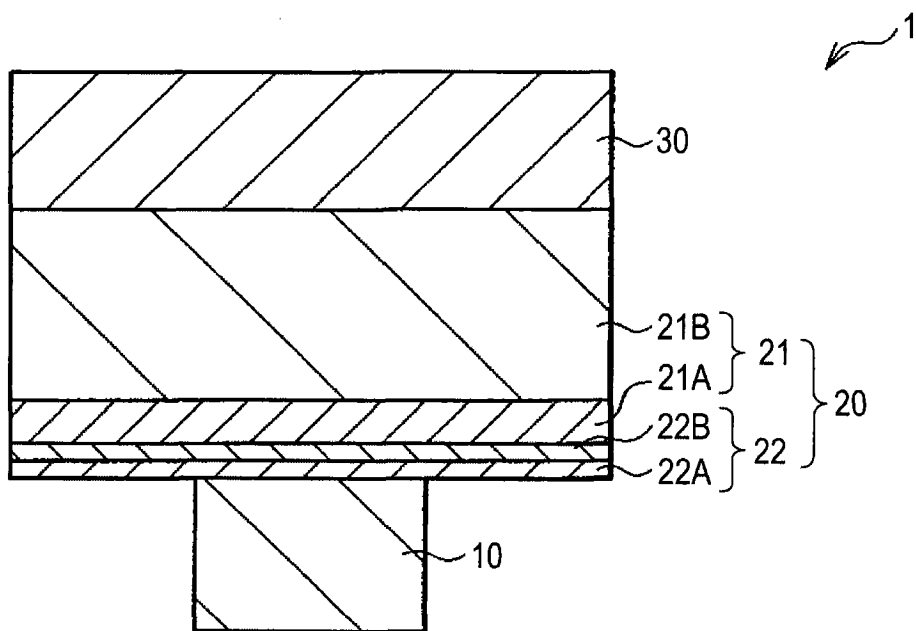


图 9

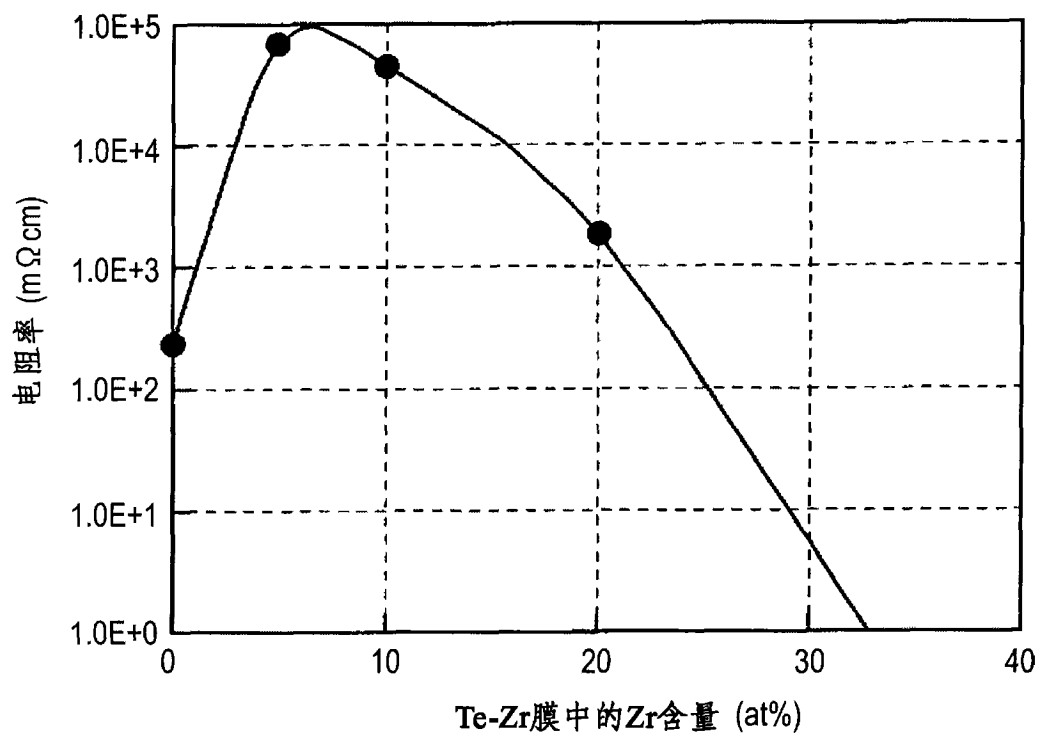


图 10

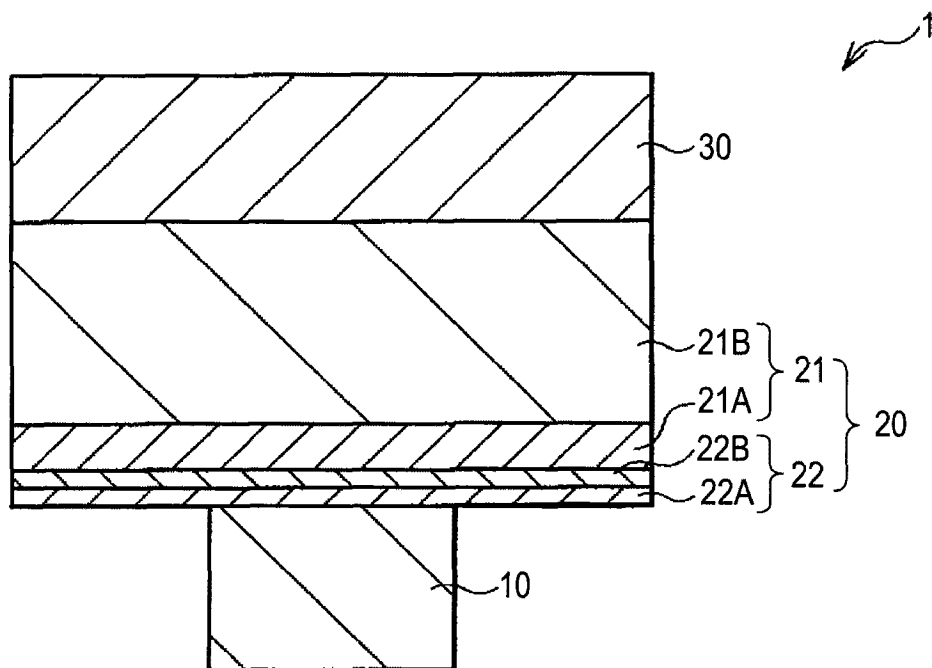


图 11

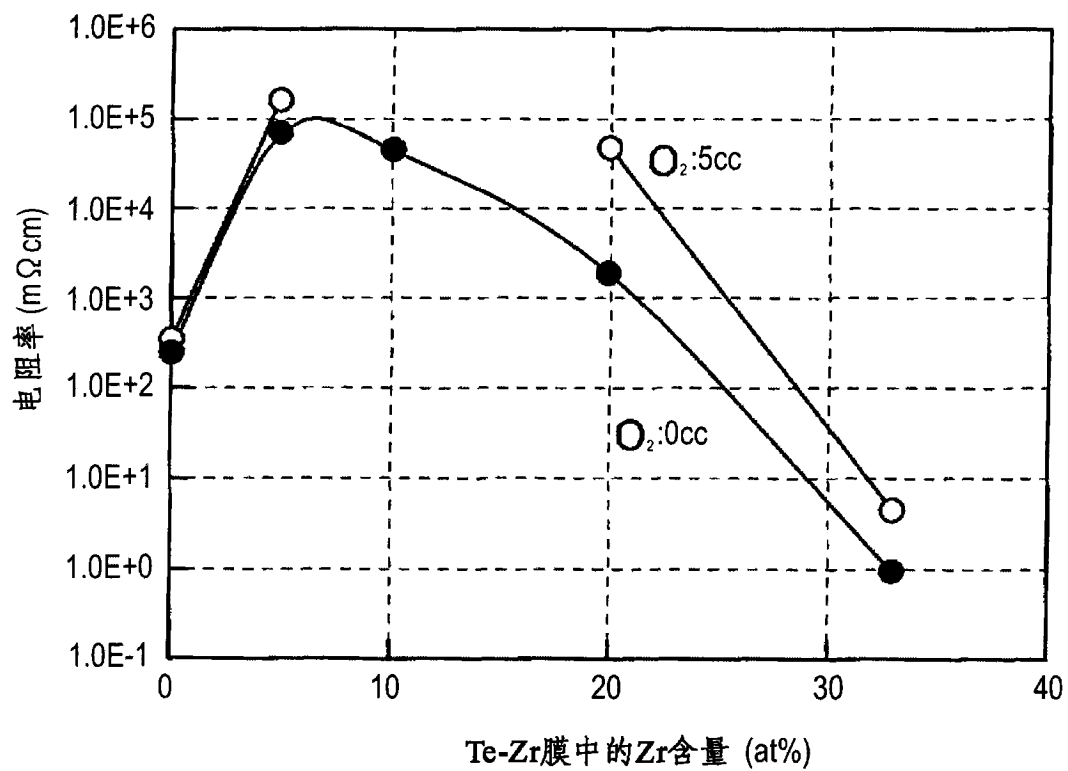


图 12

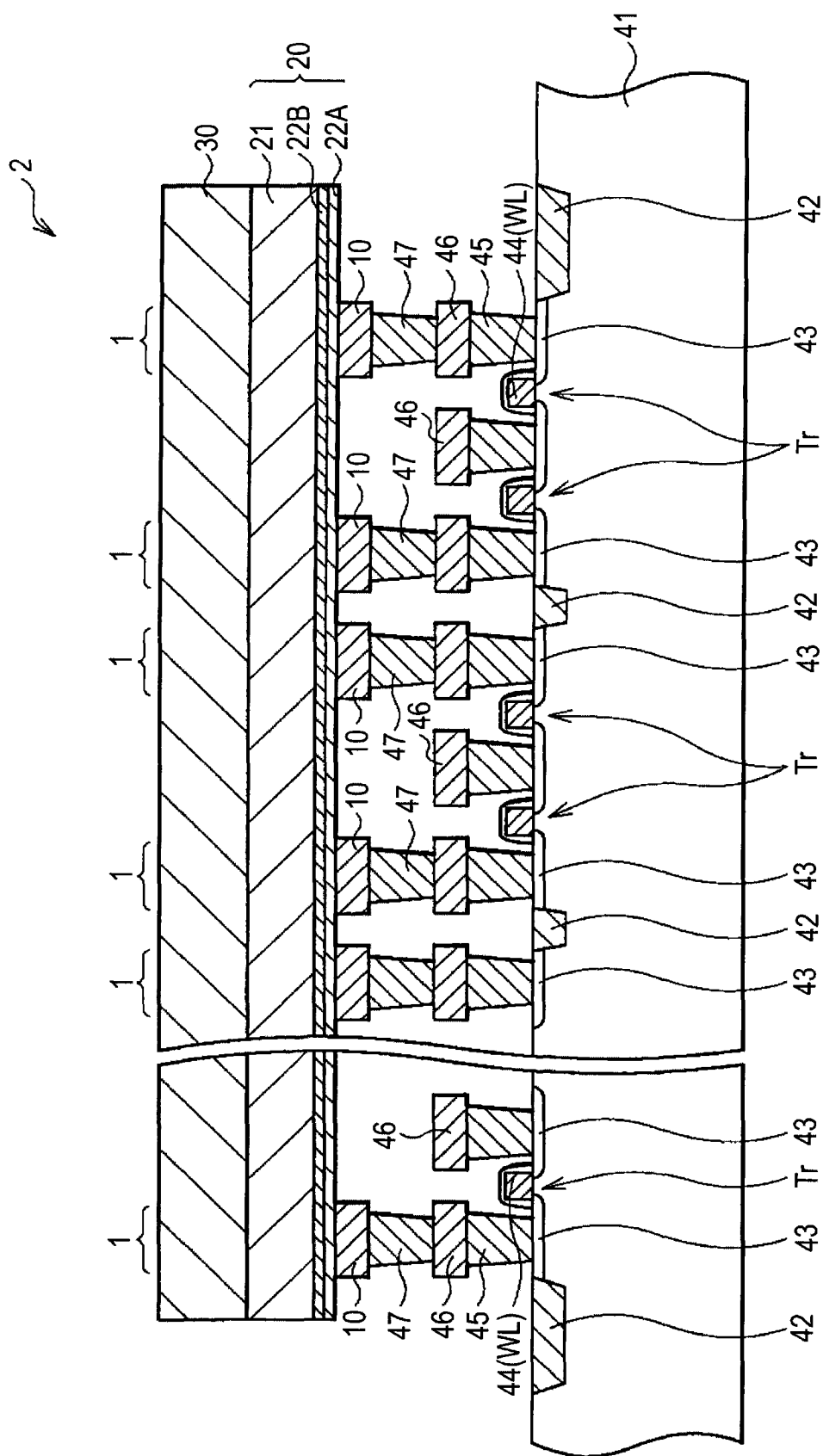


图 13

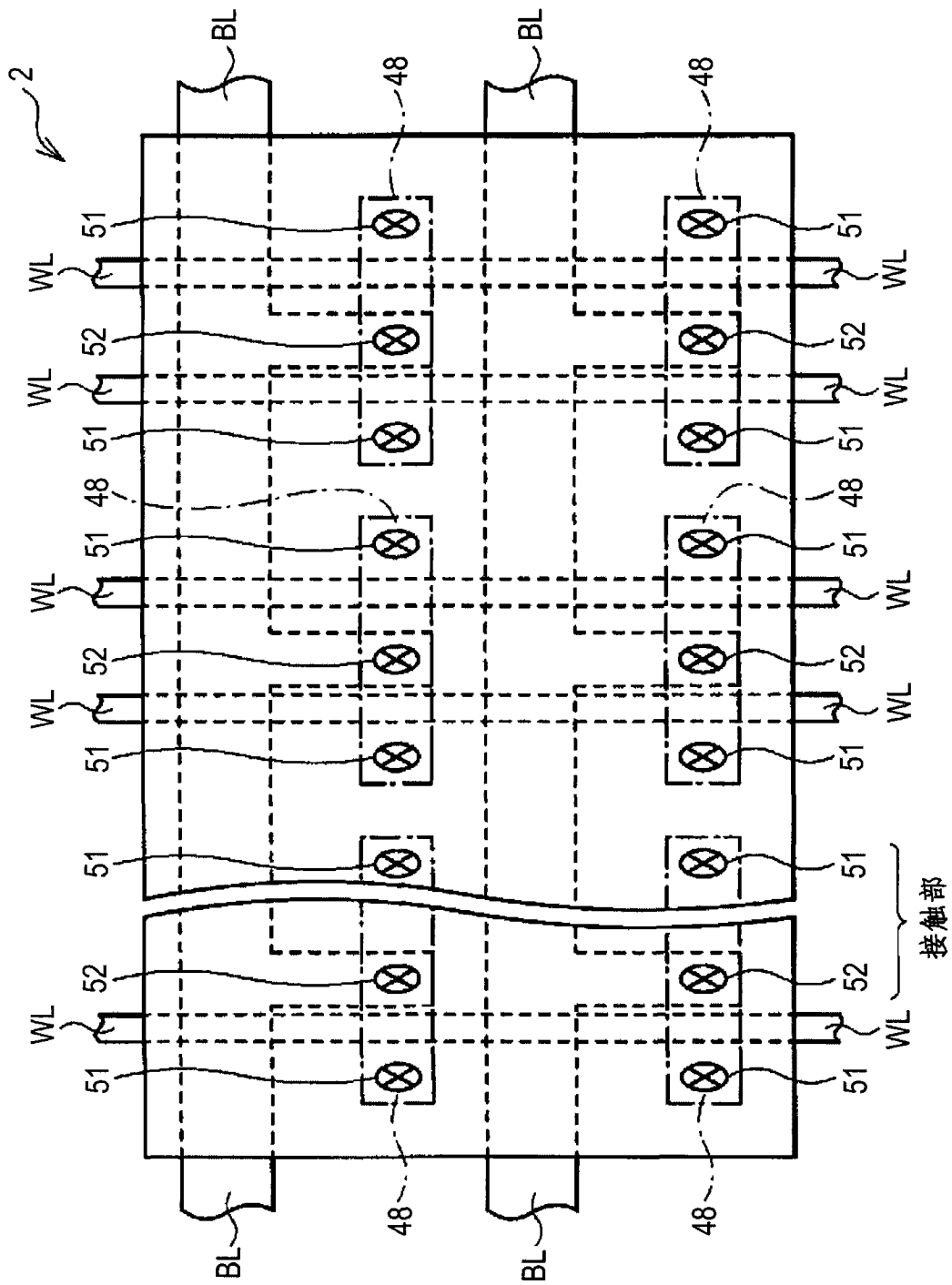


图 14

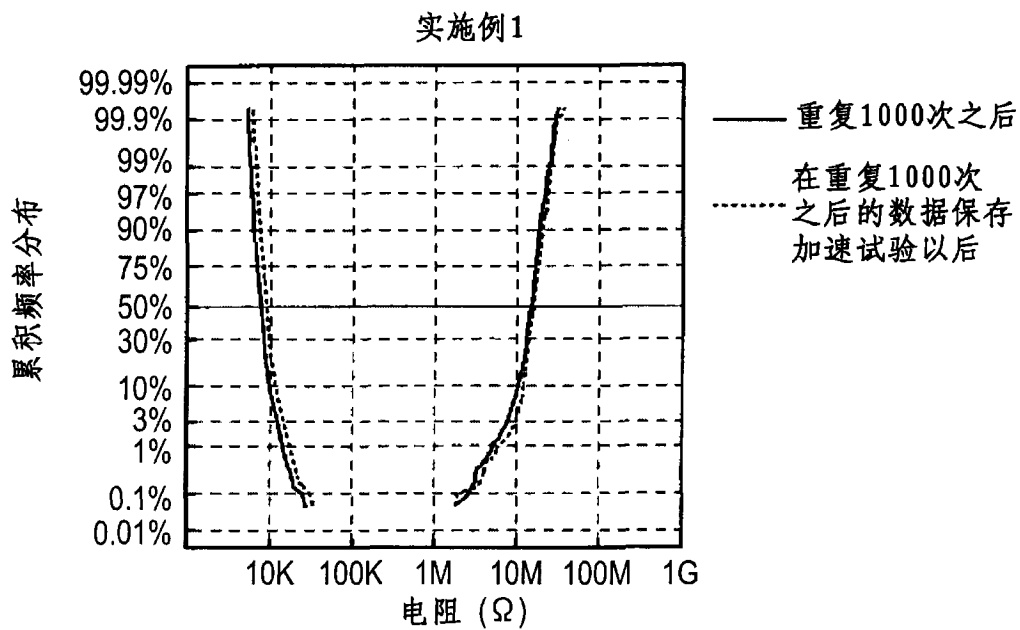


图 15A

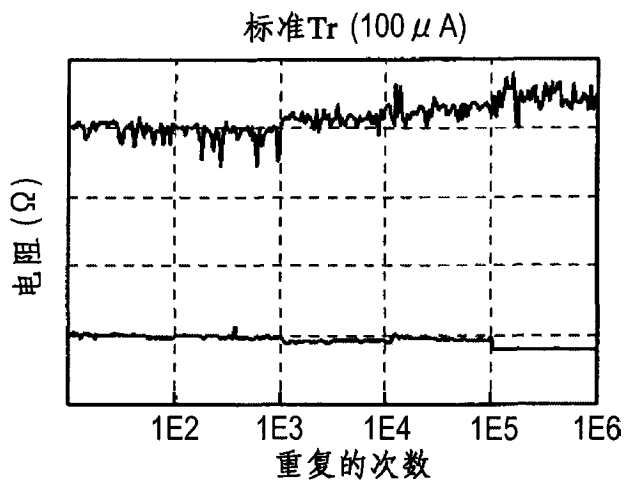


图 15B

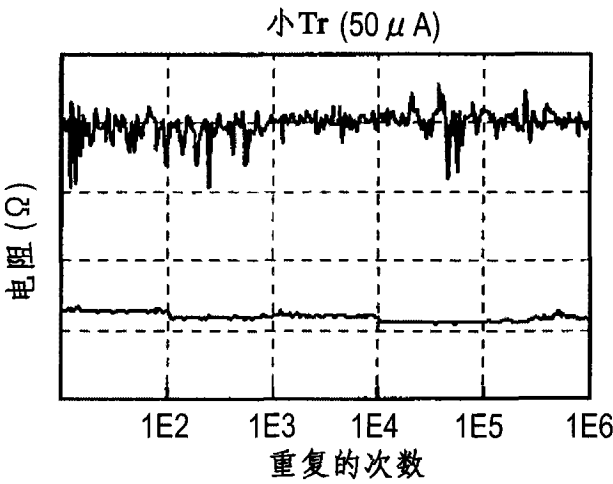


图 15C

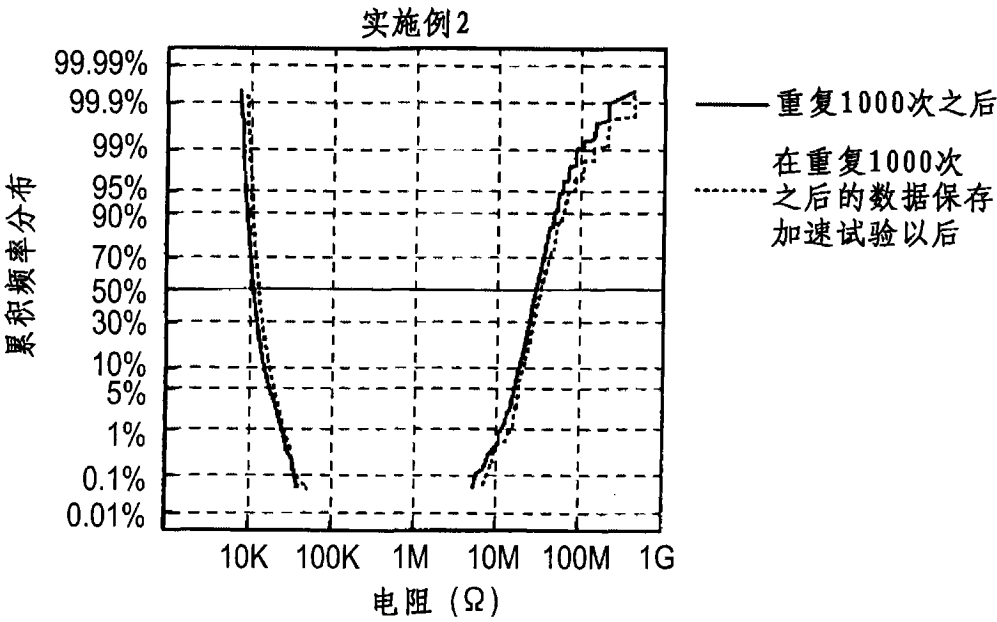


图 16A

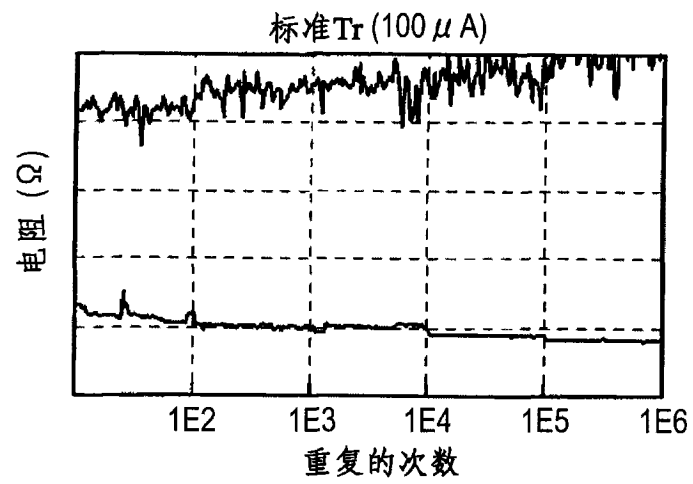


图 16B

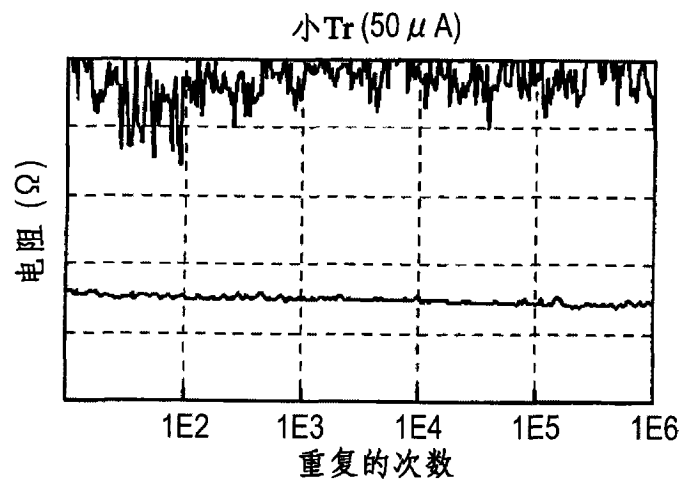


图 16C

实施例3

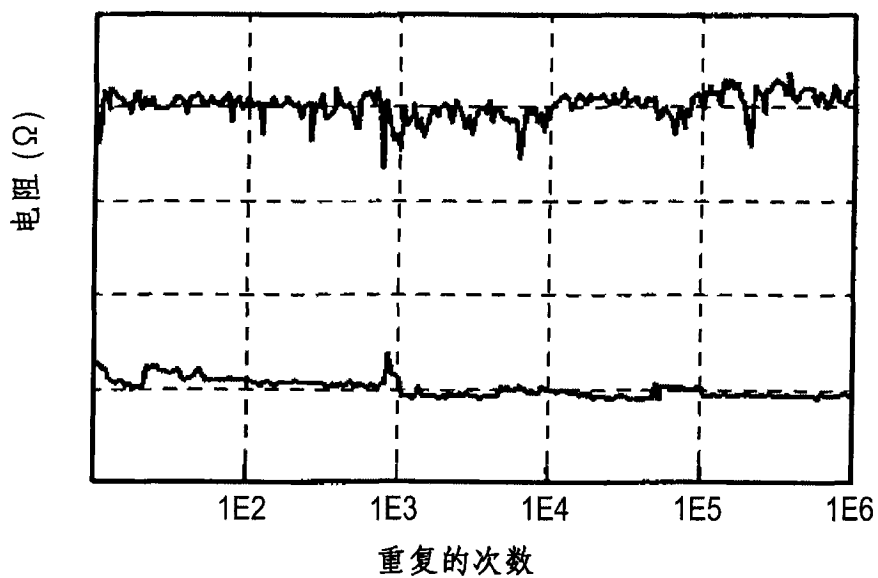
标准Tr ($100\ \mu\text{A}$)

图 17A

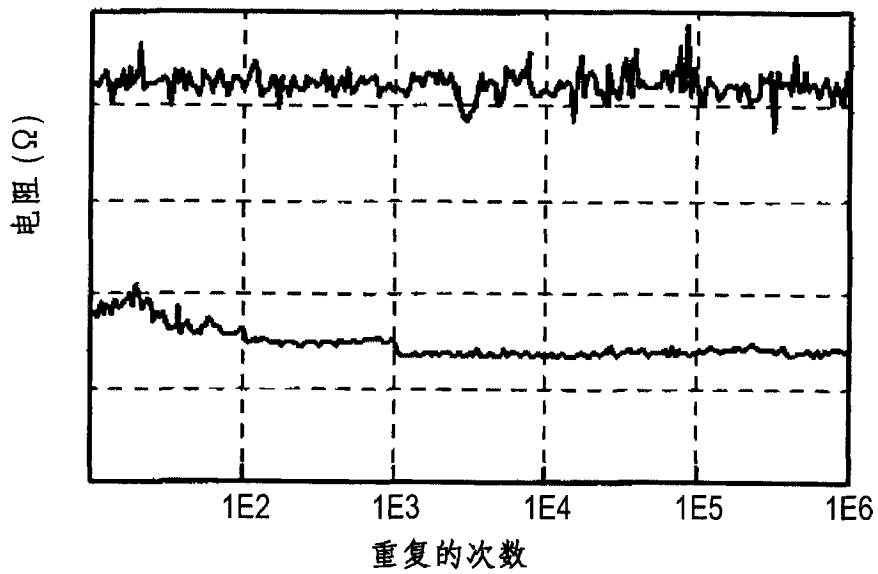
小Tr ($50\ \mu\text{A}$)

图 17B

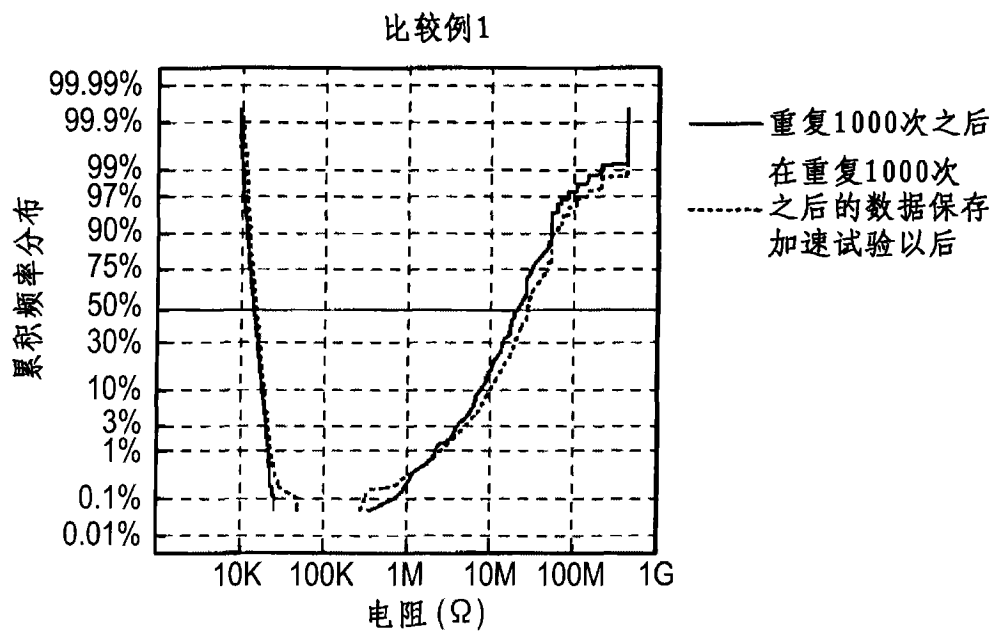


图 18A

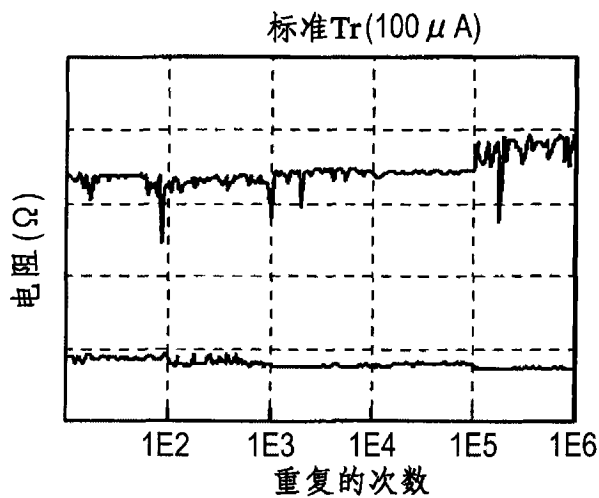


图 18B

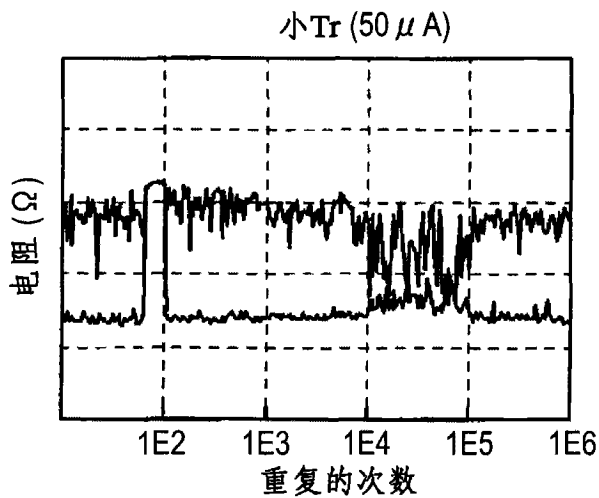


图 18C

比较例2

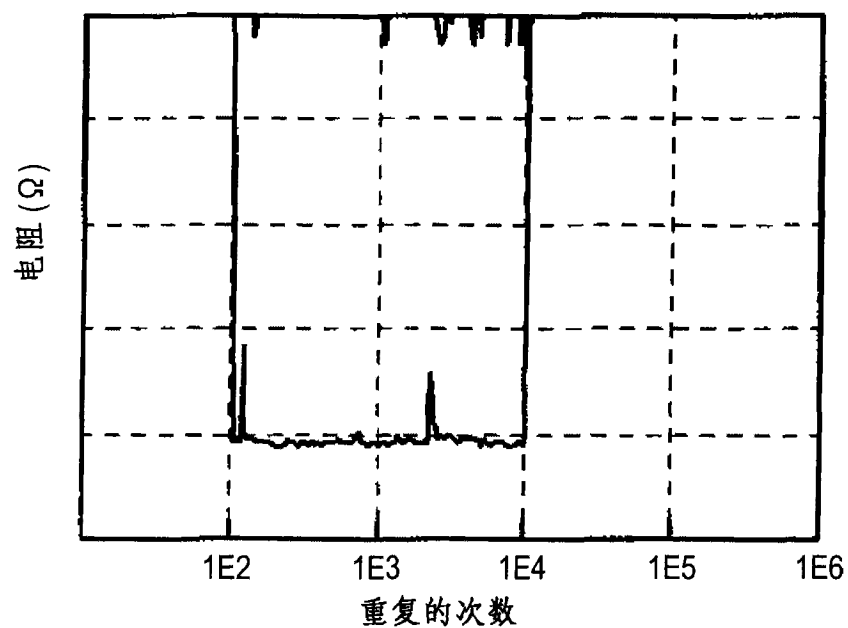
标准Tr (100 μ A)

图 19A

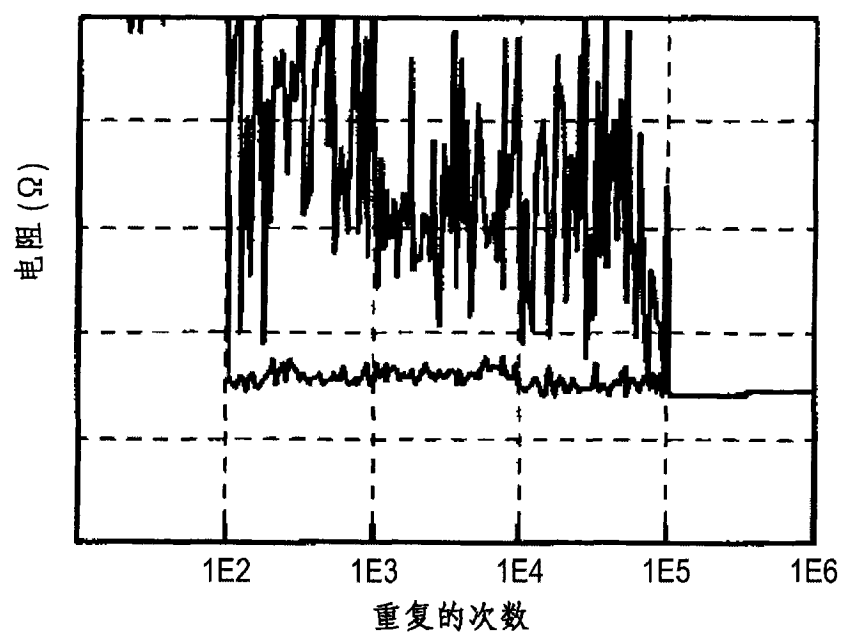
小Tr (50 μ A)

图 19B

比较例3

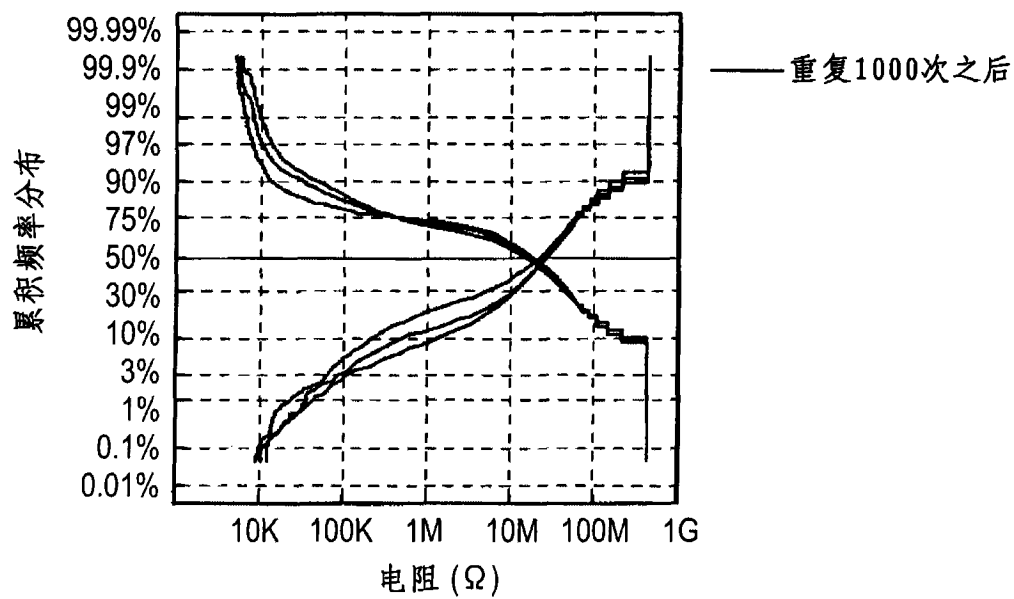


图 20A

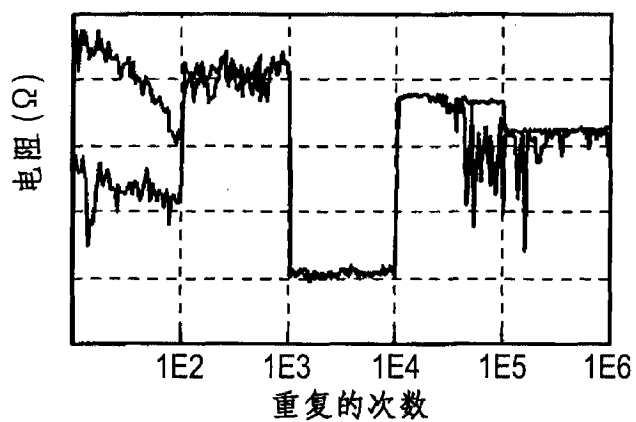
标准Tr(100 μ A)

图 20B

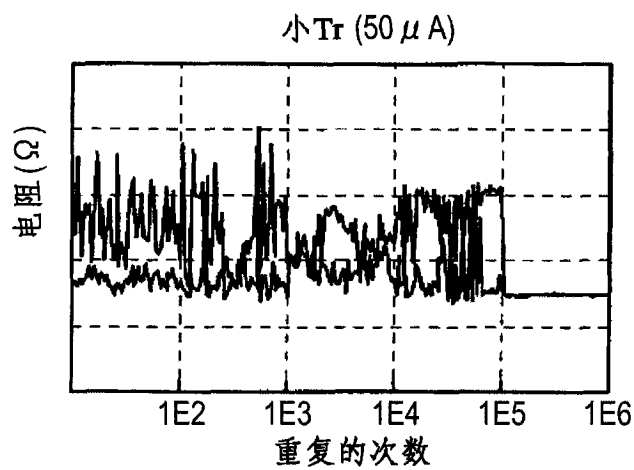


图 20C

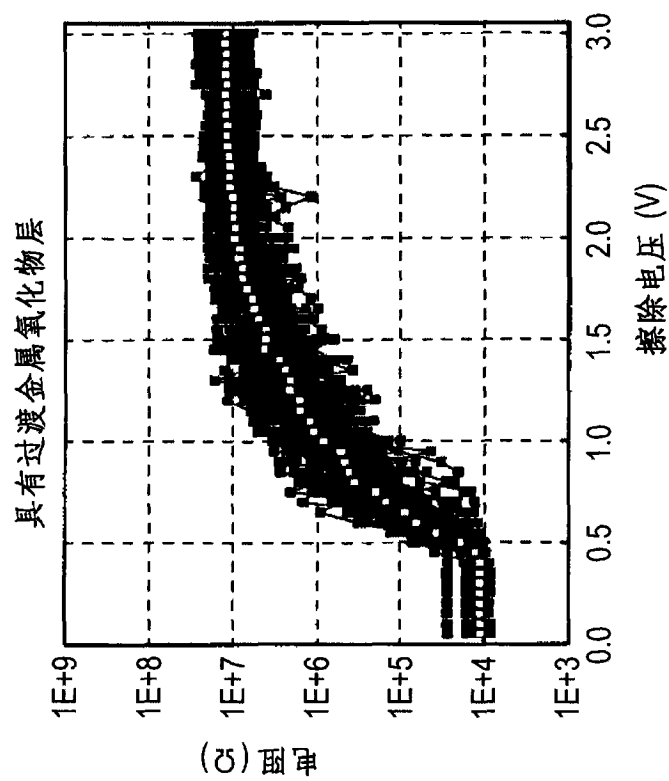


图 21A

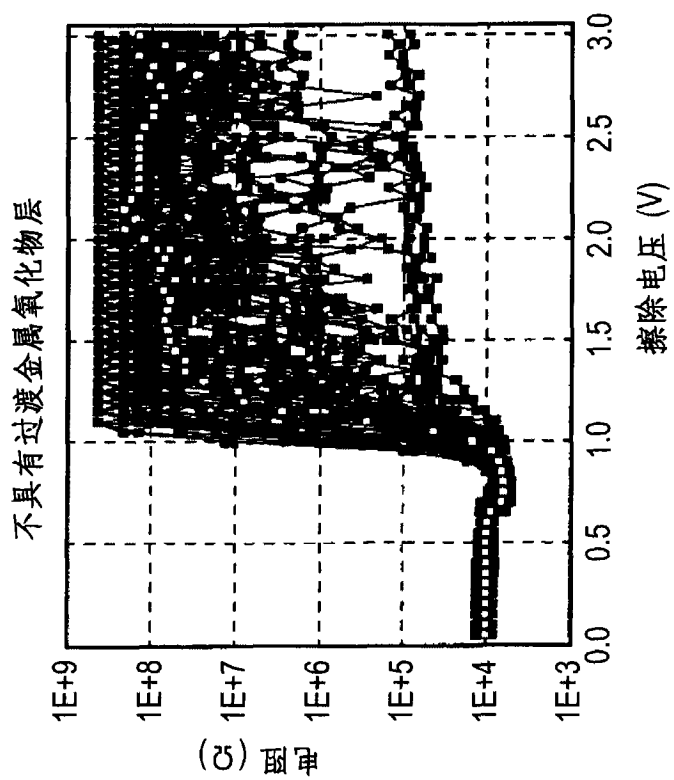


图 21B

Ti

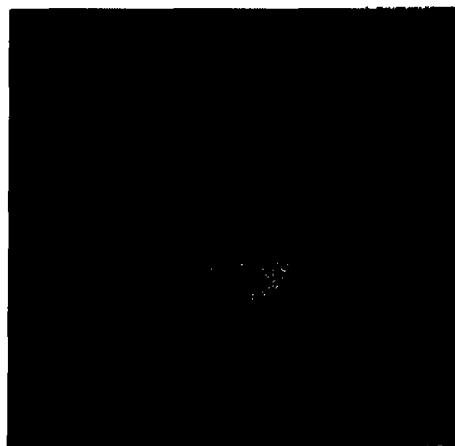


图 22A

O



图 22B

Al

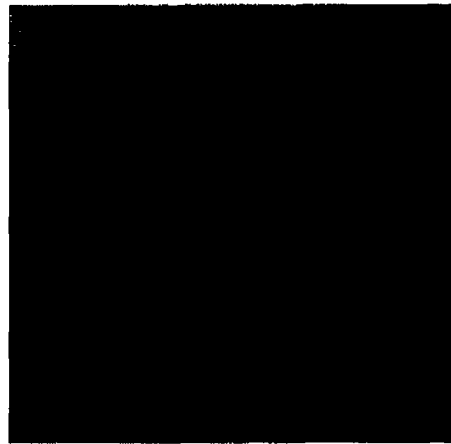


图 22C

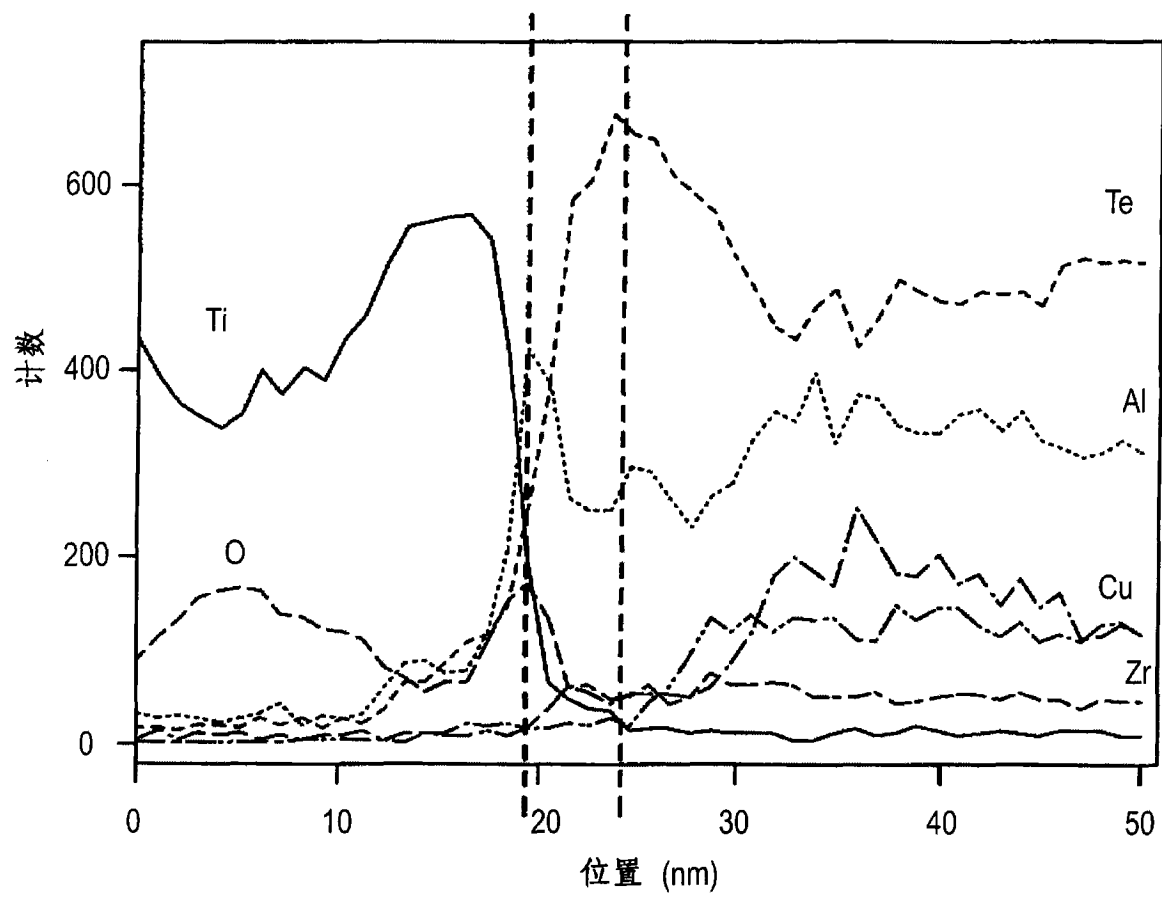


图 23

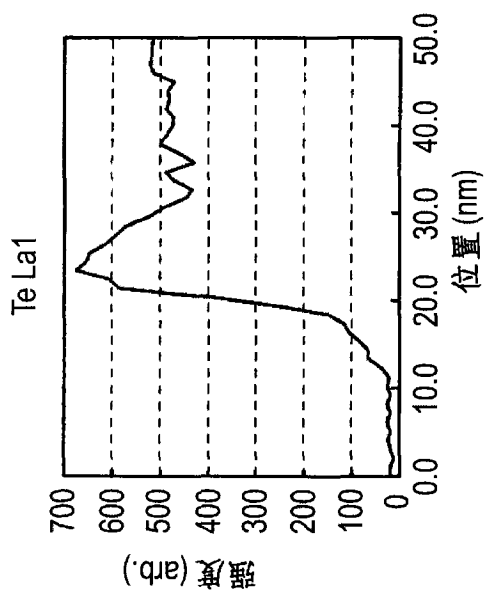


图 24A

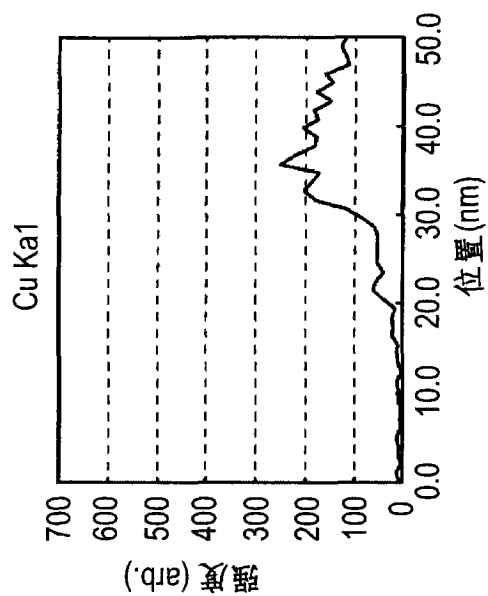


图 24B

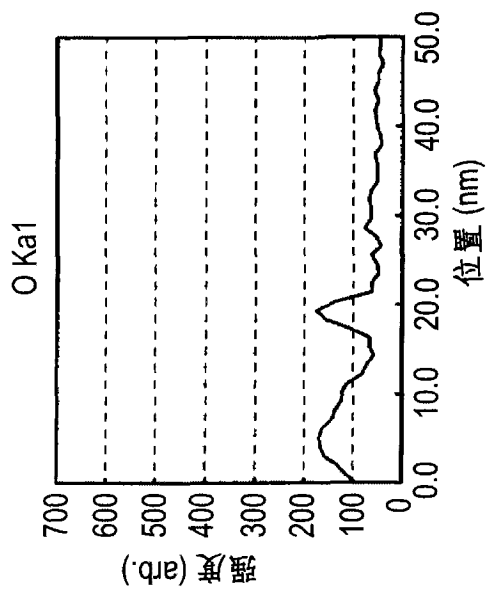


图 24C

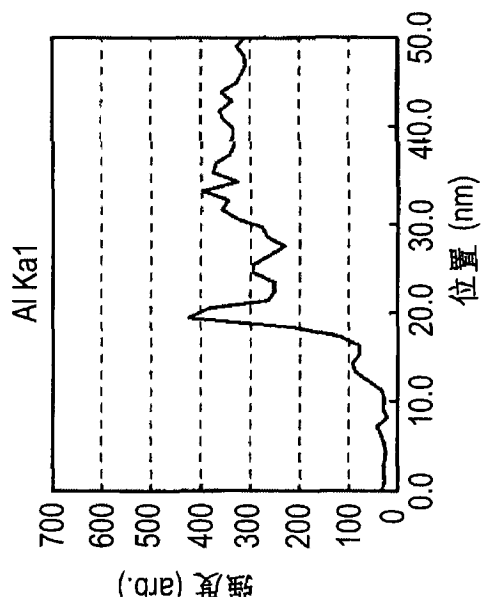


图 24D

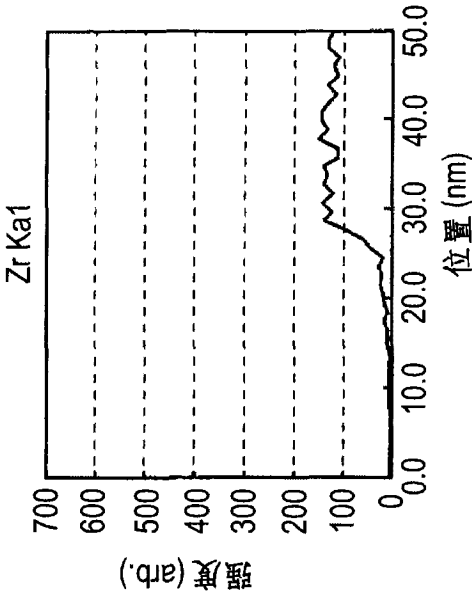


图 24E

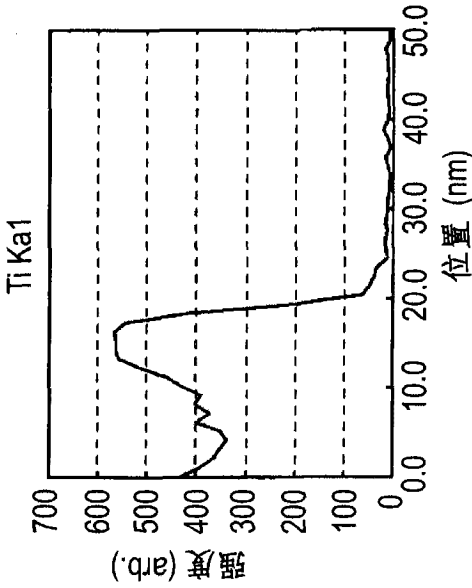


图 24F

实施例 4-1

标准 Tr (100 μ A)

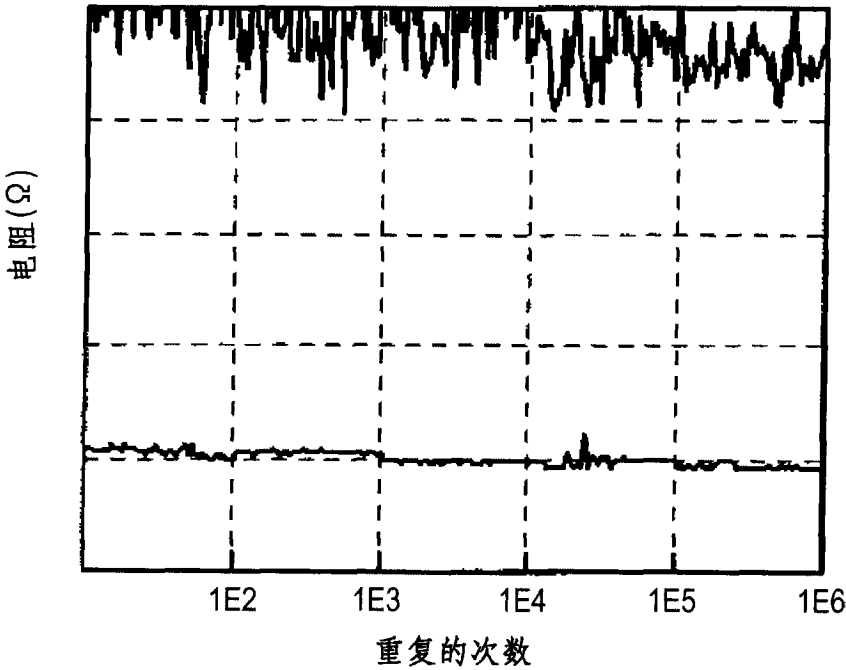


图 25A

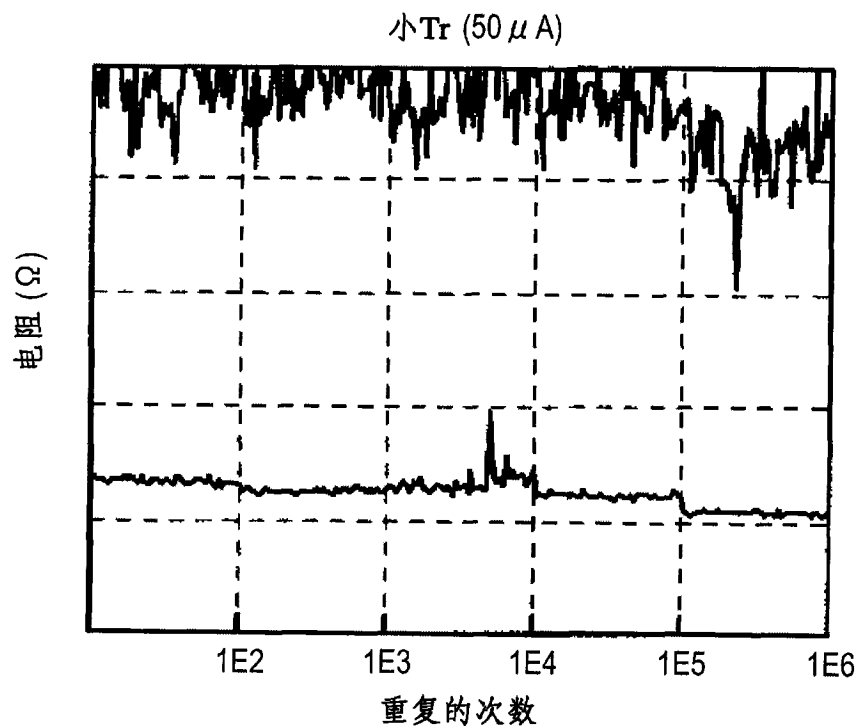


图 25B

实施例4-2

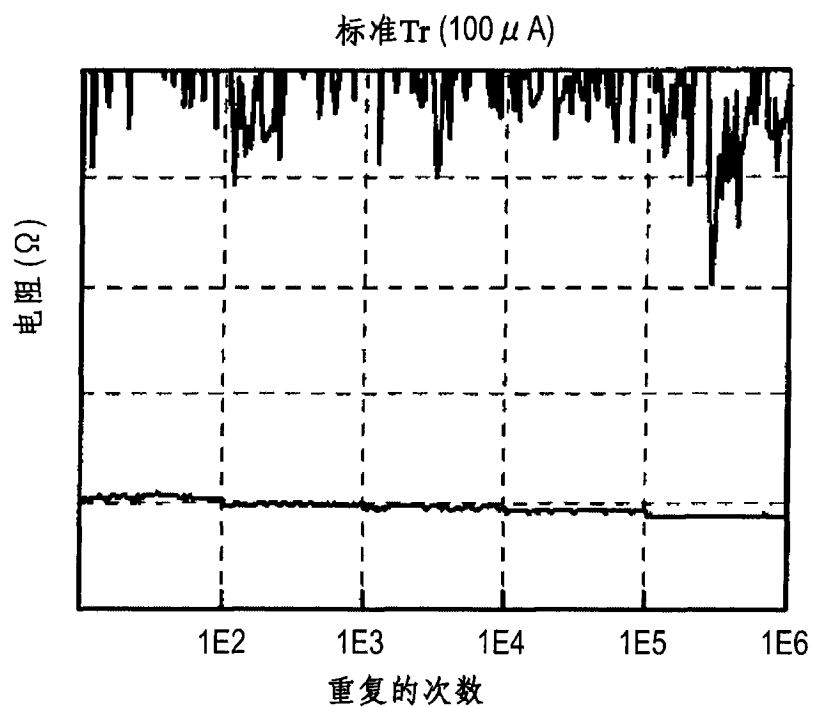


图 26A

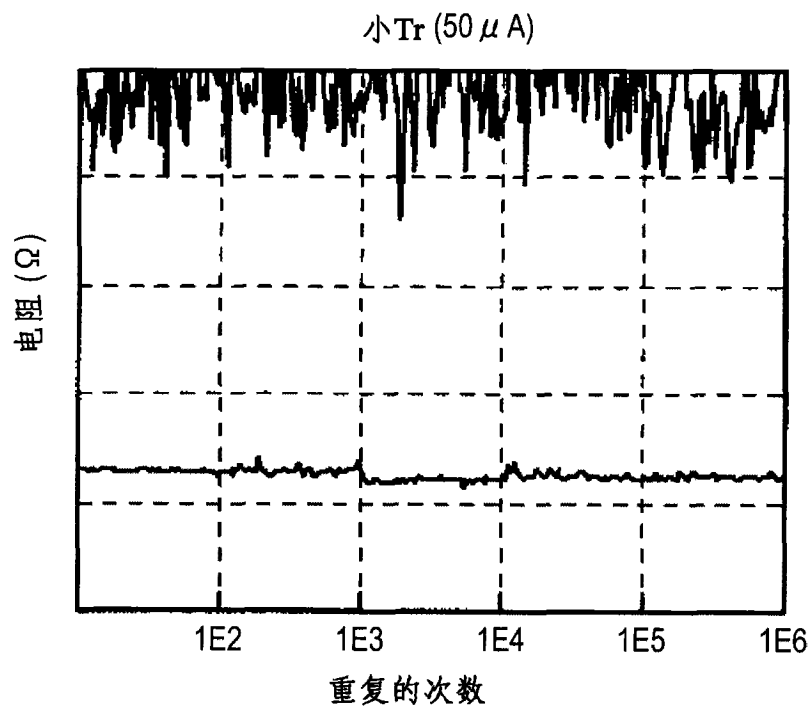


图 26B

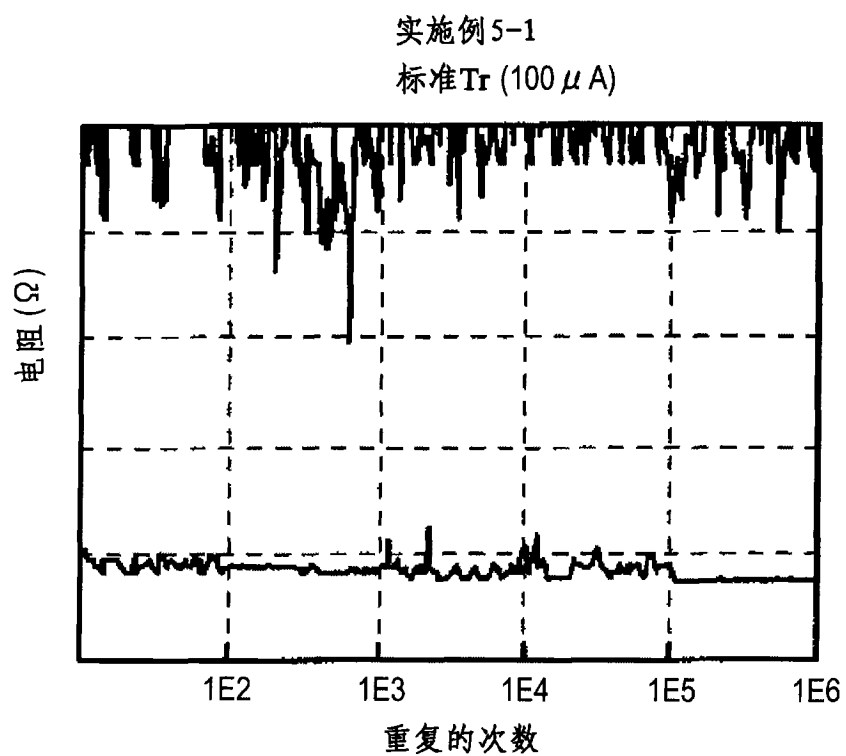


图 27A

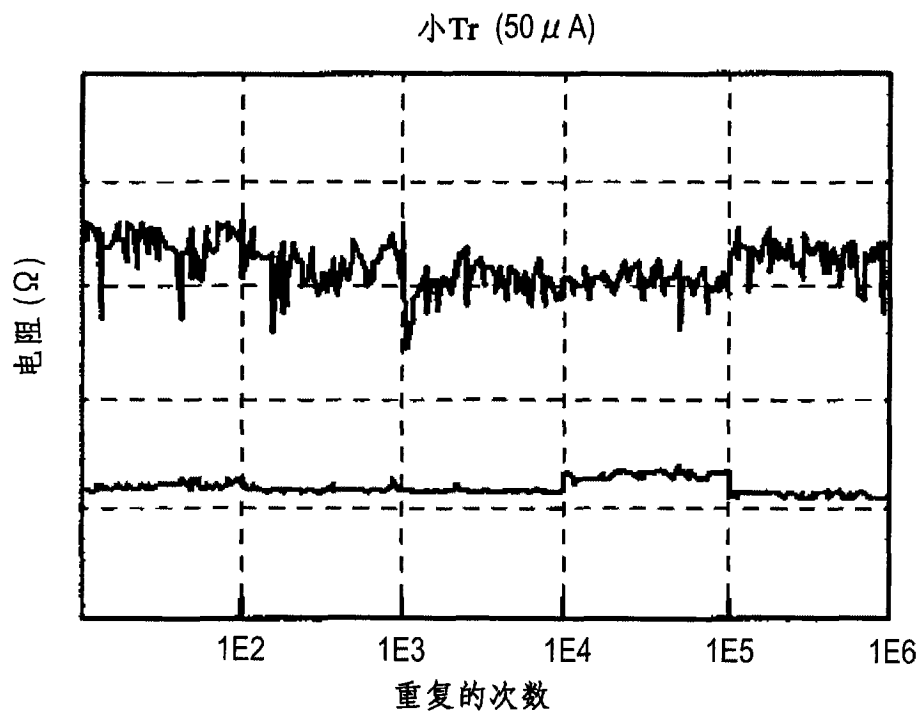


图 27B

实施例6-1

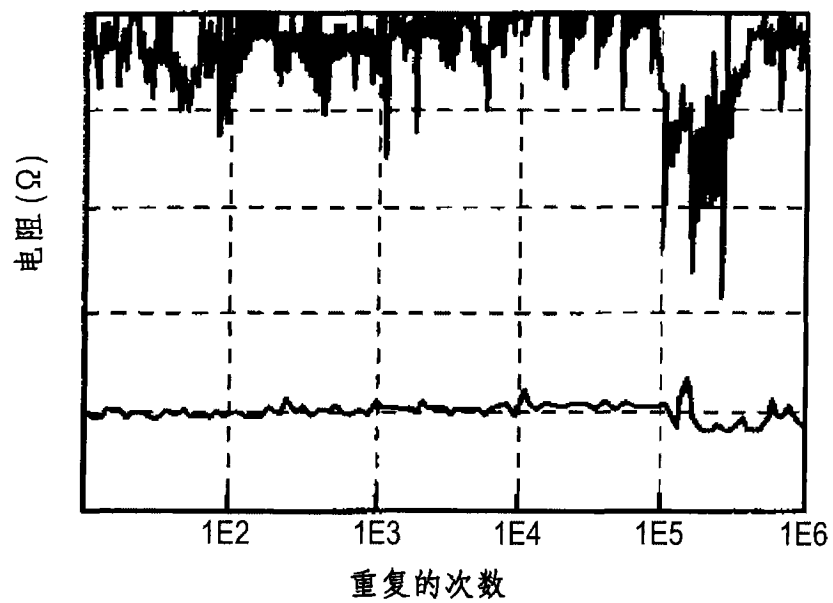
标准Tr(100 μ A)

图 28A

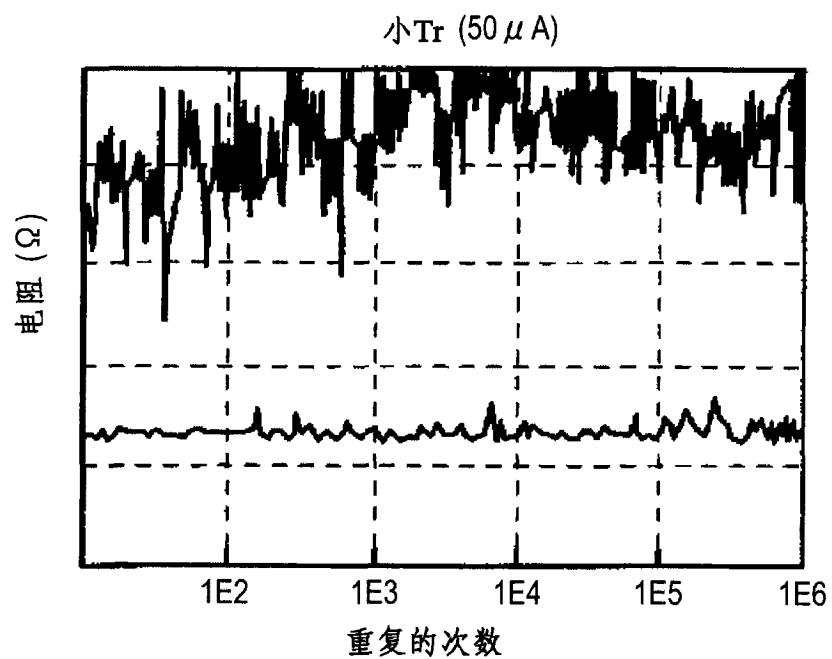


图 28B

实施例6-2

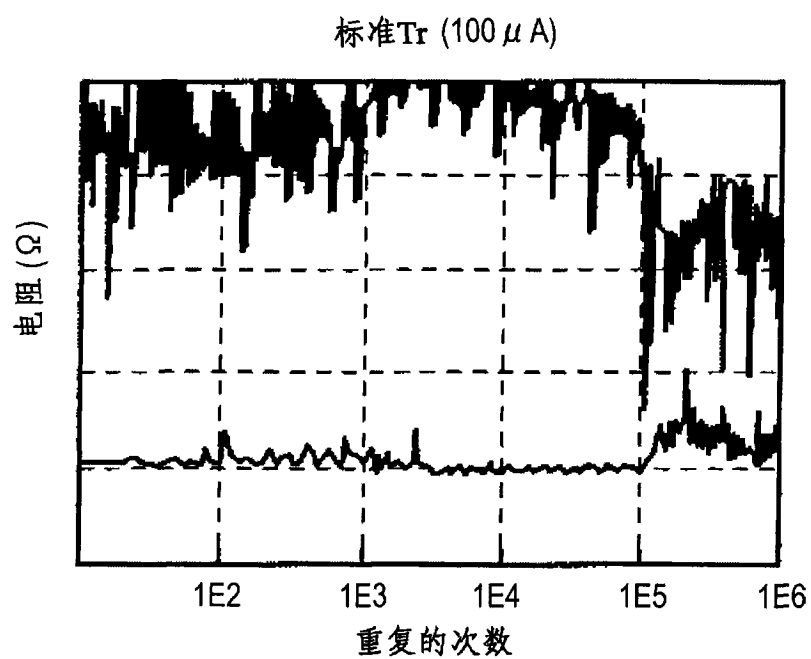


图 29A

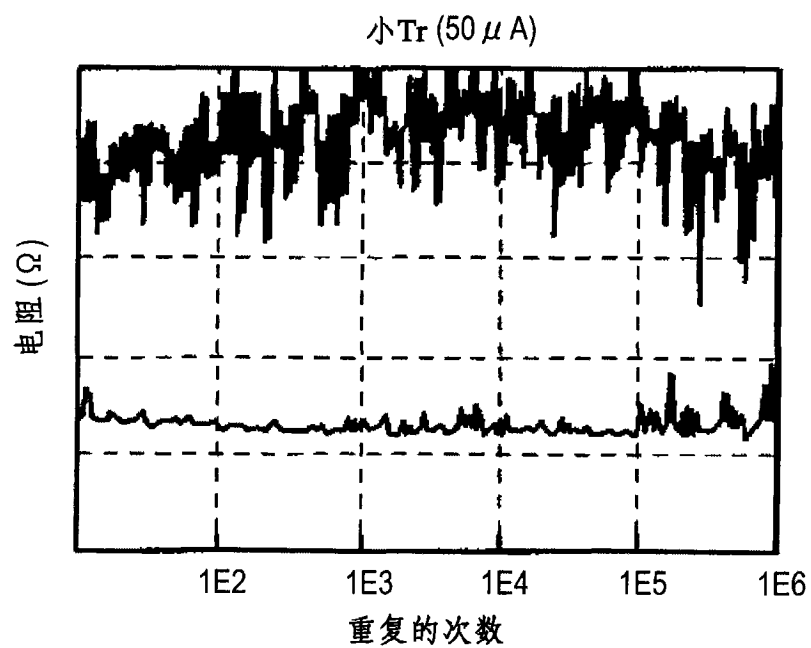


图 29B

实施例6-3

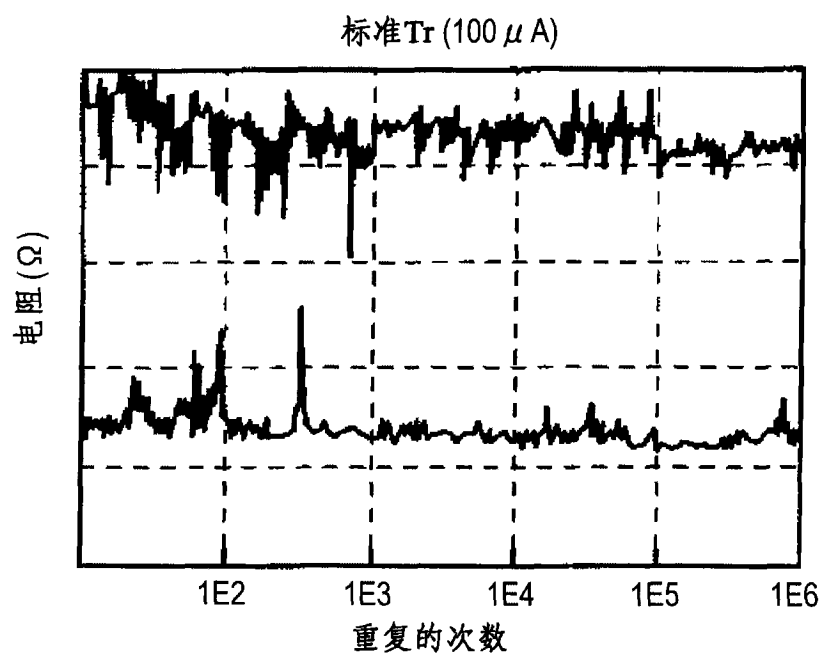


图 30A

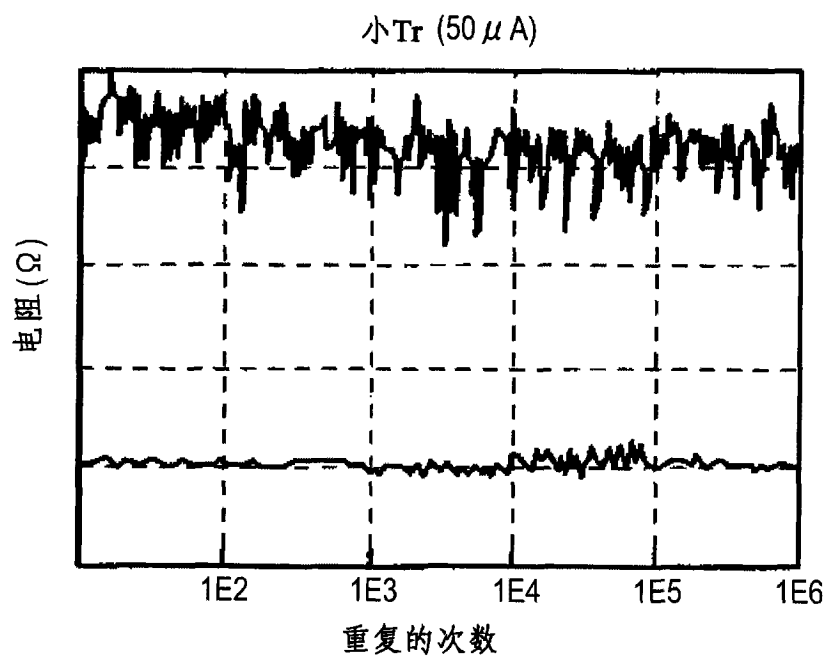


图 30B

实施例6-4

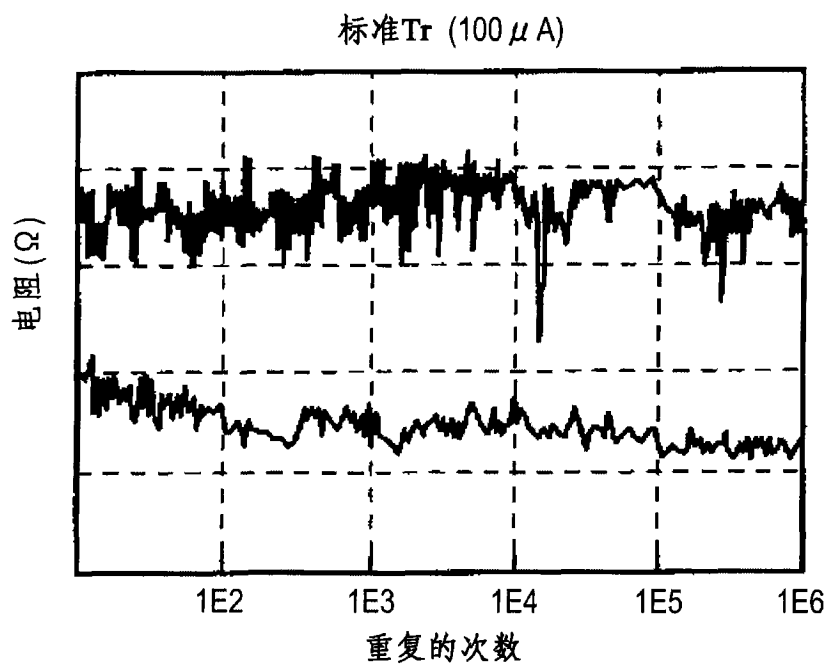


图 31A

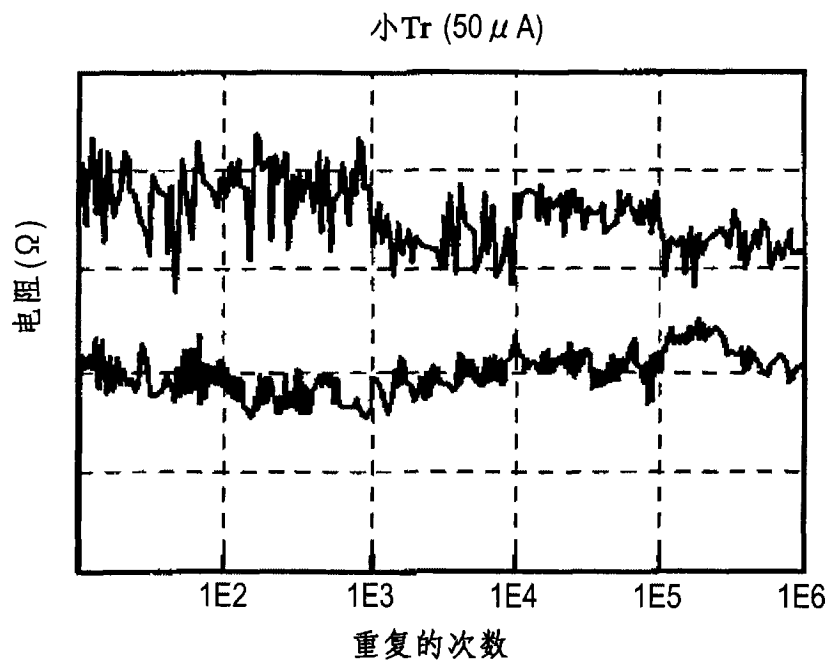


图 31B

实施例6-5

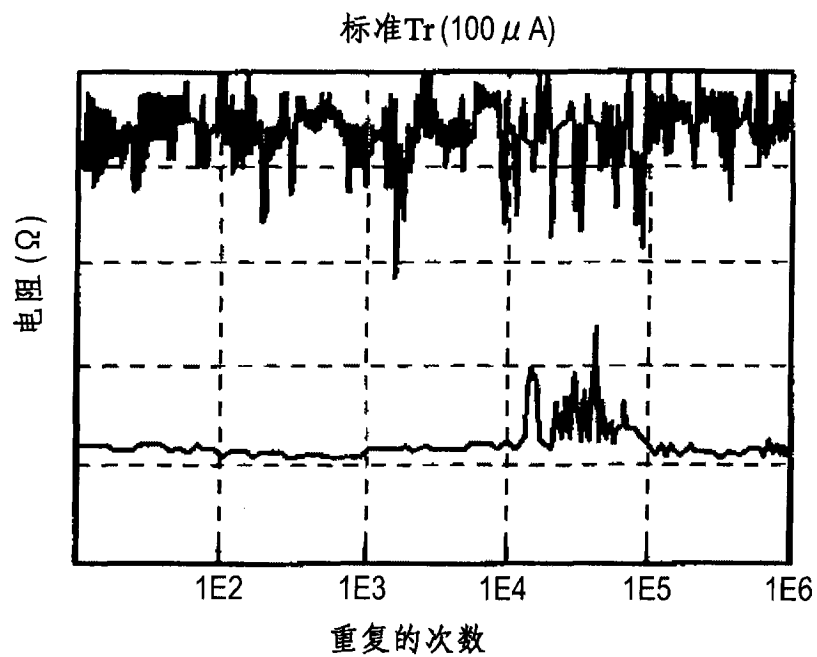


图 32A

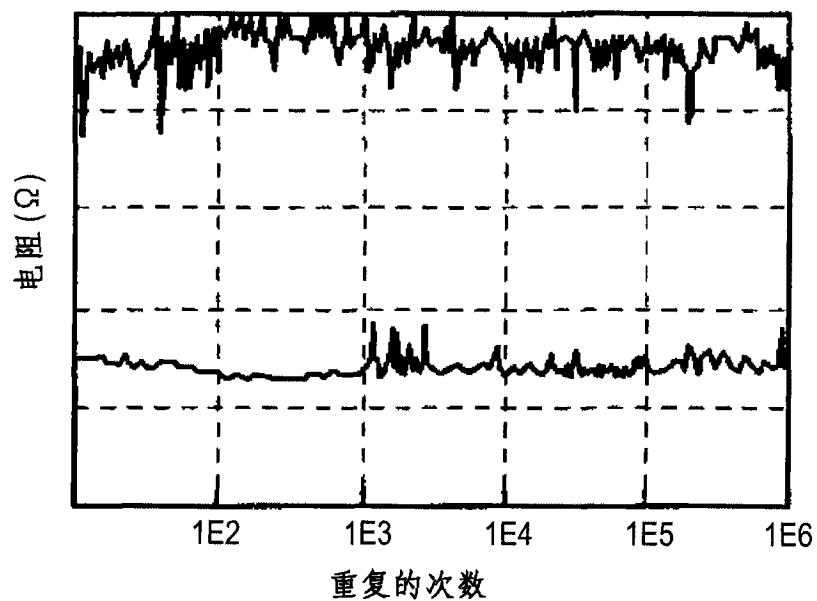
小Tr ($50\mu\text{A}$)

图 32B

实施例7-1

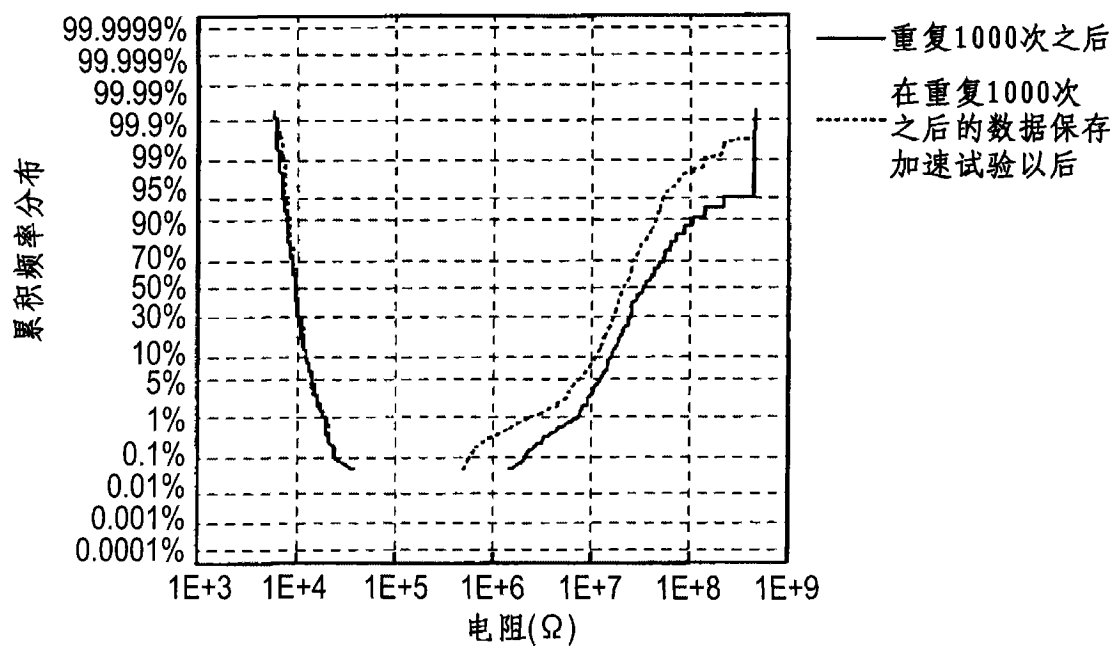


图 33A

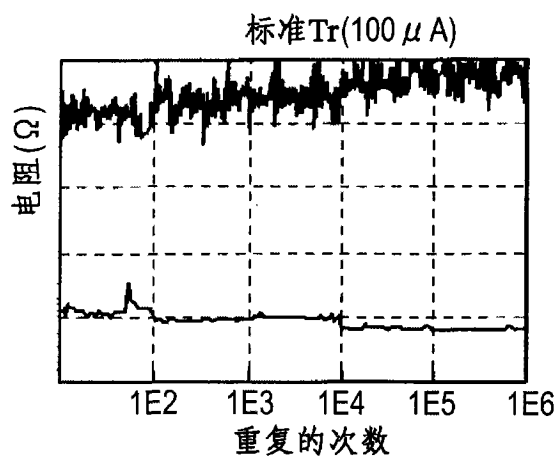


图 33B

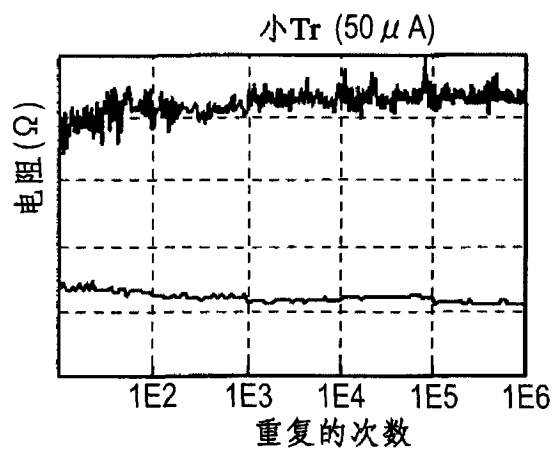


图 33C

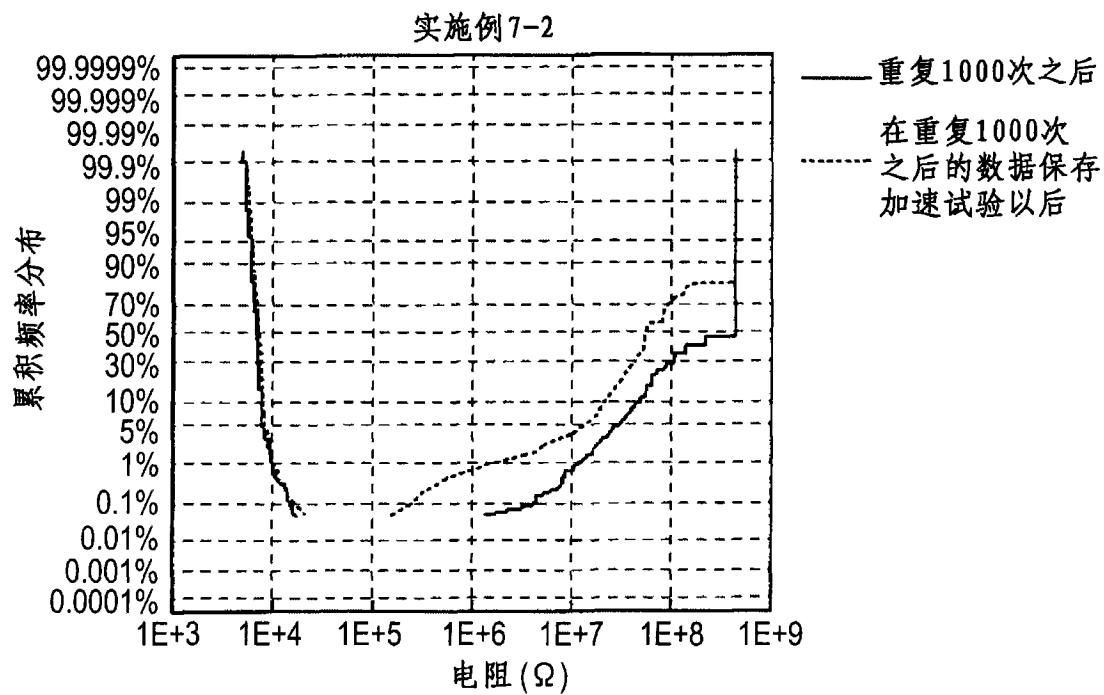


图 34A

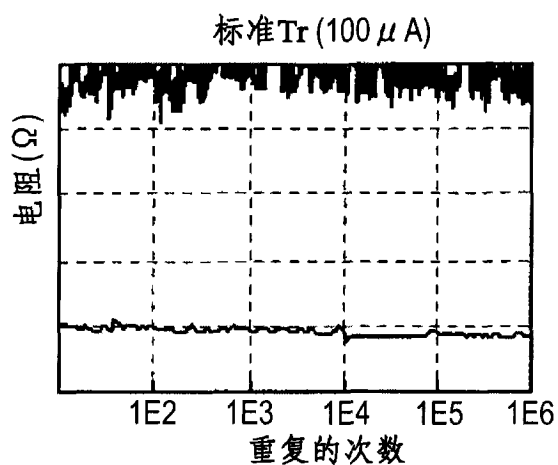


图 34B

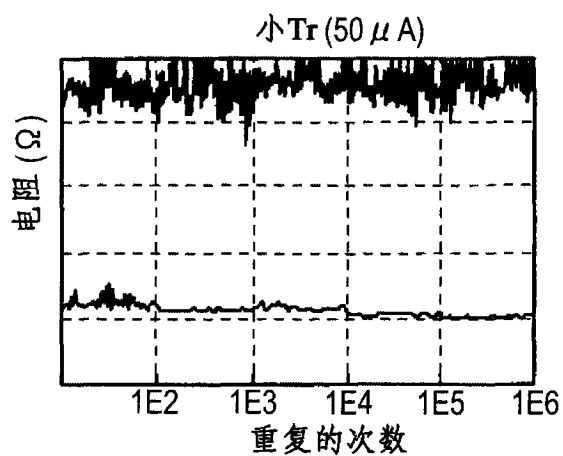


图 34C

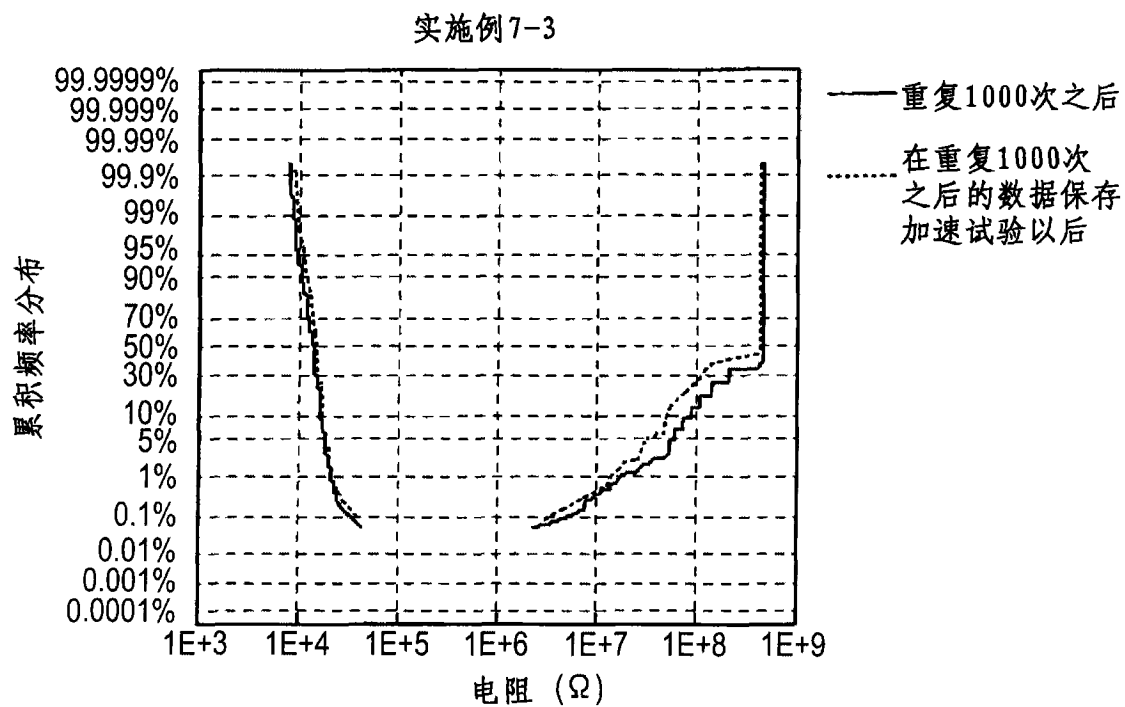


图 35A

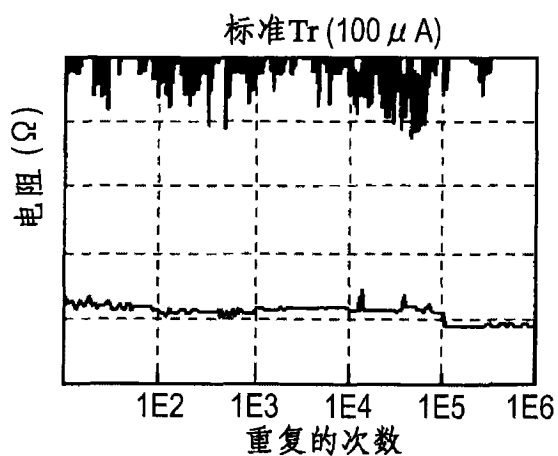


图 35B

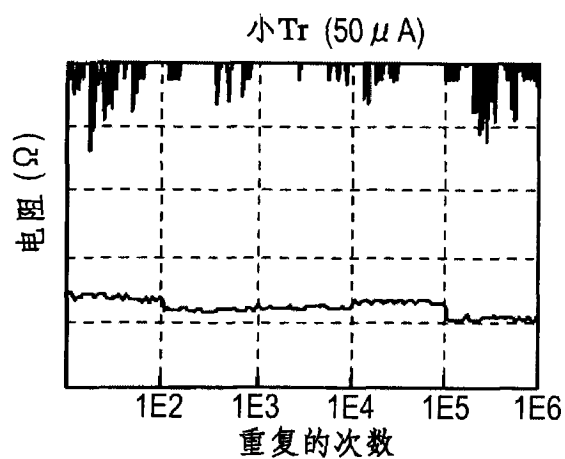


图 35C

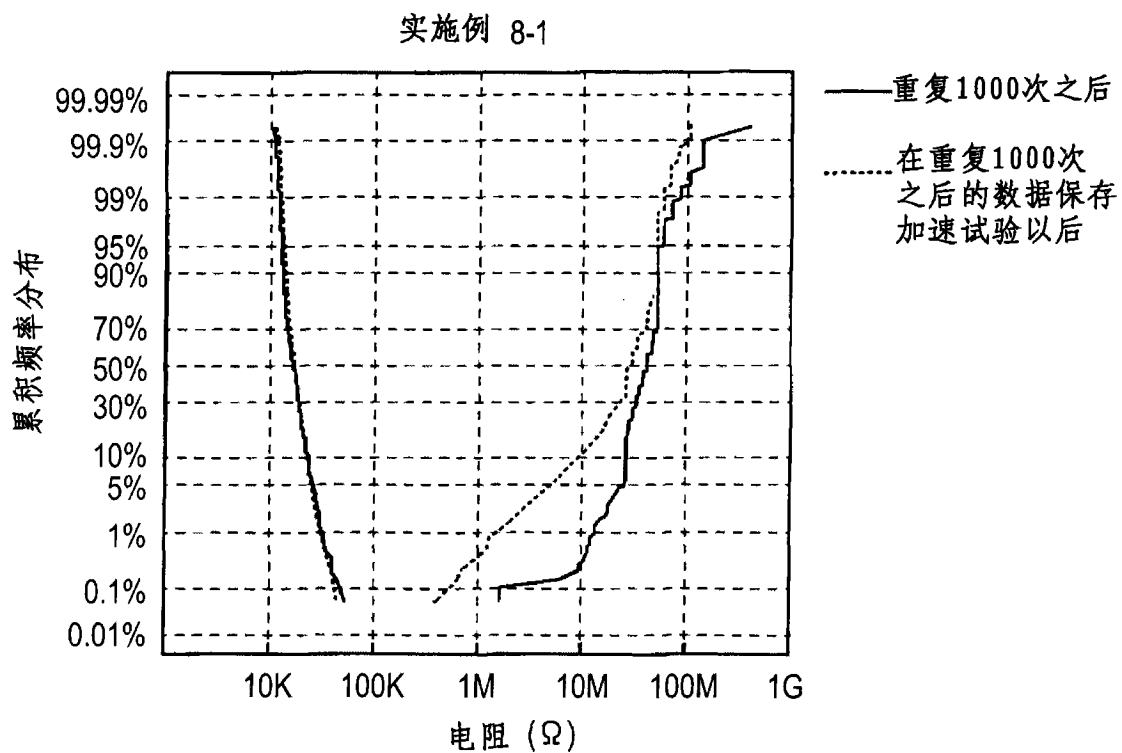


图 36A

实施例 8-2

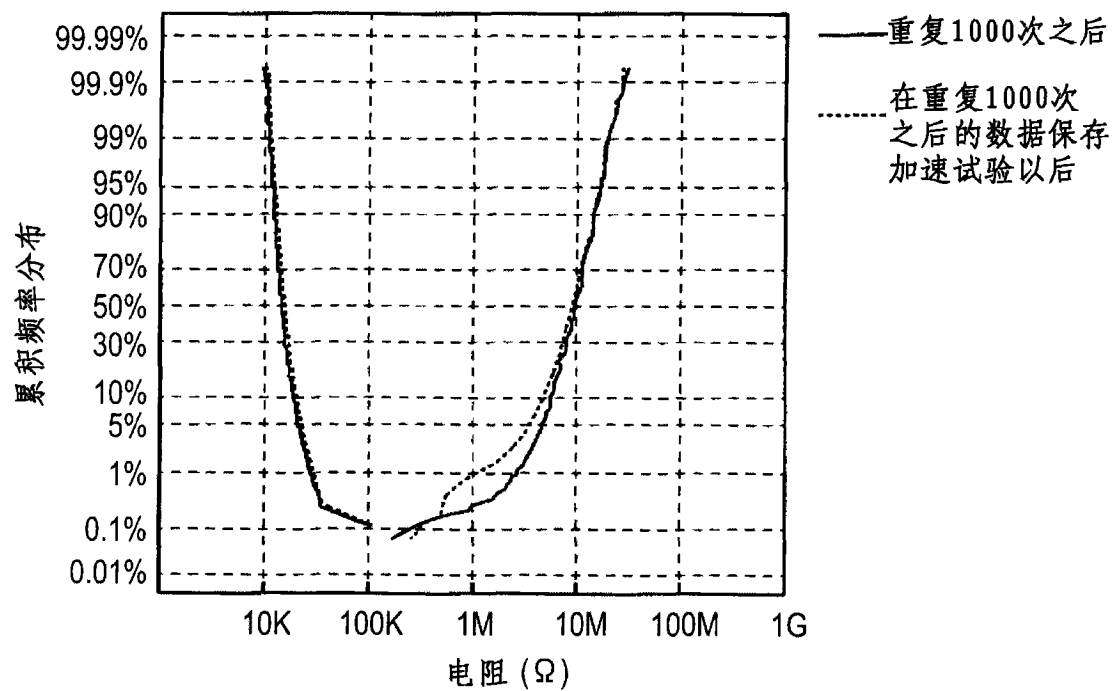


图 36B

实施例 8-3

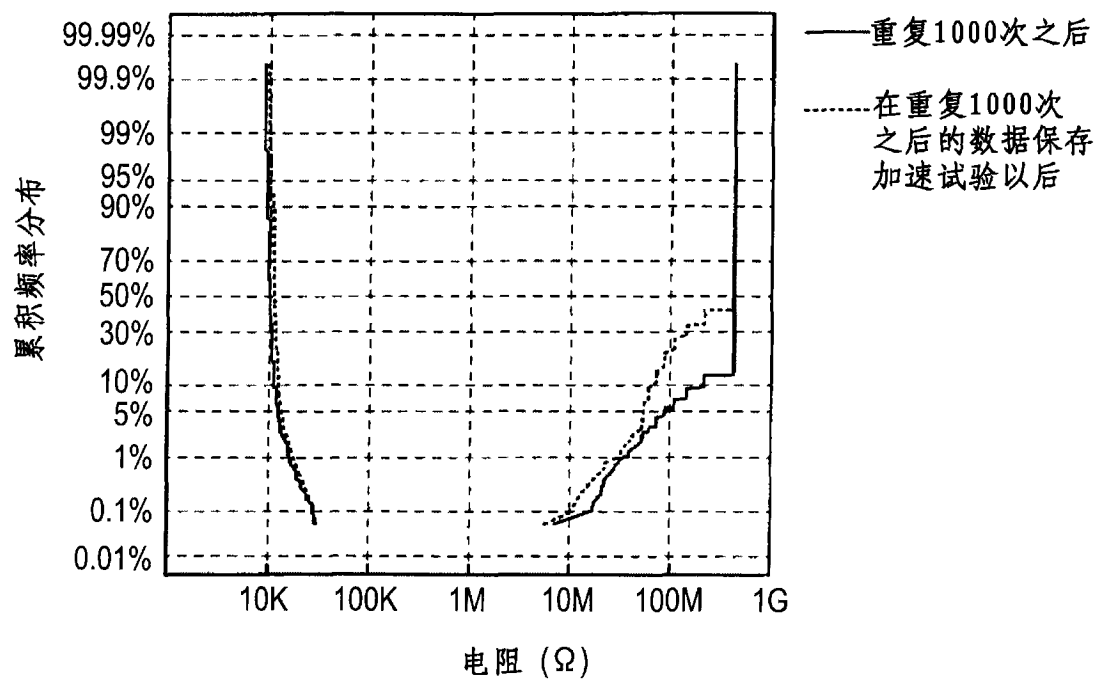


图 37A

实施例 8-4

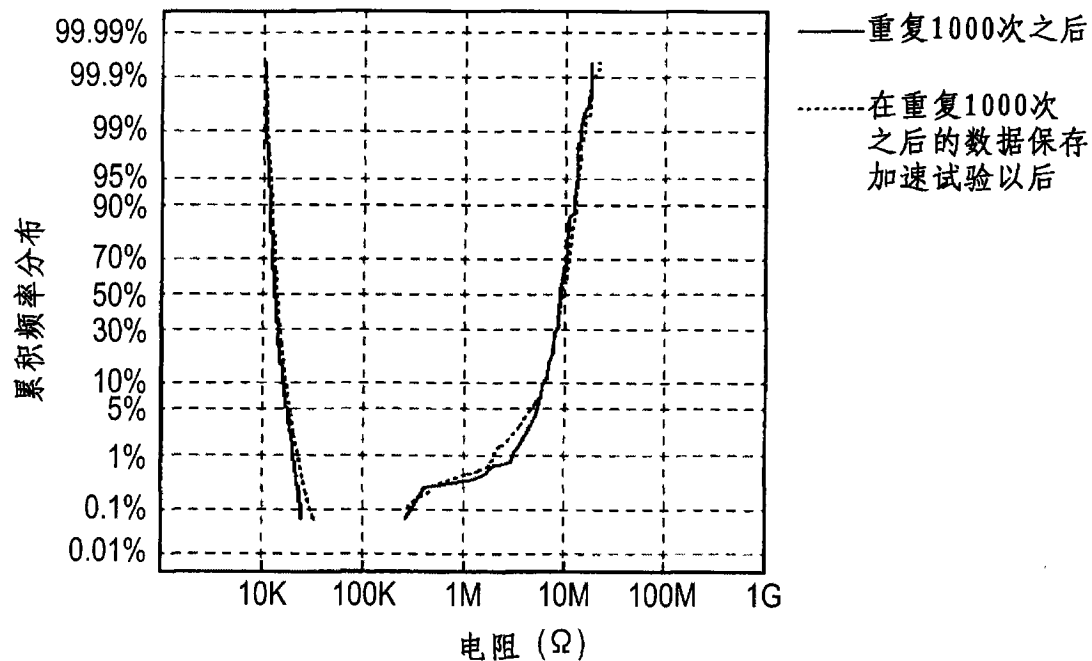


图 37B

实施例 9-1

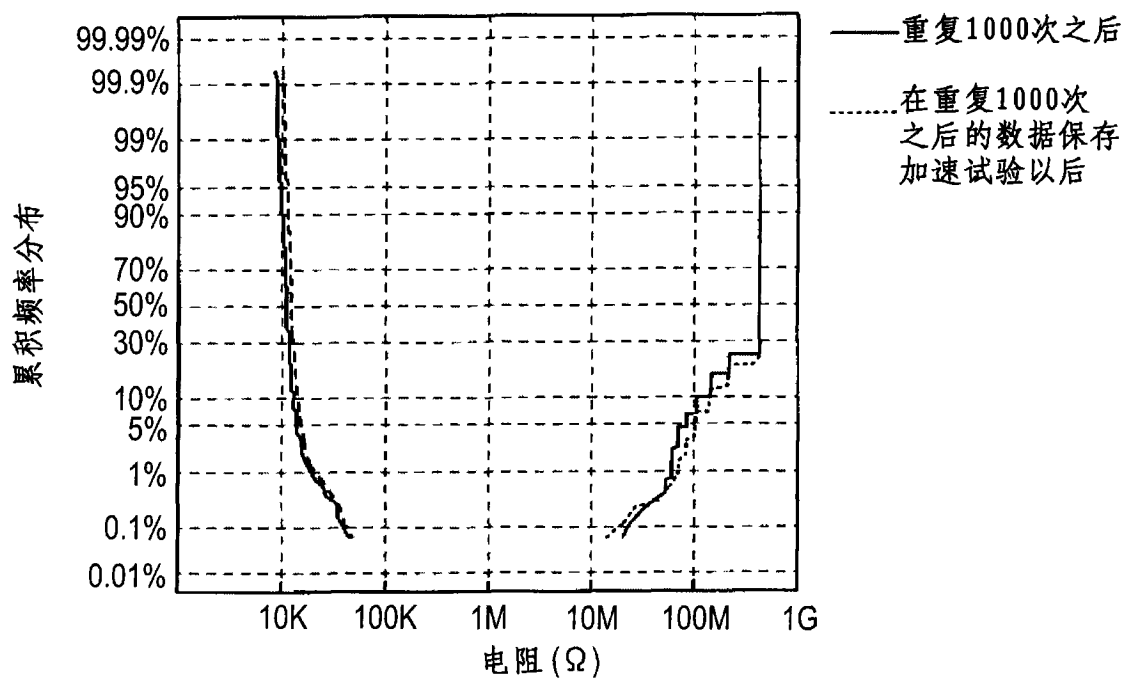


图 38A

实施例9-2

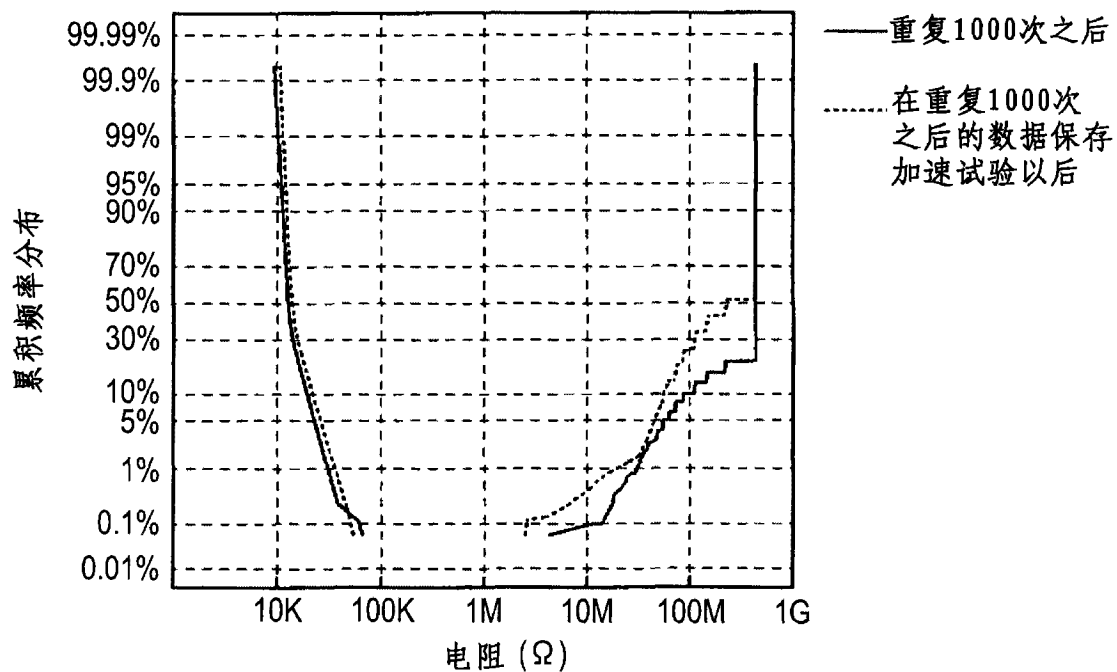


图 38B

实施例10

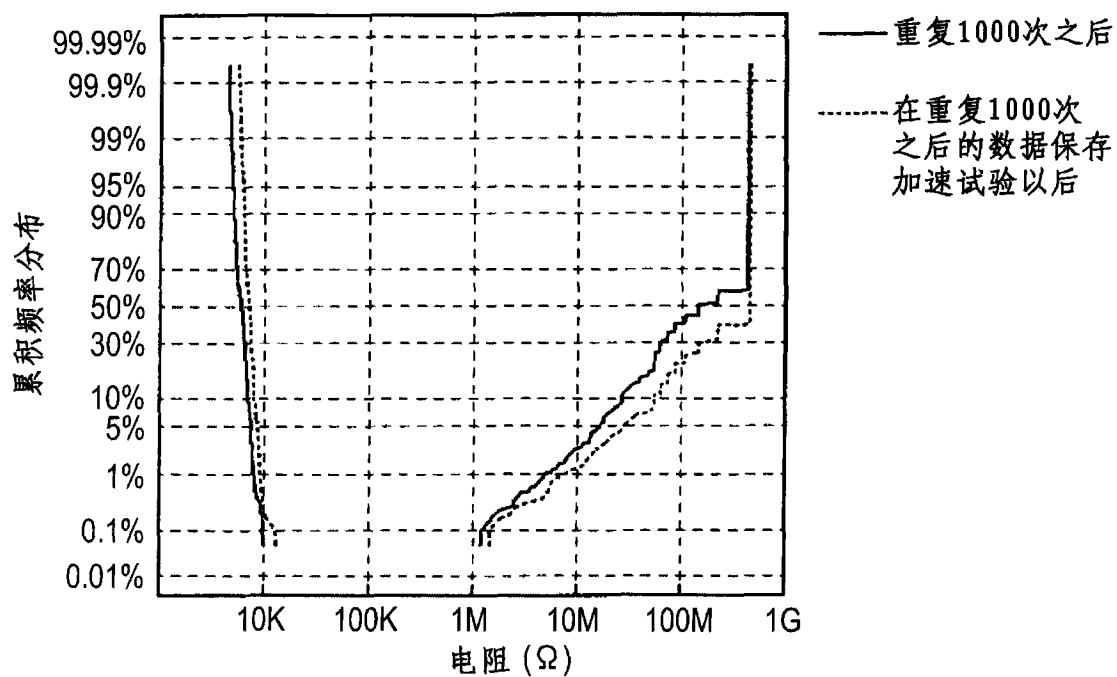


图 39A

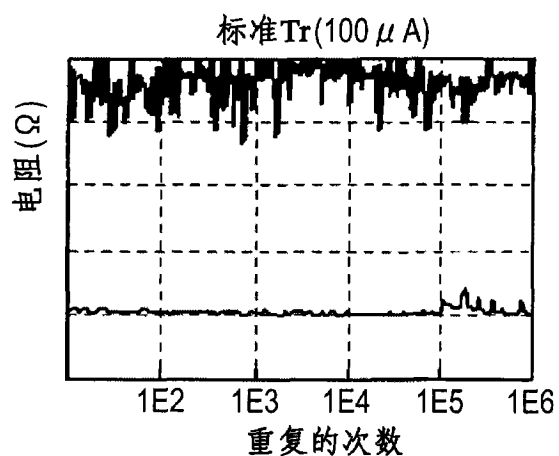


图 39B

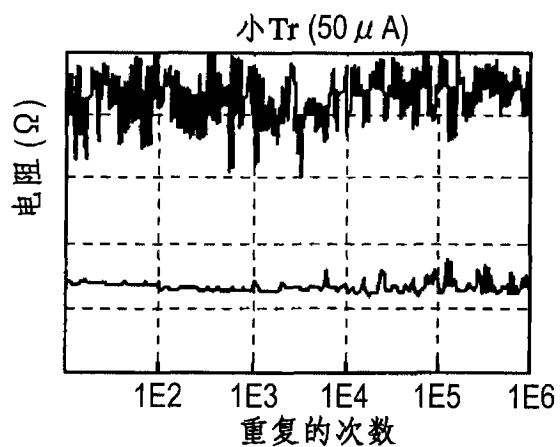


图 39C

实施例11

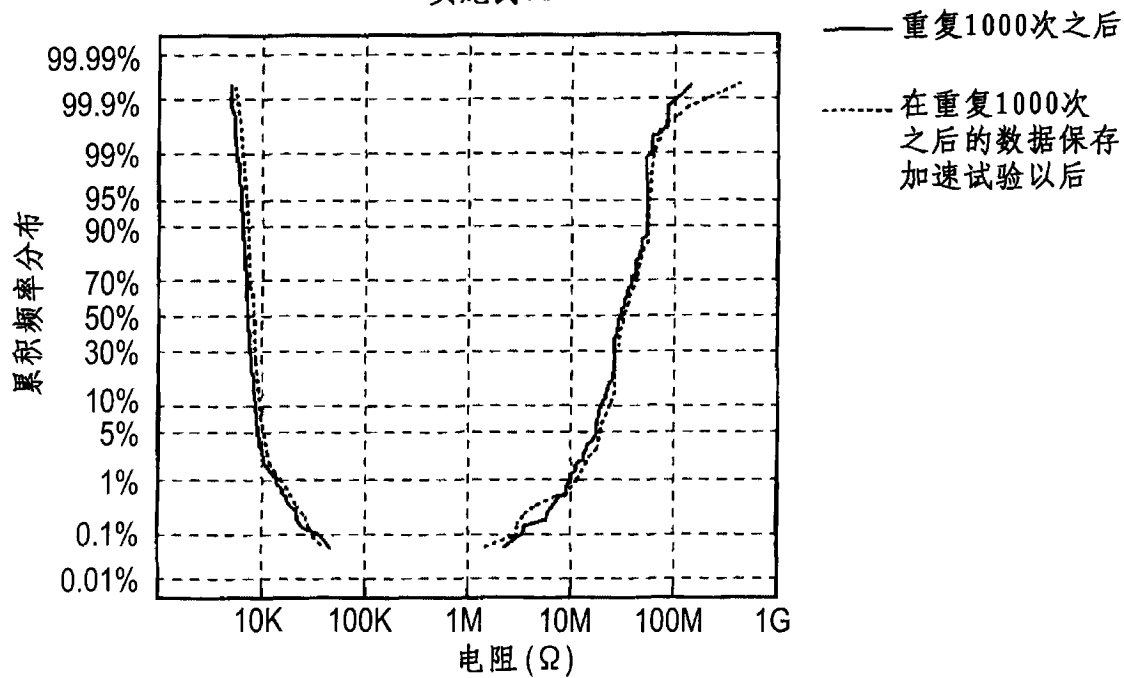


图 40A

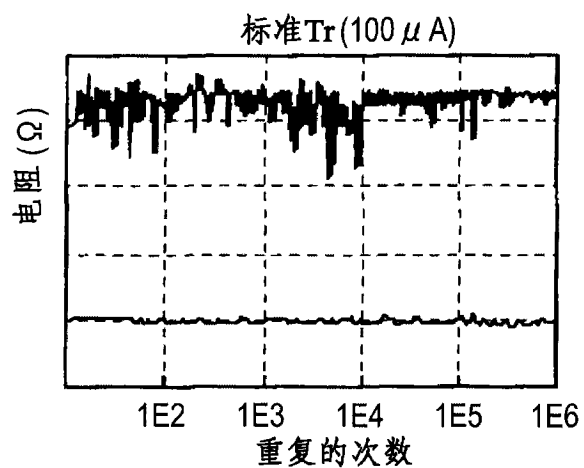


图 40B

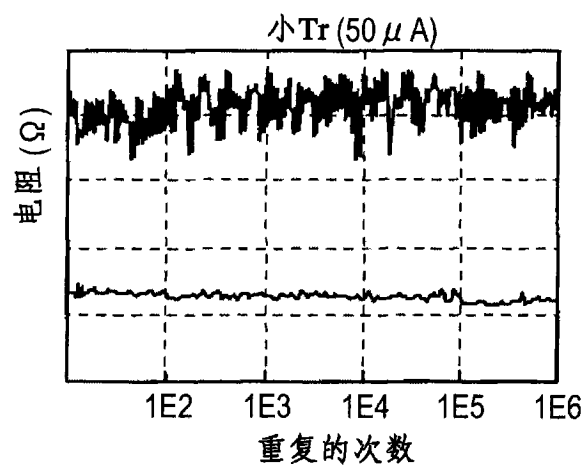


图 40C

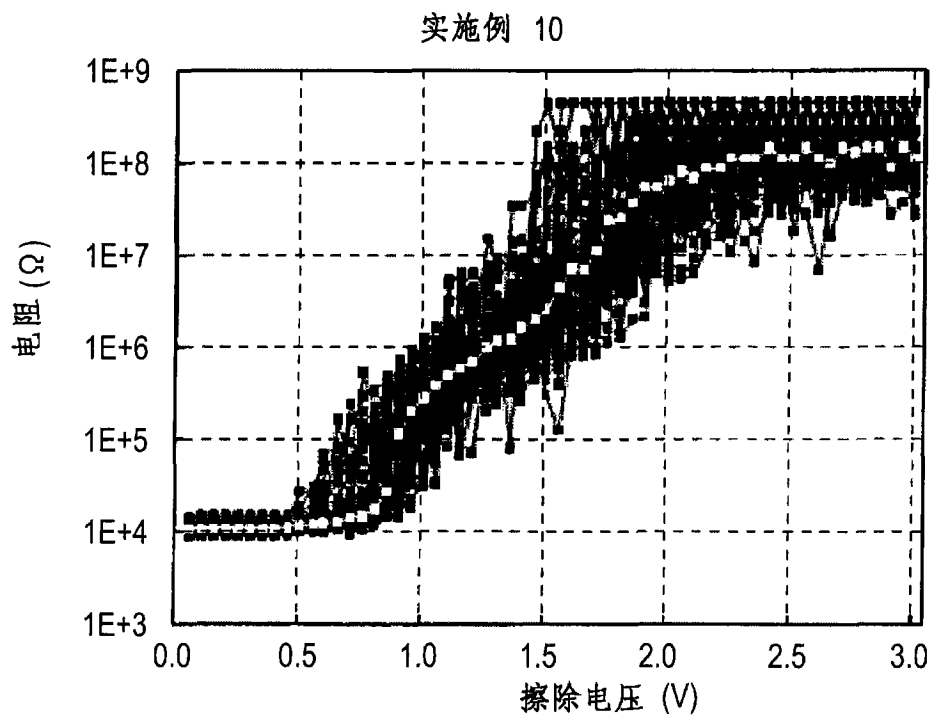


图 41A

实施例 11

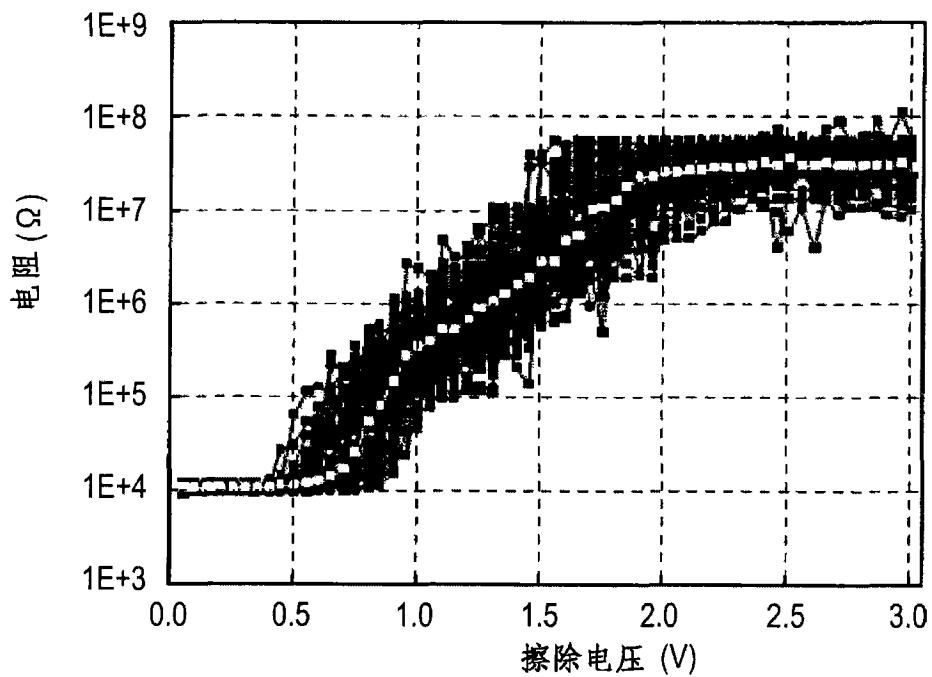


图 41B

实施例 12

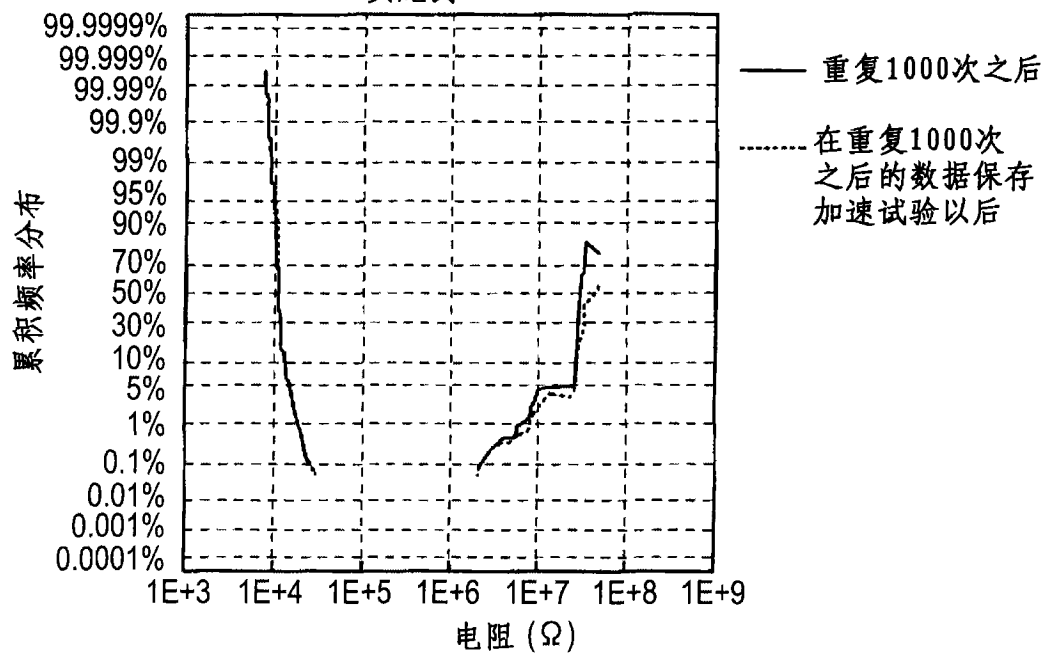


图 42A

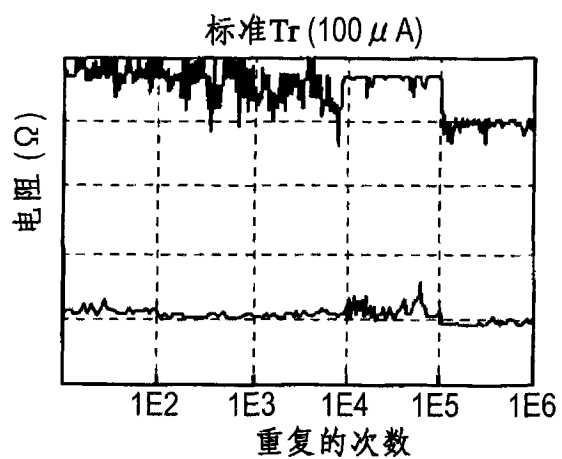


图 42B

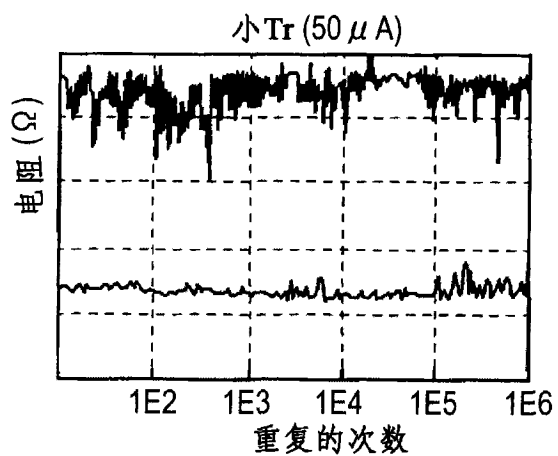


图 42C

实施例 13-1

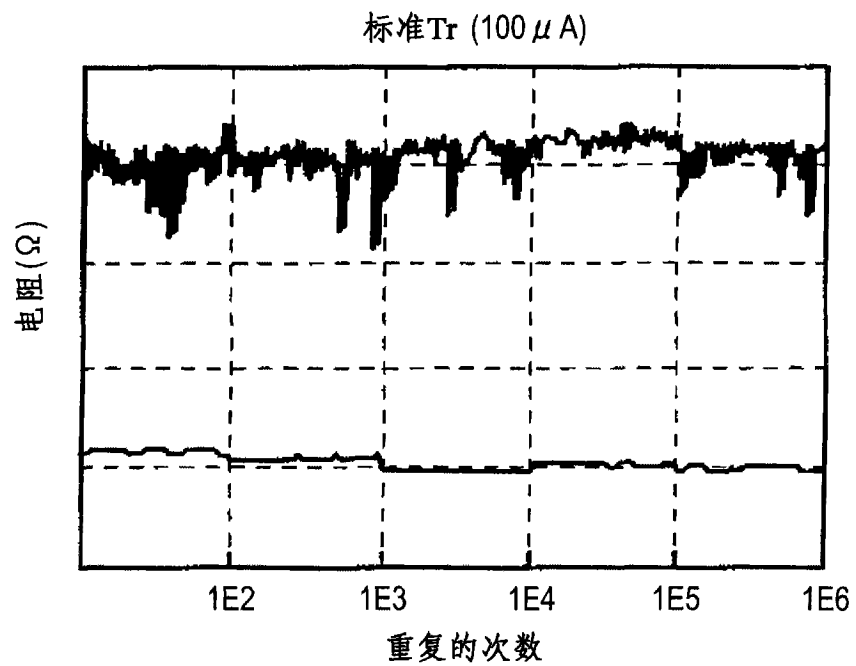


图 43A

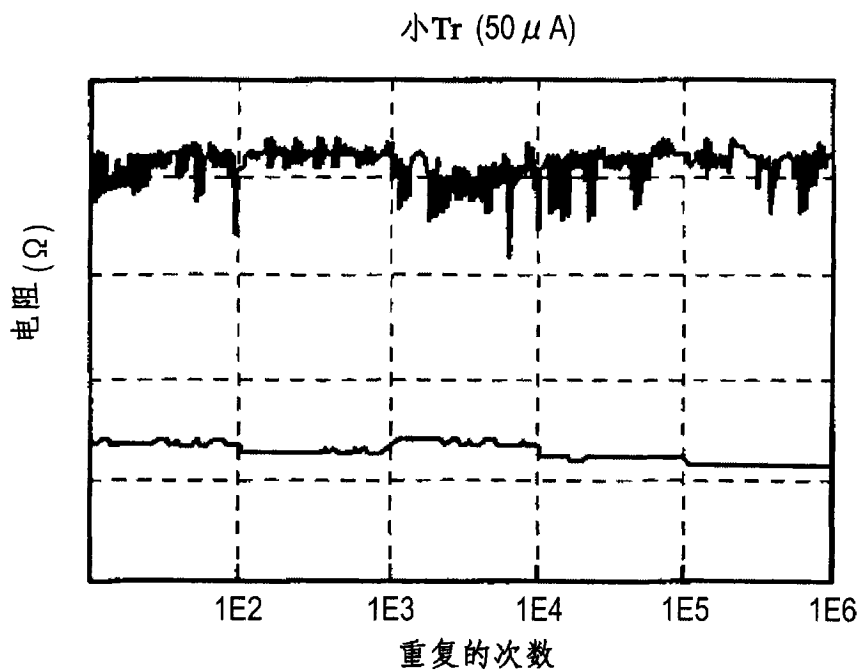


图 43B

实施例 13-2

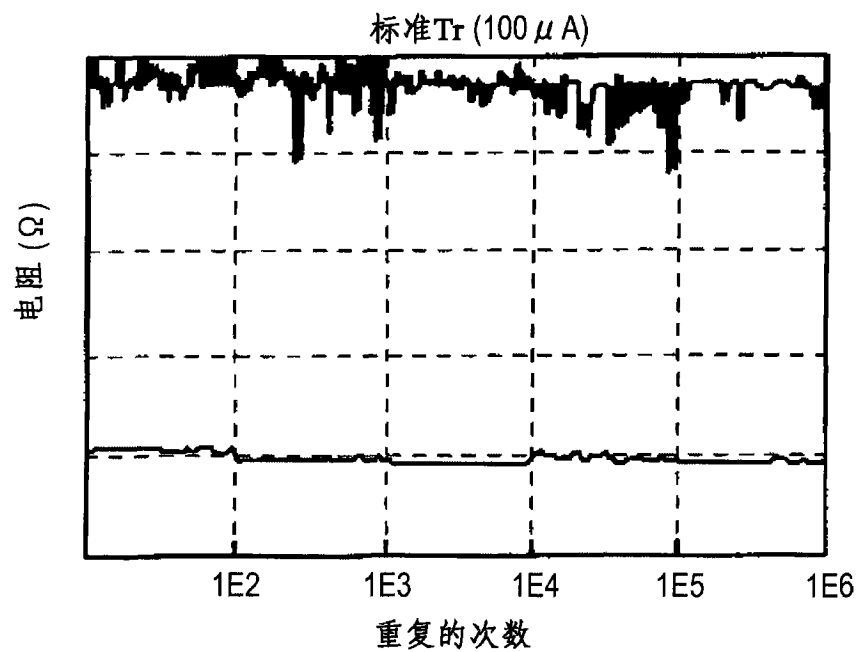


图 44A

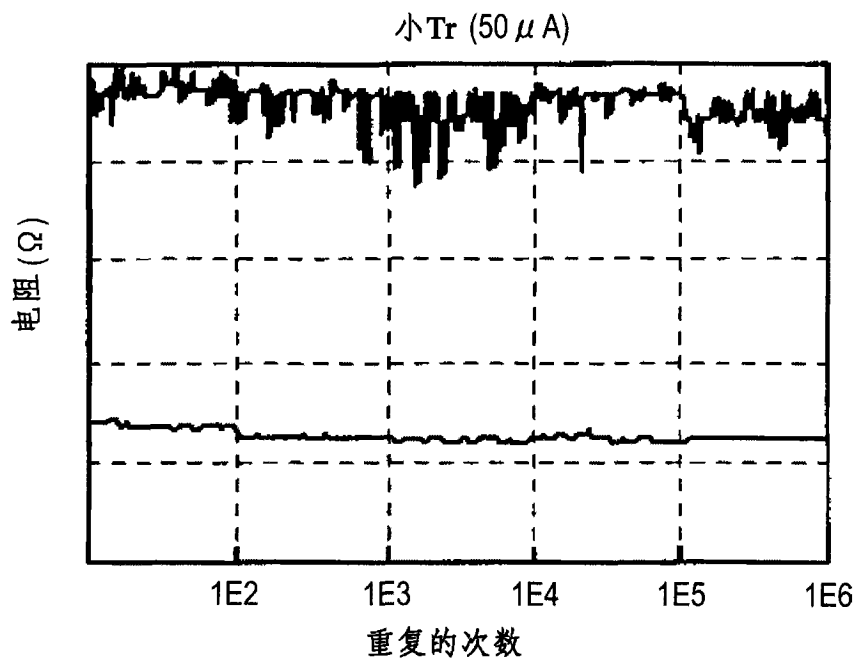


图 44B

实施例 13-3

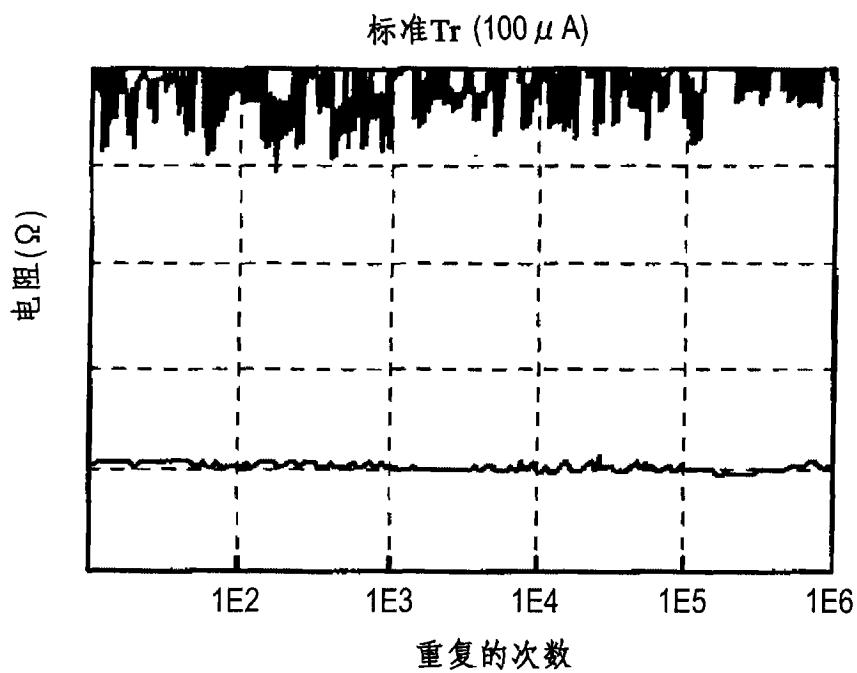


图 45A

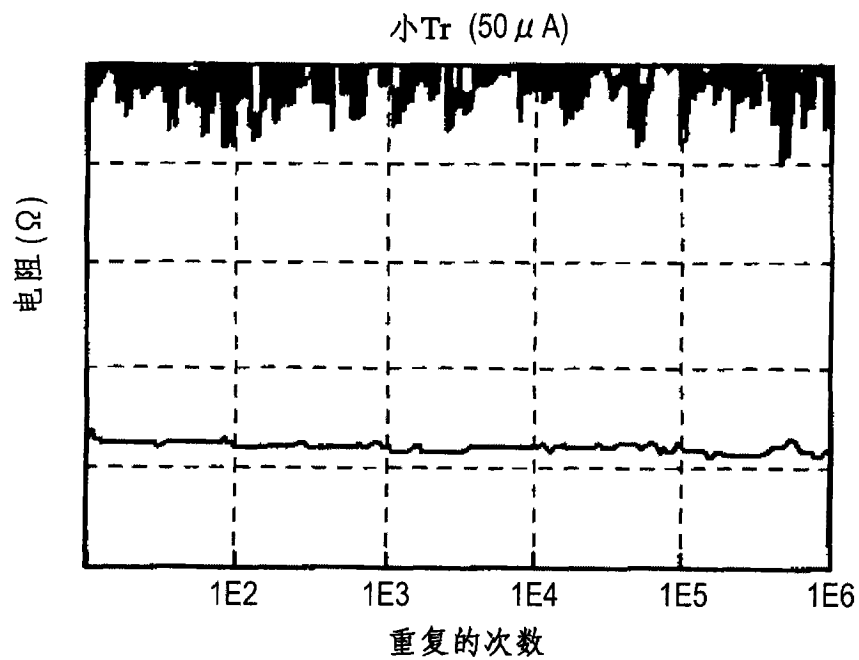


图 45B

实施例 14

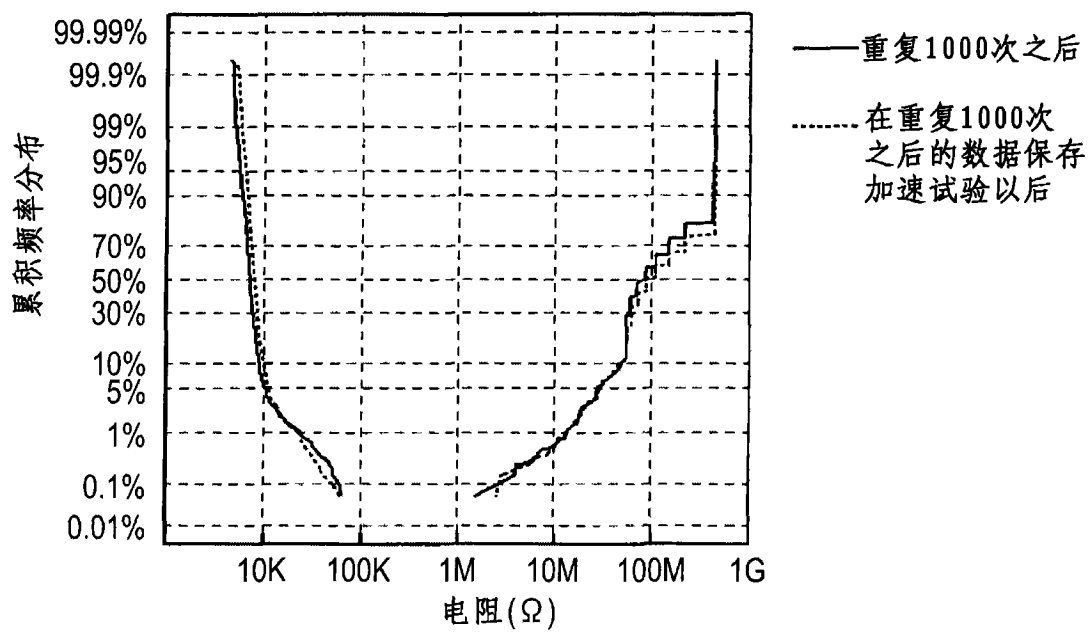


图 46A

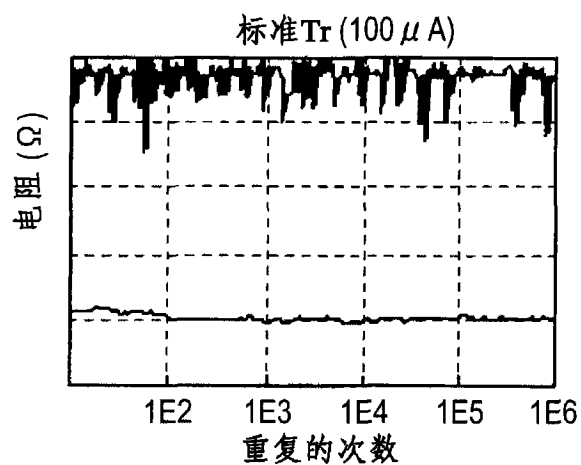


图 46B

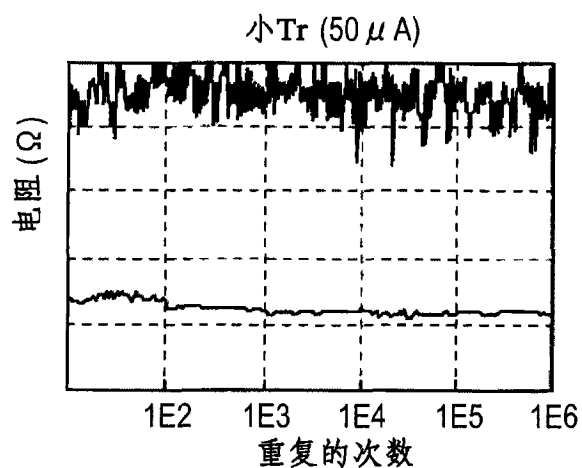


图 46C

实施例 15

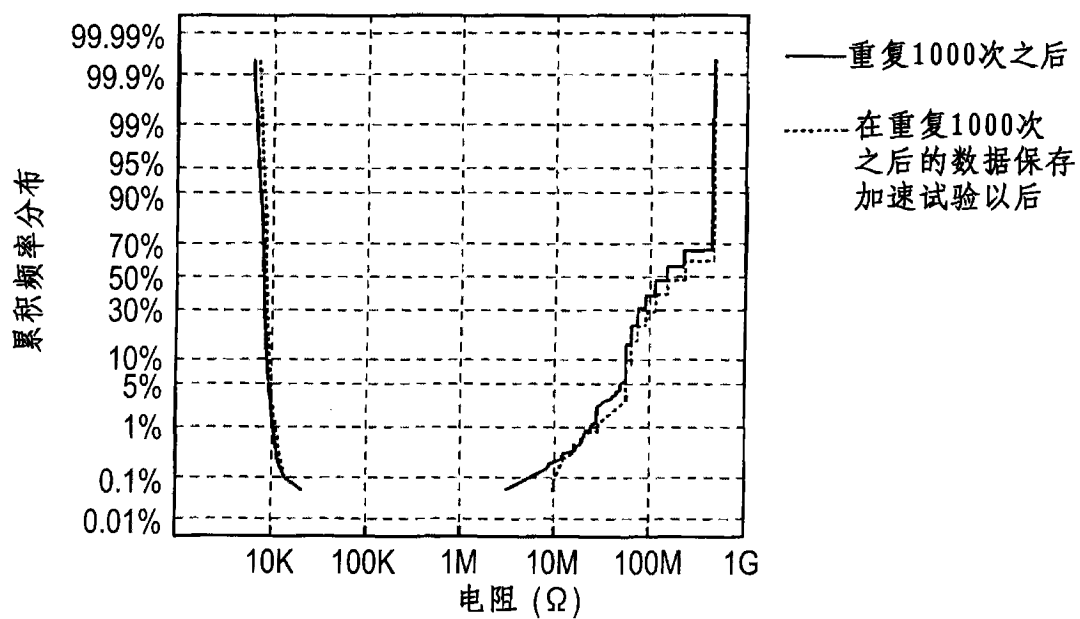


图 47A

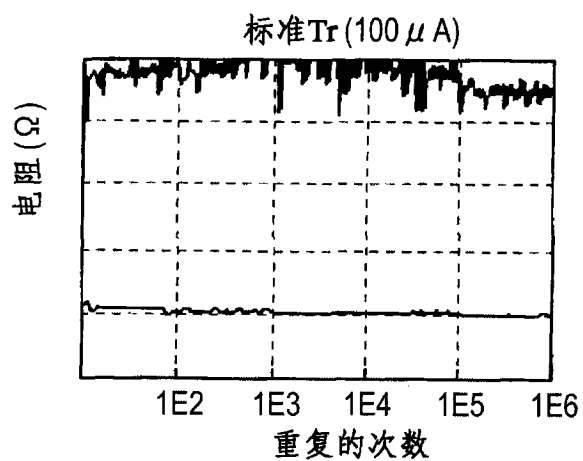


图 47B

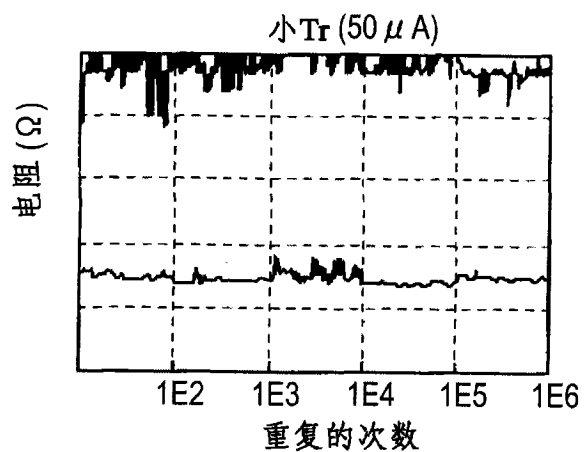


图 47C

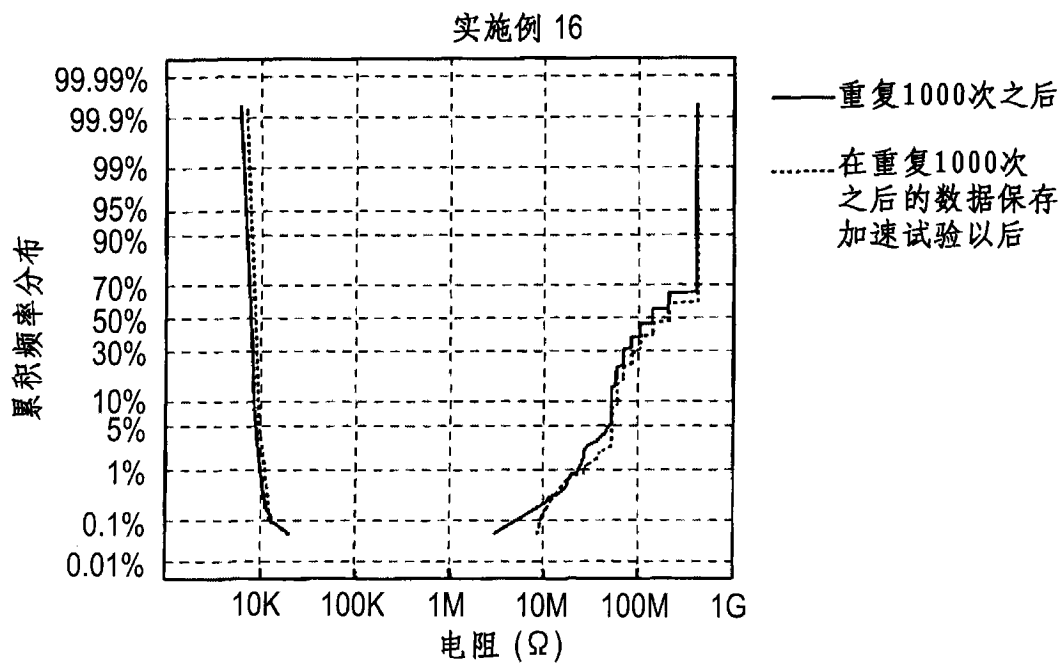


图 48A

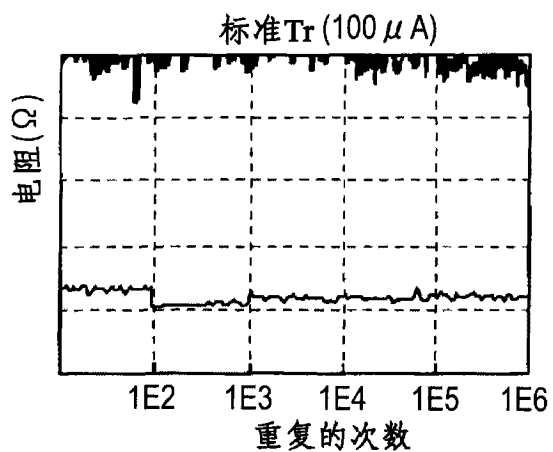


图 48B

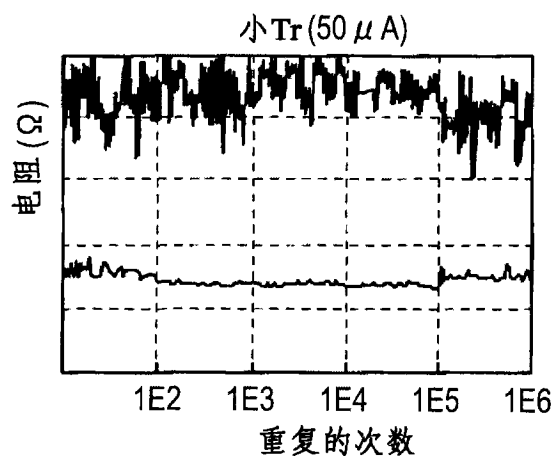


图 48C

实施例 17

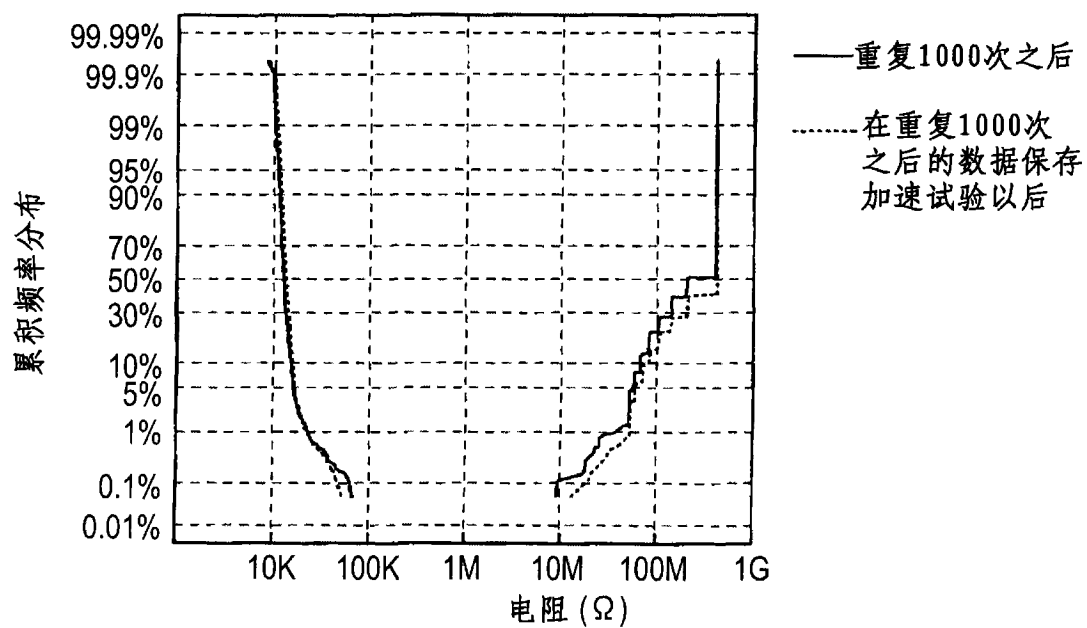


图 49A

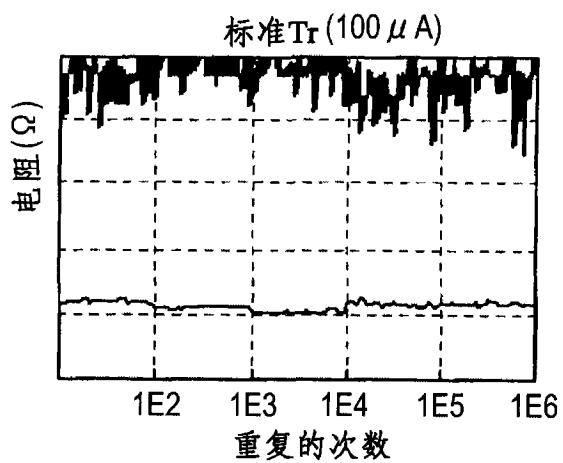


图 49B

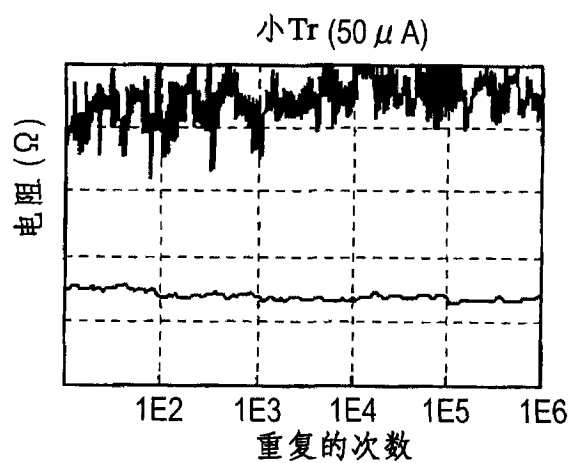


图 49C

实施例 18

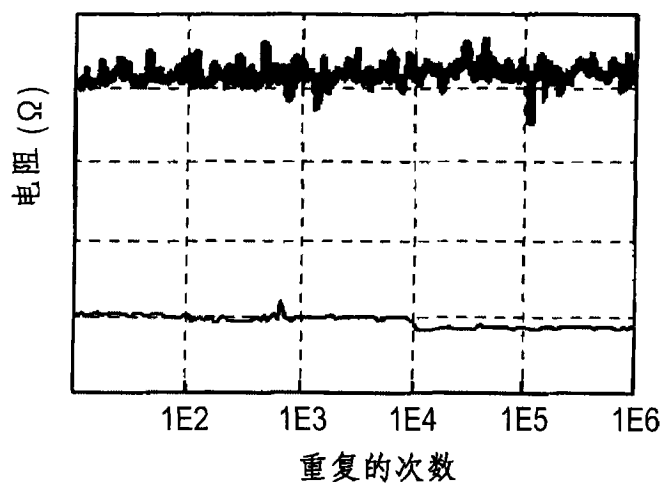


图 50A

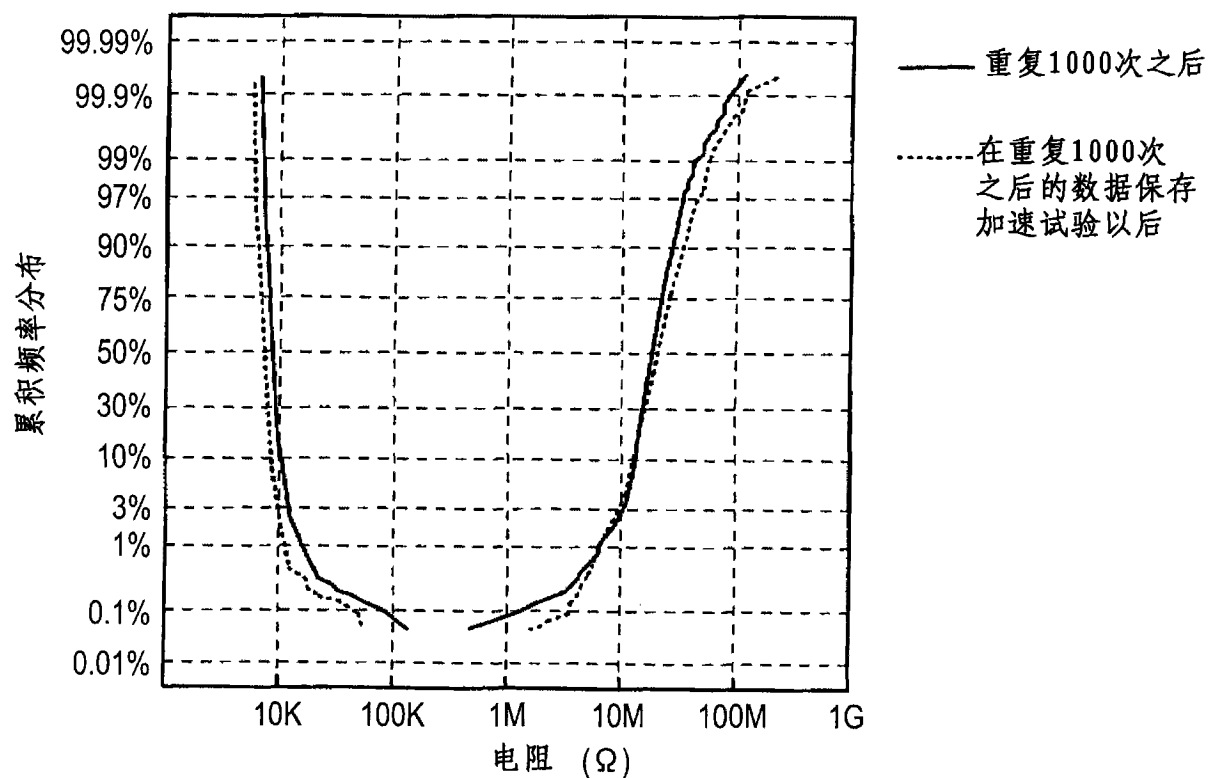


图 50B

比较例 4

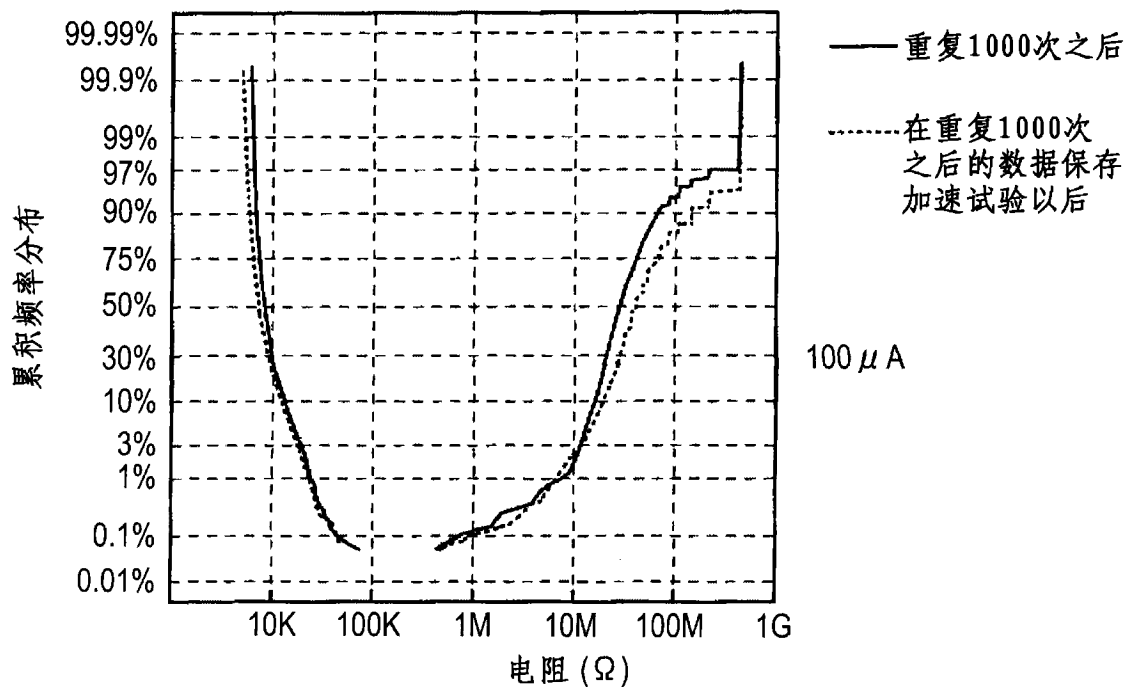


图 51A

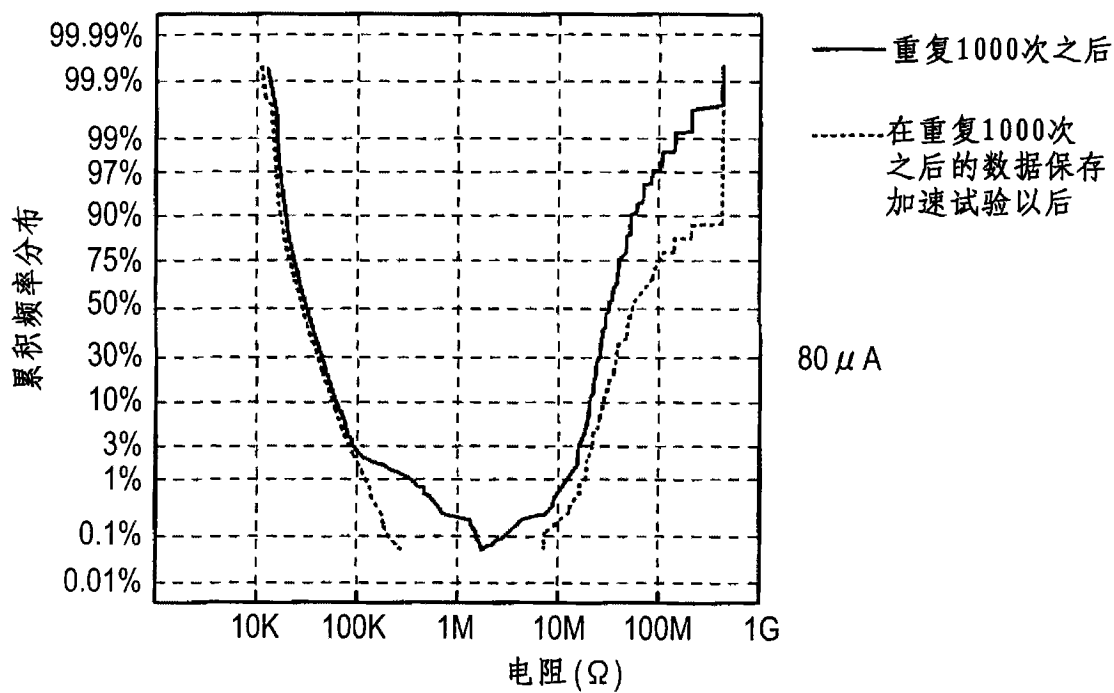


图 51B

实施例 18

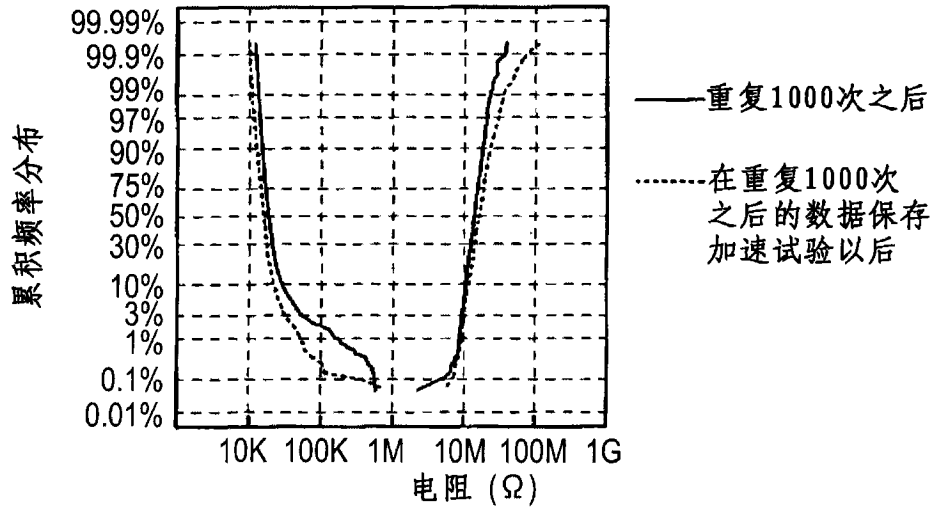


图 52A

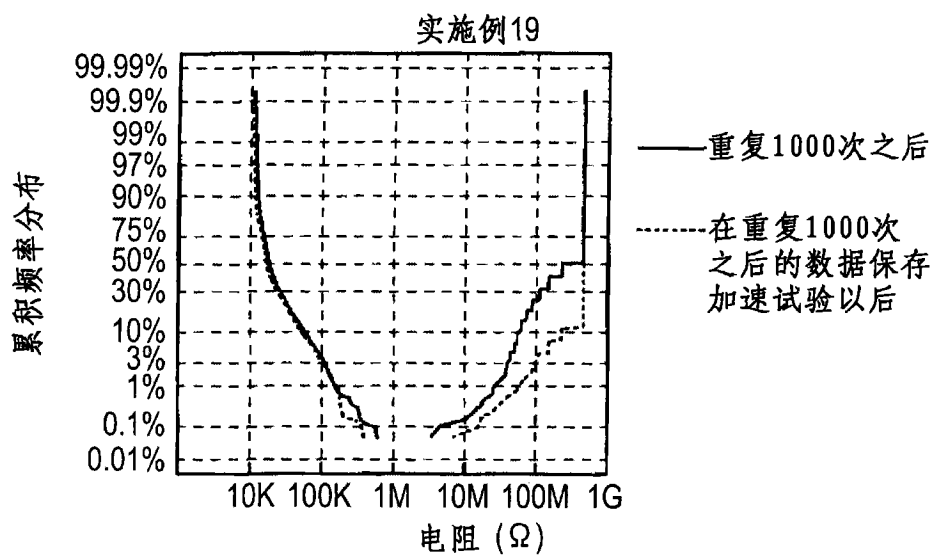


图 52B

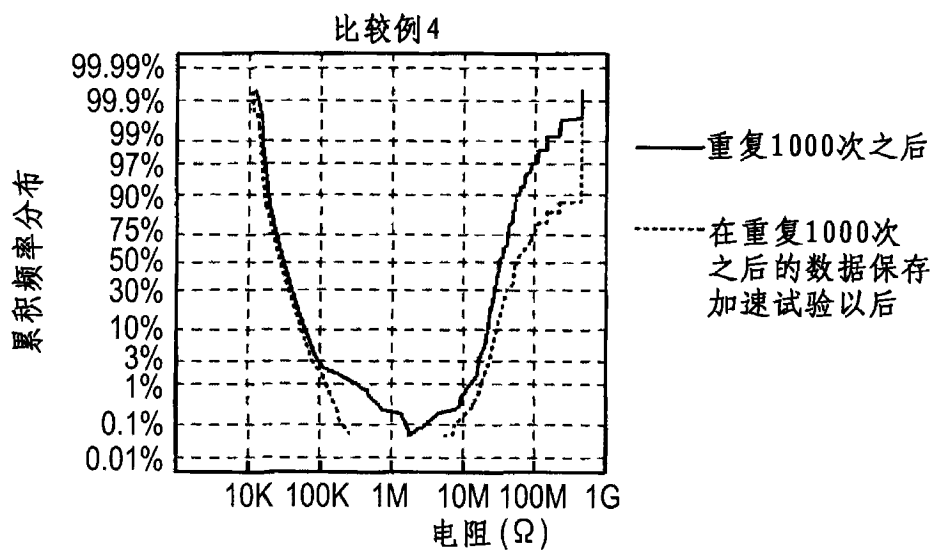


图 52C

实施例 20

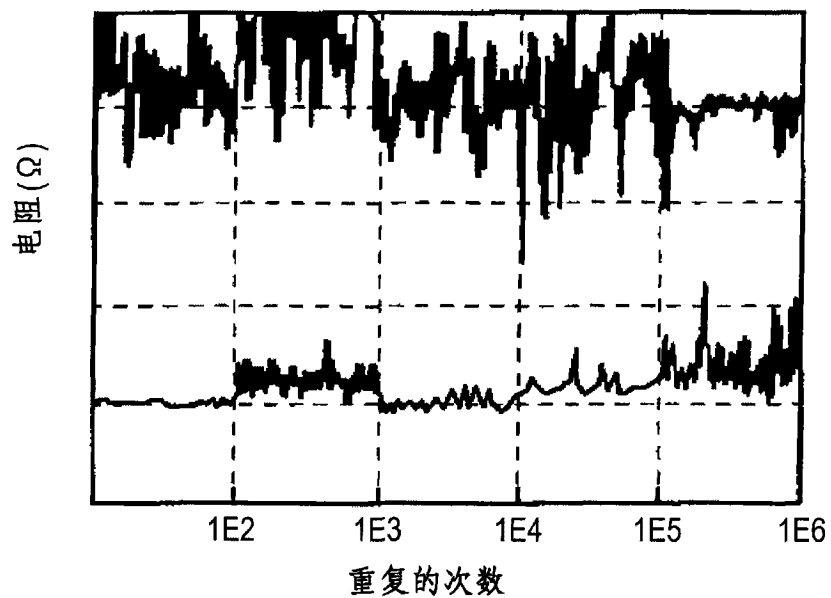
标准Tr (100 μ A)

图 53A

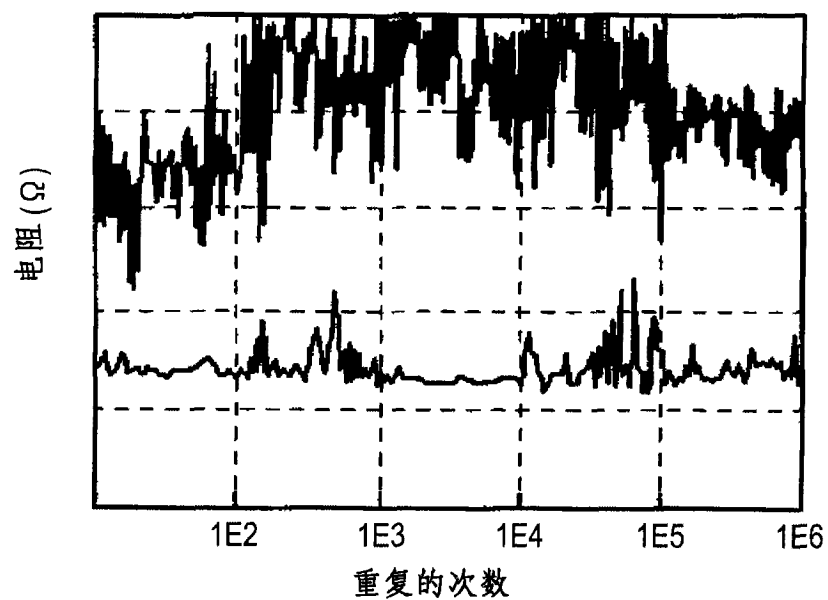
小Tr (50 μ A)

图 53B