

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4132936号
(P4132936)

(45) 発行日 平成20年8月13日(2008.8.13)

(24) 登録日 平成20年6月6日(2008.6.6)

(51) Int.Cl.

F I

H O 1 L 21/8246 (2006.01)

H O 1 L 27/10 4 4 4 B

H O 1 L 27/105 (2006.01)

請求項の数 3 (全 33 頁)

(21) 出願番号	特願2002-113937 (P2002-113937)	(73) 特許権者	000005223
(22) 出願日	平成14年4月16日(2002.4.16)		富士通株式会社
(65) 公開番号	特開2003-309249 (P2003-309249A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成15年10月31日(2003.10.31)	(74) 代理人	100091672
審査請求日	平成16年12月14日(2004.12.14)		弁理士 岡本 啓三
前置審査		(72) 発明者	置田 陽一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	小室 玄一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	柴山 将隆
			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上方に第1絶縁膜を形成する工程と、

前記第1絶縁膜の上に第1の導電膜、誘電体膜、第2の導電膜を順に形成する工程と、

キャパシタ下部電極であるプレートラインのコンタクト領域を除いた形状を有する第1のマスクを使用して、前記第2の導電膜と前記誘電体膜をエッチングして第1パターン形状にする工程と、

前記第1のマスクを除去する工程と、

前記プレートラインのコンタクト領域から前記第2の導電膜の縁部にオーバーラップする第2パターンとキャパシタ形状の複数の第3パターンを有する第2のマスクを使用して、前記第1の導電膜と前記第1パターン形状の前記第2の導電膜を同時にエッチングすることにより、前記第2の導電膜からなる複数のキャパシタ上部電極を形成するとともに、前記第1パターン形状の前記誘電体膜に覆われ且つコンタクト領域を有するプレートラインを前記第1の導電膜から形成する工程と、

前記第2のマスクを除去して、前記プレートラインの前記コンタクト領域と前記キャパシタ上部電極との間の領域に前記第2の導電膜から構成される孤立導電パターンを形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項2】

半導体基板の上方に第1絶縁膜を形成する工程と、

10

20

前記第1絶縁膜の上に第1の導電膜、誘電体膜、第2の導電膜を順に形成する工程と、
キャパシタ下部電極であるプレートラインと略同一の形状を有し且つ前記プレートラインのコンタクト領域内に開口を有する第1のマスクを使用して、前記第2の導電膜と前記誘電体膜をエッチングし、前記コンタクト領域内に前記第1の導電膜を露出させる開口を有する第1パターン形状にする工程と、

前記第1のマスクを除去する工程と、

前記キャパシタ下部電極のコンタクト領域及びその周辺を囲む第2パターンとキャパシタ形状の複数の第3パターンを有する第2のマスクを使用して、前記第1の導電膜と前記第1パターン形状の前記第2の導電膜を同時にエッチングして、前記第2の導電膜からなる複数のキャパシタ上部電極を形成するとともに、前記第1パターン形状の前記誘電体膜に覆われ且つコンタクト領域を有するプレートラインを前記第1の導電膜から形成する工程と、

前記第2のマスクを除去して、前記プレートラインの前記コンタクト領域の周囲に前記第2の導電膜から構成される孤立導電パターンを形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項3】

前記第2の導電膜及び前記誘電体膜を前記第1パターンに形成した後に、前記第2の導電膜、前記誘電体膜及び前記第1の導電膜の上にキャパシタ保護絶縁膜を形成する工程と、

前記第2のマスクを前記キャパシタ保護絶縁膜の上に形成する工程と、

前記第2のマスクから露出した領域の前記キャパシタ保護絶縁膜をエッチングして前記第2のマスクの下に選択的に残す工程と、

前記第2のマスク及び前記キャパシタ保護膜に覆われない領域の前記第2の導電膜をエッチングして前記キャパシタ上部電極を形成する工程と

を有することを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳しくは、キャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

電源を切っても情報を記憶することができる不揮発性メモリの1つとして、強誘電体を有するFeRAM(Ferroelectric Random Access Memory)が知られている。FeRAMは、強誘電体のヒステリシス特性を利用して情報を記憶する構造を有し、高速動作が可能で低消費電力であるため、書き換え回数が多い不揮発性メモリとして今後のさらなる発展が期待されている。

【0003】

図1は、FeRAMのメモリセルの回路図の一例を示し、1ビットの情報の記憶に1つのトランジスタ T_0 と1つのキャパシタ C_0 を用いる1T1C型のメモリセルの回路図である。

【0004】

1T1C型メモリセルには、メモリセルから読み出された電荷が“1”のデータか又は“0”のデータかを判定するための基準電圧を発生させるリファレンスキャパシタ C_1 が必要となる。リファレンスキャパシタ C_1 は、データが読み出される毎にその分極が反転されることになる。データの判定は、各メモリセルのキャパシタ C_0 の電位とリファレンスキャパシタ C_1 の電位の大小関係に基づいて行われる。リファレンスキャパシタ C_1 は各ビット線BITの端部に接続され、リファレンスキャパシタ C_1 の電位は理想的にはメモリセルに“1”を書き込む場合の電圧 V_1 と“0”を書き込む場合の電圧 V_0 の中間に設定するのが望ましい。

【0005】

メモリセルとしては、1 T 1 C型の他に2 T 2 C型がある。2 T 2 C型のメモリセルは、1ビットの情報の記憶に2つのトランジスタと2つのキャパシタを用いる型式であり、一方のキャパシタに“1”又は“0”のデータを記憶し、他方のキャパシタに反対のデータを記憶するという相補的な動作をさせ、データの判定時には両方のキャパシタの分極状態を読み出して、その差分を用いてデータの判定を行う回路構成を有している。

【0006】

1 T 1 C型式のメモリセルは、2 T 2 C型式のメモリセルに比べてセル面積を約半分にすることが可能である。

【0007】

次に、1 T 1 C型メモリセルの構造について説明する。図2は、1 T 1 C型のメモリセルの平面図、図3は、そのI-I線断面図を示している。なお、図2では、半導体基板上の層間絶縁膜は省略されて描かれている。

10

【0008】

図2、図3において、半導体基板101の表層には素子分離層102に囲まれた活性領域(ウェル)103が互いに間隔をおいて縦横に複数形成されている。各々の活性領域103上には、Y方向に延びるワード線WLを兼ねた2つのゲート電極105がゲート絶縁膜104を介して形成されている。ワード線WLは、素子分離絶縁層102の上に延在して形成されている。各活性領域103においては、2つのゲート電極105の両側の活性領域103内に第1～第3の不純物拡散領域107a, 107b, 107cが形成されている。

【0009】

20

一方のゲート電極105とその両側の不純物拡散領域107a, 107bは1つのMOSトランジスタ T_0 を構成し、さらに、他方のゲート電極105とその両側の不純物拡散領域107b, 107cは別のMOSトランジスタ T_0 を構成している。即ち、各々の活性領域103には2つのトランジスタ T_0 が形成されている。

【0010】

トランジスタ T_0 と素子分離絶縁層102は絶縁性カバー膜108により覆われ、また、絶縁性カバー膜108上には第1層間絶縁膜109が形成されている。

【0011】

第1層間絶縁膜109の上であって素子分離絶縁層102の上方には、Y方向に延在するストライプ状のキャパシタ下部電極111がX方向に間隔をおいて複数形成され、そのキャパシタ下部電極111の上には、これとほぼ同じ形状の強誘電体膜112が形成され、さらに、強誘電体膜112の上には複数のキャパシタ上部電極113がY方向に一行に形成されている。1つのキャパシタ上部電極113とその下の強誘電体膜112及びキャパシタ下部電極111によって1つのキャパシタ C_0 が構成される。

30

【0012】

また、キャパシタ C_0 と第1層間絶縁膜109の上には第2の層間絶縁膜114が形成されている。そして、第1及び第2層間絶縁膜109, 114、絶縁性カバー膜108のうち活性領域103内の第1～第3の不純物拡散領域107a, 107b, 107cの上には、第1～第3のコンタクトホール114a, 114b, 114cが形成されている。第1～第3のコンタクトホール114a, 114b, 114c内には、それぞれ第1～第3の導電性プラグ115a, 115b, 115cが形成されている。さらに、第2層間絶縁膜114のうちキャパシタ上部電極113の上には第4のコンタクトホール114dが形成され、その中には第4の導電性プラグ115dが形成されている。

40

【0013】

第2層間絶縁膜114の上には、第1の導電性プラグ114aとこれに隣接する第4の導電性プラグ115dを接続するための第1の金属配線116aが形成されている。また、第2層間絶縁膜114の上には、第3の導電性プラグ114cとこれに隣接する第4の導電性プラグ115dを接続するための第2の金属配線116cが形成されている。

【0014】

これにより、各キャパシタ下部電極111の上方で一行に形成される複数のキャパシタ上部電極113はそれぞれシリコン基板101上のMOSトランジスタ T_0 に1対1で接続される

50

ことになる。

【0015】

なお、第2層間絶縁膜114のうち第2の導電性プラグ115bの上には、金属パッド116bが形成される。その金属パッド116bには、その上方に第3層間絶縁膜（不図示）を介して形成されるビット線117が接続される。ビット線117は、ワード線WL、キャパシタ下部電極111それぞれに交差する方向に延在している。

【0016】

【発明が解決しようとする課題】

ところで、上記したキャパシタは次のような方法によって形成される。

【0017】

第1の方法は、第1層間絶縁膜109上に第1導電膜、強誘電体膜、第2導電膜を順に形成した後に、第2導電膜をパターニングしてキャパシタ上部電極113を形成し、ついで、強誘電体膜と第1導電膜を同じマスクを用いてパターニングして強誘電体膜112とキャパシタ下部電極111を形成する方法である。

【0018】

第2の方法は、第1層間絶縁膜109上に第1導電膜、強誘電体膜、第2導電膜を順に形成した後に、第2導電膜と強誘電体膜を同じマスクを用いてパターニングしてキャパシタ上部電極113を形成し、ついで、第1導電膜をパターニングしてキャパシタ下部電極111を形成する方法である。

【0019】

第3の方法は、第1層間絶縁膜109上に第1導電膜、強誘電体膜、第2導電膜を順に形成した後に、第1導電膜、強誘電体膜、第2導電膜をそれぞれ別々のマスクを用いて個別にパターニングすることによりキャパシタ上部電極113、強誘電体膜112、キャパシタ下部電極111を形成する方法である。

【0020】

第1、第2及び第3の方法によれば、キャパシタ上部電極113を形成した後にキャパシタ下部電極111を形成することになるので、キャパシタ下部電極111のパターニングの際に使用されるマスクのズレによってキャパシタ上部電極113の面積が縮小化されるおそれがある。キャパシタ上部電極113の縮小化を防止するためにはキャパシタ下部電極111を広く形成するようにすればよいが、これではメモリセル領域の高集積化の妨げになる。

【0021】

また、第2の方法によれば、キャパシタ下部電極111上のキャパシタ上部電極113同士の間の領域でキャパシタ下部電極111が強誘電体膜112から露出してしまうので、キャパシタ下部電極111を構成するプラチナの触媒作用によってキャパシタの還元が促進されるおそれがある。

【0022】

さらに、第3の方法によれば、キャパシタ上部電極1113、強誘電体膜112、キャパシタ下部電極111が別々のマスクを使用して形成されるので、スループットが低下する。

【0023】

本発明の目的は、メモリセル領域に形成されるキャパシタ下部電極上の複数のキャパシタを精度良く形成することができる半導体装置及びその製造方法を提供することにある。

【0025】

【課題を解決するための手段】

上記した課題は、半導体基板の上方に第1絶縁膜を形成する工程と、前記第1絶縁膜の上に第1の導電膜、誘電体膜、第2の導電膜を順に形成する工程と、キャパシタ下部電極であるプレートラインのコンタクト領域を除いた形状を有する第1のマスクを使用して、前記第2の導電膜と前記誘電体膜をエッチングして第1パターン形状にする工程と、前記第1のマスクを除去する工程と、前記プレートラインのコンタクト領域から前記第2の導電膜の縁部にオーバーラップする第2パターンとキャパシタ形状の複数の第3パターンを有する第2のマスクを使用して、前記第1の導電膜と前記第1パターン形状の前記第2の

10

20

30

40

50

導電膜を同時にエッチングすることにより、前記第2の導電膜からなる複数のキャパシタ上部電極を形成するとともに、前記第1パターン形状の前記誘電体膜に覆われ且つコンタクト領域を有するプレートラインを前記第1の導電膜から形成する工程と、前記第2のマスクを除去して、前記プレートラインの前記コンタクト領域と前記キャパシタ上部電極との間の領域に前記第2の導電膜から構成される孤立導電パターンを形成する工程とを有することを特徴とする半導体装置の製造方法によって達成する。

【0026】

本発明によれば、絶縁膜上に第1の導電膜、誘電体膜及び第2の導電膜を順に形成し、ついで第1のマスクを使用して第2の導電膜と誘電体膜を第1のパターン形状にパターンニングした後に、第2のマスクを使用して第1の導電膜と第2の導電膜を同時にパターンニングすることにより第2の導電膜から複数のキャパシタ上部電極を形成し、第1の導電膜からプレートライン（下部電極）を形成している。これにより、キャパシタ上部電極、誘電体膜及びキャパシタ下部電極によってキャパシタが構成されるとともに、プレートライン上ではキャパシタ上部電極の数だけキャパシタが存在する。

10

【0027】

従って、2つのマスクを用いることにより複数のキャパシタが形成されるので、キャパシタ形成工程のスループットが向上する。また、第1の導電膜と第2の導電膜を同時にパターンニングしているので、エッチング条件を調整することにより誘電体膜を第1のパターンの状態で残すことが可能になり、プレートライン上の複数のキャパシタ上部電極の相互間の領域でプレートラインを誘電体膜で覆うことが可能になり、キャパシタ下部電極を構成する白金族金属の触媒によるキャパシタの還元が抑制されることになる。

20

【0028】

また、キャパシタ上部電極とキャパシタ下部電極を同時にパターンニングしているので、キャパシタ上部電極の形成後のキャパシタ形成用のパターンニングが無くなり、キャパシタ上部電極が再びエッチングされるおそれがなく、キャパシタ上部電極は精度良く形成されることになる。

【0029】

さらに、キャパシタ下部電極を形成するための第2のマスクとして、プレートラインのコンタクト領域を覆う第2パターンとキャパシタ形状の第3パターンを有するマスクを用いている。この場合、第2のマスクの位置ズレを考慮して、第2のマスクの第2パターンを第1の導電膜の縁にオーバーラップさせることになるが、これによりプレートラインのコンタクト領域の周辺で第2の導電膜からなる孤立導電パターンが形成されることになる。孤立導電パターンは層間絶縁膜により覆われるので、電氣的に孤立して実動作セルを構成することはない。

30

【0030】

また、第2のマスクを使用して第1及び第2の導電膜をエッチングする際に、第2のマスクがエッチングガスと反応して縮小化するおそれがある。この対策として、第2の導電膜を第1のパターンの形状にパターンニングした後であって第2のマスクを第2の導電膜上に形成する前に、第2の導電膜をキャパシタ保護絶縁膜によって覆い、その後に、第2のマスクによってキャパシタ保護膜をエッチングして第2のマスクの下に選択的に残すようにする。

40

【0031】

これによれば、キャパシタ上部電極形状のキャパシタ保護絶縁膜がマスクとして機能するので、第2のマスクが縮小化しても第2の導電膜は第2のマスクの初期の形状にパターンニングされ、キャパシタ上部電極が精度良く形成される。

【0032】

【発明の実施の形態】

以下に本発明の実施形態を図面に基づいて説明する。

（第1の実施の形態）

図4～図8は、本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタの形成

50

工程を示す断面図である。図 9～図 11 は、本発明の第 1 実施形態に係る半導体装置のメモリセルのトランジスタ及びその周辺の形成工程を示す断面図である。図 12～図 15 は、本発明の第 1 実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す平面図である。

【0033】

なお、図 4～図 8 は、図 12 の II-II 線に沿った断面図であり、図 9～図 11 は、図 12 の III-III 線に沿った断面図である。

【0034】

次に、図 4(a)、図 9(a)、図 12(a) に示す構造を形成するまでの工程を説明する。

【0035】

まず、p 型シリコン（半導体）基板 1 の表面に、LOCOS (Local Oxidation of Silicon) 法によって素子分離絶縁膜 2 を形成する。なお、素子分離絶縁膜 2 として、LOCOS 法によって形成されたシリコン酸化膜の他、STI (Shallow Trench Isolation) 構造を採用してもよい。素子分離絶縁膜 2 は、シリコン基板 1 のメモリセル領域における所定の活性領域（トランジスタ形成領域）3 を囲む範囲に形成される。

【0036】

活性領域 3 の平面形状は略長方形であり、帯状のプレートライン形成領域の両側に沿って間隔をおいて複数形成されている。

【0037】

その後、シリコン基板 1 の表面を熱酸化して、活性領域 3 の上でゲート絶縁膜 4 として使用されるシリコン酸化膜を形成する。

【0038】

次に、素子分離絶縁膜 2 及びゲート絶縁膜 4 の上にアモルファスシリコン膜とタングステンシリサイド膜を順に形成する。そして、アモルファスシリコン膜及びタングステンシリサイド膜をフォトリソグラフィ法により所定の形状にパターニングして、活性領域 3 の上にゲート電極 5a、5b を形成する。メモリセル領域では、活性領域 3 上には 2 つのゲート電極 5a、5b がほぼ平行に間隔をおいて形成され、これらのゲート電極 5a、5b は素子分離絶縁膜 2 の上に延在してワード線 WL となる。ワード線 WL は、プレートライン形成領域の延在方向に交差する方向に延在するように形成される。

【0039】

なお、ゲート電極 5a、5b を構成するアモルファスシリコン膜の代わりにポリシリコン膜を形成してもよい。

【0040】

次に、活性領域 3 のうち、ゲート電極 5a、5b の両側に n 型不純物をイオン注入して、n チャネル MOS トランジスタ T_1 、 T_2 のソース／ドレインとなる第 1～第 3 の n 型不純物拡散領域 7a、7b、7c を形成する。活性領域 3 の中央に位置する第 2 の n 型不純物拡散領域 7b はビット線に電氣的に接続され、また、活性領域 3 の両側に位置する第 1、第 3 の n 型不純物拡散領域 7a、7c はキャパシタに電氣的に接続される。

【0041】

その後、シリコン基板 1、素子分離絶縁膜 2 及びゲート電極 5a、5b の上に絶縁膜を形成する。そして、絶縁膜をエッチバックすることにより、ゲート電極 5a～5c の両側部分に側壁絶縁膜 6 として残す。その絶縁膜として、例えば CVD 法により形成される酸化シリコン (SiO_2) を使用する。

【0042】

さらに、活性領域 3 上のゲート電極 5a、5b 及び側壁絶縁膜 6 をマスクにして、n 型不純物拡散領域 7a～7c に n 型不純物をイオン注入することにより n 型不純物拡散領域 7a～7c を LDD 構造にする。

【0043】

これにより、第 1 及び第 2 の n 型不純物拡散領域 7a、7b とゲート電極 5a を有する第 1 の nMOS トランジスタ T_1 の形成と、第 2 及び第 3 の n 型不純物拡散領域 7b、7c

10

20

30

40

50

とゲート電極 5 b を有する第 2 の n M O S トランジスタ T_2 の形成が終了する。

【0044】

この後に、n M O S トランジスタ T_1 , T_2 を覆うカバー膜 1 0 をシリコン基板 1 上にプラズマ C V D 法により形成する。カバー膜 1 0 として例えば酸化シリコン (SiON) 膜を形成する。

【0045】

次に、T E O S ガスを用いるプラズマ C V D 法により、酸化シリコン (SiO₂) 膜を約 1 . 0 μ m の厚さに成長し、この酸化シリコン膜を第 1 の層間絶縁膜 1 1 として使用する。

【0046】

続いて、第 1 の層間絶縁膜 1 1 の緻密化処理として、常圧の窒素雰囲気中で第 1 の層間絶縁膜 1 1 を 7 0 0 °C の温度で 3 0 分間熱処理する。その後に、第 1 の層間絶縁膜 1 1 の上面を化学機械研磨 (C M P ; Chemical Mechanical Polishing) 法により研磨して平坦化する。

【0047】

なお、図 1 2 (a) では、素子分離絶縁膜 2 の上に形成される絶縁膜は省略されて描かれている。

【0048】

次に、図 4 (b) 、図 9 (b) 、図 1 2 (b) に示す構造を形成するまでの工程を説明する。

【0049】

まず、第 1 の層間絶縁膜 1 1 上に、第 1 の導電膜 1 2 として Ti 膜とプラチナ (Pt) 膜を順に形成する。Ti 膜と Pt 膜は D C スパッタ法により形成される。この場合、Ti 膜の厚さを 1 0 ~ 3 0 n m 程度、Pt 膜の厚さを 1 0 0 ~ 3 0 0 n m 程度とする。なお、第 1 の導電膜 1 2 として、イリジウム、ルテニウム、酸化ルテニウム、酸化イリジウム、酸化ルテニウムストロンチウム (SrRuO₃) 等のいずれかの導電膜を形成してもよい。

【0050】

その後に、強誘電体膜 1 3 として厚さ 1 0 0 ~ 3 0 0 n m のチタン酸ジルコン酸鉛 (P Z T ; Pb(Zr_{1-x}Ti_x)O₃) 膜を R F スパッタ法により第 1 の導電膜 1 4 上に形成する。強誘電体層 1 3 の形成方法は、その他に、M O D (metal organic deposition) 法、M O C V D (有機金属 C V D) 法、ゾル・ゲル法などがある。また、強誘電体層 1 5 の材料としては、P Z T 以外に、P L C S Z T、P L Z T のような他の P Z T 系材料や、SrBi₂Ta₂O₉ (S B T、Y 1)、SrBi₂(Ta,Nb)₂O₉ (S B T N、Y Z) 等の Bi 層状構造化合物、その他の金属酸化物強誘電体を採用してもよい。

【0051】

さらに、強誘電体膜 1 3 を構成する P Z T 膜の結晶化処理として、酸素雰囲気中で温度 6 5 0 ~ 8 5 0 °C、3 0 ~ 1 2 0 秒間の条件で R T A (Rapid Thermal Annealing) を行う。例えば、温度 7 0 0 °C で 6 0 秒間アニールする。

【0052】

続いて、強誘電体膜 1 3 の上に第 2 の導電膜 1 4 として酸化イリジウム (IrO₂) 膜をスパッタ法により 1 0 0 ~ 3 0 0 n m の厚さに形成する。なお、第 2 の導電膜 1 4 として、プラチナもしくは酸化ルテニウムストロンチウム (S R O) を用いてもよい。

【0053】

その後に、第 2 の導電膜 1 4 の上にレジストを塗布し、これを露光、現像することにより、プレートラインコンタクト領域を除いたプレートライン形成領域上に第 1 のレジストパターン 1 5 を形成する。

【0054】

次に、図 5 (a) 、図 9 (c) 、図 1 3 (a) に示すように、第 1 のレジストパターン 1 5 をマスクに使用して第 2 の導電膜 1 4 及び強誘電体膜 1 3 をエッチングする。これにより、第 2 の導電膜 1 4 と強誘電体膜 1 3 は、プレートラインコンタクト領域を除いたプレートライン形成領域とほぼ同じ形状になり、M O S トランジスタ T_1 、 T_2 の上から除去される。プレートライン形成領域の幅は約 2 . 9 μ m である。

10

20

30

40

50

【0055】

この場合のエッチング条件は、例えば、誘導結合型プラズマエッチング装置を用い、塩素 (Cl_2) ガスを 20 ml/min.、アルゴン (Ar) ガスを 30 ml/min. でエッチング雰囲気中に導入するとともに、エッチング雰囲気中の真空度を 0.7 Pa とする。さらに、シリコン基板 1 が載置されるウェハステージ温度を 25 °C、ソースパワーを 1400 W、バイアスパワーを 800 W に設定する。なお、ソースパワーは、誘導結合型プラズマエッチング装置のアンテナコイルに印加する 13.56 MHz の高周波電源のパワーである。また、バイアスパワーは、ウェハステージに印加する 400 KHz の高周波電源のパワーである。

【0056】

そのエッチングの際に、第 1 のレジストパターン 15、第 2 の導電膜 14 及び強誘電体膜 13 の側面に導電性のエッチング生成物が付着すると、第 1 及び第 2 の導電膜 12、14 のパターニングにより形成されるキャパシタ上部電極とキャパシタ下部電極の間にリーク電流が流れ易くなる。このために、第 1 のレジストパターン 15 の側面を横方向に後退させるようなエッチング条件に設定することによって、第 1 のレジストパターン 15 の側面とエッチングされた膜の側面に付着する導電材を常に削りながらエッチングするようにすることが好ましい。この場合、第 2 のレジストパターン 16a、16b の側面の後退を促進させる必要があり、その後退の調整は塩素とアルゴンのガス流量の調整によって行う。例えば塩素のガス比を高くし、アルゴンのガス比を低くする。

【0057】

続いて、図 5 (b)、図 13 (b) に示すように、第 1 のレジストパターン 15 を除去する。

【0058】

次に、第 1 及び第 2 の導電膜 12、14 と強誘電体キャパシタ 13 の上にレジストを塗布する。続いて、図 6 (a)、図 14 (a) に示すように、レジストを露光、現像することにより、プレートライン形成領域内に存在する第 2 の導電膜 14 の上に幅 1.0 μm で長さ 1.7 μm のキャパシタ上部電極形状の第 2 のレジストパターン 16a を形成するとともに、プレートラインコンタクト領域から第 2 の導電膜 14 端部に僅かにオーバーラップする広さの第 3 のレジストパターン 16b を形成する。このオーバーラップは、プレートラインコンタクト領域での位置合わせ時のズレ量を考慮した量とする。第 2 のレジストパターン 16a は、プレートライン形成領域の長さ方向に沿って 2 列で複数個形成され、第 2 のレジストパターン 16a 同士の間隔を例えば 0.3 μm とする。

【0059】

この後に、図 6 (b)、図 14 (b) に示すように、第 2 のレジストパターン 16a に覆われない領域の第 2 の導電膜 14 をエッチングすると同時に、第 3 のレジストパターン 16b と強誘電体膜 13 に覆われない領域の第 1 の導電膜 12 をエッチングする。

【0060】

これにより、第 1 の導電膜 12 はパターニングされてキャパシタの下部電極 12a であるプレートラインとなる。また、第 2 の導電膜 14 はパターニングされて、各々のプレートライン 12a の上方で 2 列に並ぶ複数の上部電極 14a となるとともに、帯状の強誘電体膜 15 のうちプレートラインコンタクト領域との境界部分に孤立導電パターン 14b として残される。また、図 10 (a)、図 15 (a) に示すように、第 1 の導電膜 12 は MOS トランジスタ T_1 、 T_2 の上方から除去される。

【0061】

この場合、第 1 及び第 2 の導電膜 12、14 のエッチング条件は、プレートライン領域内の強誘電体膜 13 が上部電極 14a の周囲に残されるエッチング条件とする。また、上部電極 14a とキャパシタ下部電極 12a が同時に形成されるように、第 1 の導電膜 12 と第 2 の導電膜 14 のそれぞれの膜厚に応じたエッチング条件が設定されなければならない。さらに、上部電極 14a と強誘電体膜 13 と下部電極 12a の側壁に導電性物質を付着させないようなエッチング条件に設定して、上部電極 14a と下部電極 12a の間でリーク電流が流れないようにする必要がある。

【0062】

そのようなエッチング条件として、例えば、誘導結合型プラズマエッチング装置を用い、塩素(Cl_2)ガスを20ml/min.、アルゴン(Ar)ガスを30ml/min.でエッチング雰囲気中に導入するとともに、エッチング雰囲気中の真空度を0.7Paとする。さらに、シリコン基板1が載置されるウェハステージ温度を25℃、ソースパワーを1400W、バイアスパワーを800Wに設定する。

【0063】

このエッチングにより、第1の導電膜12と第2の導電膜14の一部を同時にエッチングすることにより、最終的なキャパシタQの上部電極14aと下部電極12aが同時に形成される。

【0064】

これにより、メモリセル領域では、下部電極12a、誘電体膜13及び上部電極14aを有するキャパシタQが形成される。即ち、プレートライン形成領域では、上部電極14aの数だけキャパシタQが形成されることになる。

【0065】

なお、孤立導電パターン14bの下にも、強誘電体膜13と下部電極12aが存在するが、孤立導電パターン14bは、電氣的に孤立された状態に置かれるので、キャパシタとして動作することはない。

【0066】

その後、図7(a)、図15(a)に示すように、第2、第3のレジストパターン16a、16bを除去する。

【0067】

次に、図7(b)、図10(b)に示すように、キャパシタQと第1の層間絶縁膜11の上にキャパシタ保護絶縁膜17として例えばアルミナを20nm程度の厚さに形成する。なお、キャパシタ保護絶縁膜17としては、アルミナの他、PZT、窒化シリコン膜、又は窒化酸化シリコン膜などを適用してもよい。

【0068】

さらに、キャパシタ保護絶縁膜17の上に第2の層間絶縁膜18として酸化シリコン膜を約1μmの厚さに形成する。この酸化シリコン膜は、TEOS、ヘリウム及び酸素の混合ガスを用いて、CVD法により形成される。

【0069】

続いて、第2の層間絶縁膜18の上面をCMP法により平坦化する。この例では、CMP後の第2層間絶縁膜18の残り膜厚は、メモリセル領域AのキャパシタQの上でキャパシタ保護絶縁膜17の膜厚と合わせて約300nm程度とする。

【0070】

次に、図8(a)、図11(a)に示す構造を形成するまでの工程を説明する。

【0071】

まず、第2の層間絶縁膜18、キャパシタ保護絶縁膜17、第1層間絶縁膜11及びカバー膜10をフォトリソグラフィ法によりパターンニングすることにより、第1、第3のn型不純物拡散領域7a、7cの上にそれぞれキャパシタコンタクトホール18aを形成すると同時に、第2のn型不純物拡散領域7bの上にビット線コンタクトホール18bを形成する。

【0072】

その後、第2の層間絶縁膜18上とキャパシタコンタクトホール18a内とビット線コンタクトホール18b内に、膜厚20nmのTi膜と膜厚50nmのTiN膜をスパッタにより順に形成し、さらにTiN膜の上にW膜をCVD法により形成する。W膜は、キャパシタコンタクトホール18aとビット線コンタクトホール18b内を完全に埋め込む厚さに形成される。

【0073】

続いて、Ti膜、TiN膜及びW膜をCMP法により研磨して第2の層間絶縁膜18の上面から除去する。これにより、キャパシタコンタクトホール18a内に残されたTi膜、TiN

10

20

30

40

50

膜及びW膜をキャパシタコンタクト用の第1の導電性プラグ19aとして使用し、また、ビット線コンタクトホール18b内に残されたTi膜、TiN膜及びW膜をビット線コンタクト用の第2の導電性プラグ19bとして使用する。

【0074】

次に、図8(b)、図11(b)、図15(b)に示す構造を形成するまでの工程を説明する。

【0075】

まず、第2の層間絶縁膜18の上と第1、第2の導電性プラグ19a、19bの上に、アルミナなどからなる酸化防止絶縁膜（不図示）を形成する。続いて、酸化防止絶縁膜、第2層間絶縁膜18及びキャパシタ保護絶縁膜17をパターニングすることにより、上部電極16aの上にキャパシタコンタクト用のホール18c形成する。これと同時に、第2層間絶縁膜18及びキャパシタ保護絶縁膜17をパターニングして、プレートライン12aのプレートラインコンタクト領域の上にプレートラインコンタクト用のホール18dを形成する。

10

【0076】

その後、酸化防止絶縁膜をエッチバックにより除去する。さらに、第2の層間絶縁膜18上と第1、第2の導電性プラグ19a、19b上とホール18c、18d内に、配線用金属膜として膜厚150nmのTiN膜、膜厚5nmのTi膜、膜厚500nmのAl-Cu膜、膜厚50nmのTiN膜及び膜厚20nmのTi膜からなる5層構造の金属膜を形成した後に、配線用金属膜をフォトリソグラフィ法によりパターニングする。

【0077】

この配線用金属膜のパターニングにより、上部電極16aのホール18c内とその側方の第1の導電性プラグ19aを電氣的に接続する第1の配線20aを形成するとともに、プレートラインコンタクト領域の上のホール18dを通してプレートライン12aに接続される第2の配線20dを形成する。これと同時に、第2の導電性プラグ19bの上に導電性パッド20bを形成する。

20

【0078】

これにより、プレートライン12a上の2列のキャパシタQの上部電極14aと第1又は第3のn型不純物拡散領域7a、7cは、第1の配線20aと第1の導電性プラグ19aを介して電氣的に接続される。

【0079】

なお、第2のn型不純物拡散領域7bは、上方に形成されるビット線（不図示）に導電性パッド20b及び第2の導電性プラグ19bを介して電氣的に接続される。

30

【0080】

配線20a、20dと導電性パッド20bを形成した後に、その上に第3の層間絶縁膜を形成し、導電性プラグを形成し、さらに第3の層間絶縁膜の上にビット線などを形成するが、その詳細は省略する。

【0081】

以上の実施形態においては、キャパシタQの下部電極であるプレートライン12aを覆う強誘電体膜13の上に複数の上部電極14aをプレートライン12aの延在方向に二列に複数個形成している。従って、一例に複数個搭載されるプレートライン（下部電極）を用いる従来技術とは異なり、プレートライン12aの両側にMOSトランジスタ T_1 、 T_2 を形成することになるので、プレートライン相互間の無駄なスペースが従来よりも少なくなり、メモリセル領域を従来よりもさらに高集積化することが可能になる。

40

【0082】

また、第1の導電膜12、強誘電体膜13、第2の導電膜14をパターニングしてキャパシタQを形成する工程は、第1の導電膜12と強誘電体膜13を同一マスクを用いてパターニングしてプレートライン形成領域に残した後に、第2の導電膜14と第1の導電膜12を同時にパターニングして2列の上部電極14aとプレートライン（下部電極）12aを同時に形成している。

【0083】

50

従って、2回のパターニング工程によってキャパシタQを形成することができるので、スループットが良好である。しかも、プレートライン12aを構成するプラチナが上部電極14a相互間の領域で露出することはなく、プラチナの触媒による還元作用をキャパシタQに及ぼすことが防止される。

【0084】

ところで、図5(b)に示した第2の導電膜14のパターンを第1のパターンとし、図6(b)に示した上部電極14aを第2のパターンとする。そして、第1のパターンに対して第2のパターンに位置ずれが生じた場合に、左右の第2のパターンの大きさを一定とする条件は以下の式(1)で表される。なお、式(1)において W_{TE-1st} は第1のパターンの幅、 $W_{TE-FINAL}$ は第2のパターン(上部電極)の幅、 W_{ALIGN} は位置ズレ最大量、 W_{TE-GAP} はプレートライン形成領域における2列の第2のパターン(上部電極)同士の間隔を示している。

10

【0085】

$$W_{TE-1st} > 2 \times (W_{TE-FINAL} + W_{ALIGN}) + W_{TE-GAP} \quad (1) \quad (\text{第2の実施の形態})$$

本実施形態では、キャパシタ製造工程においてプレートラインのコンタクト領域の露出面積を狭くする方法について説明する。

【0086】

図16～図19は、本発明の第2実施形態に係る半導体装置のメモリセルのキャパシタ形成工程を示す断面図である。図20～図23は、本発明の第2実施形態に係る半導体装置のメモリセルのキャパシタ形成工程を示す断面図である。なお、図20～図23は、図16のIV-IV線から見た断面図である。

20

【0087】

まず、第1実施形態に係る図4(a)、図9(a)、図12(a)に示したように、シリコン基板1に素子分離絶縁膜2、MOSトランジスタ T_1 、 T_2 、カバー膜10、第1層間絶縁膜11などを形成する。

【0088】

次に、図16(a)、図20(a)に示すように、第1層間絶縁膜11上に、第1の導電膜12、強誘電体膜13、第2の導電膜14を順に形成する。第1の導電膜12、強誘電体膜13、第2の導電膜14は、それぞれ第1実施形態に示した材料により構成される。なお、強誘電体膜13は、成膜後に結晶化のためのアニールがなされる。

30

【0089】

その後、第2の導電膜14の上にレジストを塗布し、これを露光、現像することにより、プレートライン(下部電極)形状の第1のレジストパターン21を形成する。第1のレジストパターン21は、プレートラインコンタクト部分に開口21aを有している。

【0090】

なお、図20～図23は、プレートラインのコンタクト領域及びその周辺を示している。

【0091】

次に、図16(b)、図20(b)に示すように、第1のレジストパターン21をマスクに使用して第2の導電膜14及び強誘電体膜13をエッチングする。これにより、第2の導電膜14と強誘電体膜13は、プレートラインとほぼ同じ平面形状になり、プレートラインコンタクト領域から第1の導電膜12を露出する開口13aを有することになる。プレートラインの幅は例えば $2.9\mu\text{m}$ 程度である。なお、第2の導電膜14と強誘電体膜13は、MOSトランジスタ T_1 、 T_2 の上から除去される。

40

【0092】

この場合のエッチング条件は、例えば、誘導結合型プラズマエッチング装置を用い、塩素(Cl_2)ガスを 20ml/min. 、アルゴン(Ar)ガスを 30ml/min. でエッチング雰囲気中に導入するとともに、エッチング雰囲気中の真空度を 0.7Pa とする。さらに、シリコン基板1が載置されるウェハステージ温度を 25°C 、ソースパワーを 1400W 、バイアスパワーを 800W に設定する。

50

【0093】

そのエッチングの際に、第1のレジストパターン21及びエッチングされた第2の導電膜14及び強誘電体膜13の側面に導電性物質が付着すると、この後に第1及び第2の導電膜12、14のパターニングにより形成されるキャパシタ上部電極とキャパシタ下部電極の間にリーク電流が流れ易くなる。このために、第2のレジストパターンを横方向に後退させるようなエッチング条件に設定することにより、それらの側面に付着する導電材を削りながら第2の導電膜14及び強誘電体膜13をエッチングすることが好ましい。この場合、第2のレジストパターン16a、16bの側面の後退を促進する必要があり、その後退の調整として例えば塩素のガス比を高く、アルゴンのガス比を低くする。

【0094】

続いて、図17(a)、図21(a)に示すように、第1のレジストパターン21を除去する。

【0095】

次に、第1及び第2の導電膜12、14と強誘電体膜13の上にレジストを塗布する。続いて、図17(b)、図21(b)に示すように、レジストを露光、現像することにより、プレートライン形成領域内の第2の導電膜14の上に幅1.0 μm で長さ1.7 μm のキャパシタ上部電極形状の第2のレジストパターン22aを形成するとともに、プレートラインコンタクト領域及びその周辺に第3のレジストパターン22bを形成する。第2のレジストパターン22aは、プレートライン形成領域の長さ方向に沿って2列で複数個形成され、また、第2のレジストパターン16a同士の間隔を約0.3 μm とする。

【0096】

この後に、図18(a)、図22(a)に示すように、第2のレジストパターン22aに覆われない領域の第2の導電膜14をエッチングすると同時に、第3のレジストパターン22bと強誘電体膜13に覆われない領域の第1の導電膜12をエッチングする。その後に、図18(b)、図22(b)に示すように、第2、第3のレジストパターン22a、22bを除去する。

【0097】

これにより、第1の導電膜12はパターニングされてキャパシタ下部電極であるプレートライン12bとなる。また、第2の導電膜14はパターニングされてプレートライン12bの上方において2列で平行に並ぶ複数の上部電極14aとなるとともに、プレートラインコンタクト領域の周辺を囲む枠状の孤立導電パターン14cとして残される。なお、第1実施形態と同様に、第1の導電膜12はMOSトランジスタ T_1 、 T_2 の上方から除去される。

【0098】

このエッチングで、第1の導電膜12と第2の導電膜14の一部を同時にエッチングすることにより、最終的なキャパシタQの上部電極14aと下部電極（プレートライン）b同時に形成される。

【0099】

この場合、第1及び第2の導電膜12、14のエッチング条件は、プレートライン12bで強誘電体膜13が上部電極14a相互間領域とプレートラインコンタクト領域の周辺に残されるエッチング条件とする。また、上部電極14aと下部電極12bが同時に形成されるように、第1の導電膜12と第2の導電膜14のそれぞれの膜厚に応じたエッチング条件が設定されなければならない。さらに、上部電極14aと強誘電体膜13と下部電極b側壁に導電性物質を付着させないようにエッチング条件にして、上部電極14aと下部電極12bの間にリーク電流が流れないようにする必要がある。

【0100】

そのようなエッチング条件として、例えば、誘導結合型プラズマエッチング装置を用い、塩素(Cl_2)ガスを20ml/min.、アルゴン(Ar)ガスを30ml/min.でエッチング雰囲気中に導入するとともに、エッチング雰囲気中の真空度を0.7 Paとする。さらに、シリコン基板1が載置されるウェハステージ温度を25℃、ソースパワーを1400W、バイア

10

20

30

40

50

スパワーを800Wに設定する。

【0101】

以上により、メモリセル領域では、下部電極12b、誘電体膜13及び上部電極14aからなるキャパシタQが形成される。即ち、プレートライン形成領域では、上部電極14aの数だけキャパシタQが形成されることになる。

【0102】

なお、プレートラインコンタクト領域の周囲に存在する孤立導電パターン14cの下にも強誘電体膜13と下部電極12bが存在するが、孤立導電パターン14cは、電氣的に孤立された状態に置かれるので、キャパシタの上部電極として機能しない。

【0103】

この後に、第1実施形態に係る図7(b)、図10(b)に示したと同様に、キャパシタQと第1の層間絶縁膜11の上にキャパシタ保護絶縁膜17を200nm程度の厚さに形成する。さらに、キャパシタ保護絶縁膜17の上に第2の層間絶縁膜18を約1μmの厚さに形成する。続いて、第2の層間層間絶縁膜18の上面をCMP法により平坦化する。

【0104】

次に、図19、図23に示す構造を形成するまでの工程を説明する。

【0105】

まず、第2の層間絶縁膜18、キャパシタ保護絶縁膜17、第1層間絶縁膜11及びカバー膜10をフォトリソグラフィ法によりパターンニングすることにより、第1、第3のn型不純物拡散領域7a、7cの上にそれぞれキャパシタコンタクトホール18aを形成すると同時に、第2のn型不純物拡散領域7bの上にビット線コンタクトホール18bを形成する。

【0106】

その後、第1実施形態と同様な工程により、第2の層間絶縁膜18上とキャパシタコンタクトホール18a内とビット線コンタクトホール18b内に、それぞれTi膜とTiN膜とW膜から構成される第1の導電性プラグ19aと第2の導電性プラグ19bを形成する。

【0107】

続いて、第1実施形態と同様な工程により、第2層間絶縁膜18及びキャパシタ保護絶縁膜17をパターンニングすることにより、上部電極16aの上にキャパシタコンタクト用のホール18cを形成するとともに、プレートライン12b上の強誘電体膜13の開口部13a上にプレートラインコンタクト用のホール18dを形成する。

【0108】

その後に、第2の層間絶縁膜18上と第1、第2の導電性プラグ19a、19b上とホール18c、18d内に、配線用金属膜を形成した後に、配線用金属膜をフォトリソグラフィ法によりパターンニングする。

【0109】

この配線用金属膜のパターンニングにより、キャパシタコンタクト用のホール18c内とその側方の第1の導電性プラグ19aを電氣的に接続する第1の配線20aを形成する。これと同時に、第2の導電性プラグ19bの上に導電性パッド20bを形成するとともに、プレートラインコンタクト用のホール18d内から引出される第2の配線20cを形成する。

【0110】

これにより、プレートライン12b上で2列に形成された複数のキャパシタQの上部電極14aは、第1の配線20aを介して第1又は第3のn型不純物拡散領域7a、7cに電氣的に接続される。

【0111】

また、第2の配線20cは、プレートライン12bに接続されて周辺回路領域（不図示）のプレートライン制御回路に接続される。

【0112】

なお、第2のn型不純物拡散領域7bは、その上方に形成されるビット線（不図示）に導

10

20

30

40

50

電性パッド20b及び第2の導電性プラグ19bを介して電氣的に接続される。

【0113】

配線20a、20dと導電性パッド20bを形成した後に、その上に第3の層間絶縁膜を形成し、導電性プラグを形成し、さらに第3の層間絶縁膜の上にビット線などを形成するが、その詳細は省略する。

【0114】

以上の実施形態においては、キャパシタQの下部電極であるプレートライン12bを覆う強誘電体膜13の上に複数の上部電極14aをプレートライン12bの延在方向に二列に複数個形成しているため、第1実施形態と同様に、メモリセル領域を従来よりもさらに高集積化することが可能になる。

10

【0115】

また、第1の導電膜12、強誘電体膜13、第2の導電膜14をパターニングしてキャパシタQを形成する工程は、第1の導電膜12と強誘電体膜13をプレートラインとほぼ同じ平面形状に同時にパターニングした後に、第2の導電膜14と第1の導電膜12を同時にパターニングして下部電極12bとその上の2列の上部電極14aを同時に形成している。従って、2回のパターニングによってキャパシタQを形成でき、キャパシタ形成工程を短くできる。しかも、下部電極12bを構成するプラチナが上部電極14a相互間領域に露出することはなく、プラチナの触媒作用による還元をキャパシタQに及ぼすことが抑制される。

【0116】

20

さらに、プレートライン12bのプレートラインコンタクト部の周辺も強誘電体膜13に覆われた状態となるので、第1実施形態に比べてさらにプレートライン12bによる触媒作用を抑制することができる。

（第3の実施の形態）

本実施形態では、半導体装置におけるキャパシタの上部電極をさらに高精度に形成するキャパシタの製造工程について説明する。

【0117】

図24～図26は、本発明の第3実施形態に係る半導体装置のメモリセルのキャパシタ形成工程を示す断面図である。図27～図29は、本発明の第2実施形態に係る半導体装置のメモリセルのキャパシタ形成工程を示す断面図である。なお、図24～図26は、図27のV-V線から見た断面図である。

30

【0118】

まず、第1実施形態に係る図4(a)、図9(a)、図12(a)に示したように、シリコン基板1に素子分離絶縁膜2、MOSトランジスタ T_1 、 T_2 、カバー膜10、第1層間絶縁膜11などを形成する。さらに、図4(b)、図12(b)に示したように、第1層間絶縁膜11上に、第1の導電膜12、強誘電体膜13、第2の導電膜14を順に形成し、その後第1のレジストパターン15を用いて第2の導電膜14及び強誘電体膜13をエッチングする。これにより、図5(b)、図13(b)に示したように、プレートライン形成領域のうちプレートラインコンタクト領域を除いた形状に強誘電体膜13、第2の導電膜14をパターニングする。そのエッチングは、第1実施形態に示した条件に従う。

40

【0119】

その後、図24(a)、図27(a)に示すように、パターニングされた第2の導電膜14、強誘電体膜13及び第1の導電膜12の上に第1のキャパシタ保護絶縁膜25として厚さ50nmのアルミナ膜をスパッタにより形成する。第1のキャパシタ保護絶縁膜25として、エッチング選択性とキャパシタ保護性を兼ね備えた材料からなる膜が好ましく、アルミナ膜の他に酸化チタン膜などを形成してもよい。

【0120】

次に、第1のキャパシタ保護絶縁膜25の上にレジストを塗布する。続いて、図24(b)、図27(b)に示すように、レジストを露光、現像することにより、プレートライン形成領域内に存在する第2の導電膜14の上方に幅1.0μmで長さ1.7μmのキャパシタ

50

上部電極形状の第2のレジストパターン16aを形成するとともに、プレートラインコンタクト領域から第2の導電膜14端部に僅かにオーバーラップする大きさの第3のレジストパターン16bを第1のキャパシタ保護絶縁膜25上に形成する。このオーバーラップは、プレートラインコンタクト領域での位置合わせ時のズレ量を考慮した量とする。

【0121】

複数の第2のレジストパターン16aは、プレートライン形成領域の長さ方向に沿って2列で複数個形成され、第2のレジストパターン16a同士の間隔を0.3μmとする。

【0122】

次に、図25(a)、図28(a)に示すように、第2及び第3のレジストパターン16a、16bをマスクに使用して第1のキャパシタ保護絶縁膜25をエッチングする。この場合に、第1のキャパシタ保護絶縁膜25のエッチングは、第2及び第3のレジストパターン16a、16bの側面の後退の少ない条件で行われる。

10

【0123】

例えば、誘導結合型プラズマエッチング装置を用い、塩素(Cl₂)ガスを5ml/min.、アルゴン(Ar)ガスを45ml/min.でエッチング雰囲気中に導入するとともに、エッチング雰囲気中の真空度を0.7Paとする。さらに、シリコン基板1が載置されるウェハステージ温度を25℃、ソースパワーを1400W、バイアスパワーを800Wに設定する。レジストパターン16a、16bの後退速度は塩素ガス比を変えることで調整することができる。

【0124】

20

レジストは、塩素との反応により揮発するため、この条件のように塩素ガス比が少なくアルゴンガス比が高い条件を用いることによりレジストパターン16a、16bの後退を抑制できる。これにより、第1のキャパシタ保護絶縁膜25は、初期の第2、第3のレジストパターン16a、16bにほぼ近い平面形状にパターニングされる。

【0125】

そのようなエッチング条件によれば、第1及び第2の導電膜12、14のエッチングも可能である。しかし、エッチングにより生じる導電性の生成物がレジストパターン16a、16bの側面と第1及び第2の導電膜12、14のエッチング側面、及び強誘電体膜13の側面に付着して、キャパシタのリーク電流を増大させる原因になる。

【0126】

30

そこで、第1のキャパシタ保護絶縁膜25のエッチングを終えた後に、第2及び第3のレジストパターン16a、16bの側面が後退するようなエッチング条件に変える。

【0127】

そのエッチング条件として、例えば、誘導結合型プラズマエッチング装置を用い、塩素(Cl₂)ガスを15ml/min.、アルゴン(Ar)ガスを35ml/min.でエッチング雰囲気中に導入するとともに、エッチング雰囲気中の真空度を0.7Paとする。さらに、シリコン基板1が載置されるウェハステージ温度を25℃、ソースパワーを1400W、バイアスパワーを800Wに設定する。

【0128】

このように塩素ガス比を上げることにより、レジストパターン16a、16bを適度に後退させ、第1及び第2の導電膜12、14のエッチングにより生じる反応生成物を側壁に付着することが防止される。

40

【0129】

なお、第1及び第2の導電膜12、14をエッチングする際に、第2及び第3のレジストパターン16a、16bだけでなく第1のキャパシタ保護絶縁膜25がマスクとなる。

【0130】

このエッチングにより、図25(b)、図28(b)に示すように、第2、第3のレジストパターン16a、16bが初期状態よりも縮小されるとともに、第1の導電膜12と第2の導電膜14の一部が同時にエッチングされて、最終的なキャパシタQの上部電極14aと下部電極12aが同時に形成される。

50

【0131】

この後に、第2、第3のレジストパターン16a、16bを除去する。

【0132】

これにより、第1の導電膜12はパターニングされてキャパシタ下部電極12aであるプレートラインとなる。また、第2の導電膜14はパターニングされて2列で平行に並ぶ複数の上部電極14aとなるとともに、プレートラインコンタクト領域と強誘電体膜13との境界部分に孤立導電パターン14bとして残される。

【0133】

これにより、メモリセル領域では、下部電極12a、誘電体膜13及び上部電極14aを有するキャパシタQが形成される。即ち、プレートライン形成領域では、上部電極14aの数だけキャパシタQが形成されることになる。

10

【0134】

なお、孤立導電パターン14bの下にも、強誘電体膜13と下部電極12aが存在するが、孤立導電パターン14bは、電氣的に孤立された状態に置かれるので、キャパシタの上部電極として動作することはない。

【0135】

次に、図26(a)に示すように、キャパシタQ、第1の保護膜25及び第1の層間絶縁膜11の上に第2のキャパシタ保護絶縁膜17として例えばアルミナを200nm程度の厚さに形成する。なお、キャパシタ保護絶縁膜17としては、アルミナの他、PZT、窒化シリコン膜、又は窒化酸化シリコン膜などを適用してもよい。

20

【0136】

さらに、キャパシタ保護絶縁膜17の上に第2の層間絶縁膜18として酸化シリコン膜を約1μmの厚さに形成する。続いて、第2の層間層間絶縁膜18の上面をCMP法により平坦化する。

【0137】

次に、図26(b)、図29に示す構造を形成するまでの工程を説明する。

【0138】

まず、第2の層間絶縁膜18、第2のキャパシタ保護絶縁膜17、第1層間絶縁膜11及びカバー膜10をフォトリソグラフィ法によりパターニングすることにより、第1、第3のn型不純物拡散領域7a、7cの上にそれぞれキャパシタコンタクトホール18aを形成すると同時に、第2のn型不純物拡散領域7bの上にビット線コンタクトホール18bを形成する。

30

【0139】

その後、第1実施形態と同じ工程によって、キャパシタコンタクトホール18a内にキャパシタコンタクト用の第1の導電性プラグ19aを形成し、ビット線コンタクトホール18b内にビット線コンタクト用の第2の導電性プラグ19bを形成する。

【0140】

次に、第2層間絶縁膜18及び第1及び第2のキャパシタ保護絶縁膜17、25をパターニングすることにより、上部電極16aの上にキャパシタコンタクト用のホール18cを形成する。同時に、第2層間絶縁膜18及び第2のキャパシタ保護絶縁膜17をパターニングすることにより、プレートライン12aのプレートラインコンタクト領域の上にプレートラインコンタクト用のホール18dを形成する。

40

【0141】

その後に、第2の層間絶縁膜18上と第1、第2の導電性プラグ19a、19b上とホール18c、18d内に、配線用金属膜を形成した後に、配線用金属膜をフォトリソグラフィ法によりパターニングする。

【0142】

この配線用金属膜のパターニングにより、ホール18c内とその側方の第1の導電性プラグ19aを電氣的に接続する第1の配線20aを形成する。これと同時に、第2の導電性プラグ19bの上に導電性パッド20bを形成する。さらに、プレートラインコンタクト

50

領域のホール 18 d 内と第 2 の層間絶縁膜 18 上に第 2 の配線 20 d を形成する。

【0143】

これにより、プレートライン 12 a 上で 2 列に形成された上部電極 14 a と第 1 又は第 3 の n 型不純物拡散領域 7 a が、配線 20 a と第 1 の導電性プラグ 19 a を介して電氣的に接続される。

【0144】

なお、第 2 の n 型不純物拡散領域 7 b は、上方に形成されるビット線（不図示）に導電性パッド 20 b 及び第 2 の導電性プラグ 19 b を介して電氣的に接続される。

【0145】

配線 20 a、20 d と導電性パッド 20 b を形成した後に、その上に第 3 の層間絶縁膜を形成し、導電性プラグを形成し、さらに第 3 の層間絶縁膜の上にビット線などを形成するが、その詳細は省略する。

10

【0146】

以上の実施形態においては、キャパシタ下部電極であるプレートライン 12 b を覆う強誘電体膜 13 の上に複数の上部電極 14 a をプレートライン 12 a の延在方向に 2 列に複数個形成しているので、第 1 実施形態と同様に、メモリセル領域を従来よりもさらに高集積化することが可能になる。

【0147】

また、第 1 の導電膜 12、強誘電体膜 13、第 2 の導電膜 14 をパターニングしてキャパシタ Q を形成する工程は、第 1 の導電膜 12 と強誘電体膜 13 をプレートラインに沿った平面形状に同時にパターニングした後に、第 2 の導電膜 14 と第 1 の導電膜 12 を同時にパターニングして下部電極 12 a とその上の 2 列の上部電極 14 a とを同時に形成している。

20

【0148】

従って、キャパシタ形成工程が 2 枚のレジストマスクで形成することができ、スループットが向上するだけでなく、下部電極 12 b を構成するプラチナが上部電極 14 a 相互間領域で露出することはなく、プラチナの触媒による還元作用をキャパシタ Q に及ぼすことが抑制される。

【0149】

さらに、キャパシタ上部電極形状にパターニングされた第 1 のキャパシタ保護絶縁膜 25 によって第 2 の導電膜 14 を覆った状態で、レジストパターン 16 a を後退する条件で第 2 の導電膜 14 をエッチングしている。これにより、レジストパターン 16 a の側面が後退することにより、上部電極 14 a、強誘電体膜 13 及び下部電極 12 a の側面には付着する反応生成物はエッチングによって除去され、しかも、第 1 のキャパシタ保護絶縁膜 25 をマスクとして機能させることによって上部電極 14 a のパターン精度を高めることができる。

30

【0150】

また、プレートライン 12 b の上面が、プレートラインコンタクト部の周辺でも第 1 のキャパシタ保護絶縁膜 25 に覆われた状態となるので、第 1 実施形態に比べてさらにプラチナの触媒作用を抑制することができる。

40

（比較例）

ところで、1 つのプレートラインの上に複数のキャパシタ上部電極を 2 列に形成する工程としては以下の 3 つの例が考えられるが、上記した第 1 ～第 3 実施形態に比べてパターニング工程が増えたり、又はプレートラインの触媒作用を防止することが難しい。

【0151】

比較例 1

図 30 は、比較例 1 に係るキャパシタの形成工程を示す平面図である。図 31 は、比較例 1 に係るキャパシタの形成工程を示す断面図であって、図 30 (a) に示す VI-VI 線から見た断面図である。

【0152】

50

まず、図30(a)、図31(a)に示すように、層間絶縁膜51の上に第1の導電膜52、強誘電体膜53、第2の導電膜54を順に形成した後に、第1のレジストパターン（不図示）を用いて第2の導電膜54をパターンニングして複数の上部電極54aをプレートライン形成領域に沿って2列に形成する。その後に、上部電極54a及び強誘電体膜53の上にレジストを塗布し、これを露光、現像してセルフプレートライン形成領域のうちセルフプレートコンタクト領域を除く部分に第2のレジストパターン55を形成する。この場合、プレートライン形成領域の両側に位置する上部電極54aの側面と第2のレジストパターン55の両側面とをほぼ一致させる。

【0153】

次に、図30(b)、図31(b)に示すように、第2のレジストパターン55をマスクに使用して強誘電体膜53をエッチングした後に、第2のレジストパターン55を除去する。

10

【0154】

さらに、図30(c)、図31(c)に示すように、上部電極54a、強誘電体膜53及び第1の導電膜52の上にレジストを塗布し、これを露光、現像してセルフプレートライン形成領域を覆う第3のレジストパターン56を形成する。

【0155】

続いて、図30(d)、図31(d)に示すように、第3のレジストパターン56をマスクに使用して第1の導電膜52をエッチングすることにより、下部電極56aを形成する。その後に、第3のレジストパターン56を除去する。

20

【0156】

以上のようなキャパシタの形成工程によれば、第1の導電膜52、強誘電体膜53、第2の導電膜54をそれぞれ別々にパターンニングするためのレジストパターンを3回形成する必要がある。

【0157】

これに対して、上記した実施形態では、強誘電体膜13と第2の導電膜14を同時にパターンニングし、さらに第2の導電膜14と第1の導電膜12を同時にパターンニングしているので、レジストパターンの形成は2回と少なくなる。

【0158】

また、比較例1では、強誘電体膜53のパターンニング用の第2のレジストパターン55と、第1の導電膜52のパターンニング用の第3のレジストパターン56のそれぞれの形成位置にずれが生じると、強誘電体膜53のエッチング又は第1の導電膜52のエッチングの際に、左又は右の上部電極52aがエッチングされて左右の上部電極52aの面積にバラツキが生じるおそれがある。上部電極52aのバラツキは、メモリセル領域内の複数のキャパシタの容量が不均一になる原因となる。しかも、上部電極52aを形成した後に、上部電極52aは2回のエッチング雰囲気曝露されるおそれがある。

30

【0159】

上部電極54aの面積のバラツキは、キャパシタ電荷のバラツキの原因となって、デバイス動作マージンに影響を与える。特に、1T1C型FeRAMでは、リファレンスキャパシタとメモリセルのキャパシタとを比較することにより、「1」と「0」の読み出しを行うために、個々のキャパシタ電荷量のバラツキは深刻な問題となる。

40

【0160】

これに対して、上記した実施形態では、上部電極14aの形成は、下部電極12aの形成と同時であり、その後に、キャパシタ形成工程で上部電極14aがエッチングに曝されることはない。しかも、第1実施形態で示した式(1)に従ってマージンを予め確保することにより、複数のキャパシタ上部電極14aの面積はほぼ均一になる。

【0161】

比較例2

図32は、比較例2に係るキャパシタの形成工程を示す平面図である。図331は、比較例2に係るキャパシタの形成工程を示す断面図であって、図32(a)に示すVII-VII線から見た断面図である。

50

【0162】

比較例2は、図32(a)～(d)、図33(a)～(d)に示すように、比較例1とほぼ同じ工程によってプレートライン上に複数のキャパシタを2列で形成する工程を示している。

【0163】

比較例2では、上部電極54aのパターンに対して第2のレジストパターン55や第3のレジストパターン56の位置ズレを予め想定して、その位置ズレ分だけ上部電極54aの幅を縮小させている点で比較例1とは異なっている。

【0164】

これにより、比較例2によれば、第2のレジストパターン55及び第3のレジストパターン56の両側面を上部電極54aの側面よりも外側に位置するように形成できることになり、上部電極54aのパターンは均一に形成できる。

10

【0165】

しかし、上部電極54aの面積が小さくなるのでセル面積効率が悪化するし、3枚のレジストパターンを用いなければならずスループットが低下する。

【0166】

比較例3

図34は、比較例3に係るキャパシタの形成工程を示す平面図である。図35は、比較例3に係るキャパシタの形成工程を示す断面図であって、図34(a)に示すVIII-VIII線から見た断面図である。

【0167】

まず、図34(a)、図35(a)に示すように、層間絶縁膜61の上に第1の導電膜62、強誘電体膜63、第2の導電膜64を順に形成する。

20

【0168】

次に、図34(b)、図35(b)に示すように、キャパシタ形状の第1のレジストパターン65を用いて第2の導電膜64及び強誘電体膜63をパターンニングして複数のキャパシタ上部電極64aとキャパシタ誘電体膜63aをプレートライン形成領域に沿って2列に形成する。続いて、第1のレジストパターン65を除去する。

【0169】

次に、図34(c)、図35(c)に示すように、上部電極64a、強誘電体膜63及び第1の導電膜62の上にレジストを塗布し、これを露光、現像してセルプレートライン形状の第2のレジストパターン66を形成する。この場合、プレートライン形成領域内の左右に存在する上部電極64aの側面と第2のレジストパターン65の両側面とをほぼ一致させるように、第2のレジストパターン66を形成する。

30

【0170】

次に、図34(d)、図35(d)に示すように、第2のレジストパターン66をマスクに使用して第1の導電膜62をエッチングした後に、第2のレジストパターン66を除去する。これにより、第1の導電膜62がパターンニングされて下部電極62aとなる。

【0171】

以上のようなキャパシタの形成工程によれば、第1の導電膜62、強誘電体膜63を1回でパターンニングし、第2の導電膜64を1回でパターンニングするための2回のレジストパターン形成が必要となる。したがって、比較例1、2に比べて工程が短くなる。また、キャパシタ上部電極64aの形成後に1回のエッチングが行われるので、比較例1、2に比べてキャパシタ上部電極64aにバラツキが生じる可能性は低くなる。

40

【0172】

しかし、第2の導電膜64と強誘電体膜63を同時にエッチングしているために、キャパシタ上部電極64aの周囲においてキャパシタ下部電極62aが露出してしまう。

【0173】

キャパシタ下部電極には、触媒効果の高いプラチナなどの白金族金属が用いられるために、キャパシタ形成後の成膜工程やエッチング工程などに用いられるガスによってキャパシタを劣化させるおそれが大きくなる。

50

【0174】

これに対して、上記した本発明の実施形態によれば、強誘電体膜13と第2の導電膜14を同時にパターンニングし、さらに第2の導電膜14と第1の導電膜12を同時にパターンニングしているので、キャパシタ上部電極14aの周囲で強誘電体膜13が残されるので、キャパシタ下部電極12aが強誘電体膜13によって覆われ、白金族金属による触媒作用は大幅に抑制される。

【0175】

なお、1枚のレジストパターンを用いて複数のキャパシタを形成することが特開2001-257320号公報に記載されているが、上部電極の相互間で下部電極が露出することは避けられない。

10

(付記1) 半導体基板の上方に形成された第1絶縁膜と、
前記第1絶縁膜の上に形成され且つコンタクト領域を有するキャパシタ下部電極と、
前記キャパシタ下部電極の上方に間隔をおいて複数形成されたキャパシタ上部電極と、
前記キャパシタ上部電極と前記キャパシタ下部電極の間に形成され且つ前記キャパシタ上部電極の相互間領域の前記キャパシタ下部電極を覆う誘電体膜と、
前記キャパシタ下部電極の前記コンタクト領域の周辺に形成され且つ前記キャパシタ上部電極を構成する導電膜と同じ層構造の孤立導電パターンと
を有することを特徴とする半導体装置。

(付記2) 前記キャパシタ上部電極は、前記キャパシタ下部電極の上方において2列に形成されることを特徴とする付記1に記載の半導体装置。

20

(付記3) 前記誘電体膜は、前記孤立導電パターンの下から複数の前記キャパシタ上部電極の下まで連続して形成されていることを特徴とする付記1又は付記2に記載の半導体装置。

(付記4) 前記孤立導電パターンは、前記キャパシタ下部電極の前記コンタクト領域を囲むような枠形状を有していることを特徴とする付記1乃至付記3のいずれかに記載の半導体装置。

(付記5) 前記キャパシタ上部電極の上面には、前記キャパシタ上部電極とほぼ同じ形状のキャパシタ保護絶縁膜が形成されていることを特徴とする付記1乃至付記4のいずれかに記載の半導体装置。

(付記6) 前記キャパシタ下部電極の前記コンタクト領域の周囲には、前記キャパシタ保護絶縁膜と同じ層構造の保護絶縁膜が形成されていることを特徴とする付記5に記載の半導体装置。

30

(付記7) 前記キャパシタ下部電極の両側方の領域で前記半導体基板の表層に形成された複数の不純物拡散領域と、
前記キャパシタ下部電極、前記キャパシタ上部電極、前記誘電体膜及び前記第1絶縁膜の上に形成された第2絶縁膜と、
前記第2絶縁膜上に形成されて前記キャパシタ上部電極と前記不純物拡散領域を一対一で電氣的に接続する配線と
をさらに有することを特徴とする付記1乃至付記6のいずれかに記載の半導体装置。

(付記8) 前記不純物拡散領域はトランジスタを構成することを特徴とする付記7に記載の半導体装置。

40

(付記9) 半導体基板の上方に第1絶縁膜を形成する工程と、
前記第1絶縁膜の上に第1の導電膜、誘電体膜、第2の導電膜を順に形成する工程と、
第1のマスクを使用して前記第2の導電膜と前記誘電体膜をエッチングして第1パターン形状にする工程と、
前記第1のマスクを除去する工程と、
第2のマスクを使用して前記第1の導電膜と前記第1パターン形状の前記第2の導電膜を同時にエッチングすることにより、前記第2の導電膜からなる複数のキャパシタ上部電極を形成するとともに、前記第1のパターン形状の前記誘電体膜に覆われ且つコンタクト領域を有するキャパシタ下部電極であるプレートラインを前記第1の導電膜から形成する工

50

程と

を有することを特徴とする半導体装置の製造方法。

（付記１０）前記第２のマスクは、前記プレートラインの前記コンタクト領域に重なる第２パターンと、キャパシタ形状の複数の第３パターンを有することを特徴とする付記９に記載の半導体装置の製造方法。

（付記１１）前記第１のマスクは、前記プレートラインの前記コンタクト領域を除いた形状を有することを特徴とする付記９又は付記１０に記載の半導体装置の製造方法。

（付記１２）前記第２のマスクは前記第１パターンを有する前記第２の導電膜の縁部にオーバーラップする大きさを有し、

前記第２のマスクの除去の後には、前記第２の導電膜から構成される孤立導電パターンが前記プレートラインの前記コンタクト領域と前記キャパシタ上部電極との間の領域に形成されることを特徴とする付記１１に記載の半導体装置の製造方法。

（付記１３）前記第１のマスクは、前記プレートラインと略同一の形状を有し且つ前記プレートラインの前記コンタクト領域内に開口を有し、

前記第１パターンの前記第２の導電膜及び前記誘電体膜には、前記コンタクト領域内に前記第１の導電膜を露出させる開口が形成されることを特徴とする付記９又は付記１０に記載の半導体装置の製造方法。

（付記１４）前記第２のマスクを除去した後は、前記プレートラインの前記コンタクト領域の周囲には、前記第２の導電膜からなる枠状の孤立導電パターンが形成されることを特徴とする付記１３に記載の半導体装置の製造方法。

（付記１５）前記孤立導電パターンと前記プレートラインの間には前記誘電体膜が残されることを特徴とする付記１２又は付記１４に記載の半導体装置の製造方法。

（付記１６）前記第２の導電膜及び前記誘電体膜を前記第１パターンに形成した後に、前記第２の導電膜、前記誘電体膜及び前記第１の導電膜の上にキャパシタ保護絶縁膜を形成する工程と、

前記第２のマスクを前記キャパシタ保護絶縁膜の上に形成する工程と、

前記第２のマスクから露出した領域の前記キャパシタ保護絶縁膜をエッチングして前記第２のマスクの下に選択的に残す工程と、

前記第２のマスク及び前記キャパシタ保護膜に覆われない領域の前記第２の導電膜をエッチングして前記キャパシタ上部電極を形成する工程と

を有することを特徴とする付記９乃至付記１５のいずれかに記載の半導体装置の製造方法。

（付記１７）前記キャパシタ保護絶縁膜は、前記プレートラインの前記コンタクト領域及びその周辺にも残されることを特徴とする付記１６に記載の半導体装置の製造方法。

（付記１８）前記キャパシタ保護絶縁膜は、前記第１の導電膜又は前記第２の導電膜に対してエッチング選択性の低い材料から構成されていることを特徴とする付記１７に記載の半導体装置の製造方法。

（付記１９）前記キャパシタ保護絶縁膜は、前記キャパシタ上部電極、前記誘電体膜及び前記キャパシタ下部電極からなるキャパシタを保護する材料から構成されていることを特徴とする付記１７に記載の半導体装置の製造方法。

（付記２０）前記キャパシタ上部電極は、前記プレートラインの上で２列に複数形成されることを特徴とする付記９乃至付記１９のいずれかに記載の半導体装置の製造方法。

【０１７６】

【発明の効果】

以上述べたように本発明によれば、絶縁膜上に第１の導電膜、誘電体膜、第２の導電膜を順に形成し、ついで第１のマスクを使用して第２の導電膜と誘電体膜を第１のパターン形状にパターンニングした後に、第２のマスクを使用して第１の導電膜と第２の導電膜を同時にパターンニングすることにより第２の導電膜から複数のキャパシタ上部電極を形成し、第１の導電膜からプレートライン（下部電極）を形成しているので、２つのマスクを用いてキャパシタを形成することが可能になり、キャパシタ形成工程のスループットを向上する

ことができる。

【0177】

また、第1の導電膜と第2の導電膜を同時にパターニングしているので、エッチング条件を調整することにより誘電体膜を第1のパターンの状態で残すことが可能になり、キャパシタ上部電極の相互間の領域でキャパシタ下部電極を誘電体膜で覆うことが可能になり、キャパシタ下部電極を構成する白金族金属の触媒によるキャパシタの還元を防止することができる。

【0178】

また、キャパシタ上部電極とキャパシタ下部電極を同時にパターニングしているので、キャパシタ上部電極の形成後のキャパシタ形成用のパターニングを無くすことができ、キャパシタ上部電極の再エッチングによる形状の劣化を防止することができる。

10

【図面の簡単な説明】

【図1】図1は、FeRAMの1T1C型メモリセルの回路図である。

【図2】図2は、従来のFeRAMのメモリセルを示す平面図である。

【図3】図3は、従来のFeRAMのメモリセルを示す断面図である。

【図4】図4(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図(その1)である。

【図5】図5(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図(その2)である。

【図6】図6(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図(その3)である。

20

【図7】図7(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図(その4)である。

【図8】図8(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図(その5)である。

【図9】図9(a)～(c)は、本発明の第1実施形態に係る半導体装置のメモリセルのトランジスタ及びその周辺の形成工程を示す断面図(その1)である。

【図10】図10(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのトランジスタ及びその周辺の形成工程を示す断面図(その2)である。

【図11】図11(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのトランジスタ及びその周辺の形成工程を示す断面図(その3)である。

30

【図12】図12(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す平面図(その1)である。

【図13】図13(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す平面図(その2)である。

【図14】図14(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す平面図(その3)である。

【図15】図15(a),(b)は、本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す平面図(その4)である。

【図16】図16(a),(b)は、本発明の第2実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す平面図(その1)である。

40

【図17】図17(a),(b)は、本発明の第2実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す平面図(その2)である。

【図18】図18(a),(b)は、本発明の第2実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す平面図(その3)である。

【図19】図19は、本発明の第2実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す平面図(その4)である。

【図20】図20(a),(b)は、本発明の第2実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図(その1)である。

【図21】図21(a),(b)は、本発明の第2実施形態に係る半導体装置のメモリセルのキ

50

ャパシタの形成工程を示す断面図（その２）である。

【図２２】図２２(a),(b)は、本発明の第２実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図（その３）である。

【図２３】図２３は、本発明の第２実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図（その４）である。

【図２４】図２４(a),(b)は、本発明の第３実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図（その１）である。

【図２５】図２５(a),(b)は、本発明の第３実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図（その２）である。

【図２６】図２６(a),(b)は、本発明の第３実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図（その３）である。

10

【図２７】図２７(a),(b)は、本発明の第３実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図（その４）である。

【図２８】図２８(a),(b)は、本発明の第３実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図（その５）である。

【図２９】図２９は、本発明の第３実施形態に係る半導体装置のメモリセルのキャパシタの形成工程を示す断面図（その６）である。

【図３０】図３０(a)～(d)は、比較例１に係るメモリセルキャパシタの形成工程を示す断面図である。

【図３１】図３１(a)～(d)は、比較例１に係るメモリセルキャパシタの形成工程を示す断面図である。

20

【図３２】図３２(a)～(d)は、比較例２に係るメモリセルキャパシタの形成工程を示す断面図である。

【図３３】図３３(a)～(d)は、比較例２に係るメモリセルキャパシタの形成工程を示す断面図である。

【図３４】図３４(a)～(d)は、比較例３に係るメモリセルキャパシタの形成工程を示す断面図である。

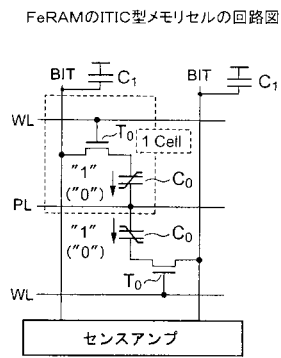
【図３５】図３５(a)～(d)は、比較例３に係るメモリセルキャパシタの形成工程を示す断面図である。

【符号の説明】

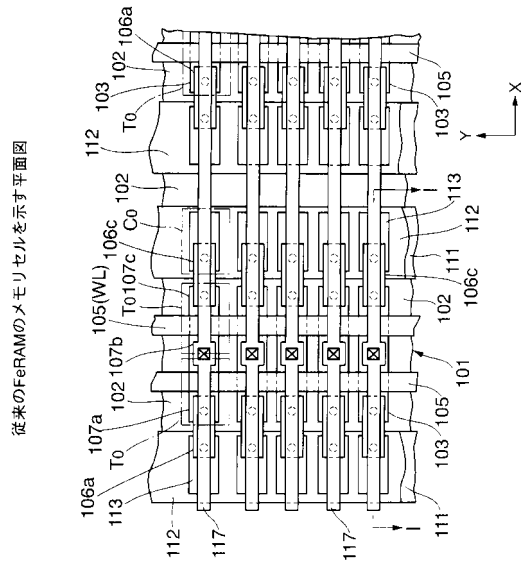
30

１…シリコン基板、２…素子分離絶縁膜、３…活性領域、４…ゲート絶縁膜、５a, ５b…ゲート電極、６…側壁絶縁膜、７a, ７b, ７c…n型不純物拡散領域、１０…カバー膜、１１, １８…層間絶縁膜、１２…第１の導電膜、１２a, １２b…下部電極（プレートライン）、１３…強誘電体膜、１３a…開口部、１４…第２の導電膜、１４a…上部電極、１５, １６a, １６b…レジストパターン、１７…キャパシタ保護絶縁膜、１８a, １８b, １８c, １８d…コンタクトホール、１９a, １９b…導電性プラグ、２０a, ２０c…配線、２０b…導電性パッド、２１, ２２a, ２２b…レジストパターン、２５…キャパシタ保護絶縁膜。

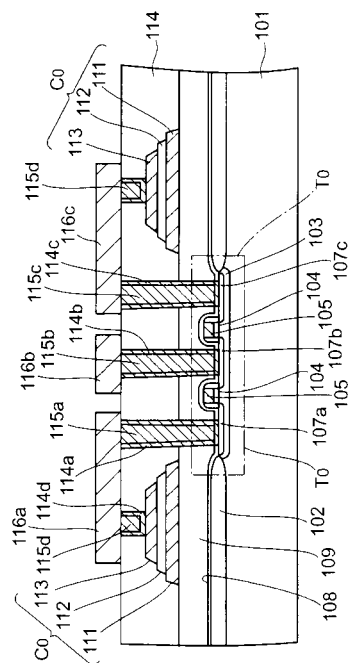
【図 1】



【図 2】



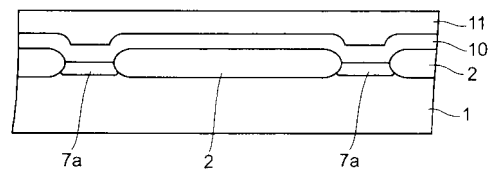
【図 3】



【図 4】

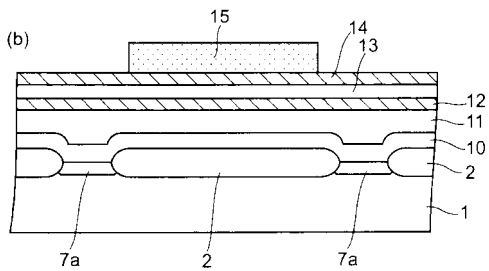
本発明の第1実施形態に係る半導体装置のメモリのキャパシタ形成工程を示す断面図 (その1)

(a)



- 1:シリコン基板
- 2:素子分離絶縁膜
- 7a:不純物拡散領域
- 10:カバー膜
- 11:層間絶縁膜

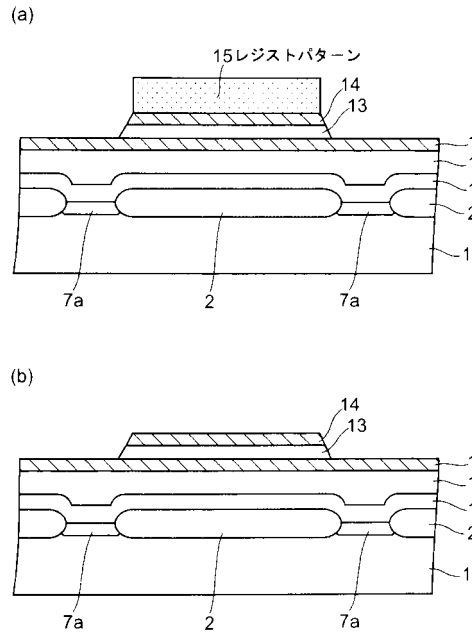
(b)



- 12,14:導電膜
- 13:強誘電体膜

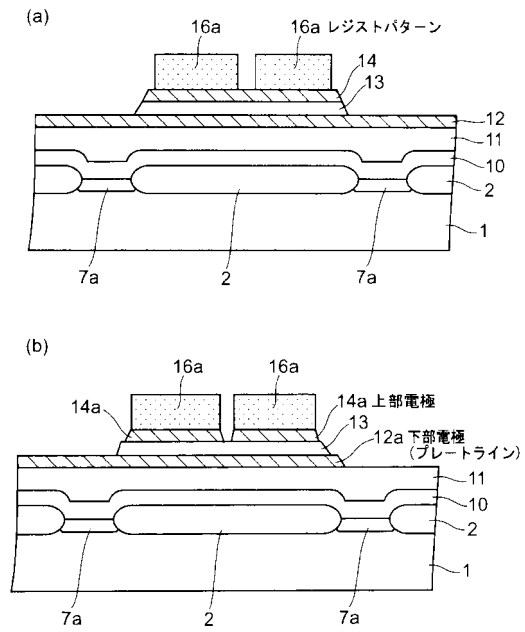
【図 5】

本発明の第1実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その2）



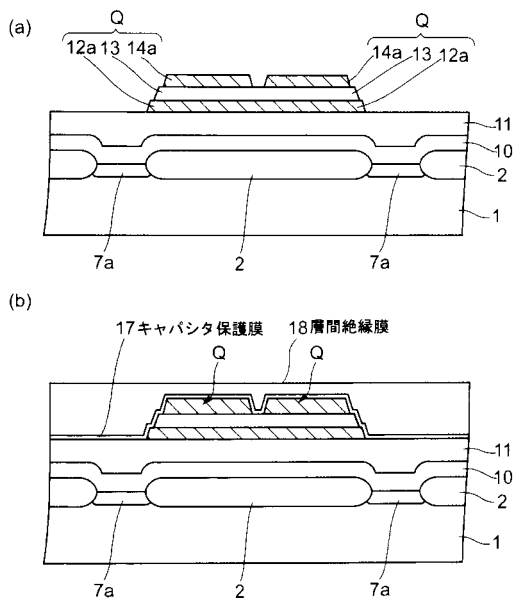
【図 6】

本発明の第1実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その3）



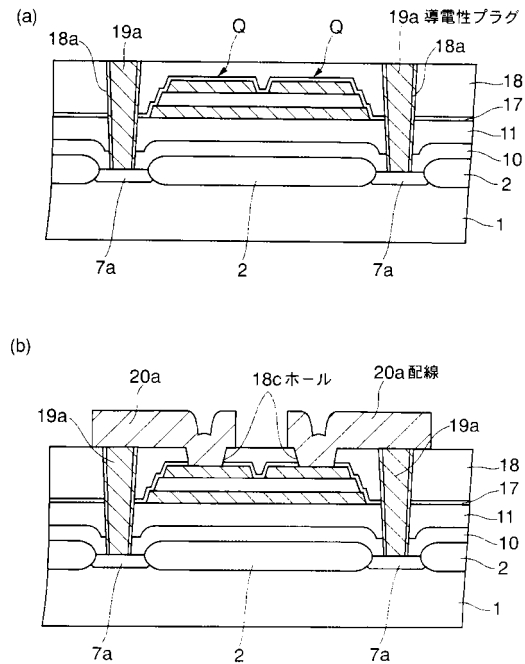
【図 7】

本発明の第3実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その4）



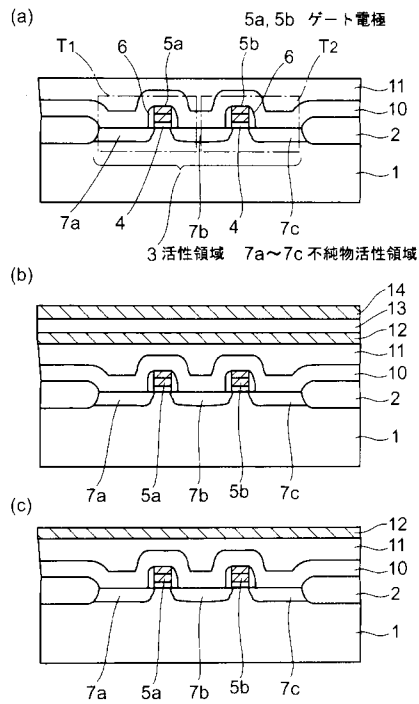
【図 8】

本発明の第3実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その5）



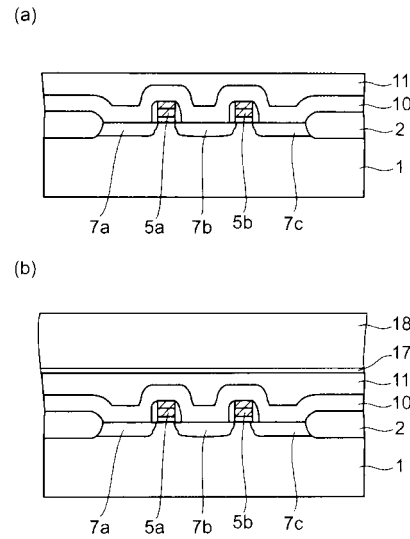
【図 9】

本発明の第1実施形態に係る半導体装置のメモリセルのトランジスタ及びその周辺の形成工程を示す断面図（その1）



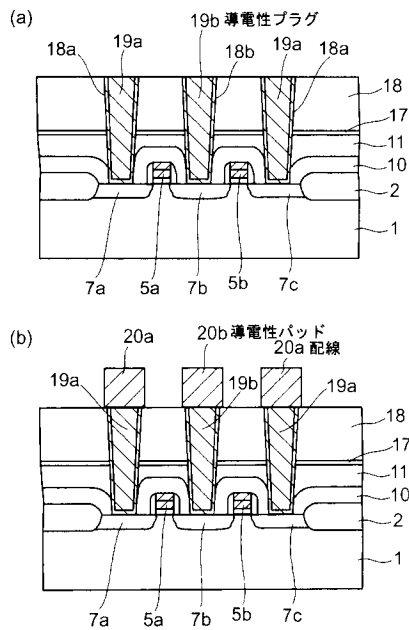
【図 10】

本発明の第1実施形態に係る半導体装置のメモリセルのトランジスタ及びその周辺の形成工程を示す断面図（その2）



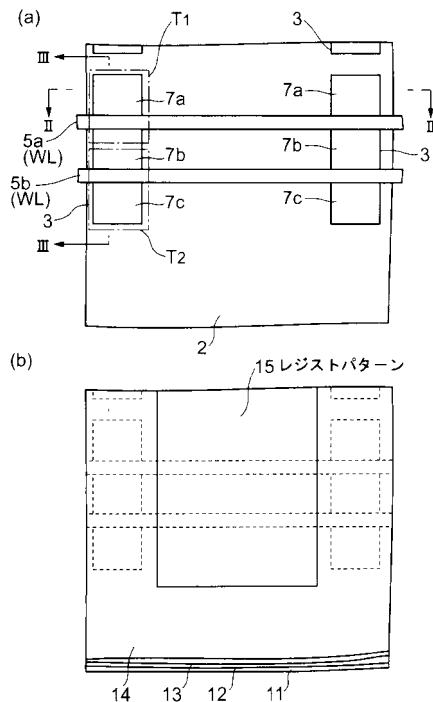
【図 11】

本発明の第1実施形態に係る半導体装置のメモリセルのトランジスタ及びその周辺の形成工程を示す断面図（その3）



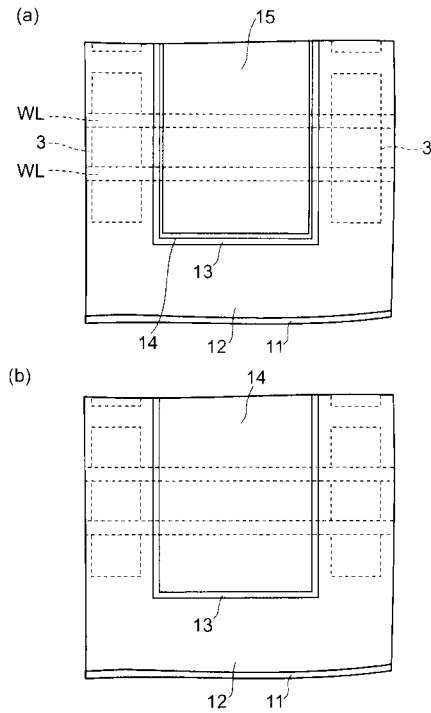
【図 12】

本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタ形成工程を示す平面図（その1）



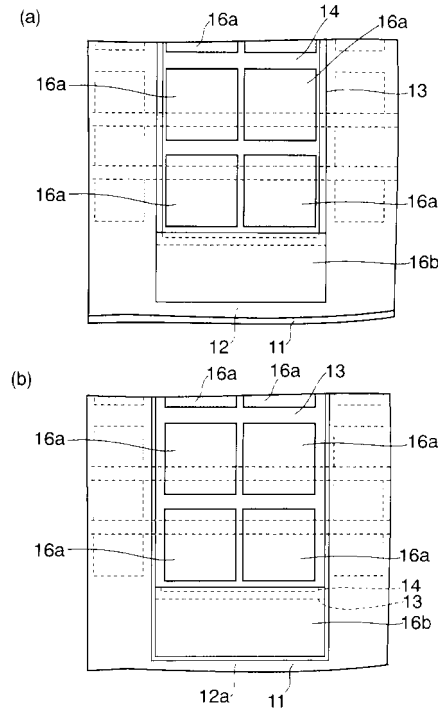
【図 13】

本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタ形成工程を示す平面図（その2）



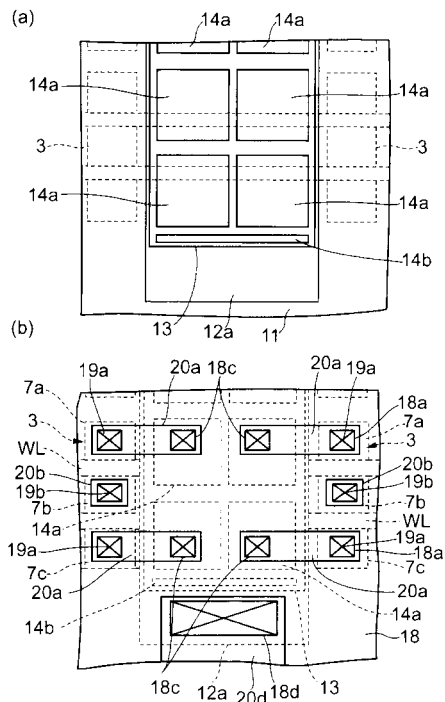
【図 14】

本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタ形成工程を示す平面図（その3）



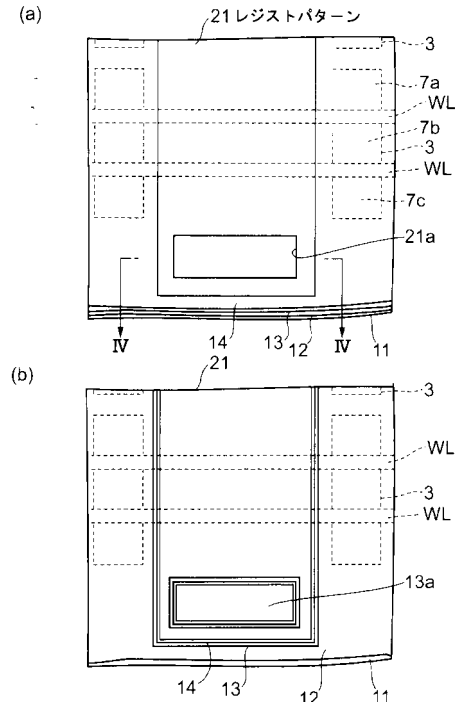
【図 15】

本発明の第1実施形態に係る半導体装置のメモリセルのキャパシタ形成工程を示す平面図（その4）



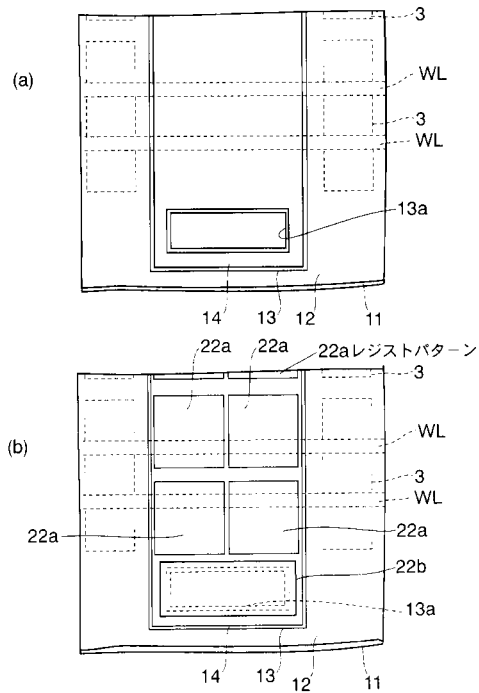
【図 16】

本発明の第2実施形態に係る半導体装置のメモリセルのキャパシタ形成工程を示す平面図（その1）



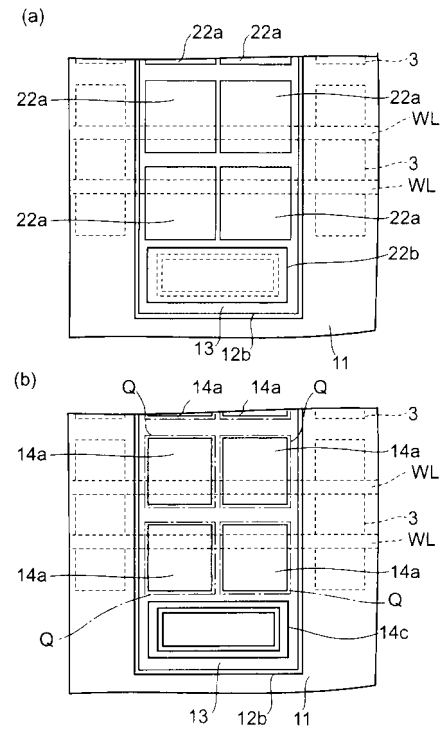
【図 17】

本発明の第2実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す平面図（その2）



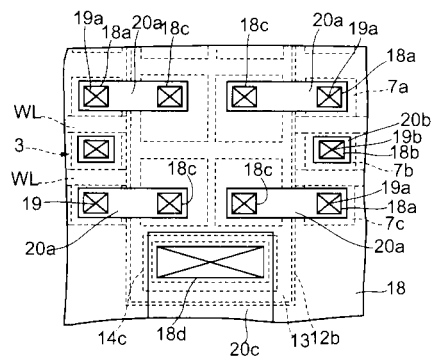
【図 18】

本発明の第2実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す平面図（その3）



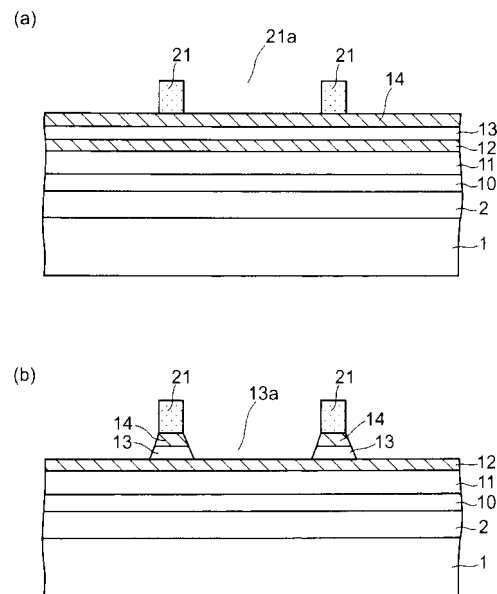
【図 19】

本発明の第3実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す平面図（その4）



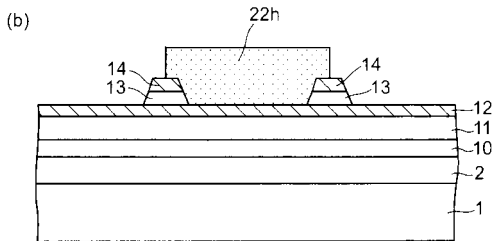
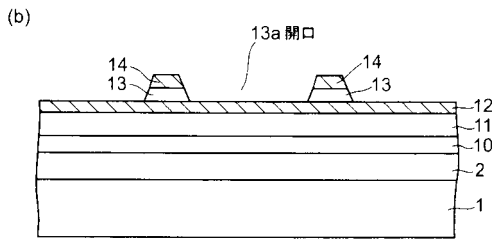
【図 20】

本発明の第2実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その1）



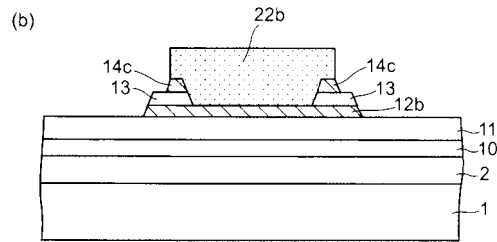
【図 2 1】

本発明の第2実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その2）

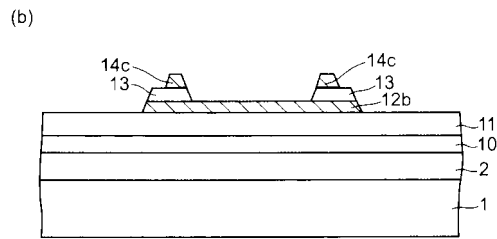


【図 2 2】

本発明の第2実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その3）

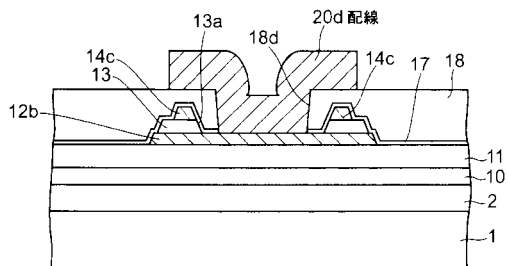


12b : プレートライン
(下部電極)



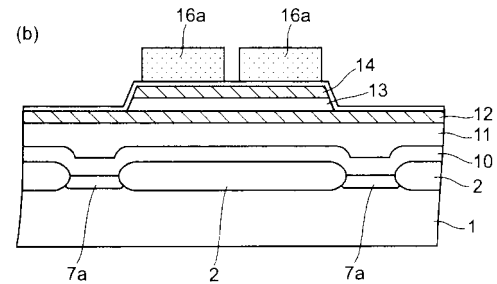
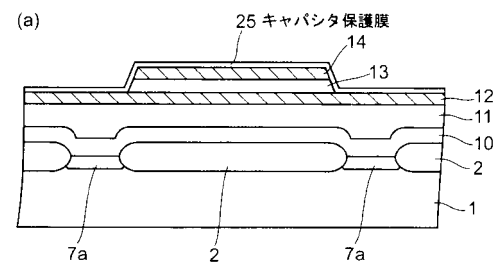
【図 2 3】

本発明の第2実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その4）



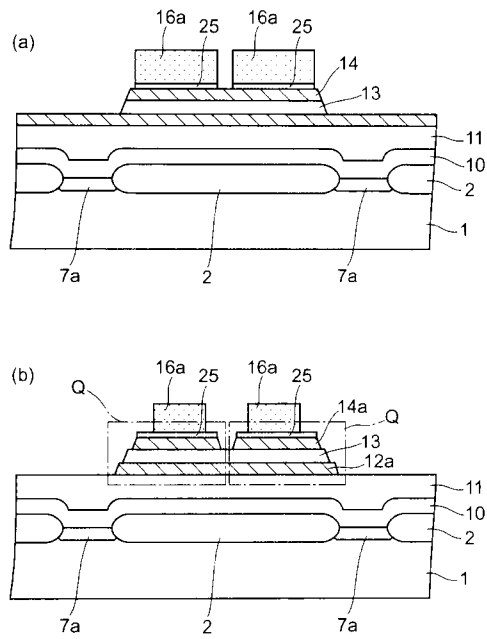
【図 2 4】

本発明の第3実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その1）



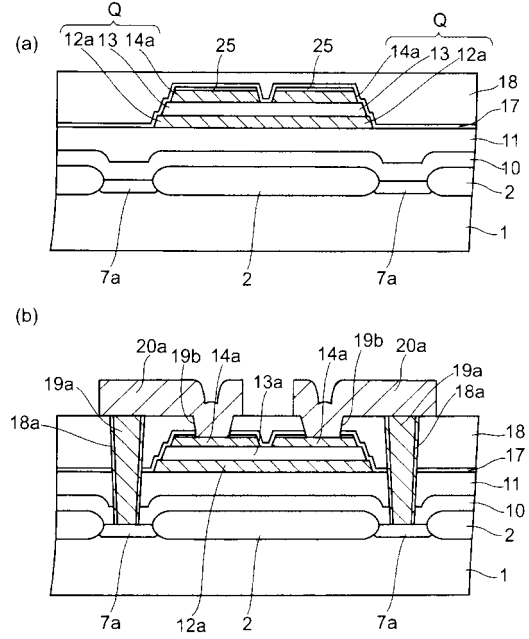
【図 25】

本発明の第3実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その2）



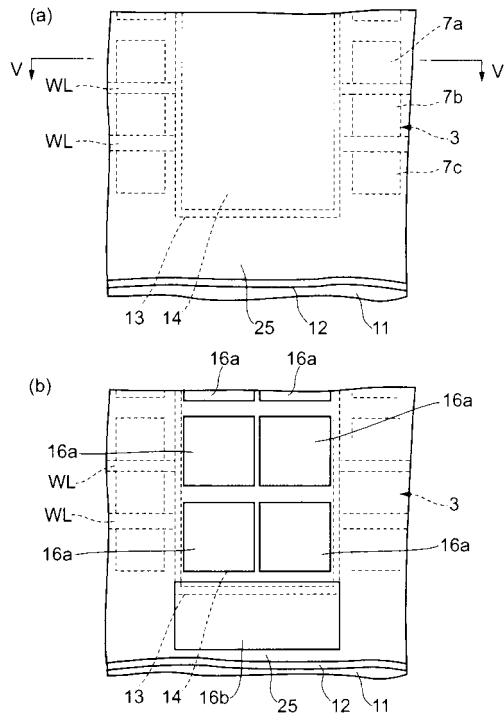
【図 26】

本発明の第3実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す断面図（その3）



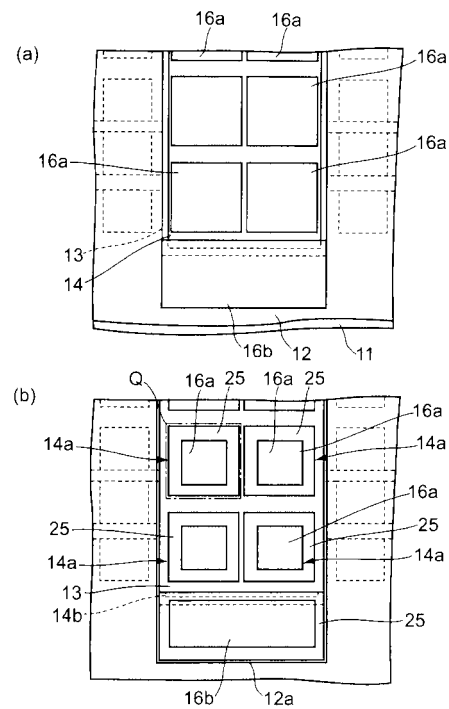
【図 27】

本発明の第3実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す平面図（その1）



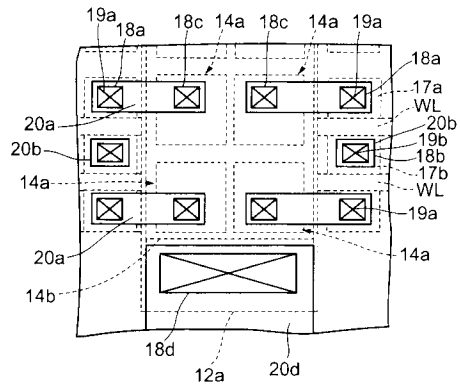
【図 28】

本発明の第3実施形態に係る半導体装置のメモリセルの
キャパシタ形成工程を示す平面図（その2）



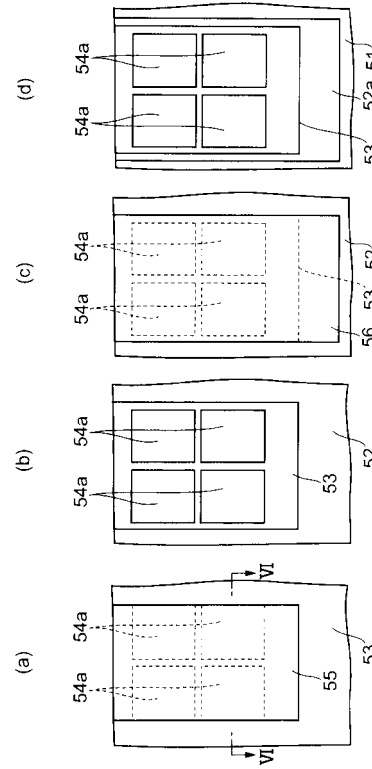
【図 29】

本発明の第3実施形態に係る半導体装置のメモリスルのキャパシタ形成工程を示す平面図（その3）



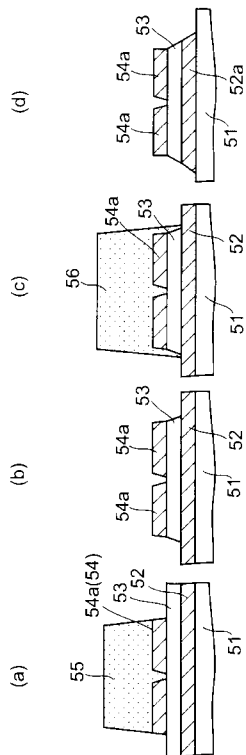
【図 30】

比較例1の平面図



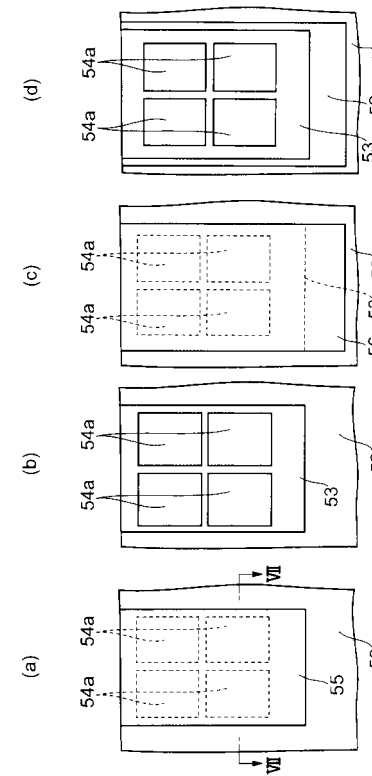
【図 31】

比較例1の断面図



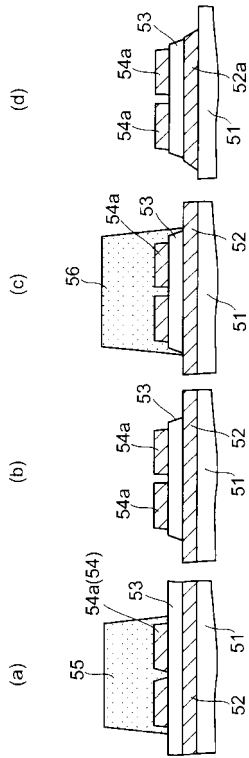
【図 32】

比較例2の平面図



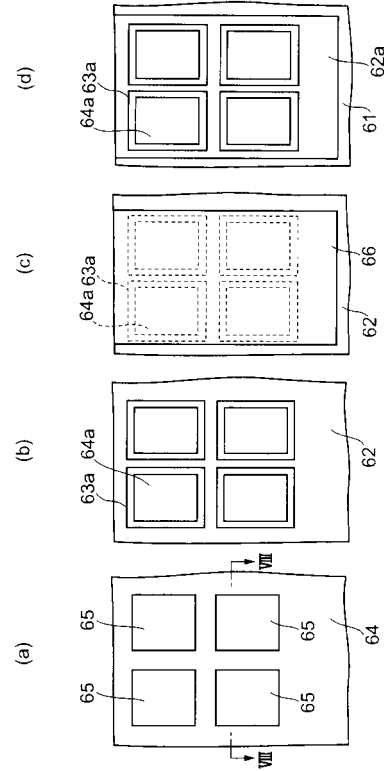
【図 3 3】

比較例2の断面図



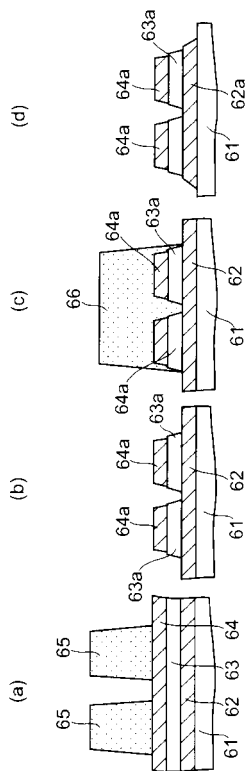
【図 3 4】

比較例3の平面図



【図 3 5】

比較例3の断面図



フロントページの続き

(56)参考文献 特開 2 0 0 1 - 2 5 7 3 2 0 (J P , A)
特開 2 0 0 2 - 0 9 4 0 2 1 (J P , A)

(58)調査した分野(Int.Cl., D B 名)

H01L 21/8242

H01L 21/8246

H01L 27/105

H01L 27/108