



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UTBM

DOMANDA NUMERO	101980900000262
Data Deposito	15/02/1980
Data Pubblicazione	15/08/1981

Priorità	A 1270/79
Nazione Priorità	AT
Data Deposito Priorità	19-FEB-79

Titolo

SISTEMA DI ELABORAZIONE DI DATI

DOCUMENTAZIONE
RILEGATA

ae/4/64175

PHO 79-501

Descrizione dell'invenzione avente per titolo:

" SISTEMA DI ELABORAZIONE DI DATI."

a nome: N.V. PHILIPS 'GLOEILAMPENFABRIEKEN

a: Eindhoven, Paesi Bassi.

di nazionalità Paesi Bassi ed elettivamente domicilia-

ta a Milano, Via Dogana 1, presso il mandatario Uffi-

cio Brevetti Ing. C. Gregorj

Dep. il 15 Febbraio 1980

No. **19965A/80**

RIASSUNTO

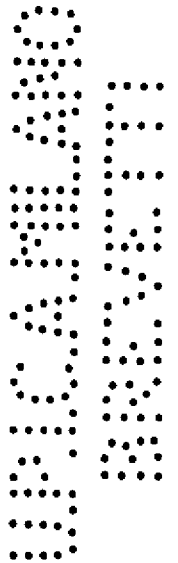
La presente invenzione si riferisce ad un sistema di elaborazione di dati. In un sistema di elaborazione di dati comprendente almeno due microcalcolatori, un microcalcolatore(1) viene utilizzato come unità principale per il controllo dell'altro microcalcolatore o di ognuno degli altri microcalcolatori (2, 3 rispettivamente), utilizzati come microcalcolatori asserviti. Per migliorare l'utilizzazione del sistema, il canale omnibus (4) del microcalcolatore principale, viene utilizzato come canale omnibus comune, mentre ad ogni microcalcolatore asservito risulta associata una memoria temporanea, vale a dire una memoria tampone (5,6,rispettivamente) per la memorizzazione intermedia e la trasmissione dei dati. La memoria tampone può venire collegata, per mezzo di un associato dispositivo di commutazione (7,8,ri-

UFFICIO BREVETTI
Ing. C. GREGORJ

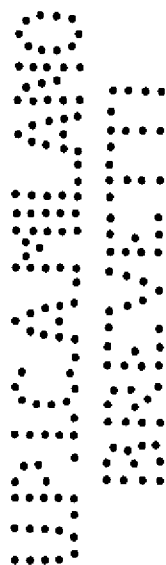
spettivamente) e, in modo alternativo, al canale omnibus(9,10,rispettivamente) dei microcalcolatori asserviti e al canale omnibus comune(4) ,in modo tale da commutare il campo di indirizzo, costituito dalla memoria tampone, nello spazio degli indirizzi nel corrispondente microcalcolatore asservito e nello spazio degli indirizzi del microcalcolatore principale, rispettivamente. Inoltre, ad ogni microcalcolatore asservito risultano associate due interfacce di ingresso/uscita interconnesse fra di loro(11,12 e 13, 14,rispettivamente), le quali vengono utilizzate per la trasmissione dei segnali di stato concernenti il microcalcolatore principale del corrispondente microcalcolatore asservito. Una di queste interfacce risulta collegata al canale omnibus comune mentre l'altra interfaccia è collegata al canale omnibus del corrispondente microcalcolatore asservito. Ogni dispositivo di commutazione viene controllato dalla corrispondente interfaccia di ingresso/uscita, collegata al canale omnibus comune e, di conseguenza viene controllato dal microcalcolatore principale.

DESCRIZIONE DELL'INVENZIONE

La presente invenzione riguarda un sistema di elaborazione di dati, comprendente almeno due calcolatori collegati ad un canale omnibus comune, uno di

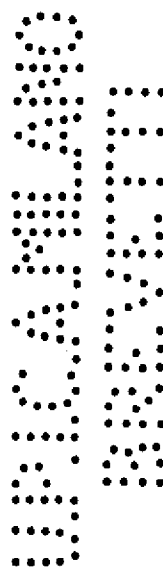


detti calcolatori essendo costituito da un calcolatore principale in grado di controllare almeno un altro calcolatore operante da calcolatore asservito. Una configurazione di questo tipo consente, ai calcolatori individuali, di operare simultaneamente e in modo asincrono l'uno indipendentemente dall'altro, senza che venga richiesta, durante la trasmissione dei dati, una sincronizzazione mutua, tale sincronizzazione mutua essendo richiesta, ad esempio, in un noto sistema di elaborazione di dati, secondo quanto verrà in seguito descritto con maggiori dettagli, includente un canale omnibus comune per una pluralità di microcalcolatori. Conseguentemente, l'utilizzazione di questo sistema può venire migliorata. Inoltre, in un sistema di questo tipo, per ogni microcalcolatore può essere resa disponibile sostanzialmente l'intera totalità del proprio spazio di indirizzo, in contrapposizione ad un altro sistema elaboratore di dati, di tipo noto, secondo quanto verrà in seguito descritto, il quale presenta una memoria comune per una pluralità di microcalcolatori. La disponibilità dell'intero spazio di indirizzo esiste in un classico sistema elaboratore di dati comprendente un canale omnibus comune per una pluralità di microcalcolatori, ma, tuttavia, deve essere rilevato che, in questo ca-



so, vengono richieste interfacce di ingresso/uscita comparativamente complesse fra il canale omnibus comune ed i vari microcalcolatori individuali. Inoltre, la previsione di una configurazione di questo tipo, consente l'ottenimento di una elevata frequenza di trasmissione quando si verificano varie trasmissioni simultanee di dati. Pertanto, questa velocità può essere approssimativamente comparabile con quella di un sistema di elaborazione di dati presentante una memoria comune per una pluralità di microcalcolatori. Pertanto, l'impiego di una configurazione di questo tipo consente la combinazione dei vantaggi ottenibili da un sistema elaboratori di dati includente un canale/^{omnibus}comune per una pluralità di microcalcolatori e di quelli di un sistema dotato di una memoria comune per una pluralità di microcalcolatori. Determinati sistemi di elaborazione di dati appartenenti a questi due tipi noti sono stati descritti, ad esempio, nell'articolo "Four design principles get the most out of microprocessor systems", Electronics, Gennaio 20, 1977, pagine 102-110, con particolare riferimento alle figure 8 e 9 di questo articolo.

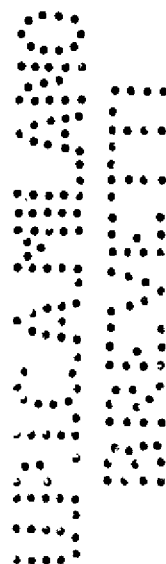
Se il sistema include una pluralità di dispositivi asserviti, può essere vantaggioso operare in



modo tale che lo spazio degli indirizzi dell'unità principale sia in grado di contenere gli spazi di indirizzo di tutte le memorie di transito. La trasmissione di dati fra due unità asservite può essere quindi particolarmente semplice, poichè l'unità principale può disporre, nel proprio spazio degli indirizzi, le memorie di transito di entrambe le unità asservite che entrano in gioco nella trasmissione dei dati e, pertanto, la trasmissione dei dati può avvenire da una memoria tampone all'altra senza memorizzazione intermedia.

Può pure essere vantaggioso operare in modo tale per cui la trasmissione dei dati dalla memoria di transito e/o verso detta memoria di transito, attraverso il canale omnibus comune, avvenga attraverso una unità di accesso diretto in memoria la quale acquisisce la possibilità di accesso al canale omnibus comune. L'impiego di una unità di questo tipo può consentire l'aumento della velocità di trasmissione dei dati.

I segnali di stato, trasmessi attraverso le interfacce ingresso/uscita, possono controllare l'unità principale oppure la corrispondente unità asservita, mediante interruzione di una sequenza del programma che viene al presente condotta nel sistema.



Operando in questo modo, è possibile ridurre i tempi di ritardo ed è possibile ridurre il carico sul calcolatore corrispondente.

La presente invenzione risulterà piu' evidente dall'analisi della seguente descrizione dettagliata riferita ad alcune forme pratiche realizzative della stessa, riportate a titolo di esempio illustrativo, tale trattazione essendo considerata in unione ai disegni allegati, nei quali;

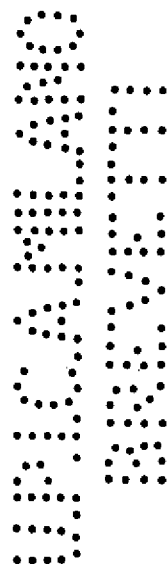
la figura 1 illustra un diagramma schematico a blocchi di una prima versione specifica dell'invenzione;

la figura 2 illustra la relazione fra varie memorie incluse nella versione schematizzata nella figura 1;

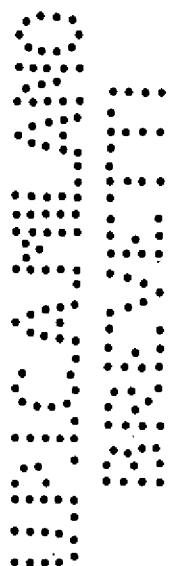
la figura 3 illustra un diagramma di flusso rappresentante il funzionamento della versione schematizzata nella figura 1; e

la figura 4 rappresenta un diagramma schematico a blocchi di una seconda forma pratica realizzativa conforme all'invenzione.

Nella figura 1, un sistema di elaborazione di dati include i calcolatori, o microcalcolatori 1, 2 e 3 rispettivamente. Si assuma che il microcalcolatore 1 sia costituito da un microcalcolatore principale



in grado di controllare gli altri due microcalcolatori 2 e 3 operanti come unità asservite. Questi microcalcolatori verranno denominati, per semplicità, come microcalcolatore principale e come microcalcolatori asserviti. Inoltre, per evidenti ragioni di semplicità, nella figura 1 è stato rappresentato l'impiego di soli due microcalcolatori asserviti, quantunque debba essere sottolineato il fatto che è possibile l'impiego di più di due unità asservite. Come ulteriore alternativa, il sistema può includere un solo microcalcolatore asservito. Il canale omnibus 4 dell'unità principale 1, viene utilizzato come canale omnibus comune. Ad ogni unità asservita 2,3 risulta associata una memoria di transito vale a dire una memoria tampone 5,6, rispettivamente. Ogni memoria tampone può venire alternativamente collegata per mezzo di un associato dispositivo di commutazione 7, 8, rispettivamente, al canale omnibus 9, o al canale omnibus 10 della corrispondente unità asservita 2 o 3 e al canale omnibus comune 4. Inoltre, per consentire la trasmissione dei segnali di stato concernenti l'unità principale e le unità asservite, ad ognuna delle unità asservite 2 e 3 risultano associate due interfacce interconnesse di ingresso/uscita 11, 12 e 13, 14, rispettivamente.



Le interfacce di ingresso/uscita 11 e 13 sono collegate, rispettivamente, ai canali omnibus 9 e 10 della corrispondente unità asservita 2,3 mentre le interfacce di ingresso/uscita 12 e 14 sono collegate al canale omnibus comune 4. Ognuna delle due interfacce di ingresso/uscita 12 e 14 viene pure utilizzata per controllare il dispositivo di commutazione associato alla memoria di transito correlata alla corrispondente unità asservita. L'interfaccia di ingresso/uscita 12 controlla il dispositivo di commutazione 7, secondo quanto indicato schematicamente dalla linea tratteggiata 15 mentre l'interfaccia di ingresso/uscita 14 controlla il dispositivo di commutazione 8, secondo quanto denotato dalla linea tratteggiata 16. Pertanto, la corrispondente memoria di transito può essere collegata al canale omnibus della unità asservita o al canale omnibus comune, secondo quanto indicato simbolicamente dai commutatori 17, 18 e 19, 20, rispettivamente. Le connessioni tra le interfacce di ingresso/uscita 11, 12 e fra le interfacce 14,14, vengono realizzate per mezzo di un certo numero di conduttori denotati da gruppi di frecce 21, 22 nella figura 1, la direzione di ogni freccia indicando se il corrispondente conduttore di collegamento viene utilizzato per la trasmissione di un se-

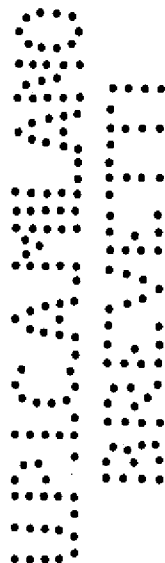
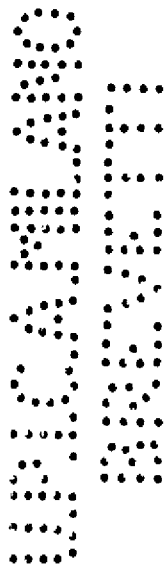


FIG. 1
1. 2. 3.

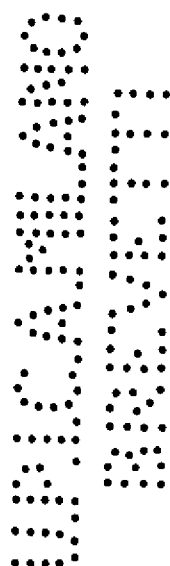
gnale di stato dall'unità asservita all'unità principale o dall'unità principale all'unità asservita. La maggior parte di questi segnali di stato viene utilizzata per segnalare se i dati sono disponibili per la trasmissione o se i dati possono venire ricevuti, mentre alcuni di questi segnali indicano se i microcalcolatori o gli apparati periferici controllati dagli stessi, operano in modo errato, nel qual caso, devono essere intraprese le appropriate e necessarie fasi correttive.

La memoria di transito, o memoria tampone 5, il dispositivo di commutazione 7 e le interfacce di ingresso/uscita 11, 12, associati all'unità asservita 2 e indicati sotto forma di un blocco 23 nella figura 1 e la memoria di transito 6, il dispositivo di commutazione 8 e le interfacce di ingresso/uscita 13, 14, associati all'unità asservita 3 e indicati dal blocco 24 costituiscono, congiuntamente, una unità di accoppiamento o di trasmissione utilizzata per la trasmissione dei segnali di stato, o di condizione e per la trasmissione dei dati fra le corrispondenti unità asservite 2, 3 e l'unità principale 1.

L'indirizzo memorizzato, costituito da ogni memoria tampone, può venire commutato, per mezzo dell'associato dispositivo di commutazione, nello spazio



di indirizzo della corrispondente unità asservita, oppure nello spazio di indirizzo dell'unità principale, come alternative. Lo spazio di indirizzo della unità principale è preferibilmente in grado di contenere i campi costituiti da tutte le memorie di transito, nello stesso tempo, allo scopo di semplificare la trasmissione dei dati fra le unità secondarie. Questo è stato rappresentato, in forma schematica, nella figura 2, nella quale il blocco 25 denota lo spazio di indirizzo di memoria dell'unità principale mentre il blocco 26 denota lo spazio di indirizzo di memoria dell'unità asservita 2, il blocco 27 denotando lo spazio di indirizzo di memoria dell'unità asservita 3. Lo spazio di indirizzo di memoria 25 dell'unità principale include una sezione 28 ed una ulteriore sezione 29 corrispondenti ai campi di indirizzo rappresentati dalle memorie di transito 5 e 6, rispettivamente, associate alle corrispondenti unità asservite 2 e 3. Lo spazio di indirizzo di memoria dell'unità asservita 2 include una sezione 30, che corrisponde al campo di indirizzo rappresentato dalla memoria di transito 5 mentre lo spazio di indirizzo di memoria dell'unità asservita 3 comprende una sezione 31 che corrisponde con il campo di indirizzo rappresentato dalla memoria di transito 6. Le sezioni 28, 30 e 29,

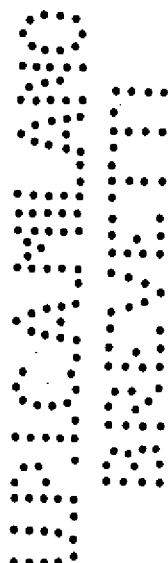


UFFICIO P. V. 111
Ing. C. GREGORI

31, corrispondono fra di loro. Le doppie frecce 32 e 33 indicano che il campo di indirizzo rappresentato da una memoria di transito può essere situato nello spazio di indirizzo di memoria nell'unità principale oppure nello spazio di indirizzo di memoria dell'unità asservita con la quale la memoria di transito risulta associata, come alternative, dipendentemente dallo stato del corrispondente dispositivo di commutazione.

Durante la trasmissione dei dati fra le unità asservite 2 e 3, i campi di indirizzo rappresentati dalle memorie di transito 5 e 6, possono venire portati nello spazio di indirizzo di memoria dell'unità principale mentre i dati possono quindi venire direttamente trasferiti da una memoria di transito all'altra e, pertanto è possibile eliminare la memorizzazione intermedia dei dati.

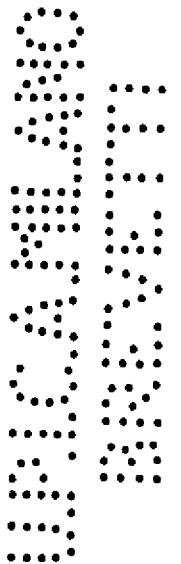
La trasmissione dei dati fra l'unità principale ed una unità asservita, o fra due unità asservite, risulta sempre controllata dall'unità principale mentre la sincronizzazione necessaria fra l'unità principale e l'unità asservita viene ottenuta attraverso le corrispondenti interfacce di ingresso/uscita mentre la memoria, oppure ogni memoria tampone corrispondente risulta collegata nello spazio di indirizzo



della corrispondente unità asservita o in quello dell'unità principale.

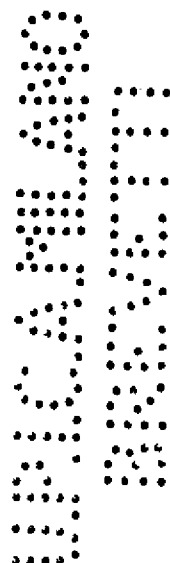
Per ogni operazione di trasmissione dei dati, viene trasmesso un blocco parametrico attraverso la corrispondente memoria di transito, il quale contiene tutti i dati che vengono richiesti per la realizzazione dell'operazione e rappresentati, ad esempio, dall'indirizzo del trasmettitore, dall'indirizzo del ricevitore, dalla lunghezza del blocco di dati, dall'operazione che deve venire eseguita, e così via. I segnali di stato, o di condizione, trasmessi attraverso le corrispondenti interfacce di ingresso/uscita indicano, come precedentemente indicato, la disponibilità di nuovi dati che devono venire trasmessi dall'unità principale all'unità asservita o viceversa e l'abilità dell'unità asservita corrispondente di memorizzare nuovi dati mentre la trasmissione dei dati è possibile in modo asincrono. Questa procedura viene talvolta considerata come "procedura di colloquio".

Verrà ora fatto riferimento, a titolo di esempio illustrativo, ad una disposizione del tipo schematizzato nella figura 1, realizzata con l'impiego di circuiti integrati reperibili in commercio. I microcalcolatori 1, 2 e 3 possono essere costituiti dai microcalcolatori Z80, 6800, e così via, le interfacce



di ingresso/uscita 11, 12 e 13, 14 possono essere del tipo Z80 PIQ o 6800 PIA. Il canale omnibus 4 è costituito dal canale omnibus di una unità principale Z80 (6800 e così via) , consistente di un canale omnibus di trasferimento degli indirizzi e di un canale omnibus di trasferimento dei dati. Le stesse considerazioni risultano valide per il canale omnibus 9 e per il canale omnibus 10, costituiti dal canale omnibus di una unità asservita Z80. (6800 e così via).

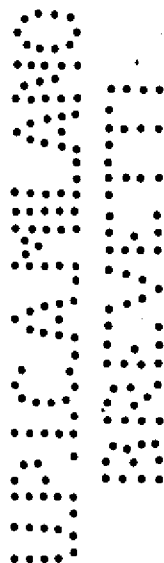
Il canale omnibus di trasferimento degli indirizzi dell'unità principale, alimenta i propri indirizzi attraverso una unità logica formata da porte rappresentate, ad esempio, dalle porte DM 81 LS 97, secondo quanto indicato schematicamente in 18 e 20, nella figura 1, alla memoria di transito 5 e 6, rispettivamente. D'altra parte, i canali omnibus degli indirizzi delle unità asservite alimentano i corrispondenti indirizzi, attraverso una unità logica a porte del tipo precedentemente descritto, comprendente le porte 17 e 19 schematizzate nella figura 1, alla memoria di transito 5 e 6, rispettivamente. Per quanto concerne i dati, deve essere rilevato che i canali omnibus di trasferimento dei dati sono collegati agli ingressi e alle uscite delle memorie tampone attraverso piloti dei canali omnibus rappresentati, ad esem-



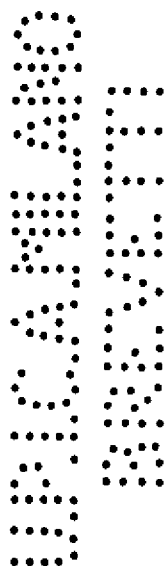
pio, dai piloti del tipo 3216. I piloti dei canali omnibus, controllati dalla linea 15 e dalla linea 16, verranno attivati per la lettura/scrittura dei dati dal canale omnibus 4, dalla nella memoria di transito 5 o 6, rispettivamente o per la lettura/scrittura dei dati dal canale omnibus 9, o 10, dalla/ o nella memoria di transito 5 o 6.

Da quanto precedentemente indicato risulterà evidente che la commutazione delle memorie di transito significa che per effetto della manipolazione degli indirizzi, i campi di indirizzo delle memorie di transito rappresentano parte dello spazio di indirizzo della memoria principale o della memoria asservita. Per quanto concerne i dati, deve essere sottolineato il fatto che gli stessi si trovano fisicamente nelle memorie di transito, vale a dire nelle memorie tampone e che gli stessi non devono venire trasferiti nei due sensi verso le zone fisiche di memorizzazione delle memorie principale e/o asservite.

Il principio di funzionamento del sistema di elaborazione dei dati schematizzato nella figura 1, verrà illustrato sulla base della trasmissione di dati dalla memoria secondaria 2 alla memoria principale 1 e, a questo riguardo, può essere fatto riferimento al diagramma di flusso semplificato riportato



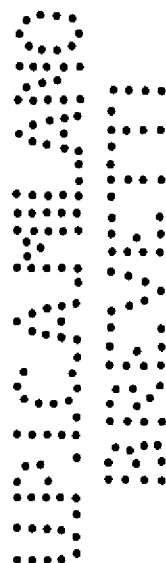
nella figura 3. La parte sinistra del diagramma di flusso indica le operazioni che vengono svolte nell'unità asservita mentre la parte di destra indica le operazioni che si verificano nell'unità principale. Nel caso attualmente in esame, l'unità secondaria 2 opera come un trasmettitore, mentre l'unità principale 1 opera come un ricevitore di dati. Il numero di riferimento 34 denota l'inizio delle operazioni nell'unità secondaria 2 mentre il blocco 35 indica che l'unità principale viene alimentata con un segnale di stato o di condizione, attraverso l'interfaccia ingresso/ uscita 11, il conduttore 36 e l'interfaccia di ingresso/uscita 12, secondo quanto indicato nella figura 1, in modo tale da rappresentare il fatto che il trasmettitore non è disponibile per il prelievo di dati. Nel blocco 37, il trasmettitore verifica se la memoria tampone 5 risulta attualmente commutata nel proprio spazio di indirizzo, da parte del commutatore 17. Ogni memoria di transito risulta sempre nello spazio di indirizzo della corrispondente unità secondaria quando questa unità secondaria non partecipa ad una trasmissione di dati. Se non si verifica questa condizione, il trasmettitore passa in una condizione di attesa, attraverso il ciclo iterativo 38 finchè



la memoria di transito 5 risulta virtualmente nel proprio spazio di indirizzo. Nel punto 39, il corrispondente blocco dei parametri ed i dati vengono trasferiti alla memoria di transito 5. In corrispondenza del blocco 40, l'unità principale viene alimentata, attraverso l'interfaccia di ingresso/uscita 11, il conduttore 41 e l'interfaccia di ingresso/uscita 12, con un segnale di stato o di condizione, indicativo del fatto che i dati sono disponibili mentre, successivamente, il trasmettitore verifica, in corrispondenza del blocco 42, se l'unità principale ha sostituito la memoria di transito 5 nel proprio spazio di indirizzo, mediante chiusura del commutatore 18.

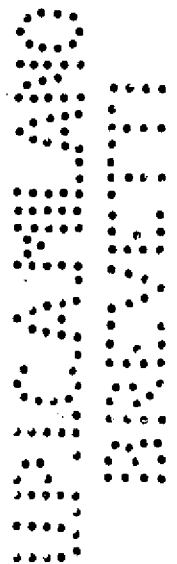
Se non si verifica questa condizione, il trasmettitore passa in uno stato di attesa, nel ciclo iterativo 43, sino a quando si verifica la condizione precedentemente indicata.

Nel blocco 44, l'unità principale verifica se una delle unità secondarie presenta una disponibilità di dati. Se non si verifica questa condizione, l'unità principale esegue altre operazioni, in corrispondenza del blocco 45. Se, d'altra parte, il segnale di stato, indicativo del fatto che l'unità secondaria 2 ha disponibilità di dati, risulta presente sul conduttore 41, l'unità principale attiva, in corrispon-



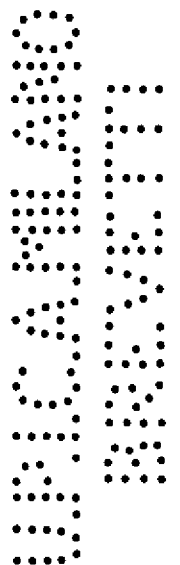
EST. 10 11 1
Leg. L. GECOU

denza del blocco 46, il dispositivo di commutazione 7, attraverso l'interfaccia di ingresso/uscita 12, secondo quanto indicato schematicamente dalla linea 15 riportata nella figura 1, in modo tale che il commutatore 17 possa risultare allo stato di apertura e il commutatore 18 allo stato di chiusura. Pertanto, la memoria di transito 5 viene commutata dallo spazio di indirizzo del trasmettitore allo spazio di indirizzo dell'unità principale. Successivamente, un segnale di condizione, indicativo del fatto che la memoria di transito 5 si trova nello spazio di indirizzo dell'unità principale, viene alimentato al trasmettitore, attraverso l'interfaccia di ingresso/uscita 12, il conduttore 47 e l'interfaccia di ingresso/uscita 11. In corrispondenza del punto 48, il trasmettitore annulla il proprio segnale di condizione indicativo del fatto che i dati sono disponibili e questa condizione viene segnalata all'unità principale, attraverso il conduttore 49, come nuovo stato. Nel punto 50, il trasmettitore verifica se tutti i dati sono stati trasmessi. Se si verifica questa condizione, il trasmettitore alimenta, all'unità principale, in corrispondenza del blocco 51, attraverso il conduttore 52, un segnale di condizione rappresentativo del fatto che il trasmettitore è pronto per pren-



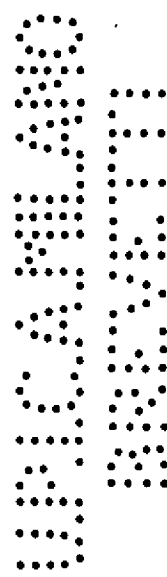
dere parte ad un ulteriore trasferimento di dati. Se, d'altra parte, il trasferimento dei dati dal trasmettitore non è stato ancora completato, il segnale di stato (conduttore 36), indicativo del fatto che il trasmettitore non è ancora disponibile per il prelievo di dati, viene alimentato all'unità principale attraverso l'anello 53, e successivamente, il microprocessore asservito 2 si presenta nuovamente come un trasmettitore e rimane in attesa della richiesta di dati.

Dopo la sostituzione della memoria di transito 5 nello spazio di indirizzo dell'unità principale, quest'ultima verifica, in corrispondenza del blocco 54, se il trasmettitore ha cancellato, attraverso la linea 49, il segnale di stato rappresentativo del fatto che i dati sono disponibili. Se non si verifica questa condizione, viene alimentato, nel blocco 55, un segnale di errore. Tuttavia, se si verifica la condizione precedentemente indicata, i contenuti della memoria di transito 5 vengono trasferiti, in 56, verso la corrispondente destinazione, in accordo con il corrispondente blocco di parametri mentre l'operazione desiderata viene eseguita in corrispondenza del blocco 57. Dopo l'acquisizione del controllo dei contenuti della memoria di transito 5 da parte



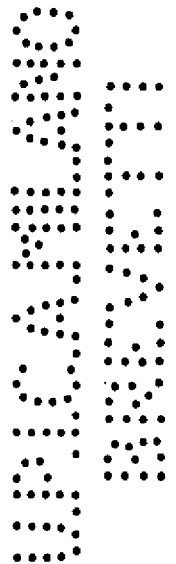
dell'unità principale, l'unità principale attiva nuovamente il dispositivo di commutazione 7, in corrispondenza del punto 58, attraverso l'interfaccia di ingresso/uscita 11 (linea 15 della figura 1) e, pertanto, viene nuovamente aperto il commutatore 18 mentre il commutatore 17 viene nuovamente chiuso. La memoria di transito 5 risulta ancora presente nello spazio di indirizzo dell'unità secondaria 2 e questo viene segnalato come un segnale di stato, o di condizione, all'unità secondaria, attraverso il conduttore 59. Quando si verifica questa condizione, il ciclo è completo. Nel punto 60, l'unità principale ritorna all'operazione precedente oppure inizia una nuova operazione.

Il trasferimento dei dati dall'unità principale ad una unità secondaria, viene condotto in modo completamente analogo e, in questo caso, l'unità principale rappresenta il trasmettitore, mentre l'unità secondaria costituisce il ricevitore. In questo caso, l'unità principale acquisisce la memoria di transito dell'unità secondaria corrispondente nel proprio spazio di indirizzo, trasferisce il corrispondente blocco di parametri ed i dati nella memoria di transito e, successivamente, commuta quest'ultima nello spazio di indirizzo dell'unità secondaria.



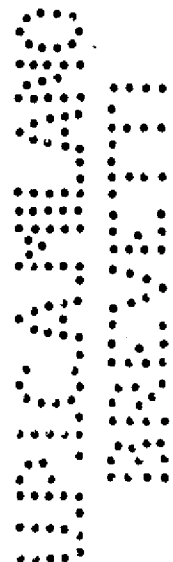
Il trasferimento dei dati fra due unità secondarie viene sempre condotto in modo analogo mentre, ad esempio, l'unità secondaria 2 opera come un trasmettitore, mentre l'unità secondaria 3 opera come un ricevitore. Il trasmettitore verifica dapprima se la memoria di transito 5 assegnata allo stesso, si trova nel proprio spazio di indirizzo. Se si verifica questa condizione, il trasmettitore registra nella stessa, i dati che devono venire trasmessi ed anche l'associato blocco dei parametri e segnala queste condizione all'unità principale 1 attraverso le interfacce di ingresso/uscita 11, 12 e, successivamente, l'unità principale commuta la memoria di transito 5, per mezzo del dispositivo di commutazione 7, che viene attivato attraverso l'interfaccia di ingresso/uscita 12, nel proprio spazio di indirizzo e legge l'indirizzo del ricevitore dal blocco dei parametri. Successivamente, l'unità principale verifica, attraverso le interfacce di ingresso/uscita del ricevitore specificato e rappresentate, in questo caso, dalle interfacce di ingresso/uscita 13, 14 dell'unità secondaria 3, se l'unità secondaria 3 è pronta per l'accettazione di nuovi dati.

Appena si verifica questa condizione, l'unità principale commuta, attraverso il dispositivo di commuta-



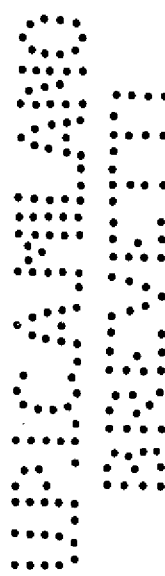
zione, 8, attivato attraverso l'interfaccia di ingresso/uscita 14, la memoria di transito 6 dell'unità asservita 3, nel proprio spazio di indirizzo e registra i dati dalla memoria di transito 5 del trasmettitore, nella memoria di transito 6 del ricevitore. Successivamente, l'unità principale informa l'unità secondaria 3, tramite le interfacce di ingresso/uscita 13, 14, che nuovi dati sono disponibili e commuta, attraverso il dispositivo di commutazione 8, la memoria di transito 6 nello spazio di indirizzo dell'unità secondaria 3 e, successivamente, la memoria di transito 3 legge il blocco dei parametri presente nella propria memoria di transito e svolge le varie operazioni corrispondenti.

Allo scopo di ottenere una elevatissima velocità di trasmissione dei dati, è vantaggioso operare in modo tale che il trasferimento dei dati dalla memoria di transito del trasmettitore alla memoria di transito del ricevitore possa avvenire in un modo di per sé noto, utilizzando una unità di accesso diretto ad una memoria, talvolta considerata come unità DMA (direct memory access) la quale, dopo essere stata caricata con i dati corrispondenti, da parte dell'unità principale 1 guadagna automaticamente l'accesso al canale omnibus comune 4 e trasferisce i contenuti



completi della memoria di transito del trasmettitore, come un blocco, alla memoria di transito del ricevitore. Una unità ad accesso diretto in memoria, appartenente a questo tipo, è stata indicata schematicamente in 72 nella figura 1 e la stessa può essere formata, ad esempio, da un circuito integrato, reperibile in commercio, contraddistinto dal riferimento Z 80 DMA. Se viene impiegata una unità DMA, l'unità principale inizierà la trasmissione del blocco completo introducendo l'indirizzo della memoria di transito del corrispondente trasmettitore, l'indirizzo della memoria di transito del ricevitore desiderato e la lunghezza del blocco mentre, successivamente, questo blocco verrà automaticamente trasmesso fra la esecuzione dei vari comandi di un programma arbitrario dell'unità principale, vale a dire in un modo trasparente per l'unità principale. Dopo il completamento dell'operazione di trasmissione del blocco, l'unità principale verrà informata.

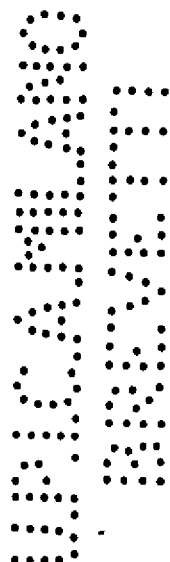
E' stato pure riscontrato vantaggioso disporre il sistema in modo tale che i segnali di stato, o di condizione, che vengono trasmessi attraverso le interfacce di ingresso/uscita e che, secondo quanto precedentemente descritto, indicano la disponibilità di nuovi dati per le unità secondarie o per l'unità



ing. G. L. L. L.

principale, o l'abilità alla memorizzazione di nuovi dati, e così via, possano iniziare le corrispondenti operazioni nell'unità principale o nelle unità secondarie, operando in modo noto, provocando la generazione di segnali di interruzione, tali segnali operando in modo tale da interrompere la sequenza del programma in corso, dopo il completamento di una fase operativa attualmente condotta o in corrispondenza di un punto, nella sequenza, nel quale, in accordo con le tecniche di programmazione, viene consentita una interruzione mentre l'operazione indicata dal segnale di interruzione verrà eseguita in accordo con la corrispondente priorità. Conseguentemente, il carico sul microcalcolatore può venire ridotto e possono venire minimizzati i ritardi.

Inoltre, secondo quanto precedentemente citato, le interfacce di ingresso/uscita possono venire realizzate in modo tale da trasmettere pure segnali rappresentativi di errori, in modo tale da evitare la formazione di intasamenti di un certo tipo. Questo intasamento potrebbe verificarsi, ad esempio, per il fatto che un errore che si verifica durante la trasmissione dei dati non potrebbe venire altrimenti segnalato all'unità principale, attraverso la corrispondente memoria di transito poichè questa memoria

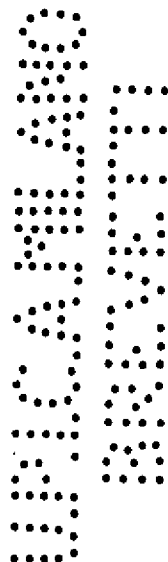


di transito verrebbe bloccata dai dati. In un sistema del tipo precedentemente descritto, questo segnale di errore può venire trasmesso attraverso le corrispondenti interfacce di ingresso/uscita, consentendo in tal modo all'unità principale di correggere l'errore.

Potrebbe verificarsi che un blocco di dati da trasmettere superi la capacità della memoria di transito.

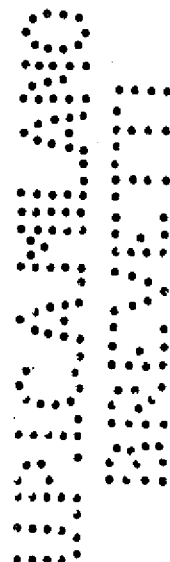
In questo caso, il blocco deve venire trasmesso in parti, il blocco associato di parametri venendo trasmesso soltanto con la prima parte, oppure con ciascuna parte. In questo caso, l'unità principale può svolgere le varie operazioni di trasmissione dei dati che vengono richieste, intercalate con altre operazioni, vale a dire in un modo quasi-simultaneo con le stesse.

In un sistema del tipo precedentemente descritto, è possibile operare in modo tale che l'unità principale possa acquisire i comandi per l'elaborazione dei dati, dalle unità asservite, quando appropriato, oltre allo svolgimento della propria funzione caratteristica consistente nel controllo del sistema e nella trasmissione dei dati, in modo tale da consentire lo sfruttamento, in modo ottimale della capacità di cal-



colo dei vari microcalcolatori individuali, in modo tale che le istruzioni per l'elaborazione dei dati che utilizzerebbero altrimenti un microcalcolatore operante soltanto scarsamente come unità secondaria, possano venire acquisite dal microcalcolatore operante come unità principale, con conseguente possibilità di aumento del valore del carico dello stesso. Ovviamente, le istruzioni potrebbero pure venire trattate dai soli microcalcolatori ausiliari.

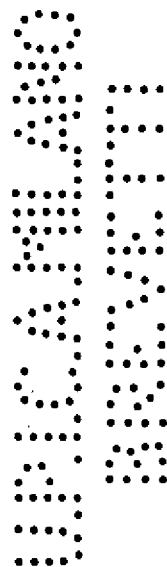
La figura 4 costituisce un diagramma a blocchi di un sistema di elaborazione di un testo. Nello schema rappresentato nella figura 4, il numero di riferimento 1 contraddistingue un microcalcolatore operante come unità principale, detto calcolatore presentando il proprio canale omnibus 4 operante come un canale omnibus comune. Tre ulteriori microcalcolatori 61, 62 e 63, operano come unità secondarie, o asservite, mentre viene prevista una rispettiva unità di trasmissione 64, 65 e 66 fra il canale omnibus comune 4 ed ognuna di queste unità asservite. La costruzione di ognuna di queste unità di trasmissione è analoga a quella di ognuna delle unità di trasmissione 23 e 24 del sistema elaboratore di dati rappresentato nella figura 1 e, pertanto, ogni unità comprende una memoria di transito, un dispositivo di commuta-



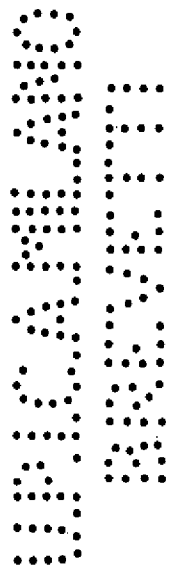
zione e due interfacce di ingresso /uscita.

Ogni unità asservita svolge la propria funzione, ossia, ad esempio, l'unità asservita 61 provvede al controllo di un dispositivo di visualizzazione 67, l'unità secondaria 62 provvede al controllo di due memorie a dischi 68 e 69 mentre l'unità asservita 63 viene utilizzata per la trasmissione di dati, ad esempio attraverso dispositivi telefonici. L'unità principale 1 non solo controlla il sistema e la trasmissione dei dati ma controlla pure una stampante 70. L'unità principale 1 è pure collegata ad un dispositivo 71 per l'immissione di dati comprendente una tastiera, per mezzo della quale le varie istruzioni vengono alimentate al sistema mentre vengono immessi i vari dati rappresentati, in questo caso da testi, e così via. Un sistema di questo tipo consente la composizione, l'editazione, la memorizzazione intermedia e la stampa finale o il trasferimento di testi ad un ulteriore sistema per l'elaborazione di testi. Come risultato del modo secondo il quale cooperano i vari microcalcolatori individuali, possono essere svolti compiti molto complessi.

La trasmissione e l'elaborazione dei dati o dei testi, viene ottenuta nello stesso modo precedentemente descritto con riferimento al sistema schematiz-



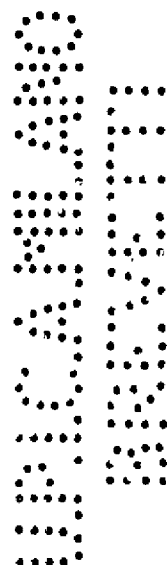
zato nella figura 1. Ad esempio, se determinati dati devono venire alimentati, sotto il comando del dispositivo di immissione dei dati 71, dalla memoria a dischi 62 al dispositivo di visualizzazione 67, in una determinata forma, l'unità principale 1 istruisce la memoria di transito dell'unità di trasmissione 65, in modo tale che la stessa possa venire caricata con i dati corrispondenti provenienti dall'unità ausiliaria 62. Questa operazione viene confermata alla unità principale la quale commuta quindi il campo di indirizzo costituito dalla memoria di transito della unità di trasmissione 65, nel proprio spazio di indirizzo mentre verifica se, l'unità asservita 61 è pronta per il prelievo dei dati. Appena si verifica questa condizione, il campo di indirizzo, costituito dalla memoria di transito dell'unità di trasmissione 64, viene commutato nello spazio di indirizzo della unità principale 1 e, successivamente, si verificherà la trasmissione dei dati da una memoria di transito all'altra. Questo può comportare una memorizzazione intermedia nell'unità principale. Successivamente, il campo di indirizzo, costituito dalla memoria di transito dell'unità di trasmissione 64, viene nuovamente commutato nello spazio di indirizzo dell'unità ausiliaria 61 la quale viene informata della disponi-



bilità dei dati, mentre, successivamente, questa unità svolge le varie operazioni che vengono richieste e, pertanto, i dati richiesti vengono infine visualizzati sul dispositivo di visualizzazione 67, nella forma desiderata. La trasmissione dei corrispondenti segnali di stato, o di condizione, fra l'unità principale e le unità asservite, ed anche il controllo dei corrispondenti dispositivi di commutazione per le memorie di transito avverranno nuovamente attraverso le interfacce di ingresso/uscita delle unità di trasmissione 64 e 65. La cooperazione, ad esempio fra una memoria a dischi e la stampante 70, viene ottenuta in modo analogo, mentre la stessa unità principale 1 controlla la stampante, in questo caso specifico. L'esecuzione di altri compiti specifici nel sistema di elaborazione dei testi, viene condotta in modo similare.

RIVENDICAZIONI

1) Sistema di elaborazione di dati comprendente almeno due calcolatori accoppiati ad un canale omnibus comune, uno di detti calcolatori essendo rappresentato da una unità principale(master) la quale è in grado di controllare almeno il secondo calcolatore, operante come unità asservita(slave) caratterizzato dal fatto che il canale omnibus della



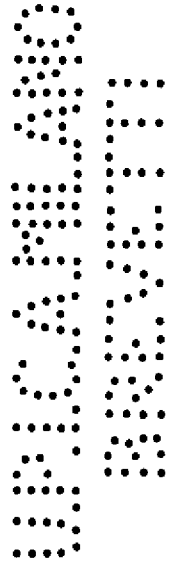
tivo di commutazione possa venire controllato dalla unità principale.

2) Sistema secondo la rivendicazione 1, includente una pluralità di dette unità asservite, o ausiliarie, caratterizzato dal fatto che lo spazio di indirizzo dell'unità principale è in grado di accogliere i campi di indirizzo costituiti da tutte le memorie di transito, in modo simultaneo.

3) Sistema di elaborazione di dati secondo la rivendicazione 1, o la rivendicazione 2, caratterizzato dal fatto che la trasmissione di dati da una memoria di transito e/o verso detta memoria di transito, attraverso il canale omnibus comune avviene attraverso una unità ad accesso diretto in memoria la quale guadagna l'accesso a detto canale omnibus comune.

4) Sistema di elaborazione di dati secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che i segnali di stato, o di condizione, che vengono trasmessi attraverso le interfacce di ingresso /uscita, controllano l'unità principale, o la corrispondente unità asservita, mediante interruzione di una sequenza di programma attualmente svolto nella stessa.

5) Sistema di elaborazione di dati, sostan-



zialmente in accordo con quanto precedentemente descritto nel corso della presente trattazione, con riferimento alla figura 1, alla figura 4, alle figure 1 e 3, o alle figure 4 e 3 dei disegni allegati.
Milano 15 Febbraio 1980.

UFFICIO BREVETTI
Ing. G. GREGORI



l'Ufficiale Rogante
(Pietro Messina)

19965A/80

4/64175

STEMMA DI STATO

UFFICIO BREVETTI AUSTRIACO

WIEN I., KOHLMARKT 8-10

MARCHE DA BOLLO

Protocollo: A 1270/79

Da parte dell'Ufficio Brevetti Austriaco si conferma con la presente che la ditta N.V. PHILIPS' GLOEILAMPENFABRIEKEN DI EINDHOVEN EMMASINGEL 29 (Paesi Bassi), in data 19 Febbraio 1979 alle ore 12 e 44 Minuti ha depositato una domanda di brevetto avente per titolo: "SISTEMA DI ELABORAZIONE DI DATI", e che la descrizione allegata con i disegni é interamente conforme alla descrizione con i disegni depositata contemporaneamente alla presente domanda di Brevetto.

Venne fatto carico di citare come inventori, Dr. Dieter Hammer, Dipl.Ing. Peter Michel e Ing. Titus Schwanda in Vienna.

Ufficio Brevetti Austriaco

Vienna 25 Ottobre 1979

Il Presidente per procura (firmato) Consigliere
di Cancelleria WITTMANN

Ispettore superiore Specializzato

Timbro tondo con Stemma di Stato e dicitura Ufficio

Brevetti Austriaco

Cordino bianco e rosso con bollo a secco

Marca da bollo con timbro dell'Ufficio Brevetti
Austriaco

Testo Originale

Titolare del Brevetto: N.V. PHILIPS' GLOEILAMENFA=

BRIEKEN DI EINDHOVEN (Paesi Bassi)

Oggetto : "SISTEMA DI ELABORAZIONE DI DATI"

Depositato il : 19/2/1979

Inventori: HAMMER DIETER DR - WIENNA -

MICHEL PETER DIPL. - Ing. VIENNA

Schwanda Titus Ing. - Vienna -

RIASSUNTO

In un impianto di elaborazione di dati con almeno due microcomputer e un microcomputer controlla gli altri microcomputer che funzionano da dipendenti. In tale impianto il Bus del campione é previsto come Bus comune e a ciascun dipendente é associato un dispositivo di memoria previsto come memoria intermedia e trasmettitore di dati dispositivo che é collegabile, con un dispositivo di inserimento ad esso associato, alternativamente sia al Bus dei dipendenti che al Bus comune. Inoltre a ciascun dipendente sono associati,

per la trasmissione di comunicazioni di stato da parte del campione e dei dipendenti, due posti di inserimento, collegati tra di loro, per l'accettazione e lo smistamento, dei quali posti uno é collegato al Bus comune e l'altro é collegato al Bus dei dipendenti relativi. Il controllo del dispositivo di inserimento avviene sempre da parte del posto di accettazione e smistamento collegato al Bus comune.

La presente invenzione riguarda un sistema di elaborazione di dati, comprendente almeno due calcolatori collegati ad un canale omnibus comune, uno di detti calcolatori essendo costituito da un calcolatore principale in grado di controllare almeno un altro calcolatore operante da calcolatore asservito. Una configurazione di questo tipo consente, ai calcolatori individuali, di operare simultaneamente e in modo asincrono l'uno indipendentemente dall'altro, senza che venga richiesta, durante la trasmissione dei dati, una sincronizzazione mutua, tale sincronizzazione mutua essendo richiesta, ad esempio, in un noto sistema di elaborazione di dati, secondo quanto verrà in

seguito descritto con maggiori dettagli, includente un canale omnibus comune e una pluralità di microcalcolatori. Conseguentemente, l'utilizzazione di questo sistema può venire migliorata. Inoltre, in un sistema di questo tipo, per ogni microcalcolatore può essere resa disponibile sostanzialmente l'intera totalità del proprio spazio di indirizzo, in contrapposizione ad un altro sistema elaboratore di dati, di tipo noto, secondo quanto verrà in seguito descritto, il quale presenta una memoria comune per una pluralità di microcalcolatori? La disponibilità dell'intero spazio di indirizzo esiste in un classico sistema elaboratore di dati comprendente un canale omnibus comune per una pluralità di microcalcolatori, ma, tuttavia, deve essere rilevato che, in questo caso, vengono richieste interfacce di ingresso/uscita comparativamente complesse fra il canale omnibus comune ed i vari microcalcolatori individuali. Inoltre, la previsione di una configurazione di questo tipo, consente l'ottenimento di una elevata frequenza di trasmissione quando si verificano varie trasmissioni simultanee di dati. Pertanto, questa velocità può essere approssimativamente comparabile con quella di un sistema di elaborazione di dati presentante una memoria

comune per una pluralità di microcalcolatori. Pertanto l'impiego di una configurazione di questo tipo consente la combinazione dei vantaggi ottenibili da un sistema elaboratori di dati includente un canale omnibus comune per una pluralità di microcalcolatori e di quelli di un sistema dotato di una memoria comune per una pluralità di microcalcolatori. Determinati sistemi di elaborazione di dati appartenenti a questi due tipi noti sono stati descritti, ad esempion nell'articolo "Four design principles get the most out of microprocessor systems", Electronics, Gennaio 20, 1977, pagine 102-110, con particolare riferimento alle figure 8 e 9 di questo articolo.

Se il sistema include una pluralità di dispositivi asserviti, può essere vantaggioso operare in.....

modo tale che lo spazio degli indirizzi dell'unità principale sia in grado di contenere gli spazi di indirizzo di tutte le memorie di transito. La trasmissione di dati fra due unità asservite può essere quindi particolarmente semplice, poichè l'unità principale può disporre, nel proprio spazio degli indirizzi, le memorie di transito di entrambe le unità asservite che entrano in gioco nella trasmissione dei dati e, pertanto, la trasmissione dei dati può avvenire da una memoria tampone all'altra senza memorizzazione intermedia.

Può pure essere vantaggioso operare in modo tale per cui la trasmissione dei dati dalla memoria di transito e/o verso detta memoria di transito, attraverso il canale omnibus comune, avvenga attraverso una unità di accesso diretto in memoria la quale acquisisce la possibilità di accesso al canale omnibus comune. L'impiego di una unità di questo tipo può consentire l'aumento della velocità di trasmissione dei dati.

I segnali di stato, trasmessi attraverso le interfacce ingresso/uscita, possono controllare l'unità principale oppure la corrispondente unità asservita, mediante interruzione di una sequenza del programma che viene al presente condotta nel sistema.

Operando in questo modo, è possibile ridurre i tempi di ritardo ed è possibile ridurre il carico sul calcolatore corrispondente.

La presente invenzione risulterà piu' evidente dall'analisi della seguente descrizione dettagliata riferita ad alcune forme pratiche realizzative della stessa, riportate a titolo di esempio illustrativo, tale trattazione essendo considerata in unione ai disegni allegati, nei quali;

la figura 1 illustra un diagramma schematico a blocchi di una prima versione specifica dell'invenzione;

la figura 2 illustra la relazione fra varie memorie incluse nella versione schematizzata nella figura 1;

la figura 3 illustra un diagramma di flusso rappresentante il funzionamento della versione schematizzata nella figura 1; e

la figura 4 rappresenta un diagramma schematico a blocchi di una seconda forma pratica realizzativa conforme all'invenzione.

Nella figura 1, un sistema di elaborazione di dati include i calcolatori, o microcalcolatori 1, 2 e 3 rispettivamente. Si assuma che il microcalcolatore 1 sia costituito da un microcalcolatore principale

in grado di controllare gli altri due microcalcolatori 2 e 3 operanti come unità asservite. Questi microcalcolatori verranno denominati, per semplicità, come microcalcolatore principale e come microcalcolatori asserviti. Inoltre, per evidenti ragioni di semplicità, nella figura 1 è stato rappresentato l'impiego di soli due microcalcolatori asserviti, quantunque debba essere sottolineato il fatto che è possibile l'impiego di più di due unità asservite. Come ulteriore alternativa, il sistema può includere un solo microcalcolatore asservito. Il canale omnibus 4 dell'unità principale 1, viene utilizzato come canale omnibus comune. Ad ogni unità asservita 2,3 risulta associata una memoria di transito vale a dire una memoria tampone 5,6, rispettivamente. Ogni memoria tampone può venire alternativamente collegata per mezzo di un associato dispositivo di commutazione 7, 8, rispettivamente, al canale omnibus 9, o al canale omnibus 10 della corrispondente unità asservita 2 o 3 e al canale omnibus comune 4. Inoltre, per consentire la trasmissione dei segnali di stato concernenti l'unità principale e le unità asservite, ad ognuna delle unità asservite 2 e 3 risultano associate due interfacce interconnesse di ingresso/uscita 11, 12 e 13, 14, rispettivamente.

Le interfacce di ingresso/uscita 11 e 13 sono collegate, rispettivamente, ai canali omnibus 9 e 10 della corrispondente unità asservita 2,3 mentre le interfacce di ingresso/uscita 12 e 14 sono collegate al canale omnibus comune 4. Ognuna delle due interfacce di ingresso/uscita 12 e 14 viene pure utilizzata per controllare il dispositivo di commutazione associato alla memoria di transito correlata alla corrispondente unità asservita. L'interfaccia di ingresso/uscita 12 controlla il dispositivo di commutazione 7, secondo quanto indicato schematicamente dalla linea tratteggiata 15 mentre l'interfaccia di ingresso/uscita 14 controlla il dispositivo di commutazione 8, secondo quanto denotato dalla linea tratteggiata 16. Pertanto, la corrispondente memoria di transito può essere collegata al canale omnibus della unità asservita o al canale omnibus comune, secondo quanto indicato simbolicamente dai commutatori 17, 18 e 19, 20, rispettivamente. Le connessioni tra le interfacce di ingresso/uscita 11, 12 e fra le interfacce 14,14, vengono realizzate per mezzo di un certo numero di conduttori denotati da gruppi di frecce 21, 22 nella figura 1, la direzione di ogni freccia indicando se il corrispondente conduttore di collegamento viene utilizzato per la trasmissione di un se-

gnale di stato dall'unità asservita all'unità principale o dall'unità principale all'unità asservita.

La maggior parte di questi segnali di stato viene utilizzata per segnalare se i dati sono disponibili per la trasmissione o se i dati possono venire ricevuti, mentre alcuni di questi segnali indicano se i microcalcolatori o gli apparati periferici controllati dagli stessi, operano in modo errato, nel qual caso, devono essere intraprese le appropriate e necessarie fasi correttive.

La memoria di transito, o memoria tampone 5, il dispositivo di commutazione 7 e le interfacce di ingresso/uscita 11, 12, associati all'unità asservita 2 e indicati sotto forma di un blocco 23 nella figura 1 e la memoria di transito 6, il dispositivo di commutazione 8 e le interfacce di ingresso/uscita 13, 14, associati all'unità asservita 3 e indicati dal blocco 24 costituiscono, congiuntamente, una unità di accoppiamento o di trasmissione utilizzata per la trasmissione dei segnali di stato, o di condizione e per la trasmissione dei dati fra le corrispondenti unità asservite 2, 3 e l'unità principale 1.

L'indirizzo memorizzato, costituito da ogni memoria tampone, può venire commutato, per mezzo dell'associato dispositivo di commutazione, nello spazio

di indirizzo della corrispondente unità asservita, oppure nello spazio di indirizzo dell'unità principale, come alternative. Lo spazio di indirizzo della unità principale è preferibilmente in grado di contenere i campi costituiti da tutte le memorie di transito, nello stesso tempo, allo scopo di semplificare la trasmissione dei dati fra le unità secondarie. Questo è stato rappresentato, in forma schematica, nella figura 2, nella quale il blocco 25 denota lo spazio di indirizzo di memoria dell'unità principale mentre il blocco 26 denota lo spazio di indirizzo di memoria dell'unità asservita 2, il blocco 27 denotando lo spazio di indirizzo di memoria dell'unità asservita 3. Lo spazio di indirizzo di memoria 25 dell'unità principale include una sezione 28 ed una ulteriore sezione 29 corrispondenti ai campi di indirizzo rappresentati dalle memorie di transito 5 e 6, rispettivamente, associate alle corrispondenti unità asservite 2 e 3. Lo spazio di indirizzo di memoria dell'unità asservita 2 include una sezione 30, che corrisponde al campo di indirizzo rappresentato dalla memoria di transito 5 mentre lo spazio di indirizzo di memoria dell'unità asservita 3 comprende una sezione 31 che corrisponde con il campo di indirizzo rappresentato dalla memoria di transito 6. Le sezioni 28, 30 e 29,

31, corrispondono fra di loro. Le doppie frecce 32 e 33 indicano che il campo di indirizzo rappresentato da una memoria di transito può essere situato nello spazio di indirizzo di memoria nell'unità principale oppure nello spazio di indirizzo di memoria dell'unità asservita con la quale la memoria di transito risulta associata, come alternative, dipendentemente dallo stato del corrispondente dispositivo di commutazione.

Durante la trasmissione dei dati fra le unità asservite 2 e 3, i campi di indirizzo rappresentati dalle memorie di transito 5 e 6, possono venire portati nello spazio di indirizzo di memoria dell'unità principale mentre i dati possono quindi venire direttamente trasferiti da una memoria di transito all'altra e, pertanto è possibile eliminare la memorizzazione intermedia dei dati.

La trasmissione dei dati fra l'unità principale ed una unità asservita, o fra due unità asservite, risulta sempre controllata dall'unità principale mentre la sincronizzazione necessaria fra l'unità principale e l'unità asservita viene ottenuta attraverso le corrispondenti interfacce di ingresso/uscita mentre la memoria, oppure ogni memoria tampone corrispondente risulta collegata nello spazio di indirizzo

della corrispondente unità asservita o in quello dell'unità principale.

Per ogni operazione di trasmissione dei dati, viene trasmesso un blocco parametrico attraverso la corrispondente memoria di transito, il quale contiene tutti i dati che vengono richiesti per la realizzazione dell'operazione e rappresentati, ad esempio, dall'indirizzo del trasmettitore, dall'indirizzo del ricevitore, dalla lunghezza del blocco di dati, dall'operazione che deve venire eseguita, e così via. I segnali di stato, o di condizione, trasmessi attraverso le corrispondenti interfacce di ingresso/uscita indicano, come precedentemente indicato, la disponibilità di nuovi dati che devono venire trasmessi dall'unità principale all'unità asservita o viceversa e l'abilità dell'unità asservita corrispondente di memorizzare nuovi dati mentre la trasmissione dei dati è possibile in modo asincrono. Questa procedura viene talvolta considerata come "procedura di colloquio".

Verrà ora fatto riferimento, a titolo di esempio illustrativo, ad una disposizione del tipo schematizzato nella figura 1, realizzata con l'impiego di circuiti integrati reperibili in commercio. I microcalcolatori 1, 2 e 3 possono essere costituiti dai microcalcolatori Z80, 6800, e così via, le interfacce

di ingresso/uscita 11, 12 e 13, 14 possono essere del tipo Z80 PIQ o 6800 PIA. Il canale omnibus 4 è costituito dal canale omnibus di una unità principale Z80 (6800 e così via) , consistente di un canale omnibus di trasferimento degli indirizzi e di un canale omnibus di trasferimento dei dati. Le stesse considerazioni risultano valide per il canale omnibus 9 e per il canale omnibus 10, costituiti dal canale omnibus di una unità asservita Z80. (6800 e così via).

Il canale omnibus di trasferimento degli indirizzi dell'unità principale, alimenta i propri indirizzi attraverso una unità logica formata da porte rappresentate, ad esempio, dalle porte DM 81 LS 97, secondo quanto indicato schematicamente in 18 e 20, nella figura 1, alla memoria di transito 5 e 6, rispettivamente. D'altra parte, i canali omnibus degli indirizzi delle unità asservite alimentano i corrispondenti indirizzi, attraverso una unità logica a porte del tipo precedentemente descritto, comprendente le porte 17 e 19 schematizzate nella figura 1, alla memoria di transito 5 e 6, rispettivamente. Per quanto concerne i dati, deve essere rilevato che i canali omnibus di trasferimento dei dati sono collegati agli ingressi e alle uscite delle memorie tampone attraverso piloti dei canali omnibus rappresentati, ad esem-

pio, dai piloti del tipo 3216. I piloti dei canali omnibus, controllati dalla linea 15 e dalla linea 16, verranno attivati per la lettura/scrittura dei dati dal canale omnibus 4, dalla nella memoria di transito 5 o 6, rispettivamente o per la lettura/scrittura dei dati dal canale omnibus 9, o 10, dalla/ o nella memoria di transito 5 o 6.

Da quanto precedentemente indicato risulterà evidente che la commutazione delle memorie di transito significa che per effetto della manipolazione degli indirizzi, i campi di indirizzo delle memorie di transito rappresentano parte dello spazio di indirizzo della memoria principale o della memoria asservita. Per quanto concerne i dati, deve essere sottolineato il fatto che gli stessi si trovano fisicamente nelle memorie di transito, vale a dire nelle memorie tampone e che gli stessi non devono venire trasferiti nei due sensi verso le zone fisiche di memorizzazione delle memorie principale e/o asservite.

Il principio di funzionamento del sistema di elaborazione dei dati schematizzato nella figura 1, verrà illustrato sulla base della trasmissione di dati dalla memoria secondaria 2 alla memoria principale 1 e, a questo riguardo, può essere fatto riferimento al diagramma di flusso semplificato riportato

nella figura 3. La parte sinistra del diagramma di flusso indica le operazioni che vengono svolte nell'unità asservita mentre la parte di destra indica le operazioni che si verificano nell'unità principale. Nel caso attualmente in esame, l'unità secondaria 2 opera come un trasmettitore, mentre l'unità principale 1 opera come un ricevitore di dati. Il numero di riferimento 34 denota l'inizio delle operazioni nell'unità secondaria 2 mentre il blocco 35 indica che l'unità principale viene alimentata con un segnale di stato o di condizione, attraverso l'interfaccia ingresso/ uscita 11, il conduttore 36 e l'interfaccia di ingresso/uscita 12, secondo quanto indicato nella figura 1, in modo tale da rappresentare il fatto che il trasmettitore non è disponibile per il prelievo di dati. Nel blocco 37, il trasmettitore verifica se la memoria tampone 5 risulta attualmente commutata nel proprio spazio di indirizzo, da parte del commutatore 17. Ogni memoria di transito risulta sempre nello spazio di indirizzo della corrispondente unità secondaria quando questa unità secondaria non partecipa ad una trasmissione di dati. Se non si verifica questa condizione, il trasmettitore passa in una condizione di attesa, attraverso il ciclo iterativo 38 finché

la memoria di transito 5 risulta virtualmente nel proprio spazio di indirizzo. Nel punto 39, il corrispondente blocco dei parametri ed i dati vengono trasferiti alla memoria di transito 5. In corrispondenza del blocco 40, l'unità principale viene alimentata, attraverso l'interfaccia di ingresso/uscita 11, il conduttore 41 e l'interfaccia di ingresso/uscita 12, con un segnale di stato o di condizione, indicativo del fatto che i dati sono disponibili mentre, successivamente, il trasmettitore verifica, in corrispondenza del blocco 42, se l'unità principale ha sostituito la memoria di transito 5 nel proprio spazio di indirizzo, mediante chiusura del commutatore 18.

Se non si verifica questa condizione, il trasmettitore passa in uno stato di attesa, nel ciclo iterativo 43, sino a quando si verifica la condizione precedentemente indicata.

Nel blocco 44, l'unità principale verifica se una delle unità secondarie presenta una disponibilità di dati. Se non si verifica questa condizione, l'unità principale esegue altre operazioni, in corrispondenza del blocco 45. Se, d'altra parte, il segnale di stato, indicativo del fatto che l'unità secondaria 2 ha disponibilità di dati, risulta presente sul conduttore 41, l'unità principale attiva, in corrispon-

denza del blocco 46, il dispositivo di commutazione 7, attraverso l'interfaccia di ingresso/uscita 12, secondo quanto indicato schematicamente dalla linea 15 riportata nella figura 1, in modo tale che il commutatore 17 possa risultare allo stato di apertura e il commutatore 18 allo stato di chiusura. Pertanto, la memoria di transito 5 viene commutata dallo spazio di indirizzo del trasmettitore allo spazio di indirizzo dell'unità principale. Successivamente, un segnale di condizione, indicativo del fatto che la memoria di transito 5 si trova nello spazio di indirizzo dell'unità principale, viene alimentato al trasmettitore, attraverso l'interfaccia di ingresso/uscita 12, il conduttore 47 e l'interfaccia di ingresso/uscita 11. In corrispondenza del punto 48, il trasmettitore annulla il proprio segnale di condizione indicativo del fatto che i dati sono disponibili e questa condizione viene segnalata all'unità principale, attraverso il conduttore 49, come nuovo stato. Nel punto 50, il trasmettitore verifica se tutti i dati sono stati trasmessi. Se si verifica questa condizione, il trasmettitore alimenta, all'unità principale, in corrispondenza del blocco 51, attraverso il conduttore 52, un segnale di condizione rappresentativo del fatto che il trasmettitore è pronto per pren-

dere parte ad un ulteriore trasferimento di dati. Se, d'altra parte, il trasferimento dei dati dal trasmettitore non è stato ancora completato, il segnale di stato (conduttore 36), indicativo del fatto che il trasmettitore non è ancora disponibile per il prelievo di dati, viene alimentato all'unità principale attraverso l'anello 53, e successivamente, il microprocessore asservito 2 si presenta nuovamente come un trasmettitore e rimane in attesa della richiesta di dati.

Dopo la sostituzione della memoria di transito 5 nello spazio di indirizzo dell'unità principale, quest'ultima verifica, in corrispondenza del blocco 54, se il trasmettitore ha cancellato, attraverso la linea 49, il segnale di stato rappresentativo del fatto che i dati sono disponibili. Se non si verifica questa condizione, viene alimentato, nel blocco 55, un segnale di errore. Tuttavia, se si verifica la condizione precedentemente indicata, i contenuti della memoria di transito 5 vengono trasferiti, in 56, verso la corrispondente destinazione, in accordo con il corrispondente blocco di parametri mentre l'operazione desiderata viene eseguita in corrispondenza del blocco 57. Dopo l'acquisizione del controllo dei contenuti della memoria di transito 5 da parte

dell'unità principale, l'unità principale attiva nuovamente il dispositivo di commutazione 7, in corrispondenza del punto 58, attraverso l'interfaccia di ingresso/uscita 11 (linea 15 della figura 1) e, pertanto, viene nuovamente aperto il commutatore 18 mentre il commutatore 17 viene nuovamente chiuso. La memoria di transito 5 risulta ancora presente nello spazio di indirizzo dell'unità secondaria 2 e questo viene segnalato come un segnale di stato, o di condizione, all'unità secondaria, attraverso il conduttore 59. Quando si verifica questa condizione, il ciclo è completo. Nel punto 60, l'unità principale ritorna all'operazione precedente oppure inizia una nuova operazione.

Il trasferimento dei dati dall'unità principale ad una unità secondaria, viene condotto in modo completamente analogo e, in questo caso, l'unità principale rappresenta il trasmettitore, mentre l'unità secondaria costituisce il ricevitore. In questo caso, l'unità principale acquisisce la memoria di transito dell'unità secondaria corrispondente nel proprio spazio di indirizzo, trasferisce il corrispondente blocco di parametri ed i dati nella memoria di transito e, successivamente, commuta quest'ultima nello spazio di indirizzo dell'unità secondaria.

Il trasferimento dei dati fra due unità secondarie viene sempre condotto in modo analogo mentre, ad esempio, l'unità secondaria 2 opera come un trasmettitore, mentre l'unità secondaria 3 opera come un ricevitore. Il trasmettitore verifica dapprima se la memoria di transito 5 assegnata allo stesso, si trova nel proprio spazio di indirizzo. Se si verifica questa condizione, il trasmettitore registra nella stessa, i dati che devono venire trasmessi ed anche l'associato blocco dei parametri e segnala queste condizioni all'unità principale 1 attraverso le interfacce di ingresso/uscita 11, 12 e, successivamente, l'unità principale commuta la memoria di transito 5, per mezzo del dispositivo di commutazione 7, che viene attivato attraverso l'interfaccia di ingresso/uscita 12, nel proprio spazio di indirizzo e legge l'indirizzo del ricevitore dal blocco dei parametri. Successivamente, l'unità principale verifica, attraverso le interfacce di ingresso/uscita del ricevitore specificato e rappresentate, in questo caso, dalle interfacce di ingresso/uscita 13, 14 dell'unità secondaria 3, se l'unità secondaria 3 è pronta per l'accettazione di nuovi dati.

Appena si verifica questa condizione, l'unità principale commuta, attraverso il dispositivo di commuta-

zione, 8, attivato attraverso l'interfaccia di ingresso/uscita 14, la memoria di transito 6 dell'unità asservita 3, nel proprio spazio di indirizzo e registra i dati dalla memoria di transito 5 del trasmettitore, nella memoria di transito 6 del ricevitore. Successivamente, l'unità principale informa l'unità secondaria 3, tramite le interfacce di ingresso/uscita 13, 14, che nuovi dati sono disponibili e commuta, attraverso il dispositivo di commutazione 8, la memoria di transito 6 nello spazio di indirizzo dell'unità secondaria 3 e, successivamente, la memoria di transito 3 legge il blocco dei parametri presente nella propria memoria di transito e svolge le varie operazioni corrispondenti.

Allo scopo di ottenere una elevatissima velocità di trasmissione dei dati, è vantaggioso operare in modo tale che il trasferimento dei dati dalla memoria di transito del trasmettitore alla memoria di transito del ricevitore possa avvenire in un modo di per sé noto, utilizzando una unità di accesso diretto ad una memoria, talvolta considerata come unità DMA (direct memory access) la quale, dopo essere stata caricata con i dati corrispondenti, da parte dell'unità principale 1 guadagna automaticamente l'accesso al canale omnibus comune 4 e trasferisce i contenuti

completi della memoria di transito del trasmettitore, come un blocco, alla memoria di transito del ricevitore. Una unità ad accesso diretto in memoria, appartenente a questo tipo, è stata indicata schematicamente in 72 nella figura 1 e la stessa può essere formata, ad esempio, da un circuito integrato, reperibile in commercio, contraddistinto dal riferimento Z 80 DMA. Se viene impiegata una unità DMA, l'unità principale inizierà la trasmissione del blocco completo introducendo l'indirizzo della memoria di transito del corrispondente trasmettitore, l'indirizzo della memoria di transito del ricevitore desiderato e la lunghezza del blocco mentre, successivamente, questo blocco verrà automaticamente trasmesso fra la esecuzione dei vari comandi di un programma arbitrario dell'unità principale, vale a dire in un modo trasparente per l'unità principale. Dopo il completamento dell'operazione di trasmissione del blocco, l'unità principale verrà informata.

E' stato pure riscontrato vantaggioso disporre il sistema in modo tale che i segnali di stato, o di condizione, che vengono trasmessi attraverso le interfacce di ingresso/uscita e che, secondo quanto precedentemente descritto, indicano la disponibilità di nuovi dati per le unità secondarie o per l'unità

principale, o l'abilità alla memorizzazione di nuovi dati, e così via, possano iniziare le corrispondenti operazioni nell'unità principale o nelle unità secondarie, operando in modo noto, provocando la generazione di segnali di interruzione, tali segnali operando in modo tale da interrompere la sequenza del programma in corso, dopo il completamento di una fase operativa attualmente condotta o in corrispondenza di un punto, nella sequenza, nel quale, in accordo con le tecniche di programmazione, viene consentita una interruzione mentre l'operazione indicata dal segnale di interruzione verrà eseguita in accordo con la corrispondente priorità. Conseguentemente, il carico sul microcalcolatore può venire ridotto e possono venire minimizzati i ritardi.

Inoltre, secondo quanto precedentemente citato, le interfacce di ingresso/uscita possono venire realizzate in modo tale da trasmettere pure segnali rappresentativi di errori, in modo tale da evitare la formazione di intasamenti di un certo tipo. Questo intasamento potrebbe verificarsi, ad esempio, per il fatto che un errore che si verifica durante la trasmissione dei dati non potrebbe venire altrimenti segnalato all'unità principale, attraverso la corrispondente memoria di transito poichè questa memoria

di transito verrebbe bloccata dai dati. In un sistema del tipo precedentemente descritto, questo segnale di errore può venire trasmesso attraverso le corrispondenti interfacce di ingresso/uscita, consentendo in tal modo all'unità principale di correggere l'errore.

Potrebbe verificarsi che un blocco di dati da trasmettere superi la capacità della memoria di transito.

In questo caso, il blocco deve venire trasmesso in parti, il blocco associato di parametri venendo trasmesso soltanto con la prima parte, oppure con ciascuna parte. In questo caso, l'unità principale può svolgere le varie operazioni di trasmissione dei dati che vengono richieste, intercalate con altre operazioni, vale a dire in un modo quasi-simultaneo con le stesse.

In un sistema del tipo precedentemente descritto, è possibile operare in modo tale che l'unità principale possa acquisire i comandi per l'elaborazione dei dati, dalle unità asservite, quando appropriato, oltre allo svolgimento della propria funzione caratteristica consistente nel controllo del sistema e nella trasmissione dei dati, in modo tale da consentire lo sfruttamento, in modo ottimale della capacità di cal-

colo dei vari microcalcolatori individuali, in modo tale che le istruzioni per l'elaborazione dei dati che utilizzerebbero altrimenti un microcalcolatore operante soltanto scarsamente come unità secondaria, possano venire acquisite dal microcalcolatore operante come unità principale, con conseguente possibilità di aumento del valore del carico dello stesso. Ovviamente, le istruzioni potrebbero pure venire trattate dai soli microcalcolatori ausiliari.

La figura 4 costituisce un diagramma a blocchi di un sistema di elaborazione di un testo. Nello schema rappresentato nella figura 4, il numero di riferimento 1 contraddistingue un microcalcolatore operante come unità principale, detto calcolatore presentando il proprio canale omnibus 4 operante come un canale omnibus comune. Tre ulteriori microcalcolatori 61, 62 e 63, operano come unità secondarie, o asservite, mentre viene prevista una rispettiva unità di trasmissione 64, 65 e 66 fra il canale omnibus comune 4 ed ognuna di queste unità asservite. La costruzione di ognuna di queste unità di trasmissione è analoga a quella di ognuna delle unità di trasmissione 23 e 24 del sistema elaboratore di dati rappresentato nella figura 1 e, pertanto, ogni unità comprende una memoria di transito, un dispositivo di commuta-

zione e due interfacce di ingresso /uscita.

Ogni unità asservita svolge la propria funzione, ossia, ad esempio, l'unità asservita 61 provvede al controllo di un dispositivo di visualizzazione 67, l'unità secondaria 62 provvede al controllo di due memorie a dischi 68 e 69 mentre l'unità asservita 63 viene utilizzata per la trasmissione di dati, ad esempio attraverso dispositivi telefonici. L'unità principale 1 non solo controlla il sistema e la trasmissione dei dati ma controlla pure una stampante 70. L'unità principale 1 è pure collegata ad un dispositivo 71 per l'immissione di dati comprendente una tastiera, per mezzo della quale le varie istruzioni vengono alimentate al sistema mentre vengono immessi i vari dati rappresentati, in questo caso da testi, e così via. Un sistema di questo tipo consente la composizione, l'editazione, la memorizzazione intermedia e la stampa finale o il trasferimento di testi ad un ulteriore sistema per l'elaborazione di testi. Come risultato del modo secondo il quale cooperano i vari microcalcolatori individuali, possono essere svolti compiti molto complessi.

La trasmissione e l'elaborazione dei dati o dei testi, viene ottenuta nello stesso modo precedentemente descritto con riferimento al sistema schematiz-

zato nella figura 1. Ad esempio, se determinati dati devono venire alimentati, sotto il comando del dispositivo di immissione dei dati 71, dalla memoria a dischi 62 al dispositivo di visualizzazione 67, in una determinata forma, l'unità principale 1 istruisce la memoria di transito dell'unità di trasmissione 65, in modo tale che la stessa possa venire caricata con i dati corrispondenti provenienti dall'unità ausiliaria 62. Questa operazione viene confermata alla unità principale la quale commuta quindi il campo di indirizzo costituito dalla memoria di transito della unità di trasmissione 65, nel proprio spazio di indirizzo mentre verifica se, l'unità asservita 61 è pronta per il prelievo dei dati. Appena si verifica questa condizione, il campo di indirizzo, costituito dalla memoria di transito dell'unità di trasmissione 64, viene commutato nello spazio di indirizzo della unità principale 1 e, successivamente, si verificherà la trasmissione dei dati da una memoria di transito all'altra. Questo può comportare una memorizzazione intermedia nell'unità principale. Successivamente, il campo di indirizzo, costituito dalla memoria di transito dell'unità di trasmissione 64, viene nuovamente commutato nello spazio di indirizzo dell'unità ausiliaria 61 la quale viene informata della disponi-

bilità dei dati, mentre, successivamente, questa unità svolge le varie operazioni che vengono richieste e, pertanto, i dati richiesti vengono infine visualizzati sul dispositivo di visualizzazione 67, nella forma desiderata. La trasmissione dei corrispondenti segnali di stato, o di condizione, ed anche il controllo dei corrispondenti dispositivi di commutazione per le memorie di transito avverranno nuovamente per attraverso le interfacce di ingresso/uscita delle unità di trasmissione 64 e 65.

La cooperazione, ad esempio fra una memoria a dischi e la stampante 70, viene ottenuta in modo analogo, mentre la stessa unità principale 1 controlla la stampante, in questo caso specifico. L'esecuzione di altri compiti specifici nel sistema di elaborazione dei testi, viene condotta in modo similare.

RIVENDICAZIONI

1. Impianto di elaborazione di dati con almeno due microcomputer, i quali sono collegati ad un Bus comune, in maniera che un microcomputer, quale campione, controllo almeno un altro microcomputer agente quale dipendente, caratterizzato dal fatto che il Bus del campione è previsto quale Bus comune, e dal fatto che a ciascuno dipen-

dente é associato un dispositivo dimemoria, previsto per la memorizzazione intermedia e la trasmissione di dati, dispositivo che é collegabile, con il dispositivo di inserimento ad esso associato, alternativamente sia al Bus dei dipendenti che al Bus comune, dal fatto che inoltre ad ogni dipendente sono associati, per la trasmissione delle comunicazioni di stato relative dal campione e dai dipendenti, due posti di accettazione e smistamento collegati fra di loro, dei quali uno é collegato al Bus comune e l'altro al Bus dei dipendenti e il posto di accettazione e di smistamento, che é collegato al Bus comune, é previsto per il controllo del dispositivo di inserimento della memoria associata a tale dipendente e dal fatto che lo spazio di indirizzo del campione é approntato per l'accettazione di almeno uno spazio di indirizzo di una memoria.

2. Impianto di elaborazione di dati secondo la rivendicazione 1, caratterizzato dal fatto che, in caso di previsione di parecchi dipendenti, lo spazio di indirizzo é approntato l'accettazione dello spazio di indirizzo di tutte le memorie.

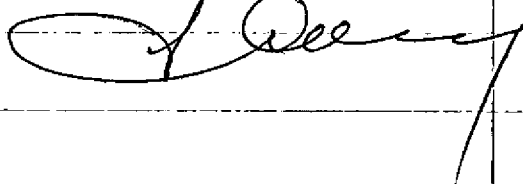
3. Impianto di elaborazione dei dati secondo la rivendicazione 1 oppure 2, carat-

terizzato dal fatto che la trasmissione di dati da
e/o ad una memoria avviene mediante una unità di
memoria di-retta e di accettazione, e accede ad
un Bus comune.

4. Impianto di elaborazione di
dati secondo una delle rivendicazioni che precedono,
caratterizzato dal fatto che comunicazioni di stato
trasmesse tramite il posto di accettazione e smista-
mento controllano il campione ed i dipendenti me-
diante segnali di interruzione.

PER TRADUZIONE CONFORME

UFFICIO BREVETTI ING. C. GREGORI



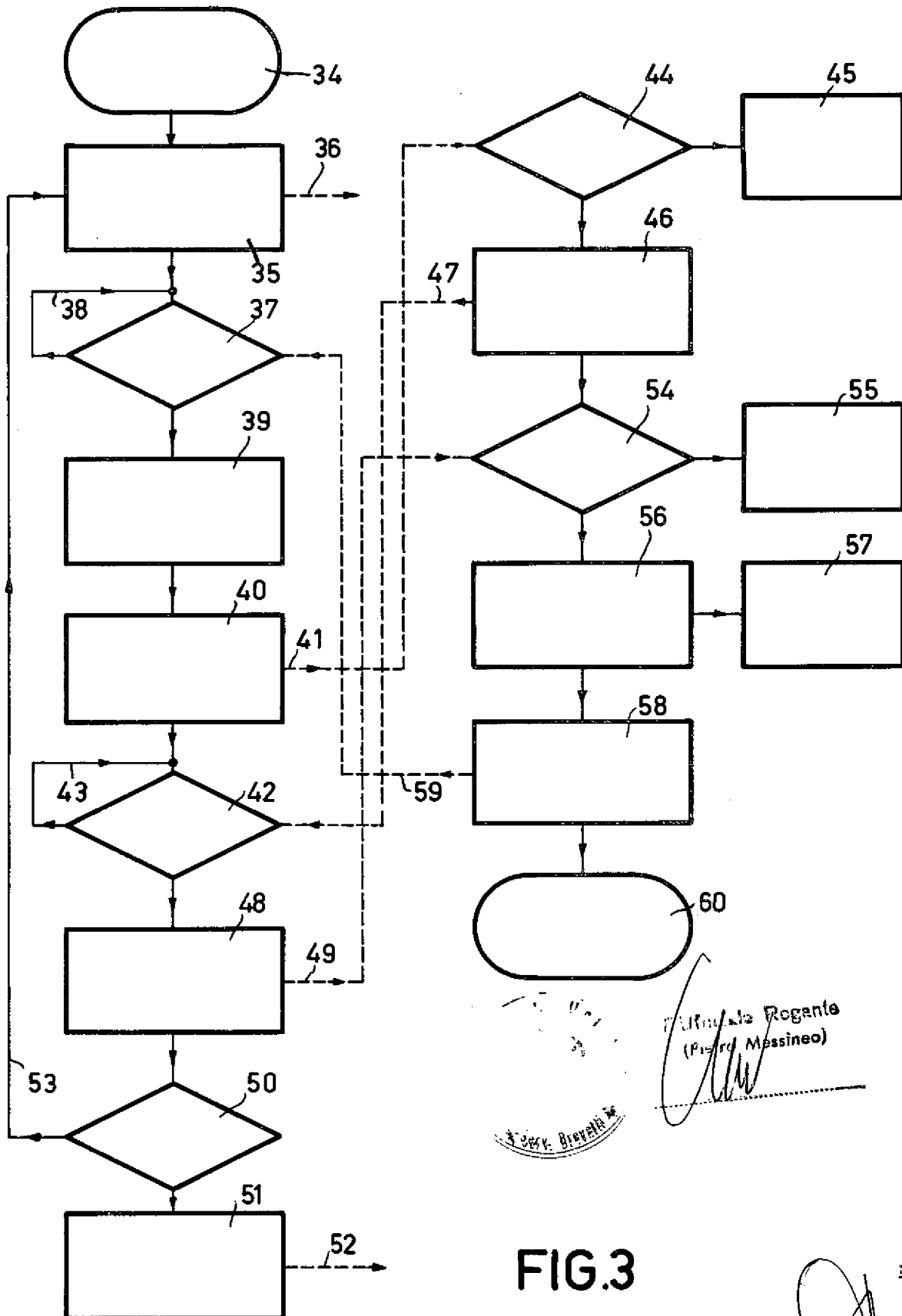


FIG.3

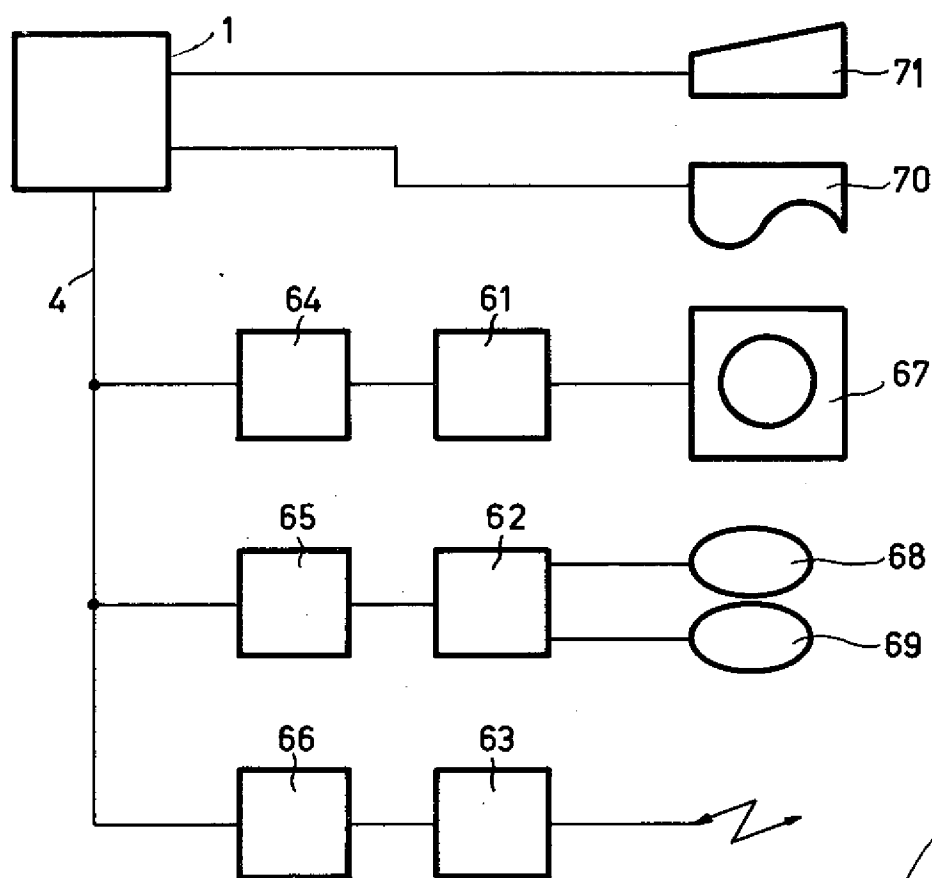


FIG.4



l'Ufficiale Rogante
(Pietro Messineo)

[Handwritten signature]

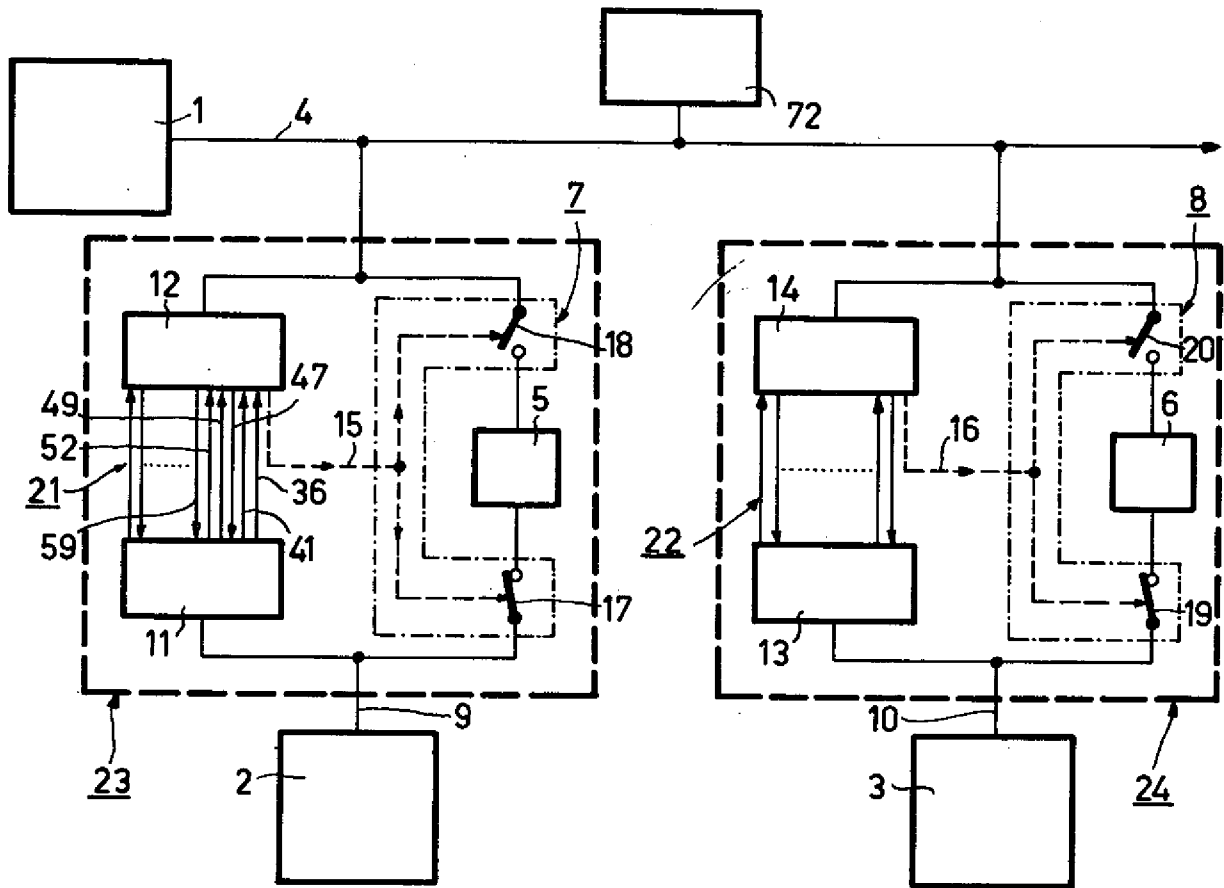


FIG. 1

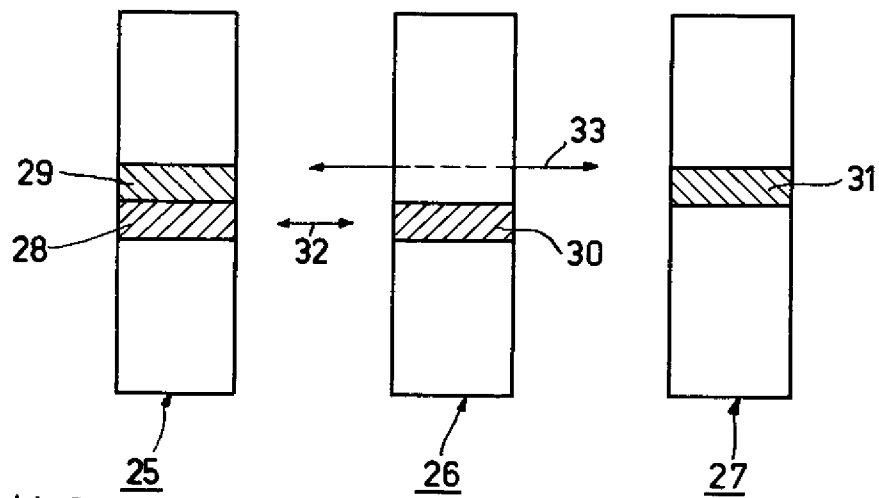


FIG. 2



Ufficio Brevetti
 (Pietro Messineo)

UFFICIO BREVETTI
 Ing. C. FREGOLI

64175