

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4834403号
(P4834403)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年9月30日(2011.9.30)

(51) Int.Cl.	F I
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 7
H O 1 L 21/8246 (2006.01)	H O 1 L 43/08 Z
H O 1 L 43/08 (2006.01)	G 1 1 C 11/15 1 3 0
G 1 1 C 11/15 (2006.01)	

請求項の数 37 (全 16 頁)

(21) 出願番号	特願2005-511759 (P2005-511759)	(73) 特許権者	505214076
(86) (22) 出願日	平成15年12月9日(2003.12.9)		アプライド スピントロニクス テクノロ
(65) 公表番号	特表2006-511976 (P2006-511976A)		ジー インコーポレイテッド
(43) 公表日	平成18年4月6日(2006.4.6)		APPLIED SPINTRONICS
(86) 国際出願番号	PCT/US2003/039288		TECHNOLOGY, INC.
(87) 国際公開番号	W02004/053880		アメリカ合衆国 95035 カリフォル
(87) 国際公開日	平成16年6月24日(2004.6.24)		ニア州 ミルピタス エス. ミルピタス
審査請求日	平成18年9月12日(2006.9.12)		ブルバード 463
(31) 優先権主張番号	60/431,742	(74) 代理人	100068755
(32) 優先日	平成14年12月9日(2002.12.9)		弁理士 恩田 博宣
(33) 優先権主張国	米国 (US)	(74) 代理人	100105957
(31) 優先権主張番号	10/459,133		弁理士 恩田 誠
(32) 優先日	平成15年6月11日(2003.6.11)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 磁気書き込み線を利用したMRAMメモリ

(57) 【特許請求の範囲】

【請求項1】

磁気メモリであって、

磁気トンネリング接合スタックをそれぞれ含む複数の磁気メモリ・セルであって、該複数の磁気トンネリング接合スタックの各々は、変更可能な磁気ベクトルを有する自由層と、絶縁層と、固着層とを含み、前記自由層および前記固着層は強磁性体であり、前記絶縁層は、前記自由層と前記固着層との間に位置する、前記複数の磁気メモリ・セルと、

前記複数の磁気メモリ・セルのうちの一つの対応する磁気メモリ・セルに接続された第1の複数の書き込み線であって、該第1の複数の書き込み線は、複数の磁気ビット線であり、該第1の複数の書き込み線の各々は、磁性体を含む中心部分を含み、前記複数の磁気ビット線の各々は、対応する前記自由層の変更可能な磁気ベクトルに磁気結合されるビット線の磁気ベクトルを有し、前記複数の磁気ビット線の各々は、以下の1)及び2)の少なくとも一方、

1) 対応する前記自由層からの300オングストローム以下の離間、

2) 少なくとも300オングストロームであり、且つ前記自由層の厚さより大きな厚さを有し、

これにより、前記磁気メモリ・セルの書き込み処理中に、前記磁気ビット線の各々の前記磁気ベクトルと、対応する前記自由層の前記磁気ベクトルとの間の改良された磁束の閉鎖を提供する第1の複数の書き込み線と、

第2の複数の書き込み線とを備え、

前記複数の磁気ビット線のうちの少なくとも1つおよび前記第2の複数の書き込み線のうちの少なくとも1つは、各々、前記複数の磁気メモリ・セルのうちの少なくとも1つに書き込みを行うための電流を搬送する、磁気メモリ。

【請求項2】

請求項1に記載の磁気メモリにおいて、前記複数の磁気メモリ・セルは、複数の磁気ビット線に電氣的に接続されている、磁気メモリ。

【請求項3】

請求項1に記載の磁気メモリにおいて、前記絶縁層は、前記自由層と前記固着層との間の電荷キャリアのトンネリングを許容する厚さを有する、磁気メモリ。

【請求項4】

請求項3に記載の磁気メモリにおいて、前記複数の磁気ビット線の前記自由層からの分離は300オングストローム以下である、磁気メモリ。

【請求項5】

請求項4に記載の磁気メモリにおいて、前記複数の磁気トンネリング接合スタックの各々は、前記自由層と対応する磁気ビット線との間に非磁性キャッピング層を含み、該非磁性キャッピング層は導電性である、磁気メモリ。

【請求項6】

請求項5に記載の磁気メモリにおいて、前記非磁性キャッピング層は高導電性金属である、磁気メモリ。

【請求項7】

請求項6に記載の磁気メモリにおいて、前記高導電性金属は、金、銅、アルミニウム、ロジウム、ルテニウム、タンタル、および/またはその合金を含む、磁気メモリ。

【請求項8】

請求項5に記載の磁気メモリにおいて、前記非磁性キャッピング層は銅を含み、前記対応する磁気ビット線は、前記銅と前記対応する書き込み線の残り部分との間に、拡散バリアを含む、磁気メモリ。

【請求項9】

請求項8に記載の磁気メモリにおいて、前記自由層は、前記銅と前記自由層との間に第2拡散バリアを含む、磁気メモリ。

【請求項10】

請求項9に記載の磁気メモリにおいて、前記拡散バリアおよび前記第2拡散バリアはコバルト-鉄を含む、磁気メモリ。

【請求項11】

請求項3に記載の磁気メモリにおいて、前記磁気ビット線は第1の厚さを有し、該第1の厚さは、前記自由層の第2の厚さよりも大きい、磁気メモリ。

【請求項12】

請求項11に記載の磁気メモリにおいて、前記第1の厚さは前記第2の厚さの10倍である、磁気メモリ。

【請求項13】

請求項11に記載の磁気メモリにおいて、前記第1の厚さは少なくとも300オングストロームである、磁気メモリ。

【請求項14】

請求項1に記載の磁気メモリにおいて、前記複数の書き込み線は軟磁性材料を含む、磁気メモリ。

【請求項15】

請求項14に記載の磁気メモリにおいて、前記軟磁性材料は、コバルト、ニッケル、鉄、および/またはその合金を含む、磁気メモリ。

【請求項16】

請求項1に記載の磁気メモリにおいて、前記複数の書き込み線は複数の磁性層の複合体を含む、磁気メモリ。

10

20

30

40

50

【請求項 17】

請求項 1 に記載の磁気メモリにおいて、前記複数の書き込み線の各々は、前記複数の書き込み線の各々の長さ方向に対して実質的に平行に配向されている容易軸を有する、磁気メモリ。

【請求項 18】

請求項 5 に記載の磁気メモリにおいて、前記非磁性キャッピング層および前記対応する磁気ビット線は、前記磁気トンネリング接合スタックの上方に配置されており、前記第 2 の複数の書き込み線は、前記複数の磁気ビット線の上方に配置され、前記複数の磁気ビット線に対して実質的に直交するように配向されている、磁気メモリ。

【請求項 19】

請求項 18 に記載の磁気メモリにおいて、前記複数の磁気ビット線は、300 オングストロームと 3000 オングストロームとの間の厚さを有することにより、前記第 2 の複数の書き込み線と前記自由層との間の分離を最小限とする、磁気メモリ。

【請求項 20】

請求項 5 に記載の磁気メモリにおいて、前記磁気トンネリング接合スタックは、更に、第 2 絶縁層と第 2 固着層とを含み、前記自由層は、前記絶縁層と前記第 2 絶縁層との間に挟持され、前記第 2 絶縁層は前記自由層と前記第 2 固着層との間に位置する、磁気メモリ。

【請求項 21】

請求項 1 に記載の磁気メモリであって、更に、複数の選択素子を備えており、該複数の選択素子の 1 つは前記複数の磁気メモリ・セルの各々に対応し、前記複数の選択素子の各々はゲートを含む FET であり、前記ゲートが追加の読み出しワード線に接続されている、磁気メモリ。

【請求項 22】

請求項 1 に記載の磁気メモリであって、更に、複数の選択素子を備えており、該複数の選択素子の各々は前記複数の磁気メモリ・セルの各々に対応し、前記複数の選択素子の各々はダイオードである、磁気メモリ。

【請求項 23】

請求項 1 に記載の磁気メモリにおいて、前記第 2 の複数の書き込み線は、第 2 の複数の磁気ビット線である、磁気メモリ。

【請求項 24】

磁気メモリの利用方法であって、

(a) 書き込みモードにおいて、複数のメモリ・セルに書き込みを行うステップであって、複数の磁気メモリ・セルの各々は、磁気トンネリング接合スタックを含み、該複数の磁気トンネリング接合スタックの各々は、変更可能な磁気ベクトルを有する自由層と、絶縁層と、固着層とを含み、前記自由層および前記固着層は強磁性体であり、前記絶縁層は、前記自由層と前記固着層との間に位置し、前記複数のメモリ・セルは、第 1 の複数の書き込み線と第 2 の複数の書き込み線とに連結され、前記第 1 の複数の書き込み線の各々は、磁性体を含む中心部分を含む磁気ビット線であり、該複数の磁気ビット線のうちの少なくとも 1 つおよび前記第 2 の複数の書き込み線のうちの少なくとも 1 つは、各々、前記複数の磁気メモリ・セルのうちの少なくとも 1 つに書き込みを行うための電流を搬送し、

前記複数の磁気ビット線の各々は、対応する前記自由層の変更可能な磁気ベクトルに磁気結合されるビット線の磁気ベクトルを有し、前記複数の磁気ビット線の各々は、以下の 1) 及び 2) の少なくとも一方、

1) 対応する前記自由層からの 300 オングストローム以下の離間

2) 少なくとも 300 オングストロームであり、且つ前記自由層の厚さより大きな厚さを有し、

これにより、前記磁気メモリ・セルの書き込み処理中に、前記磁気ビット線の各々の前記磁気ベクトルと、対応する前記自由層の前記磁気ベクトルとの間の改良された磁束の閉鎖を提供する、前記書き込みを行うステップと、

(b) 読み出しモードにおいて、前記複数のメモリ・セルから読み出しを行うステップ

10

20

30

40

50

と、
を備える方法。

【請求項 2 5】

請求項 2 4 に記載の方法において、前記複数の磁気メモリ・セルは、複数の磁気ビット線に電氣的に接続されている、方法。

【請求項 2 6】

請求項 2 5 に記載の方法において、前記絶縁層は、前記自由層と前記固着層との間の電荷キャリアのトンネリングを許容する厚さを有する、方法。

【請求項 2 7】

請求項 2 6 に記載の方法において、前記複数の磁気ビット線の前記自由層からの分離は 3 0 0 オングストローム以下である、方法。 10

【請求項 2 8】

請求項 2 7 に記載の方法において、前記複数の磁気トンネリング接合スタックの各々は、前記自由層と対応する磁気ビット線との間に非磁性キャッピング層を含み、該非磁性キャッピング層は導電性である、方法。

【請求項 2 9】

請求項 2 8 に記載の方法において、前記非磁性キャッピング層は高導電性金属である、方法。

【請求項 3 0】

請求項 2 8 に記載の方法において、前記非磁性キャッピング層は銅を含み、前記対応する磁気ビット線は、前記銅と前記対応する書き込み線の残り部分との間に、拡散バリアを含む、方法。 20

【請求項 3 1】

請求項 3 0 に記載の方法において、前記自由層は前記銅と前記自由層との間に第 2 拡散バリアを含む、方法。

【請求項 3 2】

請求項 2 6 に記載の方法において、前記磁気ビット線は第 1 の厚さを有し、該厚さは対応する前記自由層の第 2 の厚さよりも大きい、方法。

【請求項 3 3】

請求項 3 2 に記載の方法において、前記第 1 の厚さは少なくとも 3 0 0 オングストロームである、方法。 30

【請求項 3 4】

請求項 2 4 に記載の方法において、前記複数の書き込み線は軟磁性材料を含む、方法。

【請求項 3 5】

請求項 2 4 に記載の方法において、前記複数の書き込み線は複数の磁性層の複合体を含む、方法。

【請求項 3 6】

請求項 2 4 に記載の方法において、前記複数の書き込み線の各々は、前記複数の書き込み線の各々の長さ方向に対して実質的に平行に配向されている容易軸を有する、方法。

【請求項 3 7】

請求項 2 4 に記載の方法において、前記第 2 の複数の書き込み線は、第 2 の複数の磁気ビット線である、方法。 40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、磁気メモリに関し、更に特定すれば、好ましくは高密度であり、不揮発性であり、書き込み効率を高めた書き込み線を内蔵し、製造が容易であり、エレクトロマイグレーションに対する信頼性を向上させた磁気ランダム・アクセス・メモリ (M R A M : Magnetic Random Access Memory) を提供する方法およびシステムに関する。

【0 0 0 2】

本願は、35 USC 119(e)に基づいて、2002年12月9日に出願された仮特許出願第60/431,742号の優先権を主張する。

本願は、2003年2月5日に出願され、高密度および高プログラミング効率のMRAM設計(HIGH DENSITY AND HIGH PROGRAMING EFFICIENCY MRAM DESIGN)と題された同時係属中の米国特許出願第60/444,881号(2817P)に関連する。この出願は本願の譲受人に譲渡されている。本願は、MRAMアーキテクチャならびに該アーキテクチャを利用してMRAMメモリを製造する方法およびシステム(MRAM ARCHITECTURE AND A METHOD AND SYSTEM FOR FABRICATING MRAM MEMORIES UTILISING THE ARCHITECTURE)と題された同時係属中の米国特許出願に関連する。この出願は本願の譲受人に譲渡されている。本発明は、磁気書き込み線を有するMRAMアレイ(MRAM ARRAY WITH MAGNETIC WRITE LINES)と題された同時係属中の米国特許出願に関連する。この出願は本願の譲受人に譲渡されている。

【背景技術】

【0003】

DRAM、FLASH、およびSRAMは、市場において主要な3種類の半導体メモリである。DRAMの製造コストは最も低い、DRAMにはいくつかの欠点がある。DRAMは、揮発性であり、したがって、電源を切るとデータが失われる。更に、DRAMはリフレッシュを必要とし、比較的速度が遅く、消費電力が多い。FLASHメモリは、不揮発性であるが、その速度は非常に遅い。加えて、FLASHメモリの書き込みサイクルの耐久性は、通例1000,000サイクル未満である。これらの欠点のために、FLASHメモリの用途は一部の高データ・レート市場に限定されている。SRAMは高速メモリであるが、揮発性であり、セル当たり占有するシリコン面積量が比較的大きい。高速、不揮発性、小セル面積、および高い耐久性が得られる万能のランダム・アクセス・メモリの研究において、薄膜磁気ランダム・アクセス・メモリ(MRAM)が開発された。

【0004】

従来の薄膜磁気ランダム・アクセス・メモリは、異方性磁気抵抗(AMR: Anisotropic Magnetoresistance)セル、巨大磁気抵抗(GMR: Giant Magnetoresistance)セル、および磁気トンネリング接合(MTJ: Magnetic Tunneling Junction)セルを含む種々の従来のメモリ・セル形式を用いて製造可能である。従来のMTJセルは製造および使用が最も簡単であるので、本開示全体において、これを主な例として用いることとする。しかしながら、これらの概念が他のMRAMセルやアレイにも適用されることは、当業者には容易に理解できよう。従来のMTJセルは、基本的にMTJスタックを含む。MTJスタックは、一対の磁性層と、それらの間に挟持された絶縁層とを含む。磁性層の一方、固着層の磁気ベクトルは固定されている(固定磁化)。他方の磁性層(自由層)は変更可能な磁気ベクトル(可変磁化)を有する。可変磁気ベクトルは、固着層における固定磁気ベクトルに対して平行、あるいは実質的に反平行のいずれかに位置合わせされ安定している。磁気ベクトルがそろっているとき、従来のMTJスタック、したがって、従来のMTJセルの抵抗、即ち、磁性層間の電流に対する抵抗は最少となる。磁気ベクトルが対向する、即ち、そろっていないとき、従来のMTJセルの抵抗は最大となる。

【0005】

従来のMTJセルにデータを記憶するために、従来のMTJセルに磁界が印加される。印加された磁界の方向は、自由層の可変磁気ベクトルが選択された方位を向くように選択される。別の言い方をすれば、従来のMTJセルに書き込みを行うには、自由層の磁気ベクトルの方向を変化させることが可能な磁界を印加するのが通常である。一般に、整列方位(aligned orientation)は論理1または0で示すことができ、一方不整列方位は逆、即ち、0または1となる。記憶したデータを読み出す、即ち、検知するには、一方の磁性層から他方の磁性層へ従来のMTJセルを通過するように電流を流す。従来のMTJセルを通過する電流量、即ち、従来のMTJセル間の電圧降下は、可変磁気ベクトルの方位に応じて変化する。

【0006】

可変磁気ベクトルの方位を変化させるための磁界は、大抵の場合、実質的に違いに直交する2本の導線によって供給される。電流が2本の導線を同時に通過すると、2本の導線における電流に伴って2つの磁界が発生する。これら2つの磁界は、自由層の可変磁気ベクトルに作用し、可変磁気ベクトルの方向を所定の方位に向けさせる。

【0007】

図1は、従来の直交導線10および12、従来の磁気記憶セル11、および従来のトランジスタ13を含む従来の磁気メモリの一部を示す。従来の磁気記憶セル11は、従来の導線10と12との間にあり、その交点に位置する。図1に示す磁気記憶セル11は、従来のMTJスタックから成る従来のMTJセルである。従来の線10および従来の線12は、多くの場合、それぞれ、ワード線およびビット線と呼ばれている。これらの名称は、10

【0008】

従来のMTJ11のスタックは、主に、可変磁気ベクトル（明示せず）を備えた自由層1104、固定磁気ベクトル（明示せず）を備えた固着層1102、および2つの磁性層1104と1102との間にある絶縁体1103を含む。絶縁体1103の厚さは、磁性層1102と1104との間で電荷キャリアのトンネリングを可能にする程度に薄いのが通常である。層1101は、大抵の場合、シード層と、固着磁性層に強力に結合されている反強磁性層との複合体である。

【0009】

書き込みの間、従来のビット線12を流れる電流 I_1 、および従来のワード線10を流れる電流 I_2 は、自由層1104上に2つの磁界を形成する。この磁界に応答して、自由層1104の磁気ベクトルは、 I_1 および I_2 の方向および振幅、ならびに自由層1104の特性および形状に応じた方向に向き付けられる。一般に、ゼロ(0)を書き込むには、 I_1 または I_2 のいずれかの方向を、1を書き込むときとは異ならせる必要がある。読み出しの間、従来のトランジスタ13をオンにすると、微小なトンネリング電流が従来のMTJセルを通過する。従来のMTJセル11を通過して流れる電流の量、即ち、従来のMTJセル11間の電圧降下を測定し、メモリ・セルの状態を判定する。構成によっては、従来のトランジスタ13をダイオードで置き換えたり、あるいは完全に省略して、従来のMTJセル11を直接に従来のワード線10に接触させたりする場合もある。30

【0010】

従来のワード線10および従来のビット線12を用いて、上記従来のMTJセル11に書き込みを行うことができるが、 I_1 または I_2 の振幅が、殆どの構成では、数ミリアンペア程度であることは当業者には理解されよう。したがって、多くのメモリ用途では更に微小な書き込み電流が望まれていることも、当業者には理解されよう。

【0011】

図2は、書き込み電流を小さくした従来の磁気メモリの一部を示す。同様のシステムが、米国特許第5,659,499号、第5,940,319号、第6,211,090号、第6,153,443号、および米国特許出願公開第2002/0127743号に記載されている。これらの引例に開示されている従来のシステムおよび従来のシステムを製造するための従来の方法では、MTJセル11'に面していない3つの表面において軟磁性被覆層によってビット線およびワード線を被覆する。図2に示す従来のメモリの部分の多くは、図1に示したものに類似しており、そのため同様に付番してある。40

【0012】

図2に示すシステムは、従来のMTJセル11'、従来のワード線10'、およびビット線12'を含む。従来のワード線10'は、2つの部分、即ち、銅製コア1001および軟磁性被覆層1002で構成されている。同様に、従来のビット線12'は、2つの部分、銅製コア1201および軟磁性被覆層1202で構成されている。

【発明の開示】

【発明が解決しようとする課題】

【0013】

図1の構成に関連して、軟磁性被覆層1002および1202は、 I_1 および I_2 に伴う磁束をMTJセル11'上に集中させ、MTJセル11'に面していない表面上の磁界を減少させることができる。このように、軟磁性被覆層1002および1202は、MTJセル11'を構成するMTJ上に磁束を集中させ、自由層1104の調整を一層容易にしている。この手法は理論的には十分に機能するが、軟磁性被覆層1002および1202における従来の線10'および12'の垂直側壁に接する部分の磁気特性の制御が困難であることは、当業者には理解されよう。従来のワード線10'および従来のビット線10'を製造するプロセスが複雑であることも、当業者には理解されよう。製造方法が複雑であると、高密度化に向けた縮小化(scaling)に大きな課題を残すことになる。したがって、縮小可能であり、製造が容易であり、高い書き込み効率を実現するMRAMアーキテクチャを提供するのは非常に望ましい。

10

【0014】

更に、図1および図2に示した従来の構成では、従来の書き込み線10, 10', 12, 12'の縮小可能性には限界がある。これらの従来の構成では、従来の書き込み線10, 10', 12, 12'が殆どの場合アルミニウムまたは銅のいずれかにより製造されている。アルミニウムおよび銅の現在における密度の限界は、 $1 \times 10^6 \text{ A/cm}^2$ 以下の程度である。メモリ密度を高めるために線幅を狭めるに連れて、エレクトロマイグレーション電流密度の限界から、縮小化には課題が課される。

20

【0015】

他の従来のシステムによっては、異なる解決策を提案しようとするものもあるが、その各々にはそれ自体の欠点がある。一例として、米国特許出願公開第2002/0080643号では、書き込み動作の後に逆電流を書き込み線に印加して、エレクトロマイグレーションを防止することが提案されている。しかし、かかる従来の方法では、メモリの速度を低下させ、更に複雑化にすることにより、性能が低下することが伴う。したがって、高密度メモリ・アレイに容易に縮小可能であり、エレクトロマイグレーションに対する信頼性が高い材料により製造された書き込み線を有することも非常に望ましい。

【0016】

従来の細いビット線は、メモリの小型化または高効率化のために用いられることもあるが、欠点がある。従来の細いビット線は、高い抵抗を有する。これは、メモリ・アレイ全体の性能に悪影響を及ぼす。しかしながら、この難点を克服する従来の方法が数多く存在する。1つの一般的な方法は、メモリ・アレイ内の長いビット線を、太い金属により製造されたグローバル・ビット線にまとめ、そのグローバル・ビット線を、これらよりも細く、したがって抵抗が大きい金属により製造されたローカル・ビット線に接続することである。かかる構成の例は、米国特許第6,335,890号および米国特許出願公開第2002/0034117号によって教示されている。しかしながら、エレクトロマイグレーションのような、先に記載した他の問題は克服されないままである。

30

【0017】

したがって、縮小可能で、効率的な低電流磁気メモリを提供するシステムおよび方法が求められている。本発明は、この要望に取り組むものである。

40

【課題を解決するための手段】

【0018】

磁気ランダム・アクセス・メモリを提供して使用方法およびシステムが開示される。この方法およびシステムは、複数の磁気メモリ・セル、第1の複数の書き込み線、および第2の複数の書き込み線を設けることを含む。第1の複数の書き込み線は、複数の磁気書き込み線である。複数の磁気線のうちの少なくとも1つ、および第2の複数の書き込み線のうちの少なくとも1つは、各々、複数の磁気メモリ・セルのうちの少なくとも1つに書き込むための電流を搬送する。好ましくは、複数の磁気書き込み線は、軟磁性の特性を有する磁気ビット線である。磁気メモリ・セル内の磁気トンネリング接合スタックでは、磁気ビット線は、磁気メモリ・セルの自由層よりも遥かに厚く、これに近接して配置され

50

ていることが好ましい。

【 0 0 1 9 】

本明細書に開示するシステムおよび方法によれば、本発明は、効率を高め、エレクトロマイグレーションに対する信頼性を高めつつ、製造を一層容易にする磁気メモリを提供する。

【発明を実施するための最良の形態】

【 0 0 2 0 】

本発明は、磁気メモリにおける改良に関する。以下の説明は、当業者が本発明を実施し使用することを可能にするために提示され、特許出願およびその要件に合わせて用意されている。好適な実施形態に対する種々の変更は、当業者には容易に想起され、この中の包10括的な原理は他の実施形態にも適用可能である。したがって、本発明は、図示の実施形態に限定されることは意図しておらず、この中に記載されている原理および特徴に沿った最も広い範囲に合致するものとする。

【 0 0 2 1 】

磁気ランダム・アクセス・メモリを提供して使用方法およびシステムが開示される。この方法およびシステムは、複数の磁気メモリ・セル、第1の複数の書き込み線、および第2の複数の書き込み線を設けることを含む。第1の複数の書き込み線は、複数の磁気書き込み線である。複数の磁気線のうちの少なくとも1つ、および第2の複数の書き込み線のうちの少なくとも1つは、各々、複数の磁気メモリ・セルのうちの少なくとも1つに書き込むための電流を搬送する。好ましくは、複数の磁気書き込み線は、軟磁性の特性を20有する磁気ビット線である。磁気メモリ・セル内の磁気トンネリング接合スタックでは、磁気ビット線は、磁気メモリ・セルの自由層よりもはるかに厚く、これに近接して配置されていることが好ましい。

【 0 0 2 2 】

本発明は、特定の種類の磁気メモリ、特定の材料、および特定の構成要素による構成を用いて説明される。しかしながら、この方法およびシステムが、本発明とは矛盾しない他の磁気メモリ・セルや、他の材料および構成によっても事実上動作することは、当業者は容易に理解されよう。例えば、MTJスタックは、単一の磁性層を含むものとして説明するが、これは、他の材料、他の合金、および合成層の使用を妨げるものではない。また、本発明は磁気ビット線を用いて説明されるが、本方法およびシステムが磁気ワード線、ディ30ジット線、または単に書き込み線についても整合することは、当業者は容易に理解されよう。

【 0 0 2 3 】

本発明による方法およびシステムを更に詳細に例示するために、以下に、図3a、図3b、および図3cを参照すると、本発明によるMRAMのような、磁気メモリの一つの実施形態の一部が示されている。図3aは、本発明による磁気メモリの一部の側面図である。MRAMは、ワード線（図示せず）、磁気ビット線32のようなビット線、および複数のMRAMセルを含み、複数のMRAMセルのうちの1つが図示されている。図示のMRAMセル31は、MTJスタック31を含む。MTJスタック31は、2つの磁性層、即ち、固着層3101および自由層3103を含む。自由層3103は、可変磁気ベクトル40を有し、一方、固着層3101は、固定磁気ベクトルを有する。磁性層3101および3103は、ニッケル、コバルト、鉄、またはその合金のような磁性体により製造されることが好ましい。砷素や窒素のようなその他の元素も、所望の磁気特性を得るために添加することができる。図では自由層3103および固着層3101は各々単一層として示されているが、各層を数種類の磁性層の複合体とすることもできることは、当業者には明白であろう。固着層3101は、ここには示さないが、3101の直下にある反強磁性層、または当業者にはなじみのあるその他の手段によって固定されていることが多い。

【 0 0 2 4 】

絶縁層3102がこれら2つの磁性層を分離している。絶縁層3102は、好ましくは、酸化アルミニウム、その他の酸化物、または2つ以上の酸化物層の複合体である。また50

、絶縁層 3102 は、磁性層 3101 と 3103 との間での電荷キャリアのトンネリングを可能にする程度の薄さであることが好ましい。自由層 3103 は、金属層 3104 によって覆われていることが好ましい。図中のキャッピング層は、銅、金、銀、ロジウム、ルテニウム、アルミニウム、およびタンタルのような、高導電性金属により製造されることが好ましい。銅をキャッピング層として用いる場合、大抵の場合コバルト - 鉄（図示せず）を拡散バリアとしても用いる。かかる場合、自由層 3103 は、少なくとも数オングストロームの薄いコバルト - 鉄層をその上に含み、キャッピング層 3104 から自由層 3103 への銅の拡散を防止するようにするとよい。この拡散バリアは、ニッケル - 鉄が自由層 3103 の一部である場合に、特に有用性がある。

【0025】

磁気ビット線 32 は、MTJ スタック 31 と交差し、金属キャッピング層 3104 と接触することが好ましい。本発明では、ビット線 32 は磁気性である。磁気ビット線 32 の大部分、好ましくは全ては、ニッケル、コバルト、鉄、または NiFe のようなこれらの合金といった磁性体により製造されている。磁気ビット線 32 を構成する磁性体は、軟磁性体である。一つの実施形態では、磁気ビット線 32 のコア（中心部分）は磁気性である。好適な実施形態では、シード層のような層を除いて、磁気ビット線 32 の大部分または全ては磁気性である。磁気ビット線 32 を、更に、数種類の磁性層の複合体とすることもできる。銅を金属キャッピング層 3104 として用いる場合、磁気ビット線 32 は、銅製金属キャッピング層 3104 と磁気ビット線 32 との間の拡散バリアとして、コバルト鉄層（別個には示されていない）を少なくとも含むべきである。磁気ビット線 32 の殆どを磁性体から製造することが好ましいが、磁気ビット線 32 は非磁性金属シード層を有することもできる。しかしながら、以下で説明する理由のために、磁気ビット線 32 の磁気部分と自由層 3103 との間には、約 300 オングストローム以下の間隔があることが更に好ましい。好適な実施形態では、MTJ スタック 34 の金属シード層（図示せず）および非磁性キャッピング層 3104 を組み合わせた厚さは、依然として 300 オングストローム程度以下である。

【0026】

図 3b は、本発明による磁気ビット線 32 および MTJ スタック 31 の構造の断面図を示す。磁気ビット線 32 は幅 W32 を有する。MTJ スタック 31 は幅 W31 を有する。本発明では、磁気ビット線の幅 W32 は、MTJ スタックの幅 W31 以上であることが好ましい。図 3b では、磁気ビット線の幅 W32 は、MTJ スタックの幅 W31 よりも広い。しかしながら、自己整合パターンニング・プロセスを用いれば、幅が実質的に等しい磁気ビット線 32 および MTJ スタック 31 を生成することができ、これら 2 つの間で実質的に完全な整合を得ることができる。かかるプロセスでは、磁気ビット線の幅 W32 および MTJ スタックの幅 W31 は、イオン・ミリングのような 1 回のエッチング・プロセスによって決定される。

【0027】

図 3c は、本発明による磁気ビット線 32 および MTJ スタック 31 の実施形態の平面図である。図 3c において、MTJ スタック 31 は、長方形の形状を有し、その長軸が磁気ビット線 32 と実質的に一致するように示されている。このように、MTJ スタック 31 は、自由層 3103 の磁気ベクトルが実質的に磁気ビット線 32 に沿って長さ方向に向くような形状異方性を有する。以下の説明では、この形状異方性を仮定して説明を続けることとする。しかしながら、自由層 3103 の他の形状や磁気ベクトルの他の方位も、本発明と整合することを注記しておく。例えば、自由層の容易軸がビット線の長さ方向に直交して配向されていたとしても、本発明は機能することを注記しておく。

【0028】

図 4 は、図 3a、図 3b、および図 3c に記載した自由層 3103 および磁気ビット線 32 の MRAM の部分の実施形態の平面図である。図 4 では、磁気ビット線 32 の磁気ベクトル M321、M322、および M323 の表示が示されている。本発明によれば、磁気ベクトルは、ビット線に実質的に平行に長さ方向に配向されることになっている。また

10

20

30

40

50

、図4には、自由層3103の磁気ベクトル M_{311}/M_{312} も示されている。静止状態では、自由層の磁気ベクトル M_{311}/M_{312} は容易軸方向を向くはずである。したがって、例示の目的で、自由層のベクトルは、 M_{311} または M_{312} のいずれかとして示されており、メモリ・セル31の2つの論理状態を表している。加えて、図4は、MTJスタック31の形状のために、磁気ビット線32と実質的に一致する長軸と平行な、MTJスタック31の自由層3103の容易軸も示す。しかしながら、自由層3103の容易軸を、固有異方性および/または応力異方性による等、別の方法で誘導することもできる。好適な実施形態では、自由層の容易軸は、形状、固有異方性、および応力誘導異方性の組み合わせによって誘導されている。

【0029】

10

図5は、書き込みの間の磁気メモリの一部の一つの実施形態を示す。図5は、磁気ビット線32を流れる書き込み電流 I_{32} が存在する場合における、図4に表したような、磁気ビット線32および自由層3103の磁気ベクトルを示す。尚、論理状態は、自由層の磁気ベクトル M_{312} に対応すると仮定する。電流 I_{32} が誘導する磁界が、右手の法則にしたがって、自由層の磁気ベクトル M_{312} を回転させる。したがって、自由層3103の磁気ベクトル M_{312} は、図5に示すように下に回転する。磁気ビット線32の磁気ベクトル M_{322} が自由層3103に近接しているので、 M_{322} は、自由層磁気ベクトル M_{312} と強い静磁気結合を有する。その結果、 M_{322} も、図5に示すように、上に回転し、磁気ビット線32に垂直な方向に磁束の閉鎖(flux closure)を形成する。

【0030】

20

好適な実施形態では、磁気ビット線32の磁気モーメントは、自由層3103の磁気モーメントよりも遥かに大きい。好ましくは、磁気ビット線32の厚さを自由層3103のそれよりも遥かに大きくすることによって、これを確保する。磁気ビット線32のモーメントは、自由層3103のそれよりも遥かに大きいので、ビット線磁気ベクトル M_{322} の回転角度 θ_{322} は、自由層磁気ベクトル M_{312} の回転角度 θ_{312} よりも遥かに小さい。好適な実施形態では、磁気ビット線32の磁気ベクトル M_{322} は、したがって、書き込み動作の間中、実質的に磁気ビット線32の長さ方向を向き続ける。言い換えると、自由層磁気ベクトルの逆転の間、磁気ビット線32の磁気ベクトル M_{322} は、極めて微小な角度だけビット線の長さ方向から逸れるに過ぎない。好適な実施形態では、ビット線磁気ベクトル M_{322} の回転角度 θ_{322} の正弦の自由層磁気ベクトル M_{312} の回転角度 θ_{312} の正弦に対する比率は、大まかに次の通りである。

30

$\sin(\theta_{322})/\sin(\theta_{312}) \sim (\text{自由層3103の総モーメント})/(\text{磁気ビット線32の総モーメント})$

磁気ビット線32の磁気モーメントが少なくとも自由層3103の磁気モーメントの10倍であることを確保することによって、ビット線磁気ベクトルに対する微小回転角度が得られる。実際には、少なくとも300オングストローム以上の線の厚さをビット線32に与えることによって、この磁気モーメントの差を得ることが好ましい。

【0031】

ワード線30の書き込み効率を悪化させることなく磁気ビット線32の書き込み効率を高めるためには、磁気ビット線32のビット線磁気ベクトル M_{322} にとって、微小回転角度 θ_{322} が望ましい。図5に示すように、磁気メモリはワード線30も含み、好適な実施形態では、ワード線30は磁気ビット線32に実質的に直交して引かれている。書き込みの間、電流 I_{30} がワード線30を流れ、一方、電流 I_{32} が磁気ビット線32を流れる。2つの電流(I_{30} および I_{32})およびワード線電流 I_{30} の極性の組み合わせによって、自由層3103の磁気ベクトル(M_{311}/M_{312})の最終的な方向が決定される。別の言い方をすれば、2つの電流 I_{30} および I_{32} を組み合わせるとMTJスタック31に書き込みを行う。書き込みの間、 I_{30} が生成する磁界 F_{30} は、磁気ビット線32に沿って実質的に長さ方向を向く。磁界 F_{30} の極性は、図5に示すように左または右であるが、 I_{30} の極性によって決定される。磁界 F_{30} の極性は、MTJセル31に書き込まれる論理状態を決定する。

40

50

【 0 0 3 2 】

磁界 F 3 0 は、ビット線磁気ベクトル M 3 2 2 および自由層磁気ベクトル M 3 1 2 双方にトルクを生成する。θ 3 1 2 が θ 3 2 2 よりも遥かに大きいと、磁界 F 3 0 によって自由層磁気ベクトル M 3 1 2 に関して生成されるトルクは、ビット線磁気ベクトル M 3 2 2 に関するトルクよりも遥かに大きくなる。更に、θ 3 2 2 が無視できる程小さい場合、M 3 2 2 に関するトルクも無視できる。その結果、ビット線磁気ベクトル M 3 2 2 は、磁気ビット線 3 2 に沿って、実質的に長さ方向を向き続け、磁束の閉鎖が維持される。このように、ワード線 3 0 の書き込み効率が悪化することなく、磁気ビット線 3 2 の書き込み効率は、磁束の閉鎖によって大幅に向上する。

【 0 0 3 3 】

磁気ビット線 3 2 の厚さが自由層 3 1 0 3 よりも遥かに大きいことに加えて、磁気ビット線の磁気ベクトル M 3 2 2 と自由層の磁気ベクトル M 3 1 1 / M 3 1 2 との間に一層効率的な磁束の閉鎖を得るためには、磁気ビット線 3 2 と自由層 3 1 0 3 との間の間隔を十分小さくする。したがって、好適な実施形態では、磁気ビット線 3 2 の厚さは、自由層 3 1 0 3 の厚さよりも遥かに大きくなり、自由層 3 1 0 3 と磁気ビット線 3 2 との間の間隔は十分小さくなる。しかしながら、代替実施形態では、これらの構造の 1 つ以上を省略してもよい。例えば、磁気ビット線 3 2 と自由層 3 1 0 3 との間の間隔を十分に小さくして、磁気ビット線 3 2 および自由層 3 1 0 3 間の厚さの差を小さくてもよい。所望の間隔の推定は、2 つの磁性層の磁束の閉鎖のための従来の特徴的長さを用いて行うことができる。磁気ビット線 3 2 は自由層 3 1 0 3 よりも遥かに厚いことが好ましいので、その特徴的長さは大まかに $(\mu g t / 2)^{0.5}$ である。ここで、 μ は自由層 3 1 0 3 の透磁率、 g は磁気ビット線 3 2 と自由層 3 1 0 3 との間の間隔、 t は自由層 3 1 0 3 の厚さである。MTJ スタック 3 1 の幅 W 3 1 は、大きく縁端が丸まった壁を避けるためには、特徴的長さよりも遥かに大きいことが好ましい。その結果、所望の間隔は、以下の関係から決定することができる。

$$(\mu g t / 2)^{0.5} < W 3 1$$

今日の用途では、この関係は、間隔を所望通りに狭くするには、間隔は 3 0 0 オングストローム程度以下にするとよいことを意味する。したがって、好適な実施形態では、自由層 3 1 0 3 と磁気ビット線 3 2 との間の間隔は 3 0 0 オングストローム未満であり、一方、磁気ビット線 3 2 の厚さは、3 0 0 オングストロームよりも大きい。

【 0 0 3 4 】

図 6 は、図 3 b に示した磁気ビット線 3 2 および MTJ スタック 3 1 の一つの実施形態の断面図を示す。書き込みの間、磁気ビット線 3 2 の電流 I_{32} の一部が、金属キャッピング層 3 1 0 4 によって分路される。金属キャッピング層の電流 I_{61} は、磁気ビット線 3 2 および自由層 3 1 0 3 に、それぞれ、磁界 F 6 1 および F 6 2 を生成する。これら 2 つの磁界 F 6 1 および F 6 2 は、方向が逆であり、磁気ビット線 3 2 と自由層 3 1 0 3 との間の磁束の閉鎖を更に強化する。したがって、自由層 3 1 0 3 と磁気ビット線 3 2 との間の磁束の閉鎖を強化するためには、高導電性金属をキャッピング層 3 1 0 4 として有することが望ましい。好適な実施形態では、キャッピング層 3 1 0 4 は、金、銅、銀、ルテニウム、ロジウム、アルミニウム、その他の周知の高導電体、およびその合金を含む。

【 0 0 3 5 】

銅をキャッピング層 3 1 0 4 として用いる場合、キャッピング層 3 1 0 4 と自由層 3 1 0 3 との間の拡散バリアとして、コバルト - 鉄 (図示せず) または他の適切な物質を大抵の場合用いる。かかる実施形態では、自由層 3 1 0 3 は、銅の自由層 3 1 0 3 への拡散を防止するために、その上面に少なくとも数オングストロームの薄いコバルト - 銅層 (図示せず) を含むことが好ましい。この拡散バリアは、ニッケル - 鉄が自由層 3 1 0 3 の一部である場合に特に有用と考えられる。同様の理由により、特にニッケル - 鉄を磁気ビット線 3 2 の一部として用いる場合には、銅製キャッピング層 3 1 0 4 と磁気ビット線 3 2 との間にコバルト - 鉄層 (図示せず) を配するとよい。

【 0 0 3 6 】

磁気ビット線 3 2 の抵抗を低下させるために、高導電性非磁性金属（図示せず）の薄膜を、磁気ビット線 3 2 のシード層（図示せず）として配することができる。しかしながら、このシード層の厚さは、十分に小さく、非磁性シード層とキャッピング層 3 1 0 4 を組み合わせた厚さが約 3 0 0 オングストローム以下となるようにすることが好ましい。

【 0 0 3 7 】

本発明による方法およびシステムについて、自由層 3 1 0 3 を薄い絶縁層 3 1 0 2 の上に有する M T J スタック 3 1 を用いて説明したが、本方法およびシステムは、他の磁気構造でも機能することを当業者は容易に理解されよう。かかる磁気構造は、絶縁トンネリング層の直下に自由層を有する M T J スタック（図示せず）、ならびに 2 つの絶縁トンネリング層および 2 つの絶縁層間に挟持された自由層を有する M T J スタック（図示せず）を含むが、これらに限定される訳ではない。各構成において、磁気ビット線と自由層との間の間隔は、3 0 0 オングストローム程度以下であることが好ましい。別の構成では、この好ましい厚さは、キャッピング層、固着層、またはその他の層のような、磁気ビット線 3 2 と自由層 3 1 0 3 との間にあるいずれの層も考慮する。

【 0 0 3 8 】

更に、磁気ビット線を M T J スタック 3 1 の上に配する必要はないことを当業者には容易に理解されよう。例えば、磁気ビット線 3 2 は、M T J 構造の直下に位置することでもできる。磁気ビット線 3 2 と M T J スタック 3 1 との間の電氣的接続も必要ない。かかる実施形態では、磁気線は書き込み線と呼ばれ得る。さらに、別の実施形態では、書き込み線およびビット線は双方とも磁気性でもよい。しかしながら、全ての実施形態において、磁気書き込み線がある場合はこれと、可変磁気ベクトルを有する自由層との間の間隔は、約 3 0 0 オングストローム以下であり、磁気書き込み線の厚さは、3 0 0 オングストロームよりも大きいことが好ましい。

【 0 0 3 9 】

図 7 は、本発明による M R A M メモリの一部の好適な実施形態の 1 つを示す。構成要素の多くは、図 3 a ~ 図 3 c、図 4、図 5、および図 6 に示した磁気ビット線 3 2、メモリ・セル / M T J スタック 3 1、およびワード線 3 0 に類似している。したがって、多くの構成要素には同様に付番している。例えば、図 7 における M T J スタック 3 1 ' は、図 3 a ~ 図 3 c、図 4、図 5、および図 6 に示した M T J スタック 3 1 に対応する。図 7 を参照すると、前述のような磁気ビット線 3 2 ' および M T J スタック 3 1 ' に加えて、ワード線 3 0 '、バイパス接続 7 8、導電層 7 9、接地線 7 7、およびトランジスタ 8 1 が基板 7 2 内に示されている。ワード線 3 0 ' は、実質的に磁気ビット線 3 2 ' に直交して引かれていることが示されている。M T J スタック 3 1 ' は、導電層 7 9 およびバイパス接続 7 8 を介して、トランジスタ 8 1 のソース 7 4 に接続されている。トランジスタ 8 1 は好ましくは F E T トランジスタである。F E T トランジスタ 8 1 のドレイン 7 3 は、接点 7 5 を介して接地線 7 7 に接続されている。F E T トランジスタ 8 1 のゲート 7 6 は、読み出しワード線（図示せず）に接続されている。図示の構成は好ましいが、本発明による磁気ビット線を組み込んだ他の多くの異なる構成も可能であることは、当業者には容易に理解されよう。例えば、トランジスタ 8 1 の代わりにダイオード（図示せず）を用いることができる。トランジスタもダイオードもない M R A M セル（図示せず）もまた可能である。

【 0 0 4 0 】

図 8 は、本発明による M R A M の一部の別の好適な実施形態を示す。構成要素の多くは、図 3 a ~ 図 3 c、図 4、図 5、図 6 および図 7 に示した磁気ビット線 3 2 "、メモリ・セル / M T J スタック 3 1 および 3 1 '、ならびにワード線 3 0 および 3 0 " に類似している。したがって、多くの構成要素には同様に付番している。例えば、図 8 における M T J スタック 3 1 " は、図 3 a ~ 図 3 c、図 4、図 5、図 6 および図 7 に示した M T J スタック 3 1 および 3 1 ' に対応する。同様に、トランジスタ 8 1 ' は、図 7 のトランジスタ 8 1 に対応する。ワード線 8 0 は、図 3 a ~ 図 3 c、図 4、図 5、図 6 および図 7 におけるワード線 3 0 および 3 0 ' に対応する。図 8 を参照すると、M R A M は、磁気ビット線

32"、MTJスタック31"、バイパス接続78'、接地線77'、およびFET81'を基板72'内に含む。ビット線32"、MTJ31"、FET81'、およびワード読み出し線80は、実質的に図7に関連して説明したものと同一である。しかしながら、図7のワード線30とは異なり、図8のワード線80'は、磁気ビット線32"の上方に配置されている。ワード線80'の書き込み効率を維持するために、磁気ビット線32"の厚さは、できるだけ小さい方が好ましく、例えば、300オングストロームと3000オングストロームとの間であり、これにより、ワード線80'と自由層3103"との間の分離を最小限とする。従来のビット線をこの細さにすることは、通常の構成では、ビット線がアルミニウムまたは銅で製造されているので、困難である。しかしながら、かかる小さな厚さは本発明では実用的である。

10

【0041】

前述したように、従来の細いビット線には2つの欠点がある。第1に、従来の細いビット線は大きな抵抗を有する。これは、メモリ・アレイ全体の性能に悪影響を及ぼす。しかしながら、この難点を克服する従来の方法が数多くある。1つの一般的な方法は、メモリ・アレイ内の長いビット線を、太い金属により製造されたグローバル・ビット線にまとめ、グローバル・ビット線を、これらよりも細く、したがって抵抗が大きい金属により製造されたローカル・ビット線に接続することである。しかしながら、かかる従来の方法は磁気ビット線を用いない。加えて、かかる従来の方法には、以下で説明するエレクトロマイグレーションのような、他の欠点がある。

【0042】

第2に、従来の細い金属線のエレクトロマイグレーションが信頼性に悪影響を及ぼす。例えば、銅は、約 $1 \times 10^6 \text{ A/cm}^2$ 以下の電流密度に対して、エレクトロマイグレーションの限度が比較的低い。アルミニウム線は、エレクトロマイグレーションによる悪影響を受けずに電流を搬送する能力は更に低い。比較のために、ニッケル-鉄のような磁性体は、エレクトロマイグレーションによる悪影響を受けずに電流を搬送する能力は遥かに高い。例えば、ニッケル-鉄膜は、ハード・ドライブにおいて磁気抵抗読み出しセンサに用いられており、 10^8 A/cm^2 を上回る電流の搬送能力を有することが示されている。これは、アルミニウムや銅のそれよりも遥かに大きく、したがってかなり薄くかつ/または細い線が可能となる。

20

【0043】

ニッケル-鉄のような軟磁性膜の優れたエレクトロマイグレーション特性のため、数百オングストローム程度の細いビット線を有することは現実的である。これはワード線80の効率を大幅に高める。ワード線80は、図8では単一線として示されているが、本発明が、ワード線80のための被覆層の使用というような、一層効率的なワード線の構造も含むことは、当業者には理解されてしかるべきである。

30

【0044】

以上、書き込み効率を向上させ、信頼性を高め、製造を一層簡単にした磁気メモリを提供する方法およびシステムが開示された。図示の実施形態にしたがって本発明の説明を行ったが、実施形態には変形もあり得ること、更に、これらの変形は本発明の主旨および範囲に該当することは当業者には容易に認められよう。したがって、多くの変更を、本発明の主旨や範囲から逸脱することなく、当業者は行うことができる。

40

【図面の簡単な説明】

【0045】

【図1】ビット線とワード線との交点に位置するMTJセルを含む従来の磁気メモリの一部の三次元図。

【図2】書き込み効率を高めるための磁気被覆を有するビット線とワード線との交点に位置するMTJセルを含む従来の磁気メモリの一部の三次元図。

【図3a】磁気ビット線を備えたMRAMセル内にMTJスタックを含む、本発明による磁気メモリの一つの実施形態の一部の側面図。

【図3b】磁気ビット線を備えたMRAMセル内にMTJスタックを含む、本発明による

50

磁気メモリの一つの実施形態の一部の断面図。

【図 3 c】磁気ビット線を備えた M R A M セル内に M T J スタックを含む、本発明による磁気メモリの一つの実施形態の一部の平面図。

【図 4】本発明による磁気メモリの一つの実施形態について、静止状態における M T J セルの自由層および磁気ビット線の磁気ベクトルの表示を含む M T J セルおよびビット線の平面図。

【図 5】本発明による磁気メモリの一つの実施形態について、書き込み電流がビット線に流れているときの M T J セルの自由層および磁気ビットの磁気ベクトルの表示を含む M T J セルおよびビット線の平面図。

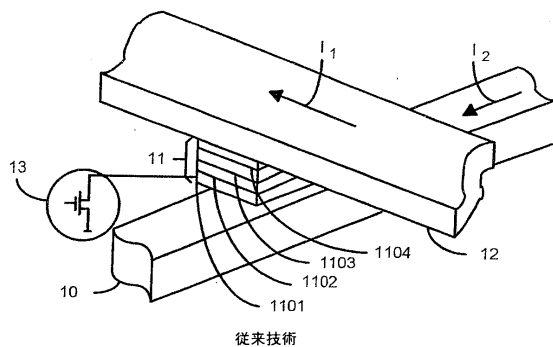
【図 6】本発明による磁気メモリの一つの実施形態について、金属スペーサ内における電流の一部によって生成された磁界を示す、M T J セルおよびビット線の断面図。

【図 7】メモリ・セルを含む、本発明による M R A M の一つの実施形態の一部の断面図。

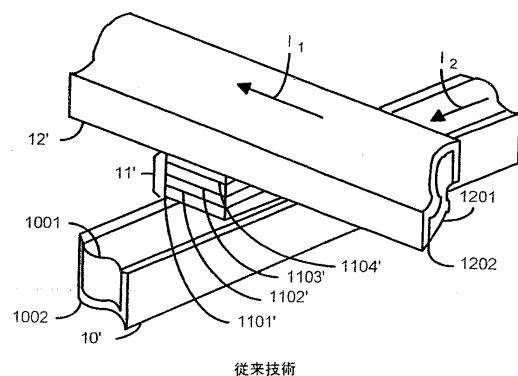
【図 8】メモリ・セルを含む、本発明による M R A M の別の実施形態の一部の断面図。

10

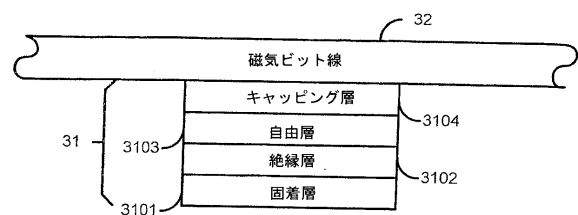
【図 1】



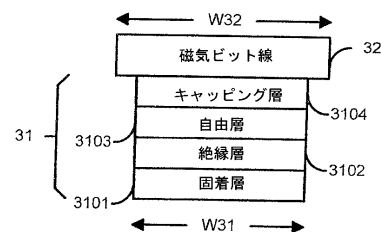
【図 2】



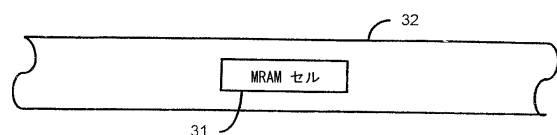
【図 3 a】



【図 3 b】



【図 3 c】



【図 4】

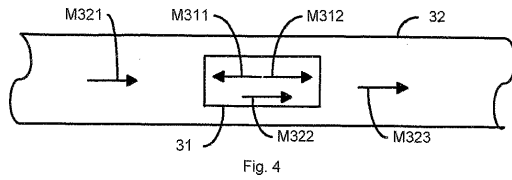


Fig. 4

【図 5】

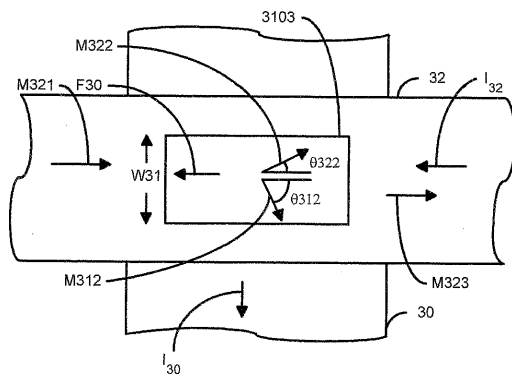


Fig. 5

【図 6】

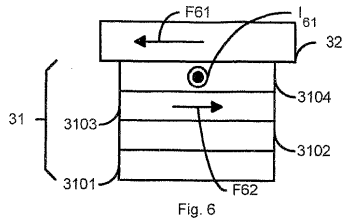
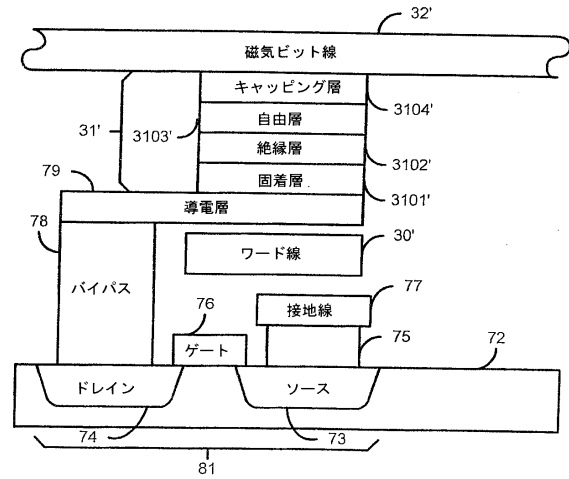
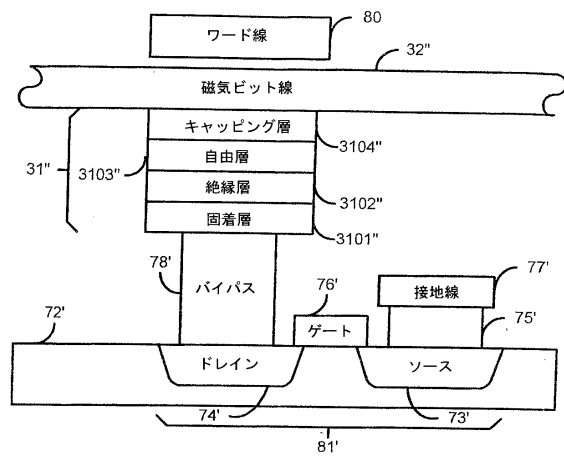


Fig. 6

【図 7】



【図 8】



フロントページの続き

(72)発明者 ツァン、デイビッド

アメリカ合衆国 9 5 0 1 4 カリフォルニア州 クパチーノ レインボー ドライブ 2 1 6 7
7

審査官 三浦 尊裕

(56)参考文献 特開 2 0 0 2 - 2 9 9 5 8 4 (J P , A)

特開 2 0 0 1 - 1 5 6 3 5 7 (J P , A)

特開 2 0 0 1 - 2 8 4 5 5 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8246

G11C 11/15

H01L 27/105

H01L 43/08