



(12) 发明专利

(10) 授权公告号 CN 110010692 B

(45) 授权公告日 2020. 11. 27

(21) 申请号 201910351121.3

H01L 29/423 (2006.01)

(22) 申请日 2019.04.28

H01L 21/336 (2006.01)

(65) 同一申请的已公布的文献号

审查员 张雄娥

申请公布号 CN 110010692 A

(43) 申请公布日 2019.07.12

(73) 专利权人 电子科技大学

地址 611731 四川省成都市高新区(西区)

西源大道2006号

(72) 发明人 周铎 王睿迪 李治璇 王正康

乔明 李肇基 张波

(74) 专利代理机构 成都点睛专利代理事务所

(普通合伙) 51232

代理人 敖欢 葛启函

(51) Int. Cl.

H01L 29/78 (2006.01)

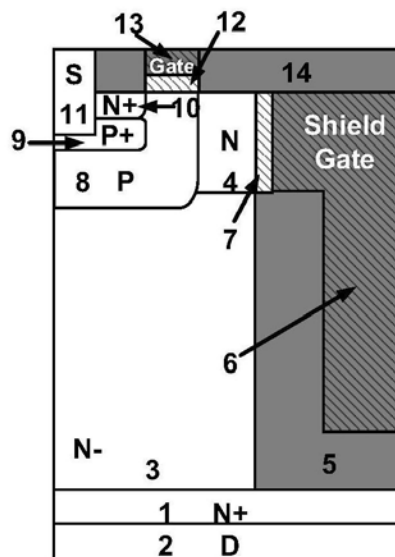
权利要求书2页 说明书5页 附图8页

(54) 发明名称

一种功率半导体器件及其制造方法

(57) 摘要

本发明提出一种具有结势垒区和短横向沟道的功率半导体器件及其制造方法,通过体区和隔离栅,在较低漏极电压时快速耗尽结势垒区,形成耗尽层,阻断栅漏之间的电容耦合,同时利用横向沟道和纵向结势垒区域,降低了栅沟道边界PN结在关态时的电场强度,抑制了穿通的发生,可以实现更小的栅极长度,降低了米勒电容,降低了栅开关带来的动态损耗,优化了器件的开关性能,此外,槽形隔离栅辅助耗尽漂移区,提高漂移区掺杂浓度,实现了较低的导通电阻。



1. 一种功率半导体器件,其特征在于:包括第一导电类型半导体衬底(1),所述第一导电类型半导体衬底(1)底部与漏电极(2)相连;所述第一导电类型半导体衬底(1)上部有第一导电类型半导体外延层(3);所述第一导电类型半导体外延层(3)内有介质槽(5),介质槽(5)内有隔离栅(6);所述第一导电类型半导体外延层(3)上部具有第二导电类型半导体体区(8),所述第二导电类型半导体体区(8)内有第二导电类型半导体体接触区(9)和第一导电类型半导体源区(10);所述第二导电类型半导体体接触区(9)和第一导电类型半导体源区(10)都与源电极(11)相连;所述第二导电类型半导体体区(8)与介质槽(5)之间有结势垒区(4),所述结势垒区(4)与隔离栅(6)之间为屏蔽栅介质层(7);所述第二导电类型半导体体区(8)上部有栅介质层(12);所述栅介质层(12)顶部与多晶硅栅极(13)相连;所述器件顶有钝化层(14),所述钝化层(14)覆盖多晶硅栅极(13);所述结势垒区(4)和屏蔽栅介质层(7)深度相同。

2. 根据权利要求1所述的一种功率半导体器件,其特征在于:所述结势垒区(4)下界面与第二导电类型半导体体区(8)下表面平齐,或结势垒区(4)下界面在第二导电类型半导体体区(8)下表面上方。

3. 根据权利要求1所述的一种功率半导体器件,其特征在于:所述第一导电类型半导体外延层(3)与结势垒区(4)的掺杂浓度不同。

4. 根据权利要求1所述的一种功率半导体器件,其特征在于:结势垒区(4)为非均匀掺杂。

5. 根据权利要求1所述的一种功率半导体器件,其特征在于:所述隔离栅(6)为阶梯状或梯形。

6. 根据权利要求1所述的一种功率半导体器件,其特征在于:所述介质槽(5)采用二氧化硅、碳化硅、砷化镓、氮化镓、二氧化铅、二氧化钛、含氟氧化硅、含碳氧化硅其中一种材料;或采用多层变介电常数结构。

7. 根据权利要求1所述的一种功率半导体器件,其特征在于:所述隔离栅(6)的电位接地或与其他电位相连。

8. 权利要求1至7任意一项所述的一种功率半导体器件的制造方法,其特征在于:包括以下步骤:

(1) 在第一导电类型衬底(1)上外延生长第一导电类型的外延层(3);

(2) 通过光刻和刻蚀工艺对所述第一导电类型的外延层(3)进行刻蚀形成沟槽;

(3) 在沟槽内通过生长或淀积形成介质槽(5);

(4) 刻蚀沟槽内上部分的介质层;

(5) 通过热氧化工艺形成隔离栅介质层(7);

(6) 淀积多晶硅形成阶梯状隔离栅(6);

(7) 注入第二导电类型半导体杂质,推结形成第二导电类型半导体体区(8);

(8) 通过掩模版刻蚀硅,注入形成第二导电类型半导体体接触区;

(9) 填充金属形成源电极(11);

(10) 在表面热生长二氧化层并淀积多晶硅,掩模版刻蚀形成栅介质层(12)与多晶硅栅极(13);

(11) 利用部分自对准工艺,注入第一导电类型半导体杂质,形成第一导电类型半导体

源区(10)；

(12) 通过自对准工艺,注入第一导电类型半导体杂质形成结势垒区(4)；

(13) 在器件表面生长钝化层(14),背面淀积金属形成漏电极(2),之后进行表面处理,由此形成一种功率半导体器件。

一种功率半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件技术领域,涉及一种具有优化开关性能的功率半导体器件及其制造方法。

背景技术

[0002] 功率半导体器件是实现电能转换和控制必不可少的核心器件,是弱电控制强电的桥梁。低压VDMOS (12V-250V) 被广泛应用在诸如直流变压器和三项反相器等电路中,为了降低功耗、提高器件效率,可以利用其他专利中所提出的RESURF阶梯氧化层(RSO)结构(US7372103B2)或者超结技术(US5216275A)来实现较低的比导通电阻。然而,随着现代功率系统工作频率的不断提高,器件开关过程中所带来的动态损耗所占比例日益增加,极大地影响了功率器件的开关性能。因此,需要对功率器件结构进行优化设计,降低开关过程所带来的动态损耗。

[0003] 功率VDMOS作为电源管理系统的常用开关器件,其栅漏电容(C_{GD})因米勒效应成为器件中最关键的寄生电容之一,动态损耗、器件的栅开启和关断时间与器件的栅-漏电容,即米勒电容密切相关,因此,降低米勒电容对器件减少开关损耗和提高开关速度起到举足轻重的作用。

[0004] B.J Baliga与Zeng Jun等人在美国专利US6621121B2与US6683346B2中分别提出了分离栅结构用以优化器件的动态特性,如图1所示,分离栅VDMOS作为一种新型功率半导体器件,利用分离栅结构减小了栅极与漏极之间的交叠面积,分离栅阻断了栅漏之间的耦合,米勒电容减小。然而,引入的分离栅结构也减小了开态栅极积累区,增加了导通电阻,限制了器件优值。此外,因接地的分离栅而额外引入的栅-源电容也限制了分离栅VDMOS的性能。亟待更有效的结构提高器件的开关特性,降低开关损耗。

发明内容

[0005] 本发明目的在于优化器件的开关性能,降低开关功耗,提出一种具有低米勒电容的功率半导体器件及其制造方法。

[0006] 为实现上述发明目的,本发明技术方案如下:

[0007] 一种功率半导体器件,包括第一导电类型半导体衬底1,所述第一导电类型半导体衬底1底部与漏电极2相连;所述第一导电类型半导体衬底1上部有第一导电类型半导体外延层3;所述第一导电类型半导体外延层3内有介质槽5,介质槽5内有隔离栅6;所述第一导电类型半导体外延层3上部具有第二导电类型半导体体区8,所述第二导电类型半导体体区8内有第二导电类型半导体体接触区9和第一导电类型半导体源区10;所述第二导电类型半导体体接触区9和第一导电类型半导体源区10都与源电极11相连;所述第二导电类型半导体体区8与介质槽5之间有结势垒区4,所述结势垒区4与隔离栅6之间为屏蔽栅介质层7;所述第二导电类型半导体体区8上部有栅介质层12;所述栅介质层12顶部与多晶硅栅极13相连;所述器件顶有钝化层14,所述钝化层14覆盖多晶硅栅极13。

- [0008] 作为优选方式,所述结势垒区4和屏蔽栅介质层7深度相同。
- [0009] 作为优选方式,所述结势垒区4下界面与第二导电类型半导体体区8下表面平齐,或结势垒区4下界面在第二导电类型半导体体区8下表面上方。
- [0010] 作为优选方式,所述第一导电类型半导体外延层3与结势垒区4的掺杂浓度不同。
- [0011] 作为优选方式,结势垒区4为非均匀掺杂。
- [0012] 作为优选方式,所述隔离栅6为阶梯状或梯形。
- [0013] 作为优选方式,所述介质槽5采用二氧化硅、碳化硅、砷化镓、氮化镓、二氧化铪、二氧化钛、含氟氧化硅、含碳氧化硅其中一种材料;或采用多层变介电常数结构。
- [0014] 作为优选方式,所述隔离栅6的电位接地或与其他电位相连。
- [0015] 为实现上述发明目的,本发明还提供一种上述功率半导体器件的制造方法,包括以下步骤:
- [0016] (1)在第一导电类型衬底1上外延生长第一导电类型的外延层3;
- [0017] (2)通过光刻和刻蚀工艺对所述第一导电类型的外延层3)进行刻蚀形成沟槽;
- [0018] (3)在沟槽内通过生长或淀积形成介质槽5;
- [0019] (4)刻蚀沟槽内上部分的介质层;
- [0020] (5)通过热氧化工艺形成隔离栅介质层7;
- [0021] (6)淀积多晶硅形成阶梯状隔离栅6;
- [0022] (7)注入第二导电类型半导体杂质,推结形成第二导电类型半导体体区8;
- [0023] (8)通过掩模版刻蚀硅,注入形成第二导电类型半导体体接触区9;
- [0024] (9)填充金属形成源电极11;
- [0025] (10)在表面热生长二氧化层并淀积多晶硅,掩模版刻蚀形成栅介质层12与多晶硅栅极13;
- [0026] (11)利用部分自对准工艺,注入第一导电类型半导体杂质,形成第一导电类型半导体源区10;
- [0027] (12)通过自对准工艺,注入第一导电类型半导体杂质形成结势垒区4;
- [0028] (13)在器件表面生长钝化层14,背面淀积金属形成漏电极2,之后进行表面处理,由此形成一种功率半导体器件。
- [0029] 本发明的有益效果为:本发明在常规的分立栅VDMOS器件的基础上,提出一种具有结势垒区和短横向沟道的功率半导体器件及其制造方法。通过体区和隔离栅,在较低漏极电压时快速耗尽结势垒区,形成耗尽层,阻断栅漏之间的电容耦合,同时利用横向沟道和纵向结势垒区域,降低了栅沟道边界PN结在关态时的电场强度,抑制了穿通的发生,可以实现更小的栅极长度,降低了米勒电容,降低了栅开关带来的动态损耗,优化了器件的开关性能。此外,槽形隔离栅辅助耗尽漂移区,提高漂移区掺杂浓度,实现了较低的导通电阻。

附图说明

- [0030] 图1为传统的分离栅VDMOS器件结构;
- [0031] 图2为本发明实施例1的一种功率半导体器件结构示意图;
- [0032] 图3为传统分离栅VDMOS和本发明所提供器件关于反向传输电容(C_{rss})与漏极电压关系对比示意图;其中SGT为传统分离栅VDMOS,Proposed为本发明所提供的功率半导体

器件。

[0033] 图4为本发明实施例3的一种功率半导体器件结构示意图；

[0034] 图5为本发明实施例4的一种功率半导体器件结构示意图；

[0035] 图6为本发明实施例5的一种功率半导体器件结构示意图；

[0036] 图7(A)-图7(M)为本发明实施例1所提供器件的一种工艺制造流程示意图；

[0037] 1为第一导电类型半导体衬底,2为漏电极,3为第一导电类型半导体外延层,4为结势垒区,5为介质槽,6为隔离栅,7为屏蔽栅介质层,8为第二导电类型半导体体区,9为第二导电类型半导体体接触区,10为第一导电类型半导体源区,11为源电极,12为栅介质层,13为多晶硅栅极,14为钝化层,15为第一介质层,16为第二介质层,17为第一结势垒区N1,18为第二结势垒区N2,19为梯形隔离栅,21为分离栅,22为控制栅电极,23为P型体区,24为P型接触区,25为N型源区,26为金属化源极,27为钝化介质层。

具体实施方式

[0038] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0039] 如图1所示,为传统分离栅VDMOS器件结构剖面图,器件包括第一导电类型半导体衬底1、第一导电类型半导体衬底1底部与漏电极2相连、位于第一导电类型半导体衬底1上部的第一导电类型半导体外延层3、第一导电类型半导体外延层3内有介质槽5,介质槽5内有分离栅21和控制栅电极22;位于第一导电类型半导体外延层3上方的P型体区23,P型体区内有P型接触区24和N型源区25,位于器件表面的金属化源极26和钝化介质层27,其中,第一导电类型半导体衬底1、P型接触区24和N型源区25一般采用重掺杂。该结构通过控制栅电极22下方的分离栅21,辅助耗尽漂移区,隔离了栅极与漏极之间的电容耦合,改善了栅漏电容较大的缺陷,降低了能量损耗。然而,由于该结构中引入了分离栅结构,减小了开态栅极积累区,对导通电阻产生了不利的影 响,其次,由于接地的控制栅电极22额外引入了栅-源电容。因此,以上问题对该器件结构的性能产生了不利的影 响。

[0040] 实施例1:

[0041] 如图2所示,一种功率半导体器件,包括第一导电类型半导体衬底1,所述第一导电类型半导体衬底1底部与漏电极2相连;所述第一导电类型半导体衬底1上部有第一导电类型半导体外延层3;所述第一导电类型半导体外延层3内有介质槽5,介质槽5内有隔离栅6;所述第一导电类型半导体外延层3上部具有第二导电类型半导体体区8,所述第二导电类型半导体体区8内有第二导电类型半导体体接触区9和第一导电类型半导体源区10;所述第二导电类型半导体体接触区9和第一导电类型半导体源区10都与源电极11相连;所述第二导电类型半导体体区8与介质槽5之间有结势垒区4,所述结势垒区4与隔离栅6之间为屏蔽栅介质层7;所述第二导电类型半导体体区8上部有栅介质层12;所述栅介质层12顶部与多晶硅栅极13相连;所述器件顶有钝化层14,所述钝化层14覆盖多晶硅栅极13。

[0042] 其中,第一导电类型半导体衬底1、第二导电类型半导体体接触区9和第一导电类型半导体源区10采用重掺杂。

[0043] 实施例1的基本工作原理如下：

[0044] 本实施例提出一种具有结势垒区和短横向沟道的功率MOS器件。其工作原理为，在漏电极2施加电压时，通过第二导电类型半导体体区8与结势垒区4之间的PN结和隔离栅6结势垒区4之间的MIS结构，快速耗尽结势垒区4，形成耗尽层，阻断栅漏之间的电容耦合。此外，利用多晶硅栅极13下方产生的横向沟道和纵向结势垒区4，将电场峰值点转移并远离沟道边界，降低了沟道边界在关态时的电场强度，抑制了穿通的发生，实现了更小的栅极长度，进而降低了米勒电容，降低了栅开关带来的动态损耗，优化了器件的开关性能。其次，阶梯状的隔离栅6可以辅助耗尽第一导电类型半导体外延层3，通过提高第一导电类型半导体外延层3的掺杂浓度，可以实现较低的导通电阻。如图3所示，为验证本发明的有益效果，经TCAD仿真，相较于传统分离栅VDMOS，其 C_{GD} 大小得到了较大的优化，可以在关闭状态下快速降低 C_{GD} 。

[0045] 本实施例中，所述结势垒区4和屏蔽栅介质层7深度相同。

[0046] 优选的，所述结势垒区4下界面与第二导电类型半导体体区8下表面平齐，或结势垒区4下界面在第二导电类型半导体体区8下表面上方。

[0047] 优选的，所述第一导电类型半导体外延层3与结势垒区4的掺杂浓度不同。

[0048] 优选的，所述介质槽5采用二氧化硅、碳化硅、砷化镓、氮化镓、二氧化铪、二氧化钛、含氟氧化硅、含碳氧化硅其中一种材料；

[0049] 优选的，所述隔离栅6的电位接地。

[0050] 如图7所示，本实施例还提供一种所述的功率半导体器件的制造方法，包括以下步骤：

[0051] (1) 如图7(A)所示，在第一导电类型衬底1上外延生长第一导电类型的外延层3；

[0052] (2) 如图7(B)所示，在图7(A)的基础上通过光刻和刻蚀工艺对所述第一导电类型的外延层3进行刻蚀形成沟槽；

[0053] (3) 如图7(C)所示，在沟槽内生长或淀积形成介质槽5；

[0054] (4) 如图7(D)所示，刻蚀沟槽内上部分的介质层；

[0055] (5) 如图7(E)所示，通过热氧化工艺形成隔离栅介质层7；

[0056] (6) 如图7(F)所示，淀积多晶硅形成阶梯状隔离栅6；

[0057] (7) 如图7(G)所示，注入第二导电类型半导体杂质，推结形成第二导电类型半导体体区8；

[0058] (8) 如图7(H)所示，通过掩模版刻蚀硅，注入形成第二导电类型半导体体接触区9；

[0059] (9) 如图7(I)所示，填充金属形成源电极11；

[0060] (10) 如图7(J)所示，在表面热生长二氧化层并淀积多晶硅，掩模版刻蚀形成栅介质层12与多晶硅栅极13；

[0061] (11) 如图7(K)所示，利用部分自对准工艺，注入第一导电类型半导体杂质，形成第一导电类型半导体源区10；

[0062] (12) 如图7(L)所示，通过自对准工艺，注入第一导电类型半导体杂质形成结势垒区4；

[0063] (13) 如图7(M)所示，在器件表面生长钝化层14，背面淀积金属形成漏电极2，之后进行表面处理，由此形成一种功率半导体器件。

[0064] 实施例2:

[0065] 本实施例和实施例1的区别在于:所述隔离栅6的电位不接地,而是接特定的电位,该电位可以由电路其他部分提供。其余结构均与实施例1相同。

[0066] 根据本领域的公知常识可知:连接特定电压可以调制体内电场分布,提高击穿电压,降低导通电阻,或者连接与栅电压同步变化的点压信号或其他动态电压,可以进一步提升开关速度或比导通电阻,使得器件性能更佳。

[0067] 实施例3:

[0068] 如图4所示,本实施例和实施例1的区别在于:所述介质槽5中介质采用多层变介电常数结构,包含介电常数为K1的第一介质层15和介电常数为K2的第二介质层16。其余结构均与实施例1相同。本实施例对第一介质层15和第二介质层16的介电常数进行优化,从而对器件内电场进行调制,引入新的电场尖峰,可以有效地提高器件的击穿电压,进一步改善器件的击穿电压与导通电阻的优值,使得器件的整体性能得到提升。

[0069] 实施例4:

[0070] 如图5所示,本实施例和实施例1的区别在于:结势垒区4为非均匀掺杂,所述结势垒区4中第一导电类型掺杂浓度不同,以不同的第一导电类型掺杂浓度分为第一结势垒区17和第二结势垒区18。本实施例对结势垒区中的掺杂浓度进行优化,进一步降低导通电阻,同时优化较低电压时势垒区4的耗尽速度,提高器件的性能。

[0071] 实施例5:

[0072] 如图6所示,本实施例和实施例1的区别在于:所述介质槽5中隔离栅为梯形隔离栅19。其余结构均与实施例1相同。本实施例对隔离栅结构进行改变,优化电场分布的同时减小栅电容,从而提升器件的整体性能。此外所述隔离栅还可以为阶梯状。

[0073] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

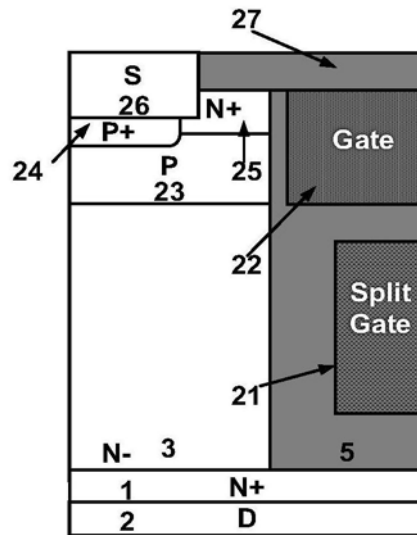


图1

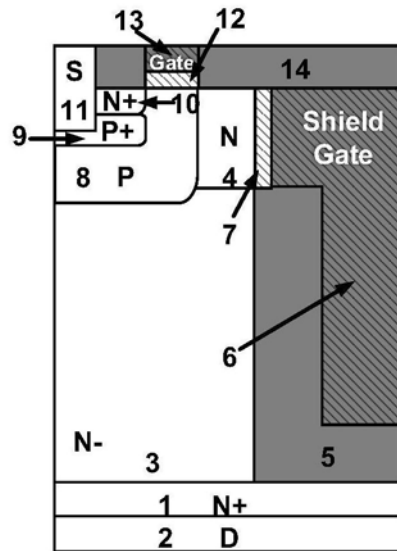


图2

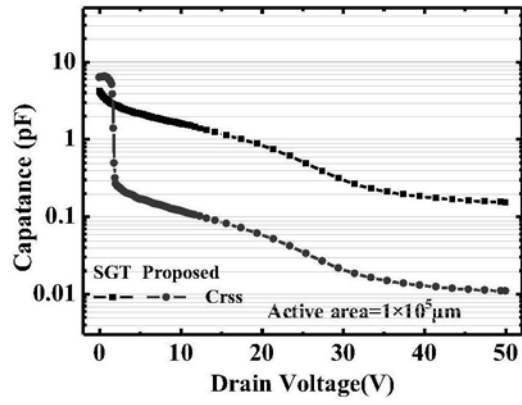


图3

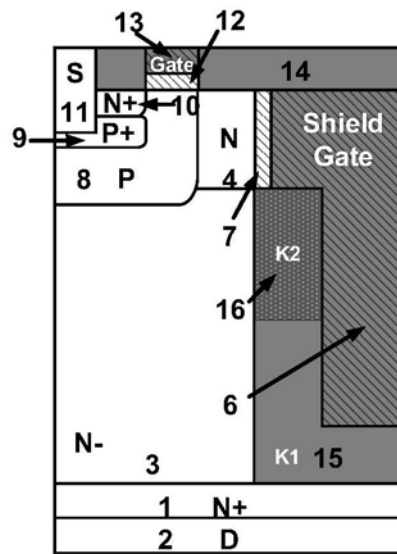


图4

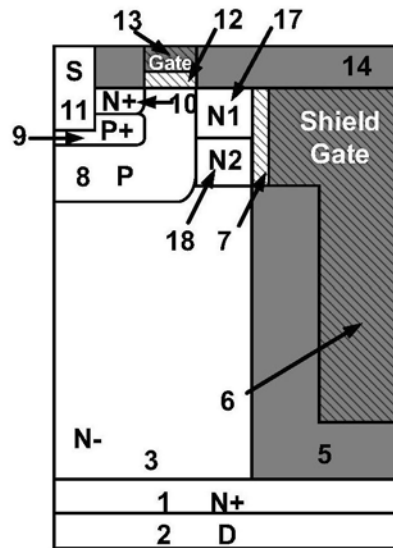


图5

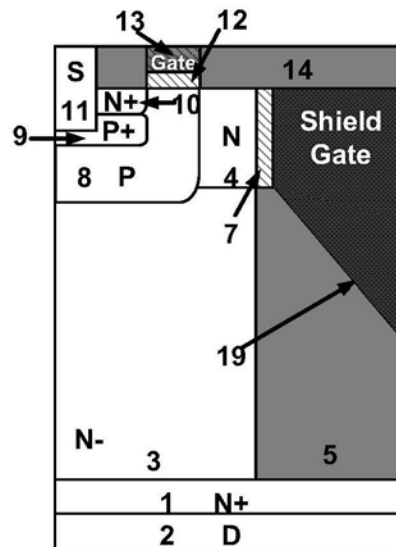


图6

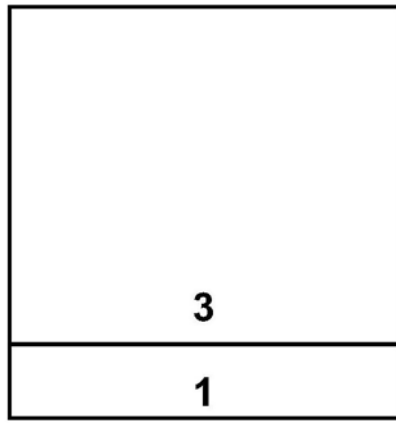


图7 (A)

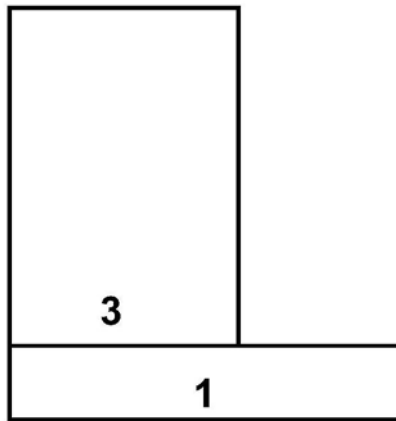


图7 (B)

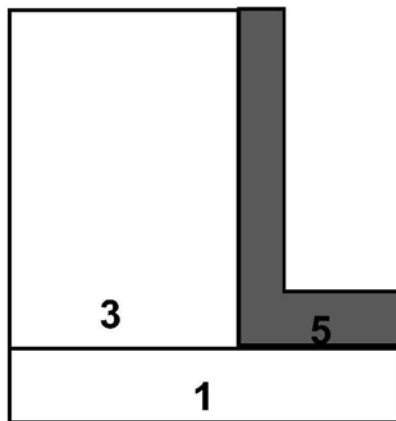


图7 (C)

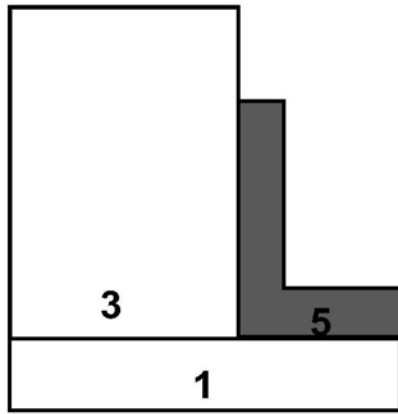


图7(D)

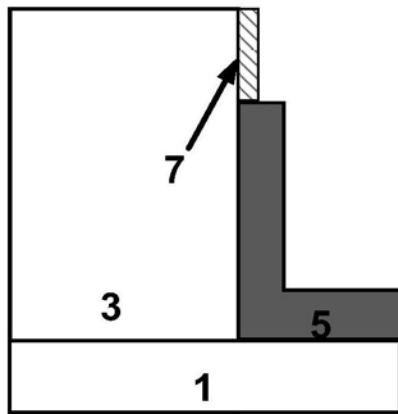


图7(E)

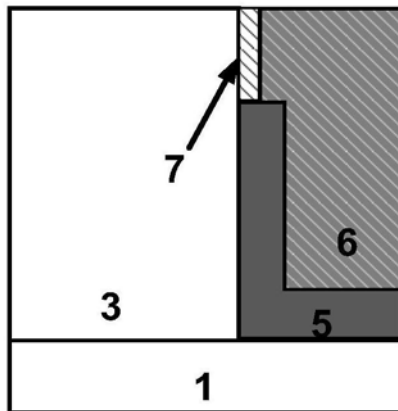


图7(F)

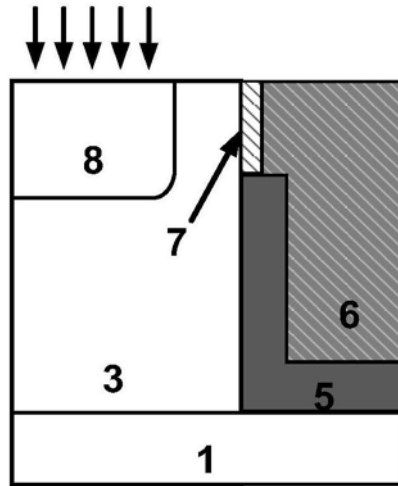


图7(G)

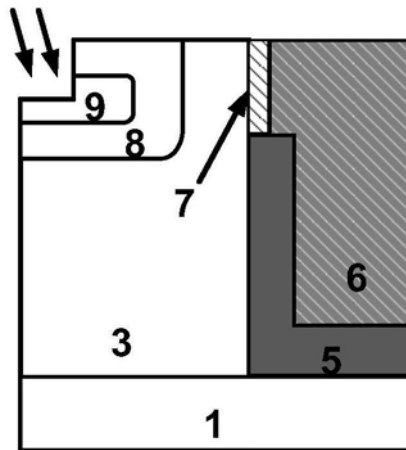


图7(H)

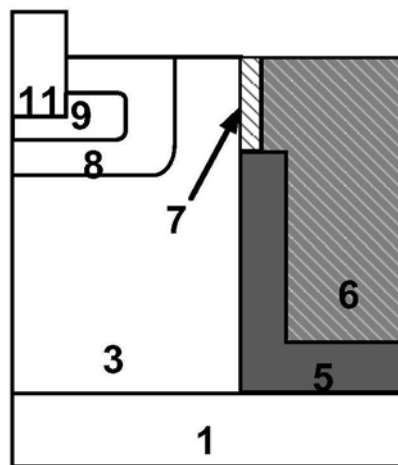


图7(I)

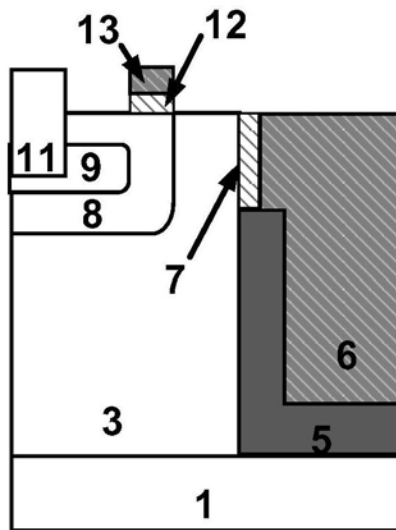


图7(J)

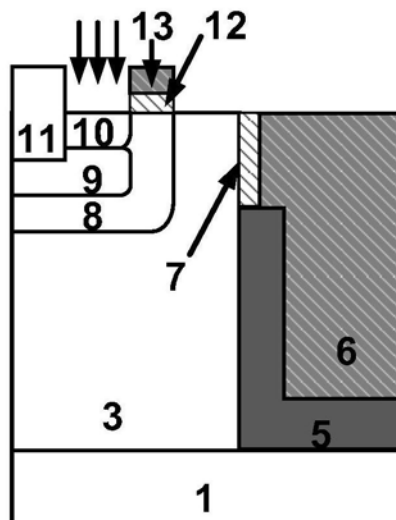


图7(K)

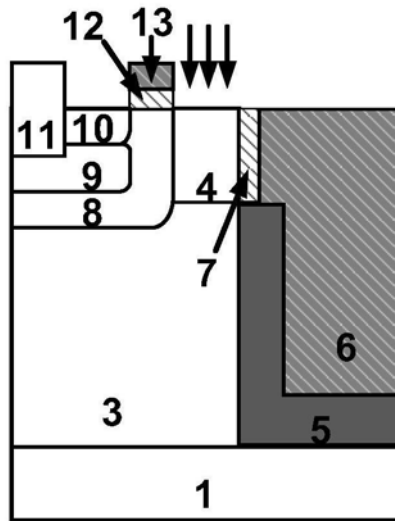


图7(L)

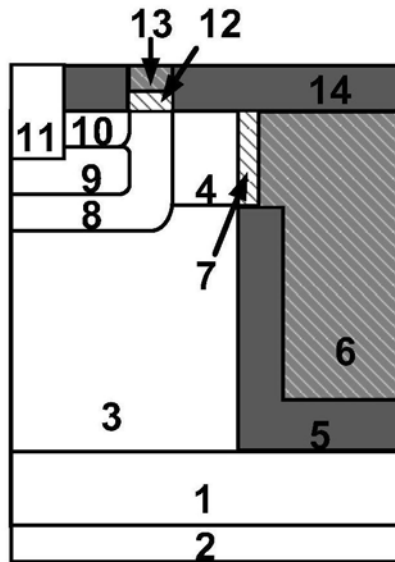


图7(M)