

公告本

申請日期	87. 12. 2
案 號	87120002
類 別	H01L 23/50

A4
C4

447102

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	積體電路裝置中之互連
	英 文	Interconnections in integrated circuit devices
二、發明人 創作	姓 名	1. 渥夫甘伯格納 (Wolfgang Bergner) 2. 馬丁加爾 (Martin Gall) 3. 彼得威甘 (Peter Weigand)
	國 籍	1. 德國 2. 德國 3. 奧地利
	住、居所	1. 美國紐約州12590瓦平格斯瀑布城景道137號 2. 美國佛蒙特州05403南伯靈頓度波斯道21號 3. 德國安特哈琴82009拉修史普雷茲2號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

裝

訂

線

447102

(由本局填寫)

承辦人代碼：

大 類：

I P C 分類：

A6

B6

本案已向：

美 國 國 (地 區) 申 請 專 利 , 申 請 日 期 : 案 號 : , ☐ 有 ☐ 無 主 張 優 先 權

1997年12月22日 案 號 08/995,476 (主 張 優 先 權)

有 關 微 生 物 已 寄 存 於 :

, 寄 存 日 期 :

, 寄 存 號 碼 :

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

本發明之領域

本發明係有關於積體電路裝置，並且更特別地是有關於用以提供該裝置所需之導電互連的技術。

本發明之背景

在諸如電晶體、二極體以及電阻器等各種積體電路的電路元件被形成於容納積體電路的半導體晶片中後，互連該電路元件以完成積體電路係為所需。通常其係藉由提供被適當地刻劃成圖案並絕緣之導體於典型為矽的半導體晶片表面而完成。

由於晶片中電路元件密度的增加，形成互連之導體的寬度與深度將減少，所以這些深度係典型地以奈米量測而寬度則以數分之一微米量測。此外，為維持所欲之低內連電阻，使用諸如金屬等高導電性導體作為互連漸變重要。金屬的刻劃成圖案係為困難的，特別是對於所要求之種類的尺寸。為將金屬導體刻劃圖案入內連網路，鑲嵌製程已漸變得受歡迎。在該製程中，其係首先沈積一絕緣層於矽晶片表面，且該層係於後序以標準微影與活性離子蝕刻(RIE)技術做刻劃以形成溝渠於所欲之互連圖案內。接著藉由所欲之金屬導體層於絕緣層表面的沈積，以填充被蝕刻於其中的溝渠。接著藉由表面化學機械研磨(CMP)將表面平坦化，而將金屬僅留置於溝渠中。在該研磨中，絕緣材料係作為阻絕物。形成於溝渠中的導電圖案通常同時包含允許電路元件緊密堆積之較窄的導線以及提供極高電流所需之低電阻路徑之較寬的

五、發明說明(2)

導線。因此，在絕緣層中被填充的窗口圖案必須同時包含例如介於10至100微米的較寬溝渠以及例如數分之一微米的較窄溝渠。當CMP被用以平坦化表面時，一有關於沈積在較寬溝渠中之金屬層薄化的“碟狀化”問題將產生。因為金屬層通常為微薄的，所以碟狀化將明顯地減少其導電性。

為避免碟狀化，過去的作法係在寬溝渠中安置縱向線條或條狀的絕緣材料，以使溝渠中的絕緣區間距變窄並作為溝渠中的CMP阻絕物，而減少碟狀化。然而，該設計方法將增加數個百分比的晶片面積，並提供傳統金屬RIE製程所產生的佈局與金屬化鑲嵌製程佈局間的不相容性。

此外，設計此種併入線條的蝕刻圖案係為複雜的且通常在該設計中涉及設計者相當多的額外努力。本發明提供碟狀化問題的解決方法，該設計係相當地容易被完成。本發明之概要

本發明係將用以減少寬溝渠間距的中間縱向絕緣材料線條或條狀物取代為複數個局部的個別插塞(plug)，其最好以棋盤式圖案交錯。該局部化圖案的軟體執行係較傳統式縱向圖案更為簡易。

由一特性，本發明係針對一積體電路裝置包括半導體晶片，其中形成複數個須要被互連的電路元件，其包含具有較寬與較窄溝渠之絕緣材料層之晶片表面上的一互連網路，以及填充以較寬溝渠包含絕緣材料之局部插塞為主要特徵之溝渠的一導電材料層。

五、發明說明()

由另一特性，本發明係針對於形成導電互連於容納積體電路之半導體晶片的上表面的方法，其包含的步驟為：沈積一絕緣材料層於半導體晶片上表面；形成一溝渠圖案於絕緣層中，其必須符合所欲之互連圖案，並留下複數個不連續的絕緣層插塞於至少部份的溝渠中；以一導電材料層覆蓋半導體晶片上表面；以及以化學機械研磨被覆蓋之晶片表面至絕緣層與不連續插塞，而留下導電層於溝渠中。

本發明將由下列更詳細的說明並配合附圖而更明瞭。
圖示之簡略說明

第1圖係圖示習知用以提供互連網路之鑲嵌製程之較寬溝渠的傳統習知技術填充圖；以及

第2圖係圖示根據本發明之較寬溝渠的填充圖。

細節說明

第1圖係為安置於高密度積體電路10互連網路用之較寬溝渠11中的傳統絕緣材料圖案。溝渠11的整個寬度(W)係為絕緣材料之邊壁10A與10B之間隔所界定，其係典型地介於10與100微米寬。為減少間距以避免碟狀化，安置額外絕緣材料之縱向條紋12A、12B與12C係為慣例，其典型地各為1至5微米寬，依據溝渠寬度而定。

第2圖係圖示具有根據本發明之為絕緣邊壁20A與20B所界定之溝渠21之積體電路20的一部份的上視圖。典型地各為一微米平方的絕緣插塞22係以數倍插塞寬的距離被間隔於邊壁20A與20B之間，且其最好為如所示之棋盤

五、發明說明(4)

式圖案，雖然其他圖案亦為可行。用於該圖案之供應的軟體設計係被發現相當地容易，因為該圖案在二個溝渠之交匯區不需經過改變即可使用，反之，第1圖所示之縱向條紋圖案在二溝渠之交匯區必須被改良以避免電流路徑中斷。

絕緣插塞22的尺寸、形狀與密度可大幅地變化係為可瞭解的。通常所使用的絕緣材料係為氧化矽或矽酸鹽玻璃，雖然其為明顯本發明並不依賴提供互連的絕緣材料或導體的特別選擇。然而，導電材料將典型地由Al、AlCu、AlCuSi、Cu、W、摻雜多晶矽與金屬矽化物所組成的族群選擇之。再者，絕緣材料將典型地由氧化矽、氮化矽、矽酸鹽玻璃與有機介電質所組成的族群選擇之。

再者，插塞的尺寸、形狀與間距係被選擇以符合個別設計。插塞將典型地具有寬度與長度二者為數分之一微米的尺寸以及將以其寬度與長度尺寸數倍的距離隔離之。這些尺寸可根據CMP製程中之碟狀化的量而被選擇。因此，與傳統金屬RIE製程中所產生之金屬導線比較，片電阻的增加可藉著增加溝渠深度而補償。補償因子係藉由(RIE金屬區域-填充圖案區域)/RIE金屬區域而容易地獲得。這項事實允許製作圖案根據傳統金屬RIE設計準則，然後由電腦來產生所設計的填充圖案。

五、發明說明(5)

參考符號說明

- 10.....高密度積體電路裝置
10A, 10B, 20A, 20B. 邊壁
11.....寬溝渠
12A, 12B, 12C.....縱向線條
20.....積體電路
21.....溝渠
22.....絕緣插塞

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

良

四、中文發明摘要(發明之名稱：

積體電路裝置中之互連

在形成積體電路裝置之導電互連網路所使用的鑲嵌製程中，絕緣層(20A, 20B)中之較寬溝渠(21)係被提供以絕緣插塞22陣列，以避免化學機械研磨被使用以將表面平坦化時之金屬導電路徑的碟狀化。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：Interconnections in integrated circuit)
devices

For use in a damascene process for forming the conductive interconnection network of an integrated circuit device, the relatively wide trenches (21) in an insulating layer (20A, 20B) are provided with arrays of insulating plugs 22 to avoid dishing in the metallic conductive paths when chemical mechanical polishing is used to planarize the surface.

訂

線

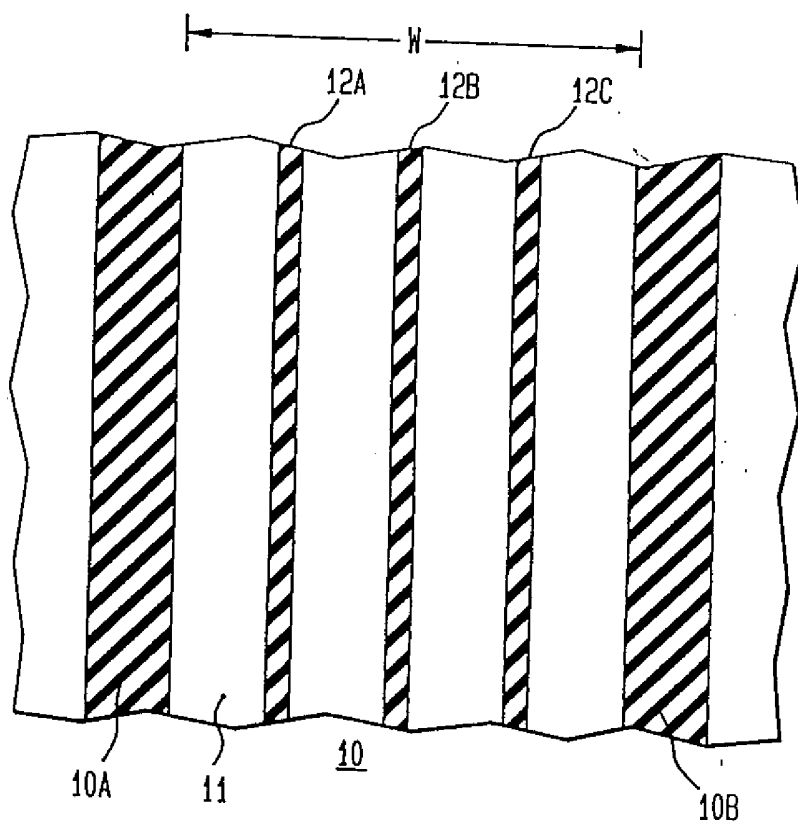
六、申請專利範圍

第 87120002 號「積體電路裝置中之互連」專利案

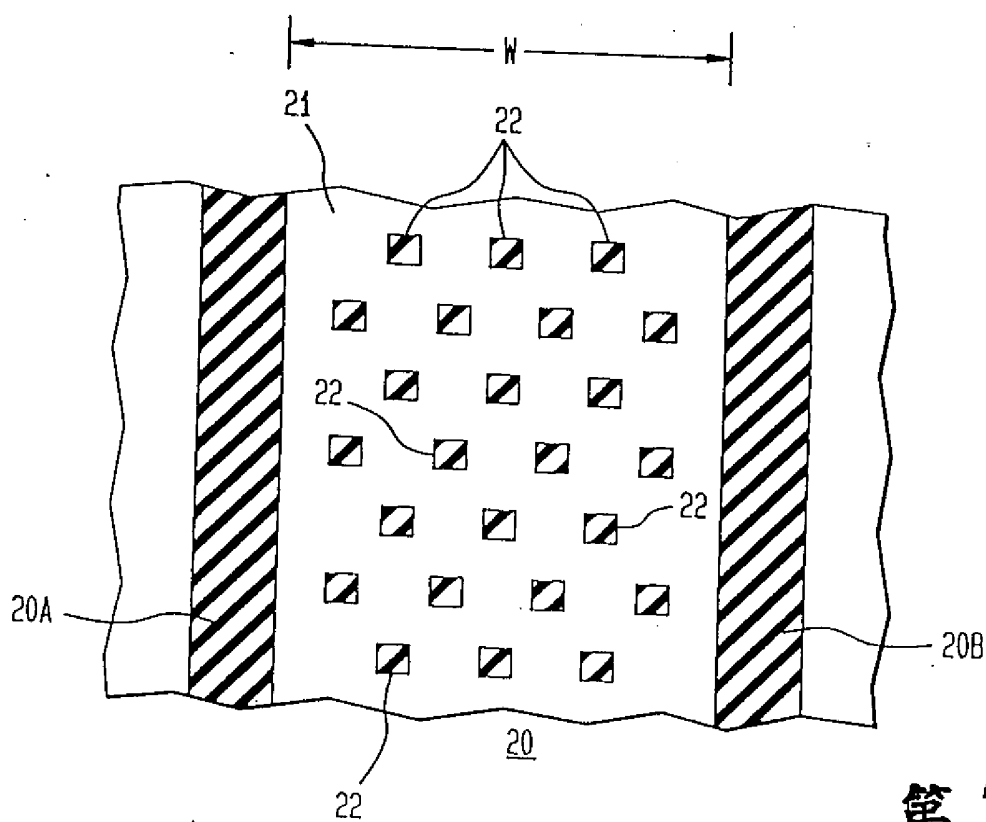
(90 年 5 月修正)

六 申請專利範圍：

1. 一種積體電路裝置，其包含一半導體晶片，其中形成複數個須要被連接的電路元件，與具有較寬與較窄溝渠之絕緣材料層之晶片表面上的一互連網路，以及一導電材料填充溝渠層，其特徵為比較寬溝渠包括由絕緣材料所製成之局部插塞。
2. 如申請專利範圍第 1 項之積體電路裝置，其中絕緣材料之局部插塞係配置成棋盤式圖案。
3. 如申請專利範圍第 1 項之積體電路裝置，其中插塞之寬度與長度皆為數分之一微米。
4. 如申請專利範圍第 3 項之積體電路裝置，其中插塞係以至少其個別寬度與長度之數倍距離而被彼此間隔。
5. 如申請專利範圍第 1 項之積體電路裝置，其中絕緣材料係由氧化矽、氮化矽、矽酸鹽玻璃與有機材料所組成的族群選擇之。
6. 如申請專利範圍第 5 項之積體電路裝置，其中導電材料係由 Al、AlCu、AlCuSi、Cu、W、金屬矽化物與摻雜多晶矽所組成的族群選擇之。
7. 如申請專利範圍第 6 項之積體電路裝置，其中局部插塞配置成棋盤式圖案並以其個別寬度與長度之數倍距離而被彼此間隔。
8. 一種以形成導電互連於容納積體電路之半導體晶片的



第 1 圖
(先前技藝)



第 2 圖

六、申請專利範圍

第 87120002 號「積體電路裝置中之互連」專利案

(90 年 5 月修正)

六 申請專利範圍：

1. 一種積體電路裝置，其包含一半導體晶片，其中形成複數個須要被連接的電路元件，與具有較寬與較窄溝渠之絕緣材料層之晶片表面上的一互連網路，以及一導電材料填充溝渠層，其特徵為比較寬溝渠包括由絕緣材料所製成之局部插塞。
2. 如申請專利範圍第 1 項之積體電路裝置，其中絕緣材料之局部插塞係配置成棋盤式圖案。
3. 如申請專利範圍第 1 項之積體電路裝置，其中插塞之寬度與長度皆為數分之一微米。
4. 如申請專利範圍第 3 項之積體電路裝置，其中插塞係以至少其個別寬度與長度之數倍距離而被彼此間隔。
5. 如申請專利範圍第 1 項之積體電路裝置，其中絕緣材料係由氧化矽、氮化矽、矽酸鹽玻璃與有機材料所組成的族群選擇之。
6. 如申請專利範圍第 5 項之積體電路裝置，其中導電材料係由 Al、AlCu、AlCuSi、Cu、W、金屬矽化物與摻雜多晶矽所組成的族群選擇之。
7. 如申請專利範圍第 6 項之積體電路裝置，其中局部插塞配置成棋盤式圖案並以其個別寬度與長度之數倍距離而被彼此間隔。
8. 一種以形成導電互連於容納積體電路之半導體晶片的