

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年7月1日(01.07.2010)

PCT

(10) 国際公開番号
WO 2010/073520 A1

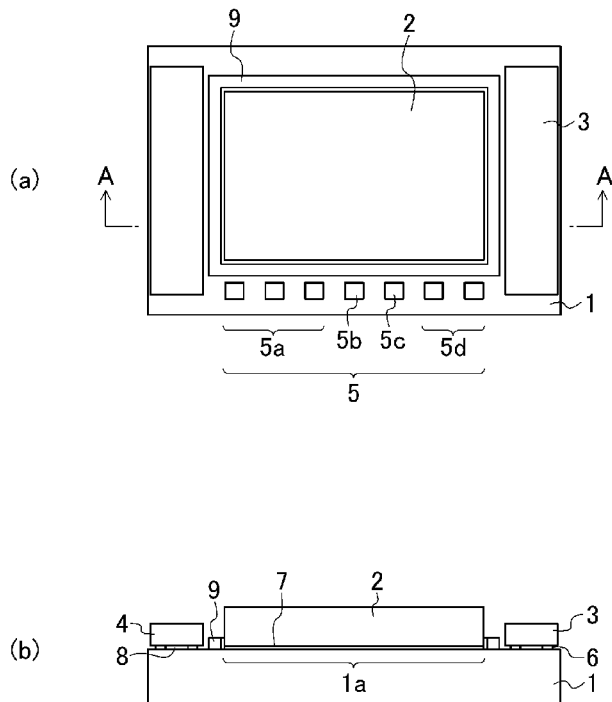
- (51) 国際特許分類:
H01L 27/14 (2006.01) H01L 25/18 (2006.01)
H01L 25/065 (2006.01) H01L 27/148 (2006.01)
H01L 25/07 (2006.01) H04N 5/335 (2006.01)
- (21) 国際出願番号: PCT/JP2009/006773
- (22) 国際出願日: 2009年12月10日(10.12.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-332615 2008年12月26日(26.12.2008) JP
特願 2009-217348 2009年9月18日(18.09.2009) JP
- (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 板倉啓二郎(ITAKURA, Keijirou). 榊山雅之(MASUYAMA, Masayuki).
- (74) 代理人: 前田弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: SOLID-STATE IMAGING DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 固体撮像デバイスおよびその製造方法

[図1]



(57) Abstract: An imaging region (1a), in which unit pixels which include a photoelectric conversion element are arranged in a matrix shape, exists on the primary face of a solid-state imaging element (1). Peripheral circuit elements (3, 4) control the imaging operation of the solid-state imaging element (1) and process the video output signal of the solid-state imaging element (1). The imaging region (1a) is covered by a transparent material (2). The peripheral circuit elements (3, 4) are mounted on the primary face of the solid-state imaging element (1) in a region other than that of the imaging region (1a), and such that the primary faces of the peripheral circuit elements oppose the primary face of the solid-state imaging element (1).

(57) 要約: 固体撮像素子(1)は、光電変換素子を含む単位画素が行列状に形成された撮像領域(1a)を主面上に有している。周辺回路素子(3, 4)は固体撮像素子(1)の撮像動作の制御、または、固体撮像素子(1)の映像出力の信号処理を行う。撮像領域(1a)は、透明材料(2)によって覆われている。周辺回路素子(3, 4)は、固体撮像素子(1)の主面上における撮像領域(1a)以外の領域に、その主面が固体撮像素子(1)の主面と対向するように実装されている。

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 固体撮像デバイスおよびその製造方法

技術分野

[0001] 本発明は、小型・低コストの固体撮像デバイスおよびその製造方法に関する。

背景技術

[0002] 近年、固体撮像デバイスとして、小型化、低消費電力化、信号処理の高速化を実現するために、例えば特許文献１では、図１０に示すように、センサブロック１５１と信号処理ブロック１５２を同一半導体基板内に構成した固体撮像装置が報告されている。またこの構成をベースとして、さらに小型化・高速化を実現するために、ＳＩＰ（System in Package）という、固体撮像素子とその周辺回路である複数のチップとを半導体モジュールとして一体に実装した形態が報告されている。

[0003] 例えば特許文献２では、図１１に示すような、固体撮像素子１１２と周辺回路素子１１１とを積層実装し、固体撮像素子１１２と周辺回路素子１１１の電氣的接続を積層基板１１０を介して行う、という構成が開示されている。

[0004] また、例えば特許文献３では、図１２に示すように、信号処理チップ１５３上に、裏面照射型ＣＭＯＳイメージセンサチップ１５４をマイクロバンプ１５５によって積層実装し、信号処理チップ１５３から信号の入出力を行うという構成が開示されている。

[0005] また、固体撮像デバイスではないが一般の半導体デバイスとして、特許文献４では、異なる半導体素子の主面同士を対向させて接続するＣＯＣ（Chip on Chip）技術により、小型化を実現した構成が開示されている。

先行技術文献

特許文献

[0006] 特許文献１：特開２０００－２２４４９５号公報

特許文献2：特開平 1 1-2 6 1 0 4 4 号公報（第 7 頁、第 1 図）

特許文献3：特開 2 0 0 6 - 4 9 3 6 1 号公報

特許文献4：特開 2 0 0 4 - 1 4 6 7 2 8 号公報（第 9 頁、第 1 図）

発明の概要

発明が解決しようとする課題

[0007] 図 1 1 の構成では、積層基板 1 1 0 に周辺回路素子 1 1 1 をフリップチップ実装し、この周辺回路素子 1 1 1 の裏面に固体撮像素子 1 1 2 を実装し、固体撮像素子 1 1 2 と積層基板 1 1 0 をワイヤーボンドで接続している。しかしながら近年、固体撮像素子の入出力端子数が増加してきたため、図 1 1 のような構成では、積層基板の配線密度が高くなるため高コストになる、あるいは、多数の入出力端子のワイヤボンドの領域が必要となるためそれほど小型化ができない、といった問題が生じる。

[0008] また、特許文献 4 に開示された C O C 技術を固体撮像デバイスに採用した場合には、固体撮像素子に周辺回路素子を実装する際に、撮像領域にダストが乗ってしまう、あるいは、撮像領域に応力がかかってしまう、といった問題が生じる。このため、性能や歩留まりの低下を招く可能性があり、実現が困難であった。

[0009] また、図 1 0 の構成では、同一半導体基板の中で複数種類のゲート絶縁膜のトランジスタが必要となるため、プロセスが複雑となる。また複雑な機能をもつ信号処理ブロックを同一半導体基板に搭載すると、回路間を接続する配線の数が増加するため、配線層数を増やすか、または配線が占める面積を大きくする必要がある。

[0010] しかし、配線層数を増やした場合には、光を受光するフォトダイオードから配線層最上層で決まる開口部までの距離が高くなり、斜め光がさえぎられ感度が低下するという問題が発生する。特に、画素のセルサイズ（ピッチ）が小さくなると、配線層数を増やすことのデメリットがますます大きくなる。

[0011] 一方、配線が占める面積を大きくすることは、固体撮像装置のサイズ増大

に直結する。例えば信号処理回路について、一般のシステム L S I で使用されている 5 ～ 6 層の配線層を採用した場合、トランジスタレイアウトと配線で決まるトランジスタの敷き占め率は 80 % 程度である。これに対して、上述の感度低下の問題を考慮して、イメージセンサで一般に使用されている 3 層の配線層を採用した場合には、トランジスタの敷き占め率が 30 ～ 40 % 程度に低下し、このため、信号処理回路の面積が 2 倍強に増大してしまう。

[0012] また、図 12 の構成では、信号処理チップ 153 上にイメージセンサチップ 154 を積層実装することによって、上述したチップサイズ増大の問題に対処している。ところがこの場合、信号処理チップ 153 の回路面とイメージセンサチップ 154 の回路面とを向かい合わせて張り合わせる必要があるので、イメージセンサチップ 154 として、受光面と回路面が異なる裏面照射型イメージセンサを用いる、という複雑な構成となっている。

[0013] また、信号処理チップ 153 を基板としてイメージセンサチップ 154 を搭載しているために、一般に使用電圧の高いイメージセンサチップ 154 で使用する電圧を、信号処理チップ 153 でも受け取る必要がある。

[0014] さらに、その他の S I P 構造の構成として、固体撮像素子を信号処理素子に重ねて貼り付け、固体撮像素子の基板に貫通配線を通し、マイクロバンブを用いて下側の信号処理素子に電氣的に接続する例がある。ところがこの場合にも、図 12 の構成と同様に、複雑な構成の固体撮像素子が必要となる。

[0015] またその他の構成では、固体撮像素子を信号処理素子に重ねて貼り付け、この両素子を回路基板上に配置し、各素子と回路基板間をワイヤボンディングし、このワイヤボンディングにより両素子間を電氣的に接続する例がある。ところがこの構成では、入出力端子が微細化できず小型化に向いていない、またワイヤボンドのインピーダンスにより高速化に向いていない、という問題がある。

[0016] さらに近年では、システム L S I の微細プロセス化が進み、光学サイズにより撮像領域が一義的に決定されるような固体撮像素子に対して、信号処理

回路の面積は大幅に縮小している。このため、実際のデバイスでは、信号処理素子の入出力端子数によってチップサイズが決定されている、という実態がある。

[0017] 前記の問題に鑑み、本発明は、撮像領域にダストや応力の影響を与えることなく、固体撮像デバイスの小型化を実現することを目的とする。

[0018] また、本発明は、前記従来の問題を解決し、固体撮像素子と信号処理素子を備えた固体撮像デバイスにおいて、より一層の小型化・低コスト化を実現することを目的とする。

課題を解決するための手段

[0019] 本発明の一態様では、固体撮像デバイスとして、光電変換素子を含む単位画素が行列状に形成された撮像領域を主面上に有する固体撮像素子と、前記固体撮像素子の撮像動作の制御または前記固体撮像素子の映像出力の信号処理を行う周辺回路素子とを備え、前記周辺回路素子は、前記固体撮像素子の主面上における前記撮像領域以外の領域に、その主面が前記固体撮像素子の主面と対向するように貼り合わされて実装されており、前記撮像領域は透明材料によって覆われている。

[0020] この態様によると、周辺回路素子が、固体撮像素子の撮像領域以外の領域に、主面同士が対向するように貼り合わされて実装されているので、固体撮像素子と周辺回路素子との電氣的接続のために積層基板やワイヤボンドが不要となるため、固体撮像デバイスの小型化および低コスト化が可能になる。また、固体撮像素子と周辺回路素子との間で、近年の bumps 形成技術の進展により、多数の入出力端子の接続が可能となるので、データ転送を並列に行うことができ、高速・低消費電力化が実現できる。さらに、固体撮像素子の撮像領域が透明材料によって覆われているため、実装する際における、撮像領域へのダストの影響を回避することができるとともに、撮像領域にかかる応力もこの透明材料によって緩和することが可能になる。

[0021] また、前記態様に係る固体撮像デバイスにおいて、前記透明材料は、前記撮像領域の表面に接着剤によって接着されているのが好ましい。これにより

、実装する際における、撮像領域にかかる応力を、より効果的に緩和することが可能になる。

[0022] また、前記態様に係る固体撮像デバイスにおいて、前記固体撮像素子は、主面と裏面とを電氣的に接続する貫通電極と、裏面上に形成されており、前記貫通電極と電氣的に接続された接続端子とを備えているのが好ましい。これにより、固体撮像素子の裏面を基板に貼り付けるだけで、電氣的接続が実現されるので、この固体撮像デバイスを例えばカメラ等を実装する場合に、その実装コストや実装体積を低減することが可能となる。

[0023] また、本発明の一態様では、固体撮像デバイスの製造方法として、光電変換素子を含む単位画素が行列状に２次元配列されてなる撮像領域を主面上に有する固体撮像素子が形成された、ウエハを準備する工程と、前記固体撮像素子の撮像領域を覆うように透明材料を設ける工程と、前記透明材料を設けた後に、前記固体撮像素子の撮像動作の制御、または、前記固体撮像素子の映像出力の信号処理を行う周辺回路素子を、前記固体撮像素子の主面上における前記撮像領域以外の領域に、その主面が前記固体撮像素子の主面と対向するように、貼り合わせて実装する工程とを備えている。

[0024] この態様によると、固体撮像素子の撮像領域を覆うように透明材料を設けた後に、周辺回路素子が、固体撮像素子の撮像領域以外の領域に、主面同士が対向するように貼り合わされて実装される。このため、実装する際における、撮像領域へのダストの影響を回避できるとともに、撮像領域にかかる応力もこの透明材料によって緩和することが可能になる。

[0025] また、本発明の一態様では、固体撮像デバイスとして、光電変換素子を含む単位画素が行列状に形成された撮像領域を主面上に有する固体撮像素子と、前記固体撮像素子の映像出力の信号処理を行う回路を主面上に有した信号処理素子とを備え、前記信号処理素子は、前記固体撮像素子の主面上における前記撮像領域以外の領域に、主面同士が対向するように貼り合わせて実装され、実装箇所において前記固体撮像素子との間に電氣的経路が形成されており、前記信号処理素子と当該固体撮像デバイス外部との間の入出力は、前

記電氣的経路と、前記固体撮像素子の内部回路および入出力端子とを介して行われるように、構成されている。

- [0026] この態様によると、信号処理素子が、固体撮像素子の撮像領域以外の領域に実装されており、かつ、実装箇所において電氣的経路が形成されているので、固体撮像素子と信号処理素子との電氣的接続のために、裏面照射型固体撮像素子や貫通配線構造、積層基板等の複雑な構成が不要となる。このため、固体撮像デバイスの小型化および低コスト化が可能になる。さらに、信号処理素子は、固体撮像デバイス外部との入出力は、固体撮像素子の内部回路および入出力端子を介して行われる。このため、信号処理素子において、入出力の保護回路の省略、簡素化が可能となり、また、高耐圧のトランジスタを形成する必要がなくなるので、大幅な小型化・低コスト化が実現できる。

発明の効果

- [0027] 本発明によると、周辺回路素子の実装において、撮像領域へのダストの影響を回避できるとともに撮像領域にかかる応力も緩和できるので、性能や歩留まりの低下を招くことなく、固体撮像デバイスの小型化を実現することができる。
- [0028] また、本発明によると、固体撮像素子と信号処理素子を有する固体撮像デバイスのより一層の小型化・低コスト化を実現することができる。

図面の簡単な説明

- [0029] [図1]実施の形態1に係る固体撮像デバイスの構成を示す図であり、(a)は平面図、(b)は断面図である。
- [図2]図1の固体撮像デバイスの配線図である。
- [図3]実施の形態1に係る固体撮像デバイスの他の構成を示す側面図である。
- [図4]実施の形態2に係る固体撮像デバイスの構成を示す図であり、(a)は側面図、(b)は底面図である。
- [図5]実施の形態3に係る、固体撮像デバイスの製造方法を示す図である。
- [図6]実施の形態4に係る固体撮像デバイスの構成図であり、(a)は平面図、(b)は断面図である。

[図7]実施の形態4に係る固体撮像デバイスの配線図である。

[図8]実施の形態5に係る固体撮像デバイスの配線図である。

[図9]実施の形態5に係る固体撮像デバイスの詳細配線図である。

[図10]従来の固体撮像デバイスの配線図である。

[図11]従来の構成例を示す図である。

[図12]従来の固体撮像デバイスの構成図である。

発明を実施するための形態

[0030] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。

[0031] (実施の形態1)

図1は実施の形態1に係る固体撮像デバイスの構成を示す図である。同図中、(a)は平面図、(b)は(a)の線A-A'における断面図である。図1において、1は固体撮像素子としてのCCD(Charge Coupled Device)イメージセンサチップである。CCDイメージセンサチップ1は、光電変換素子と垂直CCDとで構成された単位画素が行列状に形成された撮像領域1aを、その主面上に有している。垂直CCDは信号電荷を垂直方向に転送する。また、図示していないが、CCDイメージセンサチップ1はさらに、水平方向の電荷転送を行う水平CCDと、信号電荷を信号電圧に変換して外部に出力する検出部とを備えている。

[0032] CCDイメージセンサチップ1の撮像領域1aは、透明材料としてのガラス2によって覆われている。ガラス2は、撮像領域1aの表面に、接着剤7によって接着されている。また、ガラス2を接着する際に接着剤7が撮像領域1a以外の領域に流れ出すのを防ぐために、撮像領域1aの周囲にダム9が形成されている。

[0033] 3は周辺回路素子としての、CCDイメージセンサチップ1の水平CCDおよび垂直CCDを駆動するタイミングを制御するためのタイミングジェネレータチップである。4は周辺回路素子としての、垂直CCDを駆動するためのCCDドライバチップである。タイミングジェネレータチップ3およびCCDドライバチップ4は、CCDイメージセンサチップ1の主面上におけ

る撮像領域 1 a 以外の領域に、その主面が CCD イメージセンサチップ 1 の主面と対向するように、貼り合わされて実装されている。具体的には、CCD イメージセンサチップ 1 とタイミングジェネレータチップ 3 および CCD ドライバチップ 3 4 とは、マイクロバンプ 6 によって電氣的に接続されている。また、フリップチップ実装されたチップ 1, 3, 4 の信頼性を確保するために、封止剤 8 が挿入されている。なお図 1 では、チップ 3, 4 は撮像領域 1 a の両サイドに実装されているが、実装される位置はこれに限られるものではない。

[0034] 5 は CCD イメージセンサチップ 1 に形成された入出力パッドである。5 a はチップ 1, 3, 4 に電源を供給するための電源パッドであり、ここでは例えば、電源電圧 7 V、3.3 V、1.2 V にそれぞれ対応した 3 つの電源パッド 5 a が設けられている。5 b は GND パッドであり、電源パッド 5 a と同様に、チップ 1, 3, 4 に接続されている。5 c は映像出力パッドであり、撮像された映像信号を出力する。5 d はタイミングジェネレータチップ 3 の制御パッドである。制御パッド 5 d には、例えば CCD イメージセンサチップ 1 の駆動モードを選択するための制御信号が入力される。タイミングジェネレータチップ 3 は、この制御信号によって選択されたモードに応じて、駆動するタイミングを制御する。

[0035] 図 1 の構成では、撮像領域 1 a の表面が、透明材料としてのガラス 2 で覆われている。これにより、この固体撮像デバイスの製造工程において、フリップチップ実装を行う際に生じるダストが撮像領域 1 a に乗る、という問題が生じず、ダストの影響を回避することができる。また、ガラス 2 は、撮像領域 1 a の表面に接着剤 7 によって接着されているので、撮像領域 1 a にかかる応力を緩和する役割も果たす。すなわち、ガラス 2 を設けることによって、フリップチップ実装を行う際にかかる応力から撮像領域 1 a を保護することが可能になる。またもちろん、この固体撮像デバイスが製品として使用されている際にも、このガラス 2 によって、撮像領域 1 a をダストや応力から保護することができる。なお、ここでは、透明材料の一例としてガラスを

示したが、透明材料はガラスに限られるものではなく、例えばアクリルであってもよい。

[0036] 図2は図1に示す固体撮像デバイスの配線図である。図2に示すように、CCDイメージセンサチップ1は元々、水平CCD駆動信号($\phi H1$ 、 $\phi H2$ 、 ϕHL 、 ϕR)入力端子10a、垂直CCD駆動信号($\phi V1 \sim \phi V20$)入力端子12a、電源端子13、GND端子14、および映像出力端子18の計27個の信号端子を有している。なお、ここでは、固体撮像素子の信号端子として最小限のものを示したが、必要に応じてクロック入力や同期信号入力などを付加してもよい。

[0037] これらのうち、水平CCD駆動信号入力端子10aは、タイミングジェネレータチップ3の出力端子10bとマイクロバンプ6を介して電氣的に接続されている。垂直CCD駆動信号入力端子12aは、CCDドライバチップ4の出力端子12bとマイクロバンプ6を介して電氣的に接続されている。また、電源端子13は電源パッド5aとして、GND端子14はGNDパッド5bとして、映像出力端子18は映像出力パッド5cとして、構成されている。CCDドライバチップ4の電源端子15およびタイミングジェネレータチップ3の電源端子16は、マイクロバンプ6を介して電源パッド5aと接続されている。さらに、タイミングジェネレータチップ3の制御信号(TGCN)入力端子17は、マイクロバンプ6を介して制御パッド5dと接続されている。

[0038] このように、CCDイメージセンサチップ1は元々計27個の信号端子を有しているが、CCDイメージセンサチップ1にタイミングジェネレータチップ3およびCCDドライバチップ4をマイクロバンプ6を介してフリップチップ実装することによって、本固体撮像デバイスに必要なパッド5は計7個になる。すなわち、3個の電源パッド5aと、1個のGNDパッド5bと、1個の映像出力パッド5cと、3個の制御パッド5dとだけで済む。これにより、この固体撮像デバイスを例えばカメラ等を実装する工程において、パッケージコストや実装基板のコストを大幅に低減することができる。

[0039] また、マイクロバンプ6によるフリップチップ実装は、チップ間の接続距離が短いため低抵抗でありかつ寄生インダクタンスや寄生容量も少なくなるため、高速のパルス伝達が可能となる。また従来のワイヤボンドによる接続に比べて、実装体積も大幅に低減することができる。

[0040] なお、CCDイメージセンサチップ1とタイミングジェネレータチップ3およびCCDドライバチップ4とには、それぞれ、マイクロバンプ6と接続するためのパッドが形成されている。このパッドの下には、パッドを形成する配線層以外の配線層や、トランジスタ、抵抗、キャパシタ等の素子を形成することが好ましい。これにより、それぞれのチップのサイズをより小さく設計することが可能になる。

[0041] なお、本実施形態では、周辺回路素子としてタイミングジェネレータチップ3とCCDドライバチップ4とを実装したが、これは一般的にこれらの半導体素子の同一プロセスによる1チップ化が困難であるためであり、これらが1チップ化されたものを実装してよく、小型化にはその方が好ましい。

[0042] 図3は本実施形態に係る固体撮像デバイスの構成の変形例を示す断面図である。図3の構成では、撮像領域1aの周囲に突部31が設けられており、この突部31に例えば接着剤によって透明材料としてのガラス2が固定されている。すなわち、ガラス2は突部31に支えられるようにして撮像領域1aを覆っており、撮像領域1aとガラス2との間に中空部32が形成されている。中空部32は例えば空気や窒素によって満たされている。図3の構成でも、製造工程において、あるいは、製品として使用されている場合において、ガラス2によって、撮像領域1aをダストや応力から保護することができる。

[0043] (実施の形態2)

図4は実施の形態2に係る固体撮像デバイスの構成を示す図であり、同図中、(a)は側面図、(b)は底面図である。なお、平面図については、上述の実施の形態1とは、ガラス2の周辺部が封止樹脂24で充填されている以外はほぼ同一であるので、ここでは省略している。

[0044] 図4において、20はCCDイメージセンサチップ1の主面と裏面とを電氣的に接続する貫通電極、21はCCDイメージセンサチップ1の裏面上に形成された接続端子としてのバンプ、22は貫通電極20とバンプ21とを接続するための配線である。主面上に形成されたパッド5は、貫通電極20および配線22を介して、裏面上に形成されたバンプ21と電氣的に接続されている。なお、バンプ21は、貫通電極20下に形成してもよいし、貫通電極20下を避けた位置に形成してもよい。なお、図示は省略したが、貫通電極20および配線22は、CCDイメージセンサチップ1とは絶縁膜を介して電氣的に絶縁されている。

[0045] このような構成により、固体撮像デバイスを、ワイヤボンドなしで、プリント基板やフレキシブル基板に実装することができる。このため、従来のワイヤボンドによる実装に比べて格段に、実装後の体積を低減することが可能となる。

[0046] また、封止樹脂24が、ガラス2の周辺部に、フリップチップ実装したタイミングジェネレータチップ3やCCDドライバチップ4を覆うように形成されている。これにより、撮像領域外のタイミングジェネレータチップ3やCCDドライバチップ4に光が入射することを防止できるので、フレアやゴーストといった不具合を防止することができる。

[0047] (実施の形態3)

図5は実施の形態3に係る固体撮像デバイスの製造方法を示す図である。

図5では、図1に示す固体撮像デバイスを製造するものとしている。

[0048] まず、固体撮像素子（CCDイメージセンサチップ1）が形成されたウエハを準備する。そして実装の前に、ウエハ上の固体撮像素子のプローブ検査を行う（a）。

[0049] 次に、ウエハ上の固体撮像素子にダム9を形成する（b）。ダム9の形成は例えば、感光性の樹脂を用いて、露光現像によるパターニングによって行えばよい。あるいは、ダム材料をウエハ全面に塗布し、必要な部分を一般の半導体プロセスと同様に、リソグラフィとエッチングによって形成してもよ

い。

[0050] 次に、ダム 9 の内部すなわち撮像領域上に接着剤 7 を滴下する (c)。このとき、接着剤 7 は、ダム 9 を溢れて外部に漏れないように適量を滴下しなければならない。また、接着剤 7 は、紫外線硬化型または熱硬化型のどちらでもよいが、後の接着工程において位置合わせをしながら硬化させるには、紫外線硬化型が望ましい。

[0051] 次に、透明材料としてのガラス 2 を、撮像領域を覆うように接着する (d)。このとき、ガラス 2 の貼り合わせ位置を制御できるように、ガラス 2 の位置を合わせた後に、紫外線を照射して接着剤 7 を硬化させるのが好ましい。

[0052] 次に、封止剤 8 を、撮像領域外のフリップチップ実装する領域に滴下する (e)。このとき使用する封止剤 8 は、フリップチップ実装するときに位置合わせが可能ないように、透明であることが望ましい。

[0053] 次に、マイクロバンプが形成されたタイミングジェネレータチップ 3 と CCD ドライバチップ 4 をフリップチップ実装する (f)。マイクロバンプの先端が鋭角に尖っており、実装されたとき、封止剤 8 を貫通して、CCD イメージセンサチップ 1 のフリップチップ実装用のパッドに到達する。さらにこのとき、超音波を掛けながら加圧することによって、良質のオーミックコンタクトを形成することが望ましい。

[0054] 最後に、ダイシング工程によって (g)、ウエハから個片の固体撮像素子を形成する。

[0055] このように、固体撮像素子の撮像領域を覆うように透明材料を設けて、透明材料を設けた後に、周辺回路素子を貼り合わせて実装することによって、ダストが撮像領域に乗るといった問題が生じなくなり、撮像領域へのダストの影響を回避することができる。また、実装を行う際にかかる応力から、撮像領域を保護することが可能になる。

[0056] なお、もちろんのことであるが、ガラス接着工程やフリップチップ実装工程は、最初のプローブ検査で良品になった固体撮像素子にのみ行うのが、コ

スト上望ましい。

[0057] また、実施の形態 2 に対応した製造方法はここでは図示しなかったが、例えば、図 5 (a) のプローブ検査の後、図 5 (b) のダム形成の前に、貫通電極プロセスを適用して貫通電極および配線、裏面のバンプを形成すればよい。また、貫通電極プロセスをガラス接着やフリップチップ実装の後で行っても良い。

[0058] なお、プローブ検査用のパッドとマイクロバンプを介して接合するパッドとは別にして、マイクロバンプが検査針跡の影響を受けにくいようにすることが望ましい。このとき、検査用パッドとマイクロバンプ接合用のパッドはそれぞれ、最小の面積にするのが望ましい。

[0059] また固体撮像素子の検査用パッドは、その全機能を検査するだけの数を配置する必要はなく、一部の重要な機能を検査するに足る数に抑えておくのが好ましい。これにより、固体撮像素子の面積がパッドにより増大することを回避することができる。

[0060] なお、以上の第 1 ～第 3 の実施形態では、固体撮像素子は CCD イメージセンサチップとしたが、この他例えば、CMOS センサチップ、NMOS センサチップでもかまわない。また、フリップチップ実装する周辺回路素子は、ここで示したタイミングジェネレータチップや CCD ドライバチップに限られるものでなく、固体撮像素子の撮像動作の制御を行う他の素子や、固体撮像素子の映像出力の信号処理を行う素子、例えば AD コンバータやアナログフロントエンド、デジタルシグナルプロセッサなどであっても良い。

[0061] (実施の形態 4)

図 6 は実施の形態 4 に係る固体撮像デバイスの構成図である。同図中、(a) は平面図、(b) は (a) の線 A-A' における断面図である。図 6 において、51 は固体撮像素子としてのイメージセンサチップである。イメージセンサチップ 51 は、光電変換素子を含む単位画素が行列状に形成された撮像領域 52 と、撮像領域 52 の読み出しをコントロールする走査回路 53 と、撮像領域 52 から読み出された画素信号に対してノイズ除去や AD 変換

等を行う画素信号処理回路54と、固体撮像デバイス外部との入出力を行うための入出力端子55とを備えている。入出力端子55には、高耐圧のトランジスタ等で構成された保護回路を含む内部回路が併せて設けられている。イメージセンサチップ51は、CMOSセンサチップ、NMOSセンサチップ等のMOS型イメージセンサや、CCDイメージセンサチップ等である。

[0062] 61は信号処理素子としての信号処理チップであり、図6(b)に示すように、イメージセンサチップ51の主面上における撮像領域52以外の領域に、イメージセンサチップ51と主面同士が対向するように貼り合わされて実装されている。すなわち、信号処理チップ61は、複数のマイクロバンプ57を介して、イメージセンサチップ51上にフリップチップ実装されており、その実装箇所においてイメージセンサチップ51との間に電氣的経路が形成されている。そして、信号処理チップ61と固体撮像デバイス外部との間の入出力は、マイクロバンプ57によって形成された電氣的経路と、イメージセンサチップ51の内部回路および入出力端子55とを介して行われる。信号処理チップ61には、固体撮像デバイス外部と直接的に入出力を行う入出力端子は設けられていない。

[0063] 図7は図6に示す固体撮像デバイスの配線図である。図7に示すように、イメージセンサチップ51は、入出力端子55として、電圧が異なる複数の電源（ここでは電源A、B）向けの電源入力端子55a、55bと、制御信号入力端子55cおよび映像出力端子55dを備えている。また入出力端子55に併せて、内部回路としての保護回路56を備えている。この保護回路56は、電圧変換のためのレベルシフタ回路等を含んでいてもよい。また、信号処理チップ61は、ロジック回路のみで構成されており、イメージセンサチップ51等の駆動制御を行うタイミング発生回路62と、イメージセンサチップ51からの信号を処理する信号処理回路63とを備えている。

[0064] 信号処理チップ61は、イメージセンサチップ51から供給された電源、制御信号および映像出力が、マイクロバンプ57を介して入力される。また、信号処理チップ61は、信号処理回路63によって処理された映像出力を

、マイクロバンプ57を介してイメージセンサチップ51に出力する。すなわち、イメージセンサチップ51の映像出力は、マイクロバンプ57を経由して信号処理チップ61に伝達され、信号処理チップ61内で信号処理された後、再びマイクロバンプ57を経由してイメージセンサチップ51に伝達される。そして、イメージセンサチップ51の保護回路56を経由して、映像出力端子55dから固体撮像デバイス外部に出力される。

[0065] このように本実施形態によると、固体撮像デバイスにおいて、イメージセンサチップ51と信号処理チップ61との電氣的接続のために、裏面照射型固体撮像素子や貫通配線構造、積層基板等の複雑な構成が不要となる。このため、固体撮像デバイスの小型化および低コスト化が可能になる。

[0066] また、信号処理チップ61と固体撮像デバイス外部との入出力は、イメージセンサチップ51の内部回路および入出力端子55を介して行われる。このため、信号処理チップ61に、高耐圧のトランジスタ等で構成される特別な保護回路を備える必要がない。したがって、信号処理チップ61のマイクロバンプ57を狭ピッチで配置できるため、信号処理チップ61のチップサイズが入出力端子数で決まってしまうという問題を回避することができる。

[0067] さらに、本実施形態によると、信号処理チップ61による信号処理後の映像出力は、イメージセンサチップ51の出力回路から出力されるので、信号処理チップ61に出力回路のための高耐圧のトランジスタを形成する必要がない。このため、チップサイズのより一層の小型化が実現できる。

[0068] さらに、ロジック回路のみで構成されている信号処理チップ61は、ロジック回路の動作に必要な程度の低い電圧の電源が供給されていれば足りる。そこで本実施形態では、イメージセンサチップ51に供給される電源のうち最も低い電圧の電源（ここでは電源A）が、信号処理チップ61にマイクロバンプ57を介して供給されている。このような構成により、信号処理チップ61のトランジスタは、低電圧電源に対応した薄膜ゲート酸化膜のトランジスタで構成することが可能となる。これにより、上述したような保護回路用の高耐圧トランジスタを必要としないことと併せて、簡易な製造プロ

セスで、低コストの信号処理チップ 6 1 を作成することが可能となる。

[0069] さらに、本実施形態の固体撮像デバイスでは、イメージセンサチップ 5 1 と信号処理チップ 6 1 の配線レイアウトルールや配線層数を最適化できる。具体的には、ロジック回路のみで構成され、かつ低電圧で駆動される信号処理チップ 6 1 では、微細配線ルールを用いて配線、トランジスタをレイアウトし、さらに回路規模に合わせて配線層数を増やすことによって敷き詰め率を向上させればよい。これにより、信号処理チップ 6 1 を大幅に小型化することが可能となる。この場合、信号処理チップ 6 1 の配線層数は、イメージセンサチップ 5 1 の配線層数よりも多くなる。

[0070] (実施の形態 5)

図 8 は実施の形態 5 に係る固体撮像デバイスの配線図である。また、本実施形態に係る固体撮像デバイスの構成図は図 6 と同様である。図 8 において、図 7 と共通の構成要素には図 7 と同一の符号を付しており、ここではその詳細な説明を省略する。

[0071] 本実施形態においても、信号処理チップ 6 1 は、図 6 (b) に示すように、イメージセンサチップ 5 1 の主面上における撮像領域 5 2 以外の領域に、複数のマイクロバンプ 5 7 を介してフリップチップ実装されており、その実装箇所においてイメージセンサチップ 5 1 との間に電氣的経路が形成されている。そして、信号処理チップ 6 1 と固体撮像デバイス外部との間の入出力は、マイクロバンプ 5 7 によって形成された電氣的経路と、イメージセンサチップ 5 1 の内部回路および入出力端子 5 5 とを介して行われる。

[0072] 実施の形態 4 と異なるのは、イメージセンサチップ 5 1 が、撮像領域 5 2 の複数列の画像信号を、並列に出力可能に構成されている点である。そして、信号処理チップ 6 1 は、ロジック回路のみで構成されており、イメージセンサチップ 5 1 等の駆動制御を行うタイミング発生回路 6 3 と、イメージセンサチップ 5 1 から出力された複数列の画像信号を処理する列信号処理回路 6 4 と、列信号処理回路 6 4 によって処理された信号を再度処理する信号処理回路 6 5 を備えている。

- [0073] 図9はイメージセンサチップ51の画素信号処理回路54と、信号処理チップ61の列信号処理回路64および信号処理回路65との信号接続を示す詳細配線図である。図9に示すように、画素信号処理回路54は、撮像領域52から出力された画素信号とランプ波形とを比較してAD変換を行うコンパレータ91と、AD変換された出力電圧を信号処理チップ61において処理可能な低電圧に変換するレベルシフタ92とを備えている。コンパレータ91とレベルシフタ92は、撮像領域52の各列に設けられている。また、レベルシフタ92の出力すなわち各列の画像信号をそれぞれ信号処理チップ61に伝達するためのマイクロバンプ57が設けられている。
- [0074] レベルシフタ92の出力はそれぞれ、マイクロバンプ57を介して、信号処理チップ61の列信号処理回路64に送られる。列信号処理回路64は、マイクロバンプ57に対応して設けられたデジタルメモリ93と、読み出しを行うデジタルメモリ93を選択するための水平走査回路94とを備えている。デジタルメモリ93は、マイクロバンプ57を介して受けた画像信号を8～14ビット等のデジタル信号として蓄積する。デジタルメモリ93に蓄積されたデジタル信号は、水平走査回路94によって順次選択され、デジタル出力として信号処理回路65に伝達される。信号処理回路65は黒補正、キズ補正等の信号処理を行う。信号処理後の画像信号は、再度マイクロバンプ57を経由してイメージセンサチップ51に伝達された後、イメージセンサチップ51の入出力端子を経由して映像出力として出力される。
- [0075] このように本実施形態によると、マイクロバンプ57を狭ピッチで配置可能であることを利用して、複数列の画像信号をそれぞれ伝達するためのマイクロバンプ57を設けることによって、イメージセンサチップ51と信号処理チップ61との間で複数列の画像信号を並列に転送することが可能になる。しかも、マイクロバンプ57は、チップ間の接続距離が短いため低抵抗であり、かつ寄生インダクタンスや寄生容量も少ない。したがって、高速かつ低消費電力の信号伝達が可能となる。
- [0076] さらに、本実施形態では、広いダイナミックレンジや高いS/N比を得る

ために高電圧が必要となるコンパレータ 9 1 等のアナログ回路で構成される画素信号処理回路 5 4 は、イメージセンサチップ 5 1 側に配置し、低電圧で動作可能なデジタルメモリ 9 3 を含む列信号処理回路 6 4 をデジタル回路のみで構成される信号処理チップ 6 1 側に配置している。これにより、例えば、信号処理チップ 6 1 は低電源に対応した薄膜ゲート酸化膜のトランジスタのみで構成する等、それぞれのチップに用いるトランジスタ種類を最適化することが可能となる。したがって、簡易な製造プロセスで、低コストの固体撮像デバイスを作成することが可能となる。

[0077] さらに、信号処理チップ 6 1 は、最適な微細配線ルールを用いて配線・トランジスタをレイアウトし、さらに回路規模に合わせて配線層数を増やすことによって敷き詰め率を向上させるのが好ましい。これにより、多ビットのデジタル信号を保存するために多数のラッチ回路等から構成されるデジタルメモリ 9 3 等多くのロジック回路が搭載された列信号処理回路 6 4 の面積を、イメージセンサチップ 5 1 に搭載した場合と比較して、大幅に小型化することが可能となる。

[0078] なお本実施形態では、撮像領域 5 2 の各列の画像信号をそれぞれに対応するマイクロバンプ 5 7 を経由して信号処理チップ 6 1 に伝達する構成としたが、これに限られるものではない。例えば、レベルシフタ 9 2 とマイクロバンプ 5 7 との間にセレクタを設けて、複数列をまとめて 1 つのマイクロバンプ 5 7 に対応付け、画像信号を選択的にマイクロバンプ 5 7 を介して信号処理チップ 6 1 に出力するようにしてもよい。これは、撮像領域 5 2 の各列のピッチとマイクロバンプ 5 7 を配置可能なピッチとが合っていないような場合に有効である。

[0079] また第 4 および第 5 の実施形態では、固体撮像素子上に 1 つの信号処理素子を実装する例を示しているが、撮像領域以外であれば、固体撮像素子に複数の信号処理素子を実装してもかまわない。例えば、デジタルシグナルプロセッサを搭載することによって、チップセットとして固体撮像カメラを実現することも可能である。

産業上の利用可能性

[0080] 本発明では、固体撮像デバイスの小型化・低コスト化が実現できるので、例えば、高速、低消費電力、小型・低コストのデジタルカメラ、ムービーカメラ等を実現することができ、有用である。

符号の説明

- [0081] 1 CCDイメージセンサチップ（固体撮像素子）
- 1 a 撮像領域
 - 2 ガラス（透明材料）
 - 3 タイミングジェネレータチップ（周辺回路素子）
 - 4 CCDドライバチップ（周辺回路素子）
 - 7 接着剤
 - 20 貫通電極
 - 21 バンプ（接続端子）
 - 51 イメージセンサチップ（固体撮像素子）
 - 52 撮像領域
 - 55 入出力端子
 - 56 保護回路（内部回路）
 - 57 マイクロバンプ
 - 61 信号処理チップ（信号処理素子）

請求の範囲

- [請求項1] 光電変換素子を含む単位画素が行列状に形成された撮像領域を主面上に有する固体撮像素子と、
前記固体撮像素子の撮像動作の制御、または、前記固体撮像素子の映像出力の信号処理を行う周辺回路素子とを備え、
前記周辺回路素子は、前記固体撮像素子の主面上における前記撮像領域以外の領域に、その主面が前記固体撮像素子の主面と対向するように、貼り合わされて実装されており、
前記撮像領域は、透明材料によって覆われている
ことを特徴とする固体撮像デバイス。
- [請求項2] 請求項1記載の固体撮像デバイスにおいて、
前記透明材料は、前記撮像領域の表面に、接着剤によって接着されている
ことを特徴とする固体撮像デバイス。
- [請求項3] 請求項1記載の固体撮像デバイスにおいて、
前記固体撮像素子は、
主面と裏面とを電氣的に接続する貫通電極と、
裏面上に形成されており、前記貫通電極と電氣的に接続された接続端子とを備えている
ことを特徴とする固体撮像デバイス。
- [請求項4] 請求項1記載の固体撮像デバイスにおいて、
前記固体撮像素子は、CCD（Charge Coupled Device）イメージセンサチップであり、
前記周辺回路素子は、CCDを駆動するためのCCDドライバチップと、CCDを駆動するタイミングを制御するためのタイミングジェネレータチップとを少なくとも含む
ことを特徴とする固体撮像デバイス。
- [請求項5] 固体撮像デバイスの製造方法であって、

光電変換素子を含む単位画素が行列状に２次元配列されてなる撮像領域を主面上に有する固体撮像素子が形成された、ウエハを準備する工程と、

前記固体撮像素子の撮像領域を覆うように、透明材料を設ける工程と、

前記透明材料を設けた後に、前記固体撮像素子の撮像動作の制御、または、前記固体撮像素子の映像出力の信号処理を行う周辺回路素子を、前記固体撮像素子の主面上における前記撮像領域以外の領域に、その主面が前記固体撮像素子の主面と対向するように、貼り合わせて実装する工程とを備えた

ことを特徴とする固体撮像デバイスの製造方法。

[請求項6]

固体撮像デバイスであって、

光電変換素子を含む単位画素が行列状に形成された撮像領域を主面上に有する固体撮像素子と、

前記固体撮像素子の映像出力の信号処理を行う回路を主面上に有した信号処理素子とを備え、

前記信号処理素子は、前記固体撮像素子の主面上における前記撮像領域以外の領域に、主面同士が対向するように貼り合わせて実装され、実装箇所において前記固体撮像素子との間に電氣的経路が形成されており、

前記信号処理素子と当該固体撮像デバイス外部との間の入出力は、前記電氣的経路と、前記固体撮像素子の内部回路および入出力端子とを介して行われるように、構成されている

ことを特徴とする固体撮像デバイス。

[請求項7]

請求項6記載の固体撮像デバイスにおいて、

前記信号処理素子は、複数のマイクロバンプを介して、前記固体撮像素子に実装されており、

前記固体撮像素子の映像出力は、前記複数のマイクロバンプのいず

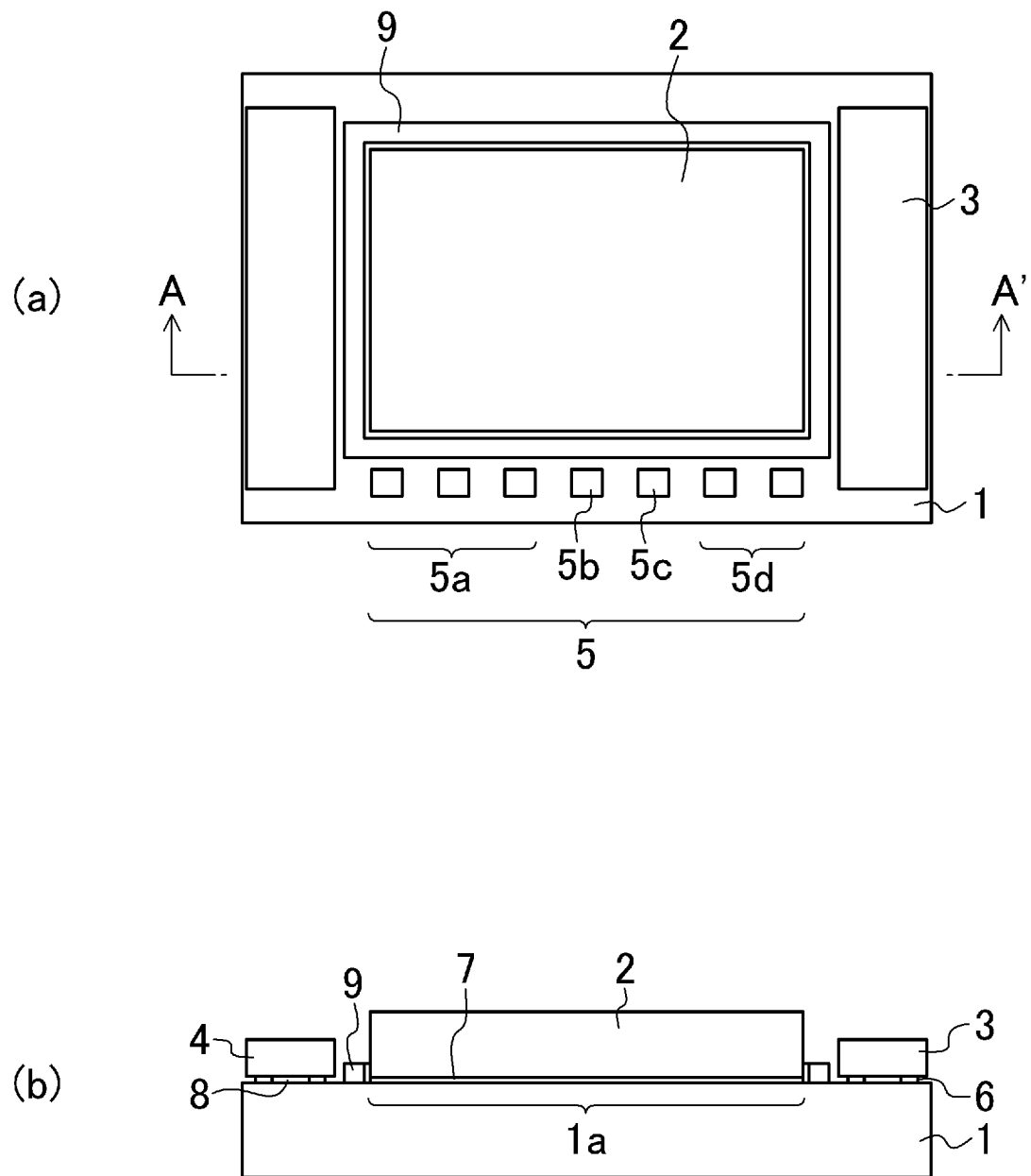
れかを經由して前記信号処理素子に伝達され、前記信号処理素子内で信号処理された後、再び前記複数のマイクロバンプのいずれかを經由して前記固体撮像素子に伝達され、前記入出力端子から当該固体撮像デバイス外部に出力されることを特徴とする固体撮像デバイス。

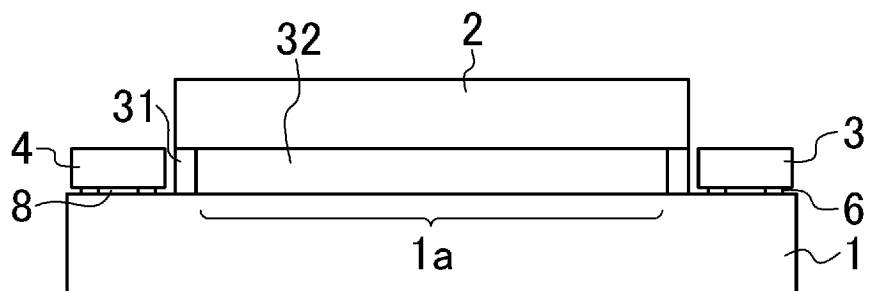
[請求項8] 請求項6記載の固体撮像デバイスにおいて、
前記固体撮像素子に、少なくとも1つ以上の電源が供給され、
前記固体撮像素子に供給される電源のうち最も低い電圧の電源が、
前記信号処理素子に、前記電氣的経路を介して供給されることを特徴とする固体撮像デバイス。

[請求項9] 請求項6記載の固体撮像デバイスにおいて、
前記信号処理素子の配線層数は、前記固体撮像素子の配線層数よりも多いことを特徴とする固体撮像デバイス。

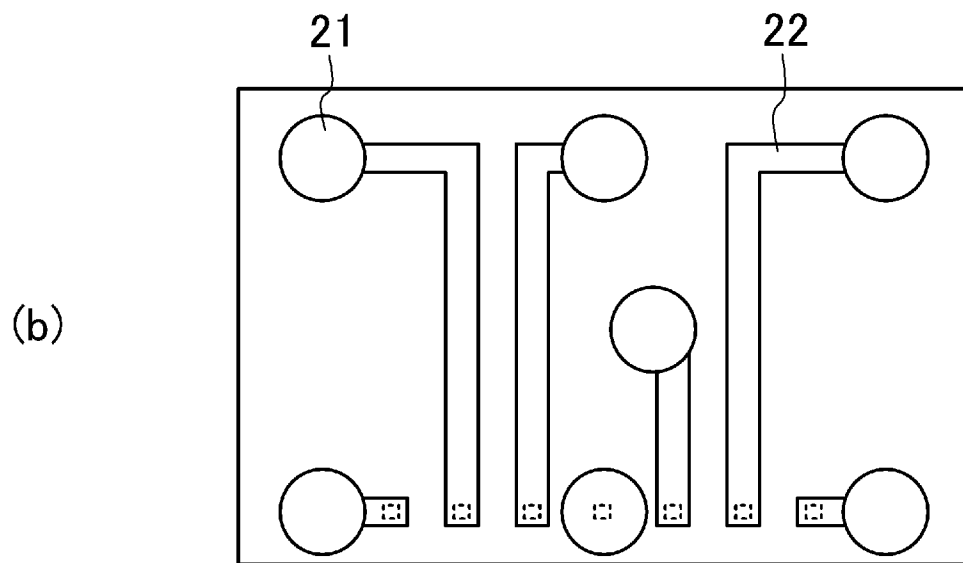
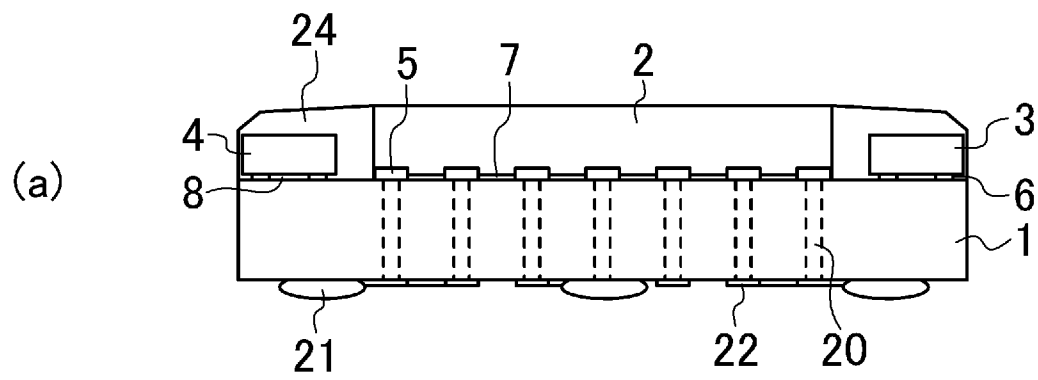
[請求項10] 請求項6記載の固体撮像デバイスにおいて、
前記信号処理素子は、複数のマイクロバンプを介して、前記固体撮像素子に実装されており、
前記固体撮像素子は、前記撮像領域の複数列の画像信号を、並列に出力可能に構成されており、
前記複数のマイクロバンプは、前記固体撮像素子から出力される複数列の画像信号を、それぞれ前記信号処理素子に伝達することを特徴とする固体撮像デバイス。

[図1]

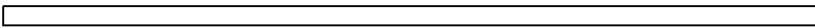
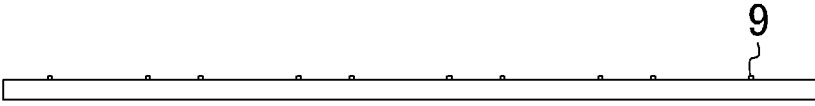
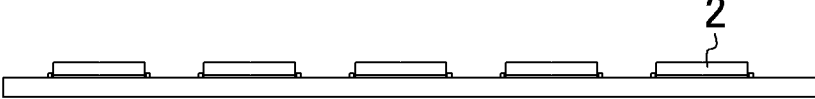
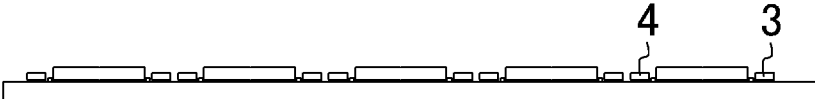
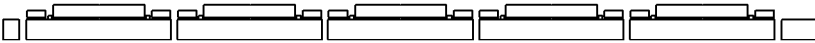




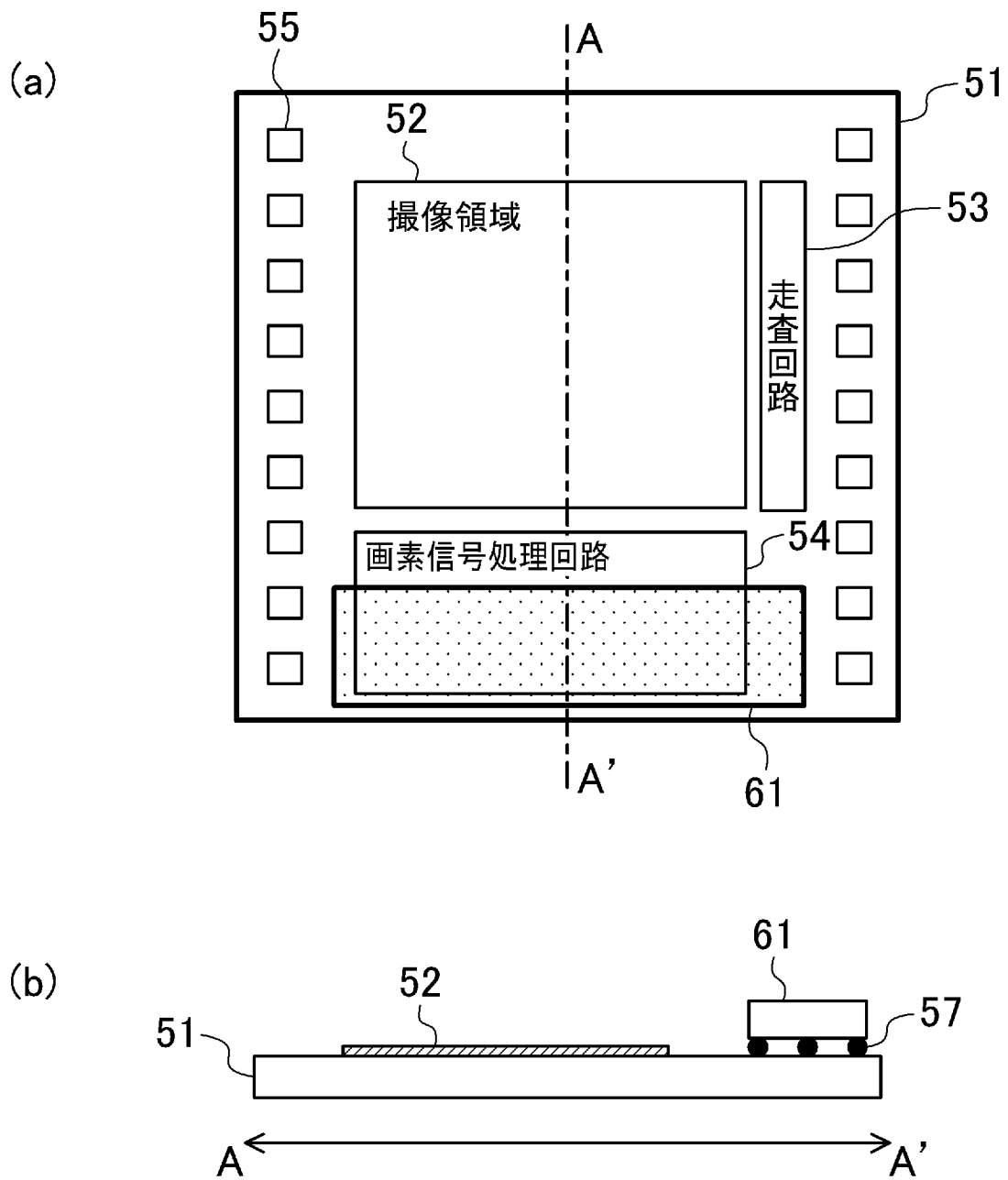
[図4]



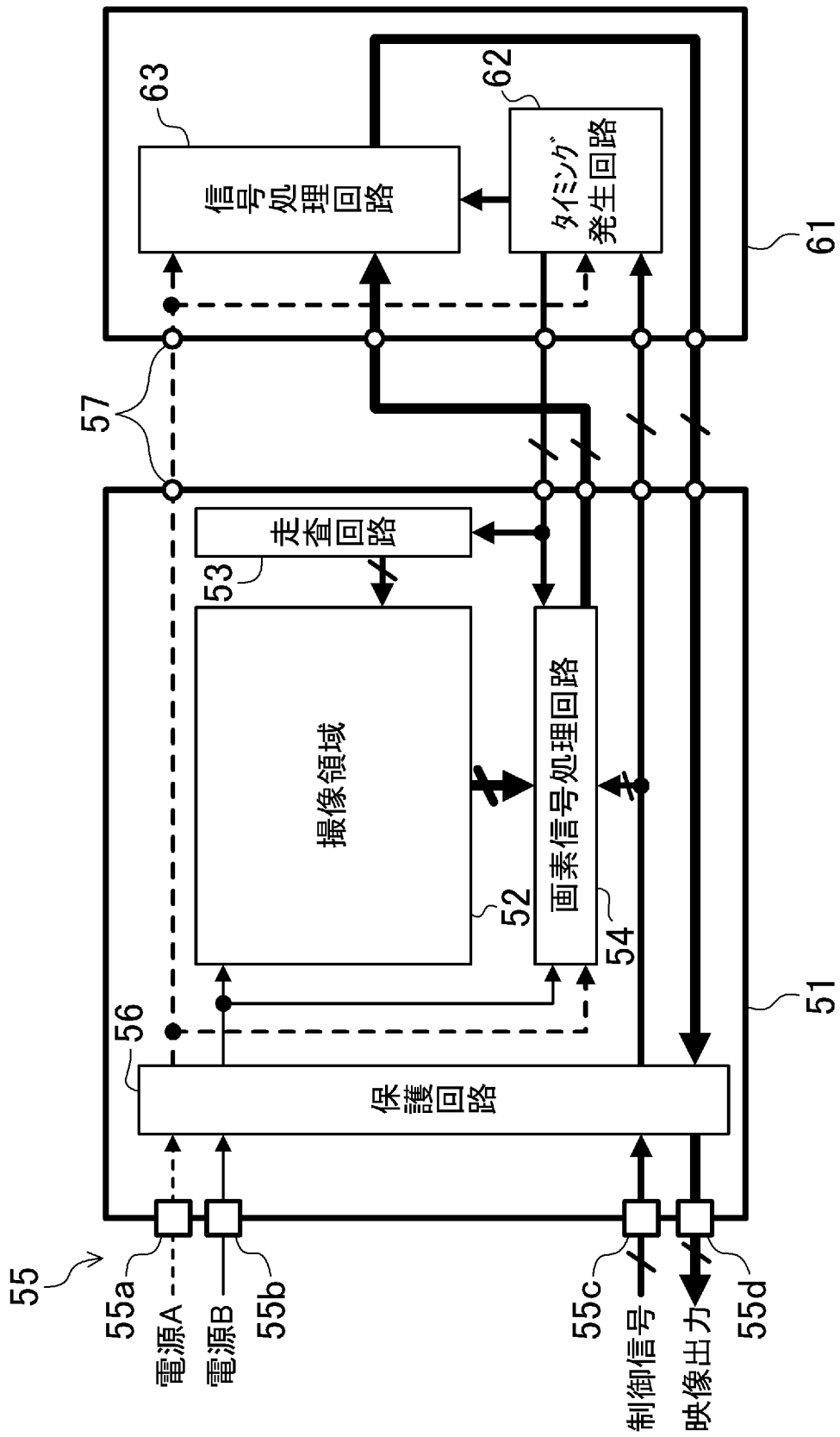
[図5]

- (a)  プローブ検査
- (b)  ダム形成
- (c)  接着剤滴下
- (d)  ガラス接着
- (e)  封止剤滴下
- (f)  フリップチップ実装
- (g)  ダイシング

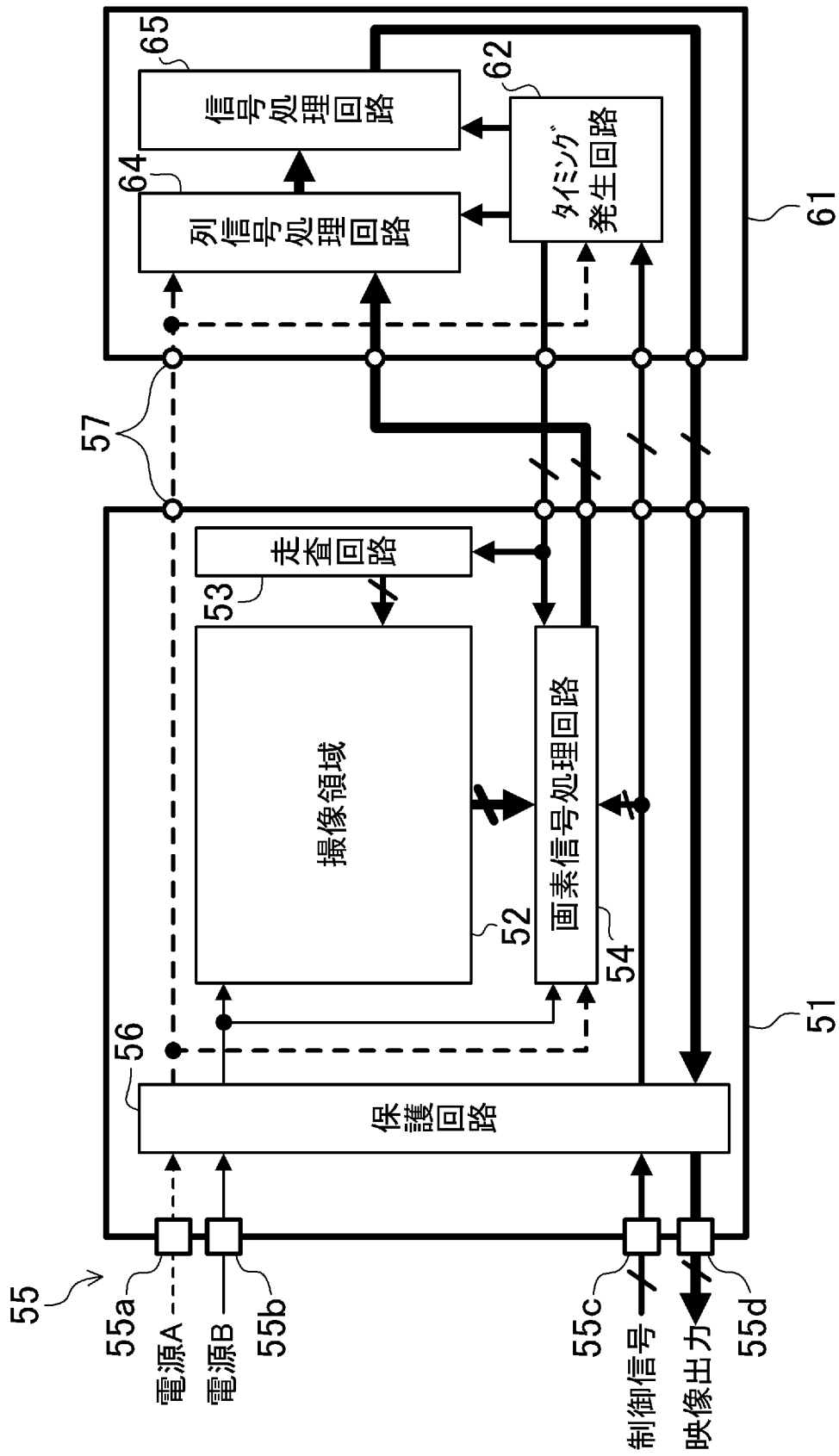
[図6]



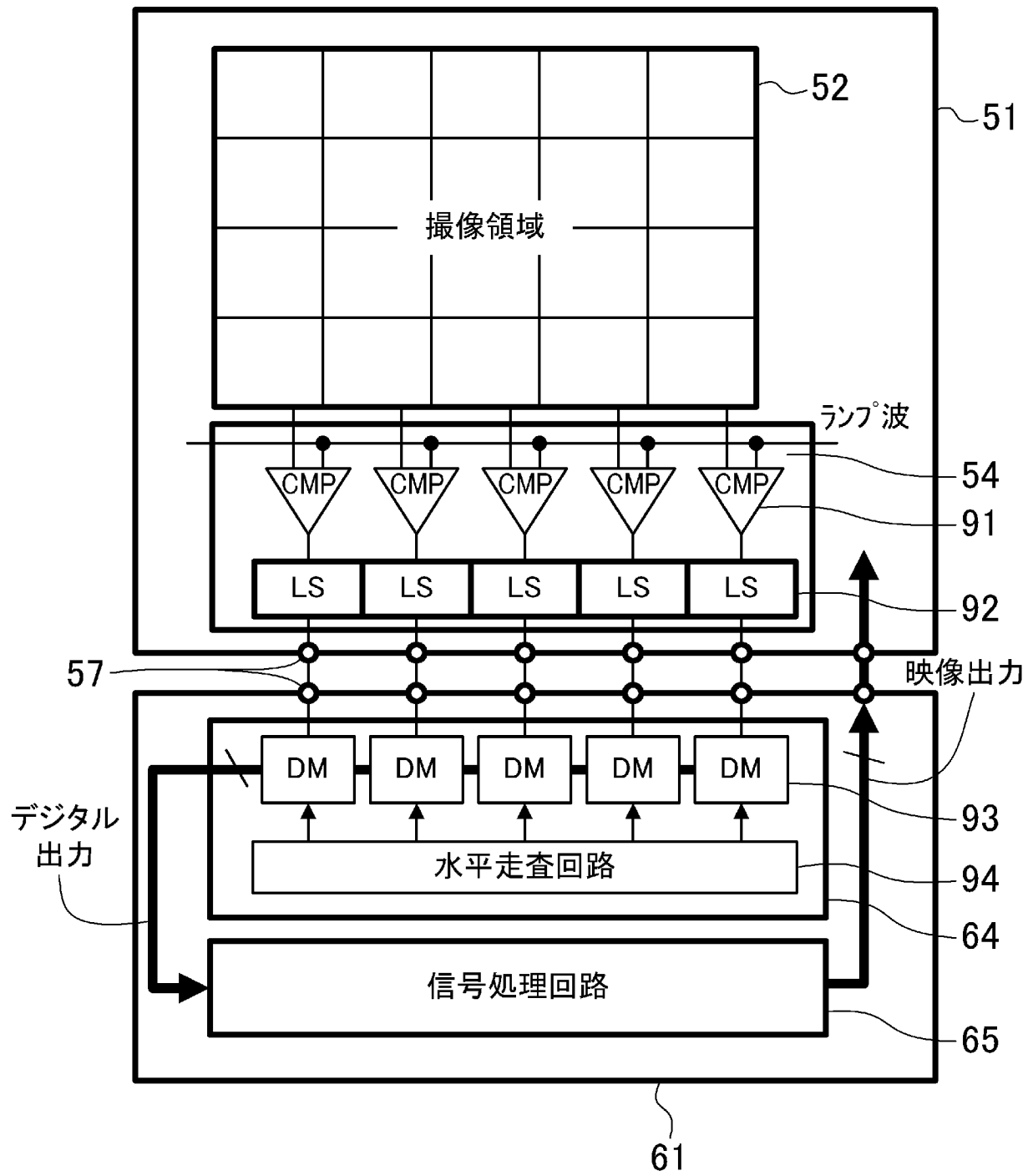
[図7]



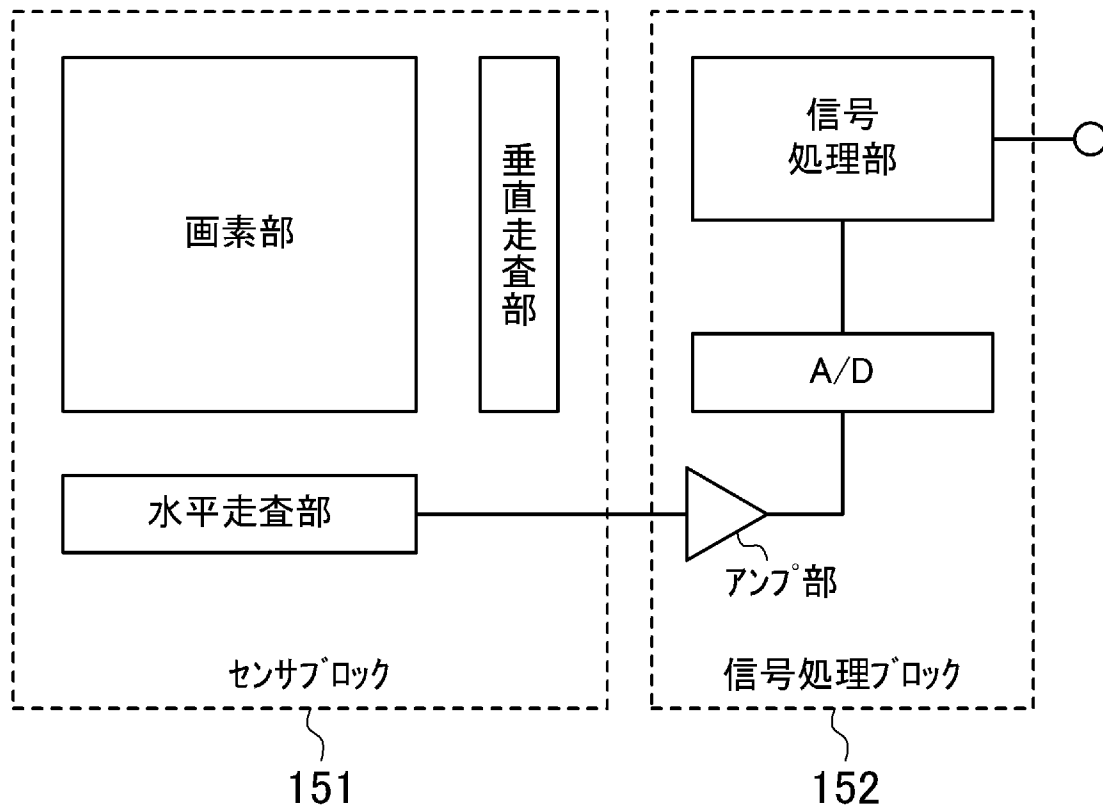
[図8]



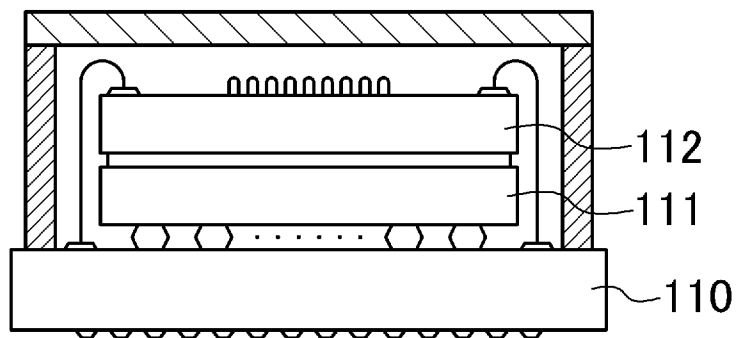
[図9]



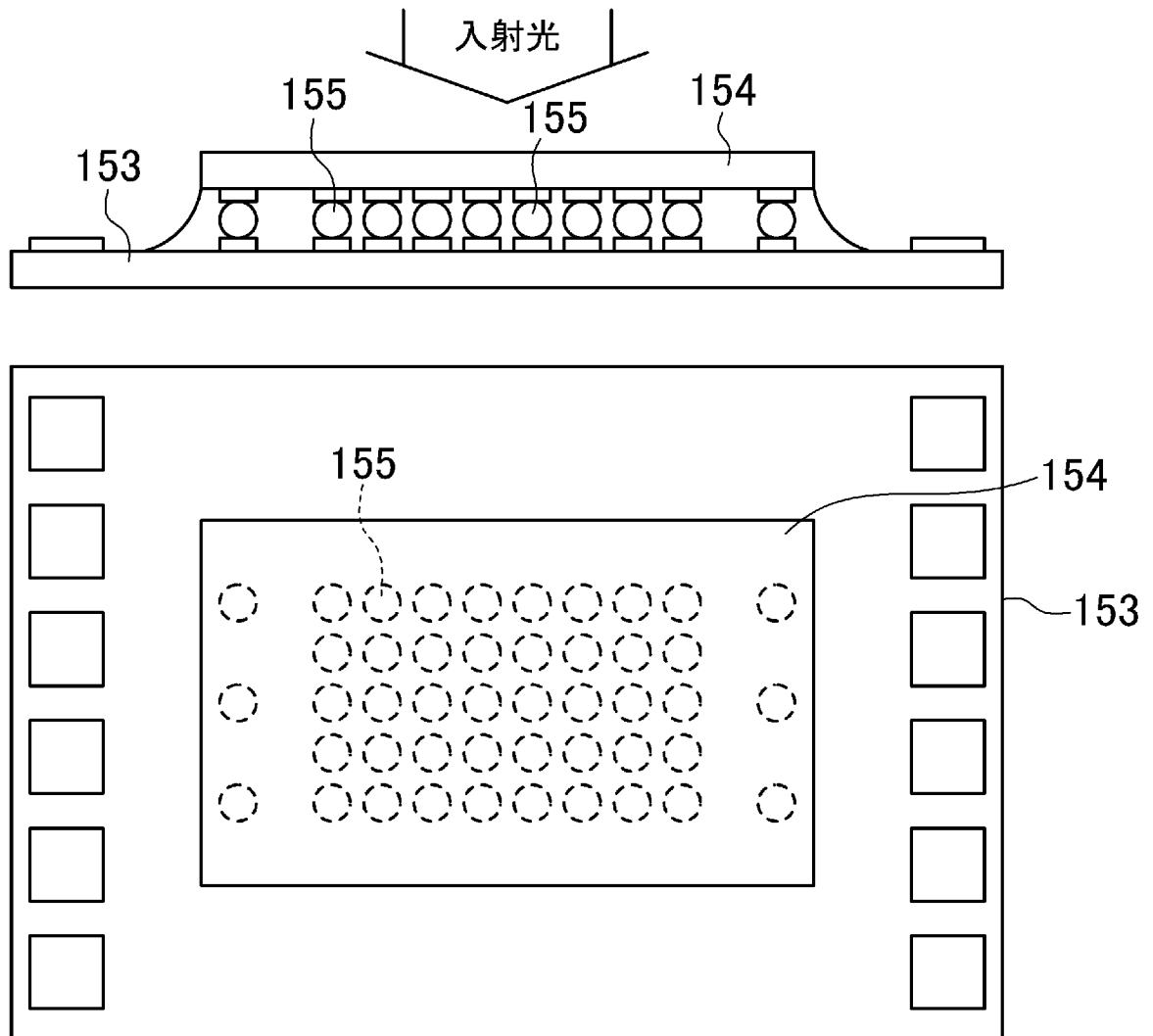
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006773

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L27/148(2006.01)i, H04N5/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14, H01L27/148, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-200161 A (Matsushita Electric Industrial Co., Ltd.), 21 July 1992 (21.07.1992), entire text; all drawings (Family: none)	1-7, 9, 10
Y	JP 2002-289908 A (Hamamatsu Photonics Kabushiki Kaisha), 04 October 2002 (04.10.2002), paragraphs [0014] to [0019], [0025] to [0027]; fig. 1, 2 (Family: none)	1-7, 9, 10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 March, 2010 (09.03.10)

Date of mailing of the international search report
23 March, 2010 (23.03.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/006773

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-186875 A (Matsushita Electric Industrial Co., Ltd.), 14 August 2008 (14.08.2008), entire text; all drawings (Family: none)	1-7, 9, 10
Y	JP 2007-134725 A (I Square Research Co., Ltd.), 31 May 2007 (31.05.2007), entire text; all drawings & US 2008/0042227 A1 & WO 2006/073085 A1 & DE 112005003327 T & KR 10-2007-0086904 A & CN 101065844 A & KR 10-2008-0081097 A	1-7, 9, 10
Y	JP 2005-109092 A (Konica Minolta Opto, Inc.), 21 April 2005 (21.04.2005), paragraphs [0041] to [0048]; fig. 1, 2 (Family: none)	1-7, 9, 10
A	JP 2006-237772 A (Sony Corp.), 07 September 2006 (07.09.2006), paragraphs [0067] to [0098]; fig. 6 to 8 (Family: none)	8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/14(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i,
H01L27/148(2006.01)i, H04N5/335(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/14, H01L27/148, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 4-200161 A (松下電器産業株式会社) 1992.07.21, 全文, 全図 (ファミリーなし)	1-7, 9, 10
Y	JP 2002-289908 A (浜松ホトニクス株式会社) 2002.10.04, 段落【0014】-【0019】, 【0025】-【0027】, 図1、2 (ファミリーなし)	1-7, 9, 10
Y	JP 2008-186875 A (松下電器産業株式会社) 2008.08.14, 全文, 全図 (ファミリーなし)	1-7, 9, 10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 3 . 2 0 1 0

国際調査報告の発送日

2 3 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 春香

4 M

8 9 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-134725 A (株式会社アイ・スクウェアリサーチ) 2007. 05. 31, 全文, 全図 & US 2008/0042227 A1 & WO 2006/073085 A1 & DE 112005003327 T & KR 10-2007-0086904 A & CN 101065844 A & KR 10-2008-0081097 A	1-7, 9, 10
Y	JP 2005-109092 A (コニカミノルタオプト株式会社) 2005. 04. 21, 段落【0041】－【0048】, 図1、2 (ファミリーなし)	1-7, 9, 10
A	JP 2006-237772 A (ソニー株式会社) 2006. 09. 07, 段落【0067】－【0098】, 図6－8 (ファミリーなし)	8