

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-166326

(P2007-166326A)

(43) 公開日 平成19年6月28日(2007.6.28)

(51) Int. Cl.			F I			テーマコード (参考)
H03C	3/00	(2006.01)	H03C	3/00	B	5J106
H04B	1/04	(2006.01)	H04B	1/04	H	5K060
H03L	7/18	(2006.01)	H03L	7/18	Z	

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号	特願2005-360968 (P2005-360968)	(71) 出願人	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2-1番地
(22) 出願日	平成17年12月14日(2005.12.14)	(74) 代理人	100105924 弁理士 森下 賢樹
		(72) 発明者	小森 博文 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内
		Fターム(参考)	5J106 BB08 CC01 CC21 CC37 CC52 KK12 5K060 CC04 FF03 GG05 HH02 HH25

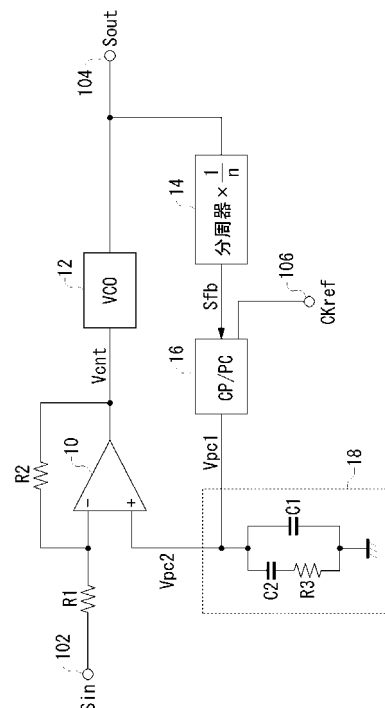
(54) 【発明の名称】 周波数変調器およびこれを用いたFM送信回路

(57) 【要約】

【課題】 PLLのループフィルタが変調信号におよぼす影響を抑える。

【解決手段】 演算増幅器10は、反転入力端子に第1抵抗R1を介して入力信号が入力される。第2抵抗R2は、演算増幅器10の出力端子と反転入力端子間の帰還経路に設けられる。VCO12は、演算増幅器10から出力される制御電圧Vcntが入力される。分周器14は、VCO12の出力信号Soutを分周する。位相比較器16は、分周器14の出力信号を、基準クロック信号と比較し、位相差に応じた電圧を出力する。ループフィルタ18は、位相比較器16の出力電圧Vcpの高周波成分を除去し、演算増幅器10の非反転入力端子へと出力する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

反転入力端子に第 1 抵抗を介して入力信号が入力された演算増幅器と、
前記演算増幅器の出力端子と反転入力端子間の帰還経路に設けられた第 2 抵抗と、
前記演算増幅器の出力信号が入力された電圧制御発振器と、
前記電圧制御発振器の出力信号を分周する分周器と、
前記分周器の出力信号を、基準クロック信号と比較し、位相差に応じた電圧を出力する位相比較器と、
前記位相比較器の出力電圧の高周波成分を除去し、前記演算増幅器の非反転入力端子へと出力するフィルタと、
を備えることを特徴とする周波数変調器。

10

【請求項 2】

前記第 1 抵抗の抵抗値を前記第 2 抵抗の抵抗値より高く設定したことを特徴とする請求項 1 に記載の周波数変調器。

【請求項 3】

前記第 1、第 2 抵抗の少なくとも一方は、可変抵抗であることを特徴とする請求項 1 に記載の周波数変調器。

【請求項 4】

前記演算増幅器は、レイルアンプであることを特徴とする請求項 1 から 3 のいずれかに記載の周波数変調器。

20

【請求項 5】

前記フィルタは、パッシブフィルタであることを特徴とする請求項 1 から 4 のいずれかに記載の周波数変調器。

【請求項 6】

前記入力信号は、ステレオコンポジット信号であることを特徴とする請求項 1 から 5 のいずれかに記載の周波数変調器。

【請求項 7】

1 つの半導体基板上に一体集積化されたことを特徴とする請求項 1 から 6 のいずれかに記載の周波数変調器。

【請求項 8】

オーディオ信号をステレオコンポジット信号に変換するステレオ変調部と、
前記ステレオ変調部から出力されるステレオコンポジット信号にもとづいて周波数変調を行い、被変調信号を出力する請求項 1 から 7 のいずれかに記載の周波数変調器と、
前記周波数変調器から出力される被変調信号を増幅する増幅器と、
を備えることを特徴とする FM 送信回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PLL (Phase Locked Loop) を利用した直接変調型の周波数変調器に関する。

40

【背景技術】

【0002】

FM 放送や、車載用オーディオにおいて、送信すべきオーディオ信号 (変調信号) にもとづいて、周波数変調された被変調信号を生成する周波数変調器が用いられている。たとえば、特許文献 1 には、電圧制御発振器 (以下、VCO という)、分周器、位相比較器、ループフィルタを用いて PLL を構成し、VCO の入力信号に変調信号であるオーディオ信号を重畳する直接変調型の周波数変調器が開示されている。

【0003】

特許文献 1 に開示されるように、従来 of 直列変調型の周波数変調器においては、ループフィルタの出力端子と、VCO の入力端子の間に、カップリングキャパシタや、加算用の

50

抵抗を用いて変調信号をカップリングする手法がとられていた。

【特許文献1】特開平9-69729号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、従来においては、カップリングキャパシタや抵抗を用いて、変調信号を高周波信号に重畳するため、PLLのループフィルタのインピーダンスが、変調信号である入力信号に影響を与えるという問題があった。変調信号がループフィルタに影響を受けると、変調信号の高域が減衰するため、たとえばオーディオ信号を変調するような場合には、信号に歪みが発生する。また、ループフィルタから出力される信号が、変調信号を生成する回路側にリークする場合があった。

10

【0005】

本発明はこうした課題に鑑みてなされたものであり、その目的は、PLLのループフィルタが変調信号におよぼす影響を抑えることができる周波数変調器の提供にある。

【課題を解決するための手段】

【0006】

発明のある態様の周波数変調器は、反転入力端子に第1抵抗を介して入力信号が入力された演算増幅器と、演算増幅器の出力端子と反転入力端子間の帰還経路に設けられた第2抵抗と、演算増幅器の出力信号が入力された電圧制御発振器と、電圧制御発振器の出力信号を分周する分周器と、分周器の出力信号を、基準クロック信号と比較し、位相差に応じた電圧を出力する位相比較器と、位相比較器の出力電圧の高周波成分を除去し、演算増幅器の非反転入力端子へと出力するフィルタと、を備える。

20

【0007】

この態様において、第1抵抗、第2抵抗および演算増幅器は、入力信号に対しては、反転アンプとして機能し、フィルタの出力信号に対しては、非反転アンプとして機能する。その結果、演算増幅器によって、入力信号とフィルタの出力信号が重畳され、電圧制御発振器に入力される。この態様によれば、演算増幅器の入力インピーダンスは高いため、フィルタのインピーダンスが、入力信号が入力される入力端子側の回路に及ぼす影響を低減することができる。

【0008】

第1抵抗の抵抗値を第2抵抗の抵抗値より高く設定してもよい。この場合、入力信号を減衰させる一方で、ループゲインを低く設定することができる。

30

【0009】

第1、第2抵抗の少なくとも一方は、可変抵抗であってもよい。この場合、電圧制御発振器の特性などに応じて、ループゲインや入力信号の振幅を調節することができる。

【0010】

演算増幅器は、出力電圧を接地電圧から電源電圧の範囲で広く制御可能なレイルアンプであってもよい。この場合、電圧制御発振器の入力信号の電圧範囲を広く設定することができるため、本周波数変調器から出力される高周波信号の周波数帯を広くとることができる。

40

【0011】

フィルタは、パッシブフィルタであってもよい。また、入力信号は、ステレオコンポジット信号であってもよい。

【0012】

周波数変調器は、ひとつの半導体基板上に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。周波数変調器を1つのLSIとして集積化することにより、回路面積を削減することができる。

【0013】

50

本発明の別の態様は、上述の周波数変調器を利用したFM送信回路である。このFM送信回路は、オーディオ信号をステレオコンポジット信号に変換するステレオ変調部と、ステレオ変調部から出力されるステレオコンポジット信号に周波数変調をかける上述の周波数変調器と、周波数変調器から出力される高周波信号を増幅する増幅器と、を備える。

【0014】

なお、以上の構成要素の任意の組合せや、本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【0015】

本発明によれば、PLLを用いた直接型の周波数変調器において、変調信号を、ループフィルタの出力信号に重畳し、周波数変調を行うことができる。

【発明を実施するための最良の形態】

【0016】

本実施の形態に係る周波数変調器は、VCO、分周器、位相比較器、ループフィルタを用いてPLLを構成し、VCOの入力信号に変調信号を重畳する直接変調型の周波数変調器である。図1は、本発明の実施の形態に係る周波数変調器100の構成を示す回路図である。周波数変調器100は、入力端子102に入力された変調信号である入力信号Sinにもとづき周波数変調を行い、出力端子104から被変調信号Soutを出力する。基準クロック端子106には、基準クロック信号CKrefが入力される。本実施の形態において、入力信号Sinは、所定の直流バイアスが与えられており、たとえば、電源電位と接地電位の中点($V_{cc}/2$)にバイアスされている。

【0017】

周波数変調器100は、演算増幅器10、VCO12、分周器14、位相比較器16、ループフィルタ18、第1抵抗R1、第2抵抗R2を含み、1つの半導体基板上に一体集積化される。

【0018】

演算増幅器10は、反転入力端子に第1抵抗R1を介して変調信号である入力信号Sinが入力される。この演算増幅器10には、たとえば、入力および出力電圧範囲が広いレールアンプを用いる。演算増幅器10の回路構成は特に限定されるものではなく、入力段に差動増幅回路を備えるものであればよい。

【0019】

第2抵抗R2は、演算増幅器10の出力端子と反転入力端子間の帰還経路に設けられる。VCO12には、演算増幅器10の出力電圧(以下、制御電圧Vcntという)が入力される。VCO12は、制御電圧Vcntに応じた周波数frfを有する被変調信号Soutを生成する。この出力信号Soutは、出力端子104から外部へと出力されるとともに、分周器14へと入力される。

【0020】

分周器14は、VCO12の出力信号Soutを、 $1/n$ に分周し、帰還信号Sfbを出力する。位相比較器16には、分周器14から出力される周波数が frf/n の帰還信号Sfbを、基準クロック端子106に入力される基準クロック信号CKrefと比較し、2つの信号の位相差に応じた電圧(以下、位相差電圧Vpcという)を出力する。位相比較器16は、どの構成のものを用いてもよく、たとえば、帰還信号Sfbと、基準クロック信号CKrefの位相差に応じて、チャージ信号またはディスチャージ信号を出力する位相比較回路と、チャージ信号またはディスチャージ信号に応じて、キャパシタを充放電するチャージポンプ回路によって構成することができる。

【0021】

ループフィルタ18は、位相比較器16の出力信号である位相差電圧Vpc1の高周波成分を除去する。ループフィルタ18から出力される位相差電圧Vpc2は、演算増幅器10の非反転入力端子へと入力される。本実施の形態において、ループフィルタ18は、第1キャパシタC1、第2キャパシタC2、第3抵抗R3を含むパッシブフィルタにて構

成される。第1キャパシタC1は、位相比較器16の出力端子と接地間に設けられる。第2キャパシタC2および第3抵抗R3は直列に接続され、第1キャパシタC1と並列の経路に設けられている。もっとも、ループフィルタ18の構成は実施の形態に限定されるものではなく、所望のカットオフ周波数が得られればいかなる構成であってもよく、また場合によっては、アクティブフィルタで構成してもよい。

【0022】

以上のように構成された周波数変調器100の動作について説明する。

入力端子102に入力される入力信号Sinと、ループフィルタ18から出力される位相差電圧Vpc2と、制御電圧Vcntの間には、以下の関係式(1)が成り立つ。

$$V_{cnt} = (1 + R_2 / R_1) \times V_{pc2} - R_2 / R_1 \times S_{in} \quad \dots \text{式(1)}$$

10

【0023】

すなわち、演算増幅器10、第1抵抗R1、第2抵抗R2は、入力端子102に入力される変調信号である入力信号Sinに対しては、反転アンプとして機能する。この反転アンプの利得G1は、第1抵抗R1、第2抵抗R2の抵抗値で決定され、 $G_1 = R_2 / R_1$ で与えられる。本実施の形態において、 $R_1 : R_2 = 10 : 1$ 程度に設定するものとする。このときの利得G1は、-20dB程度となる。

【0024】

また、演算増幅器10、第1抵抗R1、第2抵抗R2は、ループフィルタ18から出力される位相差電圧Vpc2に対しては、非反転アンプとして機能する。この非反転アンプの利得G2は、第1抵抗R1、第2抵抗R2の抵抗値を用いて、 $(1 + R_2 / R_1)$ で与えられる。

20

【0025】

演算増幅器10、第1抵抗R1、第2抵抗R2によって、入力信号Sinとループフィルタ18の出力信号である位相差電圧Vpc2が重畳され、制御電圧Vcntが生成される。VCO12は、制御電圧Vcntに応じた周波数で発振することから、周波数変調器100は、入力信号Sinに応じて周波数変調された被変調信号Soutを生成することができる。

【0026】

この態様によれば、演算増幅器10の入力インピーダンスが高いため、ループフィルタ18のインピーダンスが、入力端子102側の回路に及ぼす影響を低減することができる。その結果、入力信号Sinからは、ループフィルタ18が見えないため、ループフィルタ18により、入力信号Sinの高域が減衰するのを防止し、信号の歪みを抑えることができる。

30

【0027】

また、従来のように抵抗およびキャパシタを用いてカップリングする場合、ループフィルタ18から出力される信号が、入力信号Sin側にリークする場合があったが、本実施の形態に係る周波数変調器100においては、演算増幅器10の入力インピーダンスが高いため、この問題も解消することができる。

【0028】

さらに、従来技術において、カップリングキャパシタを用いる場合、このキャパシタが他の回路素子とともにハイパスフィルタを構成するため、その容量値を非常に大きくする必要があり、IC化できず、外付け部品として設ける必要があった。これに対して、本実施の形態に係る周波数変調器100では、カップリングキャパシタを用いなくても、入力信号SinをPLLのVCO12の入力に重畳することができるため、外付け部品を減らすことができる。また、カップリングキャパシタを外部に設ける場合、2つの端子を設ける必要があったが、これらの端子も削減し、チップ面積を低減することができる。

40

【0029】

第1抵抗R1、第2抵抗R2の少なくとも一方を、可変抵抗として構成してもよい。この場合、VCO12の特性などに応じて、ループゲインや入力信号の振幅を調節することができる。

50

【0030】

演算増幅器10にレールアンプを用いた場合、VCO12の入力信号である制御電圧Vcntの電圧範囲を広く設定することができるため、周波数変調器100から出力される高周波信号の周波数帯を広くとることができる。

【0031】

次に、本実施の形態に係る周波数変調器100の応用例について説明する。図2は、図1の周波数変調器100を使用したFM送信機200の構成を示すブロック図である。このFM送信機200は、オーディオ信号をステレオコンポジット信号に変換し、周波数変調を行い、増幅してアンテナから送信する。このようなFM送信機200は、車載用オーディオにおいて、ケーブルを介さずに信号を送信する際に使用したり、あるいは携帯端末に内蔵され、据え置き型のオーディオ機器に対してオーディオ信号を送信する用途に用いることができる。FM送信機200は、図1の周波数変調器100に加えて、ステレオ変調部202、パワーアンプ204を含んで、ひとつのLSIに集積化されてもよいし、別々のICに分割して構成されてもよい。

10

【0032】

オーディオ信号源210は、CDプレイヤーやMDプレイヤー、メモリオーディオ、ハードディスクオーディオなどであって、オーディオ信号S1を生成し、FM送信機200へと出力する。ステレオ変調部202は、オーディオ信号S1をステレオコンポジット信号S2に変換する。ステレオコンポジット信号S2は、図1の周波数変調器100へと入力される。周波数変調器100は、ステレオコンポジット信号S2にもとづき周波数変調を行い、被変調信号S3(Sout)を生成する。周波数変調器100から出力される被変調信号S3は、パワーアンプ204によって増幅され、アンテナ220から送信される。なお、図2のFM送信機200は主要なブロックのみを簡略化して示すものであり、その他にフィルタなどの回路ブロックは省略している。

20

【0033】

図2のFM送信機200は、図1の周波数変調器100を用いて構成するため、部品点数が低減されるために小型化が容易となる。その結果、携帯電話端末などへの実装が容易となる。

【0034】

実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

30

【0035】

実施の形態では、演算増幅器10、第1抵抗R1、第2抵抗R2を用いた構成としたが、これにキャパシタなどを付加してフィルタ機能を設けてもよい。また、ループフィルタ18としてアクティブフィルタを用いてもよい。

【図面の簡単な説明】

【0036】

【図1】実施の形態に係る周波数変調器の構成を示す回路図である。

【図2】図1の周波数変調器を使用したFM送信機の構成を示すブロック図である。

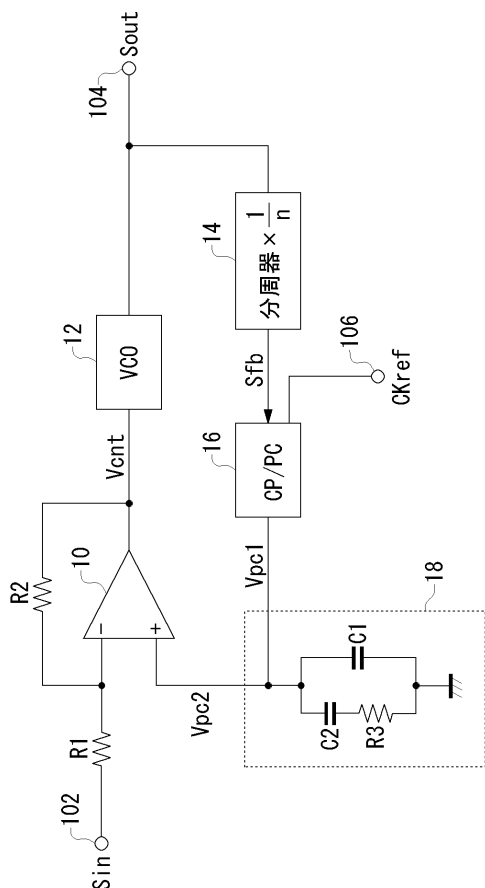
40

【符号の説明】

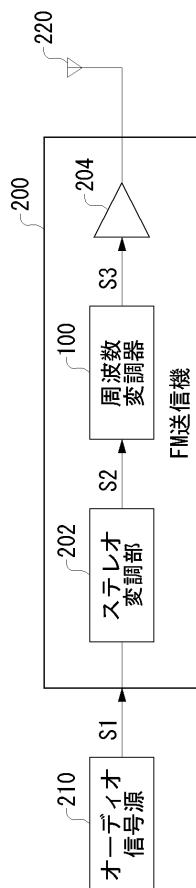
【0037】

100 周波数変調器、 10 演算増幅器、 12 VCO、 14 分周器、 16 位相比較器、 18 ループフィルタ、 R1 第1抵抗、 R2 第2抵抗、 102 入力端子、 104 出力端子、 106 基準クロック端子、 C1 第1キャパシタ、 C2 第2キャパシタ、 R3 第3抵抗、 200 FM送信機。

【 図 1 】



【 図 2 】



【 手続補正書 】

【 提出日 】 平成 19 年 4 月 26 日 (2007.4.26)

【 手続補正 1 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 全文

【 補正方法 】 変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

所定の直流バイアスが与えられた入力信号が、第 1 抵抗を介して反転入力端子に入力された演算増幅器と、

前記演算増幅器の出力端子と反転入力端子間の帰還経路に設けられた第 2 抵抗と、

前記演算増幅器の出力信号が入力された電圧制御発振器と、

前記電圧制御発振器の出力信号を分周する分周器と、

前記分周器の出力信号を、基準クロック信号と比較し、位相差に応じた電圧を出力する位相比較器と、

前記位相比較器の出力電圧の高周波成分を除去し、前記演算増幅器の非反転入力端子へと出力するフィルタと、

を備え、

前記フィルタは、接地端子に対してキャパシタにより直流成分が遮断されたパッシブフィルタであり、前記位相比較器の出力が、接地端子および電源端子に対して直流的に遮断された状態で、前記演算増幅器の非反転入力端子へ直接入力されたことを特徴とする周波数変調器。

【 請求項 2 】

前記第 1 抵抗の抵抗値を前記第 2 抵抗の抵抗値より高く設定したことを特徴とする請求

項 1 に記載の周波数変調器。

【請求項 3】

前記第 1、第 2 抵抗の少なくとも一方は、可変抵抗であることを特徴とする請求項 1 に記載の周波数変調器。

【請求項 4】

前記演算増幅器は、レイルアンプであることを特徴とする請求項 1 から 3 のいずれかに記載の周波数変調器。

【請求項 5】

前記入力信号は、ステレオコンポジット信号であることを特徴とする請求項 1 から 4 のいずれかに記載の周波数変調器。

【請求項 6】

1 つの半導体基板上に一体集積化されたことを特徴とする請求項 1 から 5 のいずれかに記載の周波数変調器。

【請求項 7】

オーディオ信号をステレオコンポジット信号に変換するステレオ変調部と、
前記ステレオ変調部から出力されるステレオコンポジット信号にもとづいて周波数変調を行い、被変調信号を出力する請求項 1 から 6 のいずれかに記載の周波数変調器と、
前記周波数変調器から出力される被変調信号を増幅する増幅器と、
を備えることを特徴とする FM 送信回路。