



(12) 发明专利

(10) 授权公告号 CN 102214433 B

(45) 授权公告日 2014. 03. 05

(21) 申请号 201110192292. X

(22) 申请日 2007. 06. 01

(30) 优先权数据

2006-155472 2006. 06. 02 JP

(62) 分案原申请数据

200710106470. 6 2007. 06. 01

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 梅崎敦司

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 叶晓勇 王忠忠

(51) Int. Cl.

G09G 3/20(2006. 01)

G09G 3/36(2006. 01)

H01L 27/12(2006. 01)

H01L 21/84(2006. 01)

(56) 对比文件

CN 1457059 A, 2003. 11. 19, 全文.

CN 1637549 A, 2005. 07. 13, 全文.

US 5949271 A, 1999. 09. 07, 全文.

JP 2004093682 A, 2004. 03. 25, 全文.

审查员 刘多多

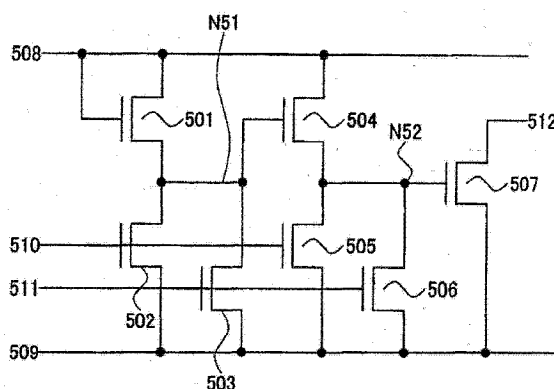
权利要求书2页 说明书63页 附图81页

(54) 发明名称

半导体装置

(57) 摘要

提供一种用于移位寄存器等的电路。基本构造包括第一到第四晶体管 and 四个线路。将电源电势 VDD 提供给第一线路, 将电源电势 VSS 提供给第二线路。将二元数字信号提供给第三线路和第四线路的每个。数字信号的 H 电平等于电源电势 VDD, 数字信号的 L 电平等于电源电势 VSS。第三线路和第四线路的电势的组合有四种。通过电势的任意组合可以截止第一晶体管到第四晶体管的每个。亦即, 由于没有一直导通的晶体管, 可以抑制晶体管特性的劣化。



1. 一种半导体装置,包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管与第七晶体管,

其中所述第一晶体管的栅极和第一端子电连接到第一线路,

其中所述第一晶体管的第二端子电连接到所述第四晶体管的栅极,

其中所述第二晶体管的栅极电连接到第二线路,

其中所述第二晶体管的第一端子电连接到第四线路,

其中所述第二晶体管的第二端子电连接到所述第四晶体管的栅极,

其中所述第三晶体管的栅极电连接到第三线路,

其中所述第三晶体管的第一端子电连接到所述第四线路,

其中所述第三晶体管的第二端子电连接到所述第四晶体管的栅极,

其中所述第四晶体管的第一端子电连接到所述第一线路,

其中所述第四晶体管的第二端子电连接到所述第七晶体管的栅极,

其中所述第五晶体管的栅极电连接到所述第二线路,

其中所述第五晶体管的第一端子电连接到所述第四线路,

其中所述第五晶体管的第二端子电连接到所述第七晶体管的栅极,

其中所述第六晶体管的栅极电连接到所述第三线路,

其中所述第六晶体管的第一端子电连接到所述第四线路,

其中所述第六晶体管的第二端子电连接到所述第七晶体管的栅极,

其中所述第七晶体管的第一端子电连接到所述第四线路,并且

其中所述第七晶体管的第二端子电连接到第五线路。

2. 根据权利要求 1 所述的半导体装置,其中所述第一到第七晶体管中的每个晶体管具有相同的导电类型。

3. 根据权利要求 1 所述的半导体装置,其中所述第一到第七晶体管中每个晶体管的半导体层包括非晶半导体。

4. 一种半导体装置,包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管与第十一晶体管,

其中所述第一晶体管的栅极电连接到第一线路,

其中所述第一晶体管的第一端子电连接到第二线路,

其中所述第一晶体管的第二端子电连接到所述第二晶体管的栅极,

其中所述第十一晶体管的栅极电连接到第四线路,

其中所述第十一晶体管的第一端子电连接到第五线路,

其中所述第十一晶体管的第二端子电连接到所述第二晶体管的栅极,

其中所述第六晶体管的栅极电连接到所述第二晶体管的栅极,

其中所述第六晶体管的第一端子电连接到所述第五线路,

其中所述第六晶体管的第二端子电连接到所述第八晶体管的栅极,

其中所述第五晶体管的栅极与第一端子电连接到所述第二线路,

其中所述第五晶体管的第二端子电连接到所述第八晶体管的栅极,

其中所述第七晶体管的栅极电连接到第三线路,

其中所述第七晶体管的第一端子电连接到所述第五线路,

其中所述第七晶体管的第二端子电连接到所述第八晶体管的栅极，
其中所述第八晶体管的第一端子电连接到所述第二线路，
其中所述第八晶体管的第二端子电连接到所述第三晶体管的栅极与所述第四晶体管的栅极，

其中所述第九晶体管的栅极电连接到所述第二晶体管的栅极，
其中所述第九晶体管的第一端子电连接到所述第五线路，
其中所述第九晶体管的第二端子电连接到所述第三晶体管的栅极与所述第四晶体管的栅极，

其中所述第十晶体管的栅极电连接到所述第三线路，
其中所述第十晶体管的第一端子电连接到所述第五线路，
其中所述第十晶体管的第二端子电连接到所述第三晶体管的栅极与所述第四晶体管的栅极，

其中所述第四晶体管的第一端子电连接到所述第五线路，
其中所述第四晶体管的第二端子电连接到所述第二晶体管的栅极，
其中所述第三晶体管的第一端子电连接到所述第五线路，
其中所述第三晶体管的第二端子电连接到第六线路，
其中所述第二晶体管的第一端子电连接到所述第三线路，并且
其中所述第二晶体管的第二端子电连接到所述第六线路。

5. 根据权利要求 4 所述的半导体装置，其中所述第一到第十一晶体管中的每个晶体管具有相同的导电类型。

6. 根据权利要求 4 所述的半导体装置，其中所述第一到第十一晶体管中每个晶体管的半导体层包括非晶半导体。

7. 一种半导体装置，包括第一晶体管、第二晶体管、第三晶体管与第四晶体管，
其中所述第一晶体管的栅极与第二端子电连接到所述第四晶体管的栅极，
其中所述第一晶体管的第一端子电连接到第二线路，
其中所述第二晶体管的栅极电连接到第三线路，
其中所述第二晶体管的第一端子电连接到第一线路，
其中所述第二晶体管的第二端子电连接到所述第四晶体管的栅极，
其中所述第三晶体管的栅极电连接到第四线路，
其中所述第三晶体管的第一端子电连接到所述第二线路，
其中所述第三晶体管的第二端子电连接到所述第四晶体管的栅极，
其中所述第四晶体管的第一端子电连接到所述第二线路，并且
其中所述第四晶体管的第二端子电连接到第五线路。

8. 根据权利要求 7 所述的半导体装置，其中所述第一到第四晶体管中的每个晶体管具有相同的导电类型。

9. 根据权利要求 7 所述的半导体装置，其中所述第一到第四晶体管中每个晶体管的半导体层包括非晶半导体。

半导体装置

[0001] 本发明申请是本发明申请人于2007年6月1日提交的、申请号为200710106470.6、发明名称为“液晶显示装置和电子装置”的发明申请的分案申请。

技术领域

[0002] 本发明涉及一种半导体装置。此外,本发明涉及一种具有该半导体装置的显示装置。具体而言,本发明涉及一种具有该半导体装置的液晶显示装置和具有该液晶显示装置

背景技术

[0003] 近年来,随着诸如液晶电视的大型显示装置的增多,人们在积极开发诸如液晶显示装置和发光装置的显示装置。具体而言,已经在积极开发一种技术,用于利用由绝缘体上方的非晶半导体制成的晶体管在同一基板上形成像素电路和包括移位寄存器等的驱动器电路(下文中称为内部电路),因为该技术对低功耗和低成本很有贡献。将形成于绝缘体上方的内部电路通过FPC等连接到设置于绝缘体外部的控制器IC(下文中称为外部电路)并控制其运行。

[0004] 此外,已经设计出一种利用非晶半导体制成的晶体管形成的移位寄存器作为形成于绝缘体上方的内部电路(参见参考文献1:日本公开专利申请No.2004-78172)。

[0005] 不过,有一个问题,即,非晶半导体形成的晶体管特性随着开启时间或所施加的电压而劣化。为了解决这个问题,已经设计出通过并联两个晶体管并依次开启晶体管来抑制晶体管特性的劣化(参见参考文献2:SID'05DIGESTPP.348到PP.351)。

发明内容

[0006] 在上述参考文献2中未公开详细的驱动方法。此外,为了逐个控制并联的两个晶体管,必须要有具有大电路尺寸的控制电路。

[0007] 鉴于前述问题,本发明的目的是提供一种触发电路和移位寄存器,均具有这种移位寄存器的半导体装置和显示装置,以及具有该显示装置的电子装置,触发电路和移位寄存器均具有电路尺寸较小的控制电路。

[0008] 此外,本发明的另一目的是提供一种每者均使用了与常规方法不同的抑制晶体管特性劣化的驱动方法的触发电路和移位寄存器,均具有这种移位寄存器的半导体装置和显示装置,以及具有这种显示装置的电子装置。

[0009] 根据本发明的一个方面的半导体装置包括第一晶体管、第二晶体管、第三晶体管和第四晶体管。第一晶体管的栅极和第一端子电连接到第一线路,第一晶体管的第二端子电连接到第四晶体管的栅极。第二晶体管的栅极电连接到第二线路,第二晶体管的第一端子电连接到第四线路,第二晶体管的第二端子电连接到第四晶体管的栅极。第三晶体管的栅极电连接到第三线路,第三晶体管的第一端子电连接到第四线路,第三晶体管的第二端子电连接到第四晶体管的栅极。第四晶体管的第一端子电连接到第四线路,第四晶体管的

第二端子电连接到第五线路。

[0010] 第一到第四晶体管可以具有相同的导电类型。此外,可以将非晶半导体用于第一到第四晶体管的每个的半导体层。

[0011] 注意,第一晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)可以高于第二晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)。

[0012] 注意,第一晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)可以高于第三晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)。

[0013] 根据本发明的一个方面的半导体装置包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管和第八晶体管。第一晶体管的栅极电连接到第一线路,第一晶体管的第一端子电连接到第二线路,第一晶体管的第二端子电连接到第二晶体管的栅极。第八晶体管的栅极电连接到第四线路,第八晶体管的第一端子电连接到第五线路,第八晶体管的第二端子电连接到第二晶体管的栅极。第六晶体管的栅极电连接到第二晶体管的栅极,第六晶体管的第一端子电连接到第五线路,第六晶体管的第二端子电连接到第三晶体管的栅极和第四晶体管的栅极。第五晶体管的栅极和第一端子电连接到第二线路,第五晶体管的第二端子电连接到第三晶体管的栅极和第四晶体管的栅极。第七晶体管的栅极电连接到第三线路,第七晶体管的第一端子电连接到第五线路,第七晶体管的第二端子电连接到第三晶体管的栅极和第四晶体管的栅极。第四晶体管的第一端子电连接到第五线路,第四晶体管的第二端子电连接到第二晶体管的栅极。第三晶体管的第一端子电连接到第五线路,第三晶体管的第二端子电连接到第六线路。第二晶体管的第一端子电连接到第三线路,第二晶体管的第二端子电连接到第六线路。

[0014] 第一到第八晶体管可以具有相同的导电类型。此外,可以将非晶半导体用于第一到第八晶体管的每个的半导体层。

[0015] 注意,第五晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)可以高于第六晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)。

[0016] 注意,第五晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)可以高于第七晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)。

[0017] 此外,可以将本发明的半导体装置用于液晶显示装置。

[0018] 根据本发明的一个方面的液晶显示装置包括驱动电路和具有液晶元件的像素。驱动电路包括第一晶体管、第二晶体管、第三晶体管和第四晶体管。第一晶体管的栅极和第一端子电连接到第一线路,第一晶体管的第二端子电连接到第四晶体管的栅极。第二晶体管的栅极电连接到第二线路,第二晶体管的第一端子电连接到第四线路,第二晶体管的第二端子电连接到第四晶体管的栅极。第三晶体管的栅极电连接到第三线路,第三晶体管的第一端子电连接到第四线路,第三晶体管的第二端子电连接到第四晶体管的栅极。第四晶体管的第一端子电连接到第四线路,第四晶体管的第二端子电连接到第五线路。

[0019] 第一到第四晶体管可以具有相同的导电类型。此外,可以将非晶半导体用于第一到第四晶体管的每个的半导体层。

[0020] 注意,第一晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)可以高于第二晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)。

[0021] 注意,第一晶体管的沟道宽度 W 与沟道长度 L 的比值(W/L)可以高于第三晶体管

的沟道宽度 W 与沟道长度 L 的比值 (W/L)。

[0022] 根据本发明的一个方面的液晶显示装置包括驱动电路和具有液晶元件的像素。驱动电路包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管和第八晶体管。第一晶体管的栅极电连接到第一线路,第一晶体管的第一端子电连接到第二线路,第一晶体的第二端子电连接到第二晶体管的栅极。第八晶体管的栅极电连接到第四线路,第八晶体管的第一端子电连接到第五线路,第八晶体的第二端子电连接到第二晶体管的栅极。第六晶体管的栅极电连接到第二晶体管的栅极,第六晶体管的第一端子电连接到第五线路,第六晶体的第二端子电连接到第三晶体管的栅极和第四晶体管的栅极。第五晶体管的栅极和第一端子电连接到第二线路,第五晶体的第二端子电连接到第三晶体管的栅极和第四晶体管的栅极。第七晶体管的栅极电连接到第三线路,第七晶体管的第一端子电连接到第五线路,第七晶体的第二端子电连接到第三晶体管的栅极和第四晶体管的栅极。第四晶体管的第一端子电连接到第五线路,第四晶体的第二端子电连接到第二晶体管的栅极。第三晶体管的第一端子电连接到第五线路,第三晶体的第二端子电连接到第六线路。第二晶体管的第一端子电连接到第三线路,第二晶体的第二端子电连接到第六线路。

[0023] 第一到第八晶体管可以具有相同的导电类型。此外,可以将非晶半导体用于第一到第八晶体管的每个的半导体层。

[0024] 注意,第五晶体管的沟道宽度 W 与沟道长度 L 的比值 (W/L) 可以高于第六晶体管的沟道宽度 W 与沟道长度 L 的比值 (W/L)。

[0025] 注意,第五晶体管的沟道宽度 W 与沟道长度 L 的比值 (W/L) 可以高于第七晶体管的沟道宽度 W 与沟道长度 L 的比值 (W/L)。

[0026] 注意,可以将各种类型的开关用作本发明所示的开关,给出了电子开关、机械开关等作为例子。亦即,只要其能够控制电流,可以使用任何元件,而限于某一元件。例如,它可以是晶体管、二极管(例如 PN 二极管、PIN 二极管、肖特基二极管或以二极管方式连接的晶体管)、晶闸管或组合了这些元件的逻辑电路。对于将晶体管用作开关而言,晶体管的极性(导电类型)不特定地限于某一种,因为其仅仅象开关一样工作。不过,当优选小截止电流时,优选使用截止电流更小的晶体管。给出了配有 LDD 区域的晶体管、具有多栅极结构的晶体管等作为具有小截止电流的晶体管的例子。此外,当被作为开关的晶体管的源极端子的电势更接近低电势侧电源(例如 VSS、GND 或 0V)时,优选使用 N 沟道晶体管,而当源极端子的电势更接近高电势侧电源(例如 VDD)时,使用 P 沟道晶体管。这是因为提高了晶体管的栅极-源极电压的绝对值,从而能够容易地将晶体管作为开关操作。

[0027] 还可以同时使用 N 沟道和 P 沟道晶体管来使用 CMOS 开关。通过使用 CMOS 开关,该开关可以有效地作为开关而运行,因为当 P 沟道开关和 N 沟道开关之一导通时电流能够流过开关。例如,可以适当地输出电压,而不论开关的输入信号的电压是高还是低。此外,由于可以用于导通或截止开关的信号的电压幅值变小,因此能够降低功率消耗。

[0028] 当将晶体管用作开关时,开关包括输入端子(源极端子和漏极端子之一)、输出端子(源极端子和漏极端子中的另一个)以及用于控制导电性的端子(栅极端子)。另一方面,当把二极管用作开关时,开关不具有在某些情况下用于控制导电性的端子。因此,可以减少用于控制端子的线路的数量。

[0029] 注意,在本发明中,描述“连接”包括元件被电连接的情形、元件被功能性连接的情形以及元件被直接连接的情形。因此,在本发明公开的构造中,可以在具有预定连接关系的元件之间插入其他元件。例如,可以在某一部分和另一部分之间提供实现电连接的一个或多个元件(例如开关、晶体管、电容器、电感器、电阻器和 / 或二极管)。此外,可以在诸部分之间提供一个或多个实现功能性连接的电路,例如逻辑电路(例如反相器、与非电路或非电路)、信号变换器电路(例如 DA 转换电路、AD 转换电路或伽玛校正电路)、电势电平变换器电路(例如诸如升压电路或降压电路的电源电路,或用于改变 H 电平信号或 L 电平信号的电势电平的电平偏移电路)、电压源、电流源、开关电路或放大器电路(例如能够提高信号振幅、电流量等的电路,诸如运算放大器、差分放大器电路、源输出电路或缓冲电路)、信号发生电路、存储电路或控制电路。或者,可以不在其间插入另一元件或另一电路而直接连接诸元件。

[0030] 在其间不插入另一元件或电路而连接元件的情形下,使用描述“直接连接”。此外,在使用描述“电连接”的情况下,其中包括以下情形:诸元件被电连接的情形(亦即,通过在其间插入另一元件连接诸元件),元件被功能性连接的情形(亦即通过在其间插入另一电路连接诸元件),以及直接连接诸元件的情形(亦即,不在其间插入另一元件或另一电路而连接诸元件)。

[0031] 注意,显示元件、显示装置、发光元件和发光装置可以使用各种类型且包括各种元件。例如,作为显示元件,可以使用显示装置、发光元件以及通过电磁作用改变对比度的显示媒体,诸如电致发光元件(例如有机电致发光元件、无机电致发光元件或包括有机和无机材料二者的电致发光元件)、电子发射元件、液晶、电子墨水、光栅光阀(GLV)、等离子体显示板(PDP)、数字微镜装置(DMD)、压电陶瓷显示器或碳纳米管。注意,使用电致发光元件的显示装置包括电致发光显示器;利用电子发射元件的显示装置包括场致发射显示器(FED)、SED 型平板显示器(SED:表面导电电子发射器显示器)等;利用液晶元件的显示装置包括液晶显示器,透射型液晶显示器,半透射型液晶显示器,反射型液晶显示器等;且利用电子墨水的显示装置包括电子纸张。

[0032] 注意,在本发明中,可以将各种晶体管用作晶体管,而限于某一种。于是,例如,可以使用包括由非晶硅或多晶硅代表的非单晶半导体膜的薄膜晶体管(TFT)。因此,这种晶体管可以在低温下形成,可以以低成本形成,可以在大基板以及透光基板上形成,且这种晶体管可以透光。此外,可以使用用半导体基板或 SOI 基板形成的晶体管, MOS 晶体管,结型晶体管,双极晶体管等。因此,可以形成具有很少变化的晶体管,具有高电流供应能力的晶体管和具有小尺寸的晶体管,由此可以利用这种晶体管形成低电耗的电路。此外,可以使用包括诸如 ZnO、a-InGaZnO、SiGe 或 GaAs 的化合物半导体的晶体管或通过减薄这种化合物半导体获得的薄膜晶体管。因此,这种晶体管能够在低温下形成,能够在室温下形成,且能够直接在诸如塑料基板或膜基板的低耐热基板上形成。还可以使用通过喷墨方法或印刷方法形成的晶体管等。因此,这种晶体管能够在室温下形成,可以在低真空下形成,或利用大基板形成。此外,因为可以不用掩模(中间掩模)形成这种晶体管,因此可以容易地改变晶体管的布局。此外,可以使用包括有机半导体或碳纳米管的晶体管或者其他晶体管。因此,可以使用能够被弯折的基板形成晶体管。注意,非单晶半导体膜可以包括氢或卤素。此外,可以使用各种基板形成晶体管。基板的类型不限于某一种。因此,例如,可以将单晶基板、

SOI 基板、玻璃基板、石英基板、塑料基板、纸基板、玻璃纸基板、石基板、不锈钢基板、包括不锈钢箔的基板等用作基板。此外，可以使用一块基板形成晶体管，然后可以将晶体管转移到另一基板上。通过使用前述基板，可以形成具有优异特性的晶体管或具有低能耗的晶体管，或者可以形成具有耐用性或高耐热性的装置。

[0033] 晶体管的结构可以是多种模式，而限于某一结构。例如，可以使用具有两个或更多栅电极的多栅极结构。当使用多栅极结构时，提供了一种多个晶体管串联在一起的结构，因为提供了一种沟道区域串联在一起的结构。通过使用多栅极结构，可以减小截止电流；可以提高晶体管的耐压以提高可靠性；或者即使在当晶体管工作在饱和区漏极-源极电压波动时，漏极-源极电流也不波动，从而能够获得平坦的特性。此外，可以使用栅电极形成于沟道上方和下方的结构。通过使用栅电极形成于沟道上方和下方的结构，扩大了沟道区，增加了从其流过的电流的量，或者可以容易地形成耗尽层以降低 S 值。当在沟道上方和下方形成栅电极时，提供了一种多个晶体并联的结构。此外，可以使用栅电极形成于沟道上方的结构，栅电极形成于沟道下方的结构，交错结构或反交错结构；或者可以将沟道区分成多个区域，且被分割的区域可以并联或串联。源电极或漏电极可以与沟道重叠(或其一部分)。通过使用源电极或漏电极与沟道(或其一部分)重叠的结构，可以防止如下情形，其中，在沟道的一部分中积累了电荷，这将导致不稳定的工作。此外，可以提供 LDD 区域。通过提供 LDD 结构，可以减小截止电流；可以提高晶体管的耐压以提高可靠性；或者即使在当晶体管工作在饱和区漏极-源极电压波动时，漏极-源极电流也不波动，从而能够获得平坦的特性。

[0034] 注意，可以将各种晶体管用于本发明中的晶体管，可以利用各种基板形成晶体管。因此，可以利用玻璃基板、塑料基板、单晶基板、SOI 基板或任何其他基板形成所有电路。当利用同一基板形成所有电路时，可以减少零部件的数量以削减成本，或者可以减少电路元件之间的连接数量以提高可靠性。或者，可以使用一块基板形成电路的一部分而使用另一块基板形成电路的另一部分。亦即，不要求使用同一基板形成所有电路。例如，可以用玻璃基板与晶体管一起形成电路的一部分，可以使用单晶基板形成电路的另一部分，从而可以通过 COG (玻璃上芯片) 将 IC 芯片连接至玻璃基板。或者，可以通过 TAB (带式自动接合) 或印制电路板将 IC 芯片连接至玻璃基板。当通过这种方式用同一基板形成电路的一部分时，可以减少零部件的数量以削减成本，或者可以减少电路元件之间的连接数量以提高可靠性。此外，通过在另一基板上形成消耗大功率的具有驱动电压的部分或具有高驱动频率的部分，可以防止功耗的增加。

[0035] 还要注意，在本发明中一个像素对应于能够控制其亮度的一个元件。因此，例如，一个像素对应于一种基本颜色且以一种色彩元件表达亮度。因此，对于具有 R(红色)、G(绿色)和 B(蓝色)基本颜色的彩色显示装置而言，由 R 像素、G 像素和 B 像素三种像素形成图像的最小单元。注意，基本颜色不限于三中颜色，可以使用超过三种颜色的基本颜色，或者可以增加除 RGB 之外的颜色。例如，可以通过增加白色使用 RGBW (W 表示白色)。此外，可以使用 RGB 加黄色、青色、品红、翡翠绿、朱红色等中的一种或多种颜色。此外，可以增加类似于 R、G 和 B 中至少一种的颜色。例如，可以使用 R、G、B1 和 B2。虽然 B1 和 B2 都是蓝色，它们具有稍有不同的频率。通过使用这样的基本颜色，可以进行更接近真实物体的显示或者可以降低功耗。或者，作为另一个例子，在利用多个区域控制一个基本颜色的亮度的情况下，一个区域对应于一个像素。因此，例如，对于进行面积灰阶显示的情况而言，在每个基本

颜色中提供控制亮度的多个区域,用整个区域表达灰阶。在这种情况下,控制亮度的一个区域对应于一个像素。于是,在这种情况下,一个基本颜色包括多个像素。此外,在这种情况下,根据像素,对显示有贡献的区域可以具有不同的区域尺度。此外,在控制每个基本颜色中的亮度的多个区域中,也就是说,在形成一个基本颜色的多个像素中,提供给多个像素的信号可以稍有变化,从而可以拓宽视角。注意,描述“(用于三种颜色的)一个像素”对应于将 R、G 和 B 三个像素看作一个像素的情形。同时,描述“(用于一种颜色的)一个像素”对应于多个像素被提供于每个基本颜色中且被总地看作一个像素的情形。

[0036] 还要注意,在本发明中,可以以矩阵形式提供(布置)像素。这里,以矩阵形式提供(布置)像素的描述包括在纵向或横向中,沿直线布置像素的情形以及沿锯齿形线布置像素的情形。因此,在利用三种基本颜色(例如 RGB)进行全彩色显示的情况下,其中包括以下情形:像素设置成条形的情形,以及以所谓 δ 图案设置三种基本颜色的点的情形。此外,还包括这样的情形:以 Bayer 布置提供三种基本颜色的点。注意,基本颜色不限于三种颜色,可以使用超过三种颜色的基本颜色。给出了 RGBW (W 表示白色)、RGB 加黄色、青色、品红等中的一种或多种,等等作为例子。此外,显示区的尺寸可以在基本颜色的相应点之间有所不同。于是,可以降低功率消耗,或者可以延长发光元件的寿命。

[0037] 注意,晶体管为至少具有栅极、漏极和源极三个端子的元件。晶体管在漏极区和源极区之间具有沟道区,电流可以流过漏极区、沟道区和源极区。这里,由于根据晶体管的结构、运行条件等晶体管的源极和漏极可以变化,因此难以定义哪个是源极或漏极。因此,在本发明中,起到源极和漏极功能的区域可以不被称为源极或漏极。在这种情况下,例如,可以将源极和漏极之一称为第一端子,可以将其另一个称为第二端子。

[0038] 还要注意,晶体管可以是至少具有基极、发射极和集电极三个端子的元件。同样,在这种情况下,可以类似地将发射极和集电极之一称为第一端子,而将另一个端子称为第二端子。

[0039] 栅极表示栅电极和栅极线路(也称为栅极线、栅极信号线等)的全部或一部分。栅电极表示与形成沟道区、LDD(轻掺杂漏极)区等重叠的导电膜,其间插置有栅极绝缘膜。栅极线路表示将每一个像素的栅电极彼此连接的线路,或者用于将栅电极连接到另一线路的线路。

[0040] 不过,有一部分起到栅电极和栅极线路的作用。可以将这种区域称为栅电极或栅极线路。亦即,有的区域中不能清楚区分栅电极和栅极线路。例如,在沟道区与延伸的栅极线路重叠的情况下,重叠区域起到栅极线路和栅电极二者的作用。因此,可以将这种区域称为栅电极或栅极线路。

[0041] 此外,也可以将与栅电极由相同材料形成且连接至栅电极的区域称为栅电极。类似地,也可以将与栅极线路由相同材料形成且连接至栅极线路的区域称为栅极线路。从严格意义上讲,这种区域不与沟道区重叠,或者在有些情形下不具有将栅电极连接到另一栅电极的功能。不过,由于制造条件等原因,有的区域与栅电极或栅极线路由相同的材料形成且连接至栅电极或栅极线路。因此,也可以将这种区域称为栅电极或栅极线路。

[0042] 在多栅极晶体管中,例如,常常利用与栅电极由相同材料形成的导电薄膜将一个晶体管的栅电极连接至另一晶体管的栅电极。由于这种区域是将栅电极连接到另一栅电极的区域,可以将其称为栅极线路,也可以将其称为栅电极,因为可以将多栅极晶体管视为一

个晶体管。亦即,可以将与栅电极或栅极线路由相同材料形成且由连接于其上的区域称为栅电极或栅极线路。此外,例如,也可以将连接栅电极和栅极线路的导电膜称为栅电极或栅极线路。

[0043] 注意,栅极端子表示栅电极区域的一部分或电连接到栅电极的区域的一部分。

[0044] 还要注意,源极表示源极区、源电极和源极线路(也称为源极线、源极信号线等)的全部或一部分。源极区表示含有大量P型杂质(例如硼或镓)或N型杂质(例如磷或砷)的半导体区域。因此,含有少量P型杂质或N型杂质的区域,即LDD(轻掺杂漏极)区域不包括在源极区中。源电极是与由与源极区不同的材料形成且电连接到源极区的导电层的一部分。不过,有将源电极和源极区总称为源电极的情形。源极线路是将每一个像素的源电极彼此连接的线路,或者用于将源电极连接到另一线路的线路。

[0045] 不过,有的部分起到源电极和源极线路二者的功能。可以将这种区域称为源电极或源极线路。亦即,有的区域中不能清楚区分源电极和源极线路。例如,在源极区与延伸的源极线路重叠的情形下,重叠区域起到源极线路和源电极二者的作用。因此,可以将这种区域称为源电极或源极线路。

[0046] 此外,也可以将与源电极由相同材料形成且连接至源电极的区域,或者用于将源电极连接到另一源电极的部分称为源电极。也可以将与源极区重叠的部分称为源电极。类似地,可以将由与源极线路相同的材料形成且连接至源极线路的区域称为去源极线路。从严格意义上讲,这种区域可以不具有将源电极连接到另一源电极的功能。不过,由于制造条件等原因,有的区域与源电极或源极线路由相同的材料形成且连接至源电极或源极线路。因此,也可以将这种区域称为源电极或源极线路。

[0047] 此外,例如,可以将连接源电极和源极线路的导电膜的一部分称为源电极或源极线路。

[0048] 注意,源极端子表示源极区的一部分、源电极的一部分或电连接到源电极的区域的一部分。

[0049] 还要注意,同样的情形适用于漏极。

[0050] 在本发明中,半导体装置表示具有包括半导体元件(例如晶体管或二极管)的电路的装置。半导体装置还可以包括能够利用半导体特性工作的所有装置。

[0051] 此外,显示装置表示具有显示元件(例如液晶元件或发光元件)的装置。注意,显示装置还可以表示显示屏自身,其中,在与用于驱动像素的外围驱动电路相同的基板上形成包括诸如液晶元件或电致发光元件的显示元件的多个像素。此外,显示装置还可以包括通过焊接或凸块焊接,即玻璃上芯片(COG)在基板上提供的外围驱动电路。此外,显示装置还可以包括贴附于显示屏板的柔性印制电路(FPC)或印刷线路板(PWB)(例如IC、电阻器、电容器、电感器或晶体管)。显示装置还可以包括诸如偏振板或延迟板的光学片。此外,显示装置可以包括背光单元(导光板,棱镜片,漫射片,反射片或光源(例如LED或冷阴极管))。

[0052] 此外,发光装置表示具有自照明显示元件,具体而言例如电致发光元件或用于FED的元件的显示装置。液晶显示装置表示具有液晶元件的显示装置。

[0053] 在本发明中,描述对象“形成于”另一对象“上”或“上方”不一定意味着该对象直接接触另一对象。这种描述包括两个对象相互不直接接触的情形,即另一对象插入其间的情形。因此,例如,当描述层B形成于层A上(上方)时,其包括层B与层A直接接触地形成

的情形以及另一层(例如层 C 或层 D)与层 A 直接接触地形成且层 B 与层 C 或 D 直接接触地形成的情形两种情形。类似地,当描述对象形成于另一对象上方时,未必表示该对象与另一对象直接接触,可以在其间插入另一对象。因此,例如,当描述层 B 形成于层 A 上方时,其包括层 B 与层 A 直接接触地形成的情形以及另一层(例如层 C 或层 D)与层 A 直接接触地形成且层 B 与层 C 或 D 直接接触地形成的情形两种情形。类似地,当描述对象形成于另一对象下方或之下时,包括对象相互直接接触的情形以及对象不相互直接接触的情形两种情形。

[0054] 利用本发明,可以提供均使用抑制晶体管特性劣化的驱动方法的触发电路和移位寄存器、均具有这种移位寄存器的半导体装置和显示装置以及具有显示装置的电子装置。

[0055] 例如,在将本发明应用于移位寄存器的情况下,因为在未选择期间向输出端子提供电源电势的晶体管并不总是导通的,所以可以抑制晶体管的特性劣化(例如阈值电压漂移)。因此,能够抑制由于特性劣化造成的移位寄存器的故障。

[0056] 此外,利用本发明,可以提供均具有电路尺寸较小的控制电路的触发电路和移位寄存器、均具有这种移位寄存器的半导体装置和显示装置以及具有显示装置的电子装置。

附图说明

[0057] 在附图中:

[0058] 图 1A 和 1B 示出了实施模式 1;

[0059] 图 2A 和 2B 示出了实施模式 1;

[0060] 图 3A 和 3B 示出了实施模式 1;

[0061] 图 4A 和 4B 示出了实施模式 1;

[0062] 图 5A 和 5B 示出了实施模式 2;

[0063] 图 6A 和 6B 示出了实施模式 2;

[0064] 图 7A 和 7B 示出了实施模式 2;

[0065] 图 8A 和 8B 示出了实施模式 2;

[0066] 图 9A 和 9B 示出了实施模式 3;

[0067] 图 10A 和 10B 示出了实施模式 3;

[0068] 图 11A 和 11B 示出了实施模式 3;

[0069] 图 12A 和 12B 示出了实施模式 3;

[0070] 图 13A 和 13B 示出了实施模式 1;

[0071] 图 14A 和 14B 示出了实施模式 1;

[0072] 图 15A 和 15B 示出了实施模式 1;

[0073] 图 16A 和 16B 示出了实施模式 1;

[0074] 图 17A 和 17B 示出了实施模式 2;

[0075] 图 18A 和 18B 示出了实施模式 2;

[0076] 图 19A 和 19B 示出了实施模式 2;

[0077] 图 20A 和 20B 示出了实施模式 2;

[0078] 图 21A 和 21B 示出了实施模式 3;

[0079] 图 22A 和 22B 示出了实施模式 3;

[0080] 图 23A 和 23B 示出了实施模式 3;

- [0081] 图 24A 和 24B 示出了实施模式 3；
- [0082] 图 25A 和 25B 示出了实施模式 4；
- [0083] 图 26A 和 26B 示出了实施模式 4；
- [0084] 图 27 示出了实施模式 5；
- [0085] 图 28 示出了实施模式 5；
- [0086] 图 29 示出了实施模式 5；
- [0087] 图 30 示出了实施模式 5；
- [0088] 图 31 示出了实施模式 5；
- [0089] 图 32 示出了实施模式 5；
- [0090] 图 33 示出了实施模式 5；
- [0091] 图 34 示出了实施模式 5；
- [0092] 图 35 示出了实施模式 5；
- [0093] 图 36 示出了实施模式 6；
- [0094] 图 37 示出了实施模式 6；
- [0095] 图 38 示出了实施模式 6；
- [0096] 图 39 示出了实施模式 6；
- [0097] 图 40 示出了实施模式 6；
- [0098] 图 41A 和 41B 示出了实施模式 23；
- [0099] 图 42 示出了实施模式 23；
- [0100] 图 43A 和 43B 示出了实施模式 23；
- [0101] 图 44 示出了实施模式 5；
- [0102] 图 45 示出了实施模式 5；
- [0103] 图 46 示出了实施模式 5；
- [0104] 图 47 示出了实施模式 5；
- [0105] 图 48 示出了实施模式 6；
- [0106] 图 49 示出了实施模式 6；
- [0107] 图 50 示出了实施模式 6；
- [0108] 图 51 示出了实施模式 6；
- [0109] 图 52 示出了实施模式 6；
- [0110] 图 53 示出了实施模式 23；
- [0111] 图 54 示出了实施模式 23；
- [0112] 图 55 示出了实施模式 23；
- [0113] 图 56 示出了实施模式 7；
- [0114] 图 57 示出了实施模式 7；
- [0115] 图 58 示出了实施模式 7；
- [0116] 图 59 示出了实施模式 7；
- [0117] 图 60 示出了实施模式 8；
- [0118] 图 61 示出了实施模式 8；
- [0119] 图 62 示出了实施模式 9；

- [0120] 图 63 示出了实施模式 9；
- [0121] 图 64 示出了实施模式 9；
- [0122] 图 65 示出了实施模式 10；
- [0123] 图 66 示出了实施模式 10；
- [0124] 图 67A 和 67B 示出了实施模式 15；
- [0125] 图 68 示出了实施模式 16；
- [0126] 图 69A 和 69B 示出了实施模式 17；
- [0127] 图 70A 到 70C 示出了实施模式 18；
- [0128] 图 71A 和 71B 示出了实施模式 19；
- [0129] 图 72A 到 72C 示出了实施模式 20；
- [0130] 图 73 示出了实施模式 21；
- [0131] 图 74A 到 74D 示出了实施模式 22；
- [0132] 图 75A 和 75B 示出了实施模式 11；
- [0133] 图 76A 和 76B 示出了实施模式 12；
- [0134] 图 77A 到 77C 示出了实施模式 13；以及
- [0135] 图 78A 和 78B 示出了实施模式 14。

具体实施方式

[0136] 在下文中,将参考附图通过实施模式描述本发明。不过,可以通过各种不同方式实施本发明,本领域的技术人员将容易理解各种变化和修改都是可能的。除非这种变化和修改背离了本发明的精神和范围,应当将它们视为包含在其中。因此,不应将本发明视为限于实施模式的描述。

[0137] (实施模式 1)

[0138] 在本实施模式中,参考图 1A 描述本发明的基本原理。

[0139] 图 1A 示出了基于本发明的基本原理的基本电路。图 1A 中的基本电路包括晶体管 101、晶体管 102、晶体管 103 和晶体管 104。

[0140] 描述图 1A 中的基本电路的连接关系。晶体管 101 的栅极连接到线路 105,晶体管 101 的第一端子连接到线路 105,且晶体管 101 的第二端子连接到晶体管 104 的栅极。晶体管 102 的栅极连接到线路 107,晶体管 102 的第一端子连接到线路 106 且晶体管 102 的第二端子连接到晶体管 104 的栅极。晶体管 103 的栅极连接到线路 108,晶体管 103 的第一端子连接到线路 106,且晶体管 103 的第二端子连接到晶体管 104 的栅极。晶体管 104 的第一端子连接到线路 106,且晶体管 104 的第二端子连接到线路 109。注意,晶体管 101 的第二端子、晶体管 102 的第二端子、晶体管 103 的第二端子和晶体管 104 的栅极的节点由 N11 表示。

[0141] 此外,晶体管 101 到 104 的每个都是 N 沟道晶体管。

[0142] 因此,由于可以仅使用 N 沟道晶体管形成图 1A 中的基本电路,可以将非晶硅用于图 1A 中的基本电路的半导体层。于是,能够简化制造工艺,从而能够降低制造成本并可以提高成频率。此外,还可以形成诸如大型显示屏板的半导体装置。此外,在将多晶硅或单晶硅用于图 1A 中的基本电路的半导体层时,还可以简化制造工艺。

[0143] 此外,将电源电势 VDD 供应给线路 105 并将电源电势 VSS 供应给线路 106。注意,电源电势 VDD 高于电源电势 VSS。还要注意,可以将数字信号、模拟信号或类似信号供应给线路 105 和线路 106 的每个,或者可以向其供应另一个电源电势。

[0144] 此外,将信号供应给线路 107 和 108 的每个。注意,供应给线路 107 和线路 108 每者的信号为二元信号。当数字信号为 H 电平信号时,其可以具有与电源电势 VDD (在下文中也称为电势 VDD 或 H 电平) 相同的电势,当数字信号为 L 电平信号时,其具有与电源电势 VSS (在下文中也称为电势 VSS 或 L 电平) 相同的电势。注意,可以将电源电势 VDD、电源电势 VSS 或另一电源电势供应给线路 107 和线路 108 的每个。或者,可以将模拟信号供应给线路 107 和线路 108 的每个。

[0145] 接着,参考图 1B 描述图 1A 中所示的基本电路的运行。

[0146] 图 1B 为图 1A 所示的基本电路的时间图的例子。图 1B 中的时间图示出了线路 107 的电势、线路 108 的电势、节点 N11 的电势、线路 109 的电势和晶体管 104 的导通 / 截止。

[0147] 通过将整个时段分成时段 T1 到 T4 来描述图 1B 中的时间图。此外,图 2A 到 3B 分别示出了在时段 T1 到 T4 中图 1A 中的基本电路的运行。

[0148] 首先,参考图 2A 描述时段 T1 中的运行。在时段 T1 中,将 L 电平信号提供给线路 107 并将 L 电平信号提供给线路 108。因此,晶体管 102 截止且晶体管 103 截止。

[0149] 此外,由于晶体管 101 是以二极管方式连接的,节点 N11 的电势开始上升。节点 N11 的电势一直上升到晶体管 101 截止。当节点 N11 的电势变成从电源电势 VDD 减去阈值电压 V_{th101} 获得的值 ($VDD - V_{th101}$) 时,晶体管 101 截止。因此,节点 N11 的电势变成 $VDD - V_{th101}$ 。

[0150] 因此,晶体管 104 导通且线路 109 的电势变成等于电源电势 VSS。

[0151] 接着,参考图 2B 描述时段 T2 中的运行。在时段 T2 中,将 H 电平信号提供给线路 107 并将 L 电平信号提供给线路 108。因此,晶体管 102 导通且晶体管 103 截止。

[0152] 此外,节点 N11 的电势的由晶体管 101 和晶体管 102 的工作点决定。注意,当把晶体管 102 的比值 (W/L) (W 表示沟道区的沟道宽度而 L 表示沟道区的沟道长度) 设置为充分高于晶体管 101 的比值 (W/L) 时,节点 N11 的电势变得稍高于电源电势 VSS。

[0153] 因此,晶体管 104 截止而线路 109 变成浮置状态。线路 109 的电势保持等于电源电势 VSS,因为线路 109 在时段 T1 中保持在该电势。

[0154] 接着,参考图 3A 描述时段 T3 中的运行。在时段 T3 中,将 L 电平信号提供给线路 107 并将 H 电平信号提供给线路 108。因此,晶体管 102 截止且晶体管 103 导通。

[0155] 此外,节点 N11 的电势的由晶体管 101 和晶体管 103 的工作点决定。注意,当把晶体管 103 的比值 (W/L) 设置为充分高于晶体管 101 的比值 (W/L) 时,节点 N11 的电势变成稍高于电源电势 VSS。

[0156] 因此,晶体管 104 截止而线路 109 变成浮置状态。线路 109 的电势保持等于电源电势 VSS,因为线路 109 在时段 T1 和 T2 中保持在该电势。

[0157] 接着,参考图 3B 描述时段 T4 中的运行。在时段 T4 中,将 H 电平信号提供给线路 107 并将 H 电平信号提供给线路 108。因此,晶体管 102 导通且晶体管 104 导通。

[0158] 此外,由于节点 N11 的电势由晶体管 101、晶体管 102 和晶体管 103 的工作点决定,因此节点 N11 的电势变成稍高于电源电势 VSS。

[0159] 因此,晶体管 104 截止而线路 109 变成浮置状态。线路 109 的电势保持等于电源电势 VSS,因为线路 109 在时段 T1 到 T3 中保持在该电势。

[0160] 通过上述运行,图 1A 中的基本电路在时段 T1 中将电源电势 VSS 提供给线路 109,使得线路 109 的电势变成等于电源电势 VSS。在时段 T2 到 T4,图 1A 中的基本电路使线路 109 进入浮置状态,使得线路 109 的电势保持等于电源电势 VSS。

[0161] 此外,图 1A 中的基本电路不包括在所有时段 T1 到 T4 中都导通的晶体管。亦即,图 1A 中的基本电路不包括一直导通或几乎一直导通的晶体管。因此,图 1A 中的基本电路能够抑制晶体管的特性劣化以及因特性劣化而造成的阈值电压漂移。

[0162] 此外,由非晶硅形成的晶体管的特性容易劣化。因此,当图 1A 中的基本电路中包括的晶体管是由非晶硅形成时,不仅能够获得诸如制造成本减少和成品率提高的益处,而且可以解决晶体管特性劣化的问题。

[0163] 这里,描述晶体管 101 到 104 的功能。晶体管 101 具有二极管的功能,其中第一端子和栅极对应于输入端子而第二端子对应于输出端子。晶体管 102 具有开关的功能,根据线路 107 的电势选择是否连接线路 106 和节点 N11。晶体管 103 具有开关的功能,根据线路 108 的电势选择是否连接线路 106 和节点 N11。晶体管 104 具有开关的功能,根据节点 N11 的电势选择是否连接线路 106 和线路 109。

[0164] 注意,晶体管 101 可以是任何元件,只要其具有电阻成分。例如,如图 4A 所示,可以用电阻器 401 代替晶体管 101。利用电阻器 401,可以将节点 N11 的电势设置成在时段 T1 中等于电源电势 VDD。此外,在图 4B 中示出了图 4A 中的时间图。

[0165] 接着,参考图 13A 描述图 1A 中所示的基本电路由 P 沟道晶体管构成的情形。

[0166] 图 13A 示出了基于本发明的基本原理的基本电路。图 13A 中的基本电路包括晶体管 1301、晶体管 1302、晶体管 1303 和晶体管 1304。

[0167] 描述图 13A 中的基本电路的连接关系。晶体管 1301 的栅极连接到线路 1306,晶体管 1301 的第一端子连接到线路 1306,晶体管 1301 的第二端子连接到晶体管 1304 的栅极。晶体管 1302 的栅极连接到线路 1307,晶体管 1302 的第一端子连接到线路 1305,晶体管 1302 的第二端子连接到晶体管 1304 的栅极。晶体管 1303 的栅极连接到线路 1308,晶体管 1303 的第一端子连接到线路 1305,晶体管 1303 的第二端子连接到晶体管 1304 的栅极。晶体管 1304 的第一端子连接到线路 1305,晶体管 1304 的第二端子连接到线路 1309。注意,晶体管 1301 的第二端子、晶体管 1302 的第二端子、晶体管 1303 的第二端子和晶体管 1304 的栅极的节点由 N131 表示。

[0168] 此外,晶体管 1301 到 1304 的每个都是 P 沟道晶体管。

[0169] 因此,由于可以仅使用 P 沟道晶体管形成图 13A 中的基本电路,因此不需要形成 N 沟道晶体管的步骤。于是,在图 13A 中的基本电路中,能够简化制造工艺,从而能够降低制造成本并能够提高成品率。

[0170] 此外,将电源电势 VDD 提供给线路 1305,且将电源电势 VSS 提供给线路 1306。

[0171] 此外,将信号提供给线路 1307 和线路 1308 的每一个。注意,提供给线路 1307 和线路 1308 的每一个的信号是二元数字信号。

[0172] 接着,参考图 13B 描述图 13A 中所示的基本电路的运行。

[0173] 图 13B 为图 13A 所示的基本电路的时间图的例子。图 13B 中的时间图示出了线路

1307 的电势、线路 1308 的电势、节点 N131 的电势、线路 1309 的电势和晶体管 1304 的导通 / 截止。

[0174] 通过将整个时段分成时段 T1 到 T4 来描述图 13B 中的时间图。此外,图 14A 到 15B 分别示出了图 13A 中的基本电路在时段 T1 到 T4 中的运行。

[0175] 首先,参考图 14A 描述时段 T1 中的运行。在时段 T1 中,将 H 电平信号提供给线路 1307 并将 H 电平信号提供给线路 1308。因此,晶体管 1302 截止且晶体管 1303 截止。

[0176] 此外,由于晶体管 1301 是以二极管的方式连接的,所以节点 N131 的电势开始下降。节点 N131 的电势一直下降到晶体管 1301 截止为止。当节点 N131 的电势变成电源电势 VSS 和晶体管 1301 的阈值电压 V_{th1301} 的绝对值之和 ($VSS + |V_{th1301}|$) 时,晶体管 1301 截止。因此,节点 N131 的电势变成 $VSS + |V_{th1301}|$ 。

[0177] 因此,晶体管 1304 导通且线路 1309 的电势变成等于电源电势 VDD。

[0178] 接着,参考图 14B 描述时段 T2 中的运行。在时段 T2 中,将 L 电平信号提供给线路 1307 并将 H 电平信号提供给线路 1308。因此,晶体管 1302 导通且晶体管 1303 截止。

[0179] 此外,节点 N131 的电势由晶体管 1301 和晶体管 1302 的工作点决定。注意,当把晶体管 1302 的比值 (W/L) (W 表示沟道区的沟道宽度而 L 表示沟道区的沟道长度) 设置为充分高于晶体管 1301 的比值 (W/L) 时,节点 N131 的电势变得稍低于电源电势 VDD。

[0180] 因此,晶体管 1304 截止而线路 1309 变成浮置状态。线路 1309 的电势保持等于电源电势 VDD,因为线路 1309 在时段 T1 中保持在该电势。

[0181] 接着,参考图 15A 描述时段 T3 中的运行。在时段 T3 中,将 H 电平信号提供给线路 1307 并将 L 电平信号提供给线路 1308。因此,晶体管 1302 截止且晶体管 1303 导通。

[0182] 此外,节点 N131 的电势由晶体管 1301 和晶体管 1303 的工作点决定。注意,当把晶体管 1303 的比值 (W/L) 设置为充分高于晶体管 1301 的比值 (W/L) 时,节点 N131 的电势变成稍低于电源电势 VDD。

[0183] 因此,晶体管 1304 截止而线路 1309 变成浮置状态。线路 1309 的电势保持等于电源电势 VDD,因为线路 1309 在时段 T1 和 T2 中保持在该电势。

[0184] 接着,参考图 15B 描述时段 T4 中的运行。在时段 T4 中,将 L 电平信号提供给线路 1307 并将 L 电平信号提供给线路 1308。因此,晶体管 1302 导通且晶体管 1304 导通。

[0185] 此外,由于节点 N131 的电势由晶体管 1301、晶体管 1302 和晶体管 1303 的工作点决定,所以节点 N131 的电势变成稍低于电源电势 VDD。

[0186] 因此,晶体管 1304 截止而线路 1309 变成浮置状态。线路 1309 的电势保持等于电源电势 VDD,因为线路 1309 在时段 T1 到 T3 中保持在该电势。

[0187] 通过上述运行,图 13A 中的基本电路在时段 T1 中将电源电势 VDD 提供给线路 1309,使得线路 1309 的电势变成等于电源电势 VDD。在时段 T2 到 T4 中,图 13A 中的基本电路使线路 1309 进入浮置状态,使得线路 1309 的电势保持等于电源电势 VDD。

[0188] 此外,图 13A 中的基本电路不包括在所有时段 T1 到 T4 中都导通的晶体管。亦即,图 13A 中的基本电路不包括一直导通或几乎一直导通的晶体管。因此,图 13A 中的基本电路能够抑制晶体管的特性劣化以及因特性劣化而造成的阈值电压漂移。

[0189] 注意,晶体管 1301 到 1304 具有类似于晶体管 101 到 104 的功能。

[0190] 注意,晶体管 1301 可以是任何元件,只要其具有电阻成分。例如,如图 16A 所示,

可以用电阻器 1601 代替晶体管 1301。利用电阻器 1601, 可以将节点 N131 的电势设置成在时段 T1 中等于电源电势 VSS。此外, 图 16B 中示出了图 16A 中的时间图。

[0191] 注意, 可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外, 可以将在本实施模式中的描述的诸部分彼此组合。

[0192] (实施模式 2)

[0193] 在本实施模式中, 参考图 5A 描述与实施模式 1 不同的本发明的基本原理。

[0194] 图 5A 示出了基于本发明的基本原理的基本电路。图 5A 中的基本电路包括晶体管 501、晶体管 502、晶体管 503、晶体管 504、晶体管 505、晶体管 506 和晶体管 507。

[0195] 描述图 5A 中的基本电路的连接关系。晶体管 501 的栅极连接到线路 508, 晶体管 501 的第一端子连接到线路 508, 晶体管 501 的第二端子连接到晶体管 504 的栅极。晶体管 502 的栅极连接到线路 510, 晶体管 502 的第一端子连接到线路 509, 晶体管 502 的第二端子连接到晶体管 504 的栅极。晶体管 503 的栅极连接到线路 511, 晶体管 503 的第一端子连接到线路 509, 晶体管 503 的第二端子连接到晶体管 504 的栅极。注意, 晶体管 501 的第二端子、晶体管 502 的第二端子、晶体管 503 的第二端子和晶体管 504 的栅极的节点由 N51 表示。晶体管 504 的第一端子连接到线路 508, 晶体管 504 的第二端子连接到晶体管 507 的栅极。晶体管 505 的栅极连接到线路 510, 晶体管 505 的第一端子连接到线路 509, 晶体管 505 的第二端子连接到晶体管 507 的栅极。晶体管 506 的栅极连接到线路 511, 晶体管 506 的第一端子连接到线路 509, 晶体管 506 的第二端子连接到晶体管 507 的栅极。晶体管 507 的第一端子连接到线路 509, 晶体管 507 的第二端子连接到线路 512。注意, 晶体管 504 的第二端子、晶体管 505 的第二端子、晶体管 506 的第二端子和晶体管 507 的栅极的节点由 N52 表示。

[0196] 此外, 晶体管 501 到 507 的每个都是 N 沟道晶体管。

[0197] 因此, 由于图 5A 中的基本电路可以仅仅使用 N 沟道晶体管形成, 可以将非晶硅用于图 5A 中的基本电路的半导体层。于是, 能够简化制造工艺, 从而能够降低制造成本且能够提高成品率。此外, 还能够形成诸如大型显示屏板的半导体装置。此外, 当把多晶硅或单晶硅用于图 5A 中的基本电路的半导体层时, 还可以简化制造工艺。

[0198] 此外, 将电源电势 VDD 提供给线路 508, 将电源电势 VSS 提供给线路 509。注意, 电源电势 VDD 高于电源电势 VSS。还要注意, 可以将数字信号、模拟信号等提供给线路 508 和线路 509 的每个, 或者可以将另一电源电势提供给它们。

[0199] 此外, 将信号提供给线路 510 和线路 511 的每个。注意, 提供给线路 510 和线路 511 的每一个的信号是二元数字信号。当数字信号为 H 电平信号时, 其可以具有与电源电势 VDD (在下文中也称为电势 VDD 或 H 电平) 相同的电势, 当数字信号为 L 电平信号时, 其具有与电源电势 VSS (在下文中也称为电势 VSS 或 L 电平) 相同的电势。还要注意, 可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 510 和线路 511 的每一个。或者, 可以将模拟信号提供给线路 510 和线路 511 的每个。

[0200] 接着, 参考图 5B 描述图 5A 中所示的基本电路的运行。

[0201] 图 5B 为图 5A 所示的基本电路的时间图的例子。图 5B 中的时间图示出了线路 510 的电势、线路 511 的电势、节点 N51 的电势、节点 N52 的电势、线路 512 的电势以及晶体管 507 的导通 / 截止。

[0202] 通过将整个时段分成时段 T1 到 T4 来描述图 5B 中的时间图。此外,图 6A 到 7B 分别示出了图 5A 中的基本电路在时段 T1 到 T4 中的运行。

[0203] 首先,参考图 6A 描述时段 T1 中的运行。在时段 T1 中,将 L 电平信号提供给线路 510,晶体管 502 和 505 截止。此外,将 L 电平信号提供给线路 511,晶体管 503 和 506 截止。

[0204] 此外,由于晶体管 501 是以二极管方式连接的,节点 N51 的电势开始上升。当节点 N51 的电势变成电源电势 VDD 减去晶体管 501 的阈值电压 V_{th501} 所得的值 ($v_{dd}-V_{th501}$) 时,晶体管 501 截止。因此,节点 N51 变成浮置状态。

[0205] 此时,晶体管 504 导通且节点 N52 的电势也升高。因此,由于晶体管 504 的栅极(节点 N51)和第二端子(节点 N52)之间的寄生电容,处于浮置状态中的节点 N51 的电势与节点 N52 的电势同时升高。节点 N51 的电势一直升高到节点 N52 的电势终止升高为止,节点 N51 的电势变成等于或高于电源电势 VDD 和晶体管 504 的阈值电压 V_{th504} 之和 ($V_{DD}+V_{th504}$)。亦即,节点 N51 的电势一直升高到节点 N52 的电势变成等于电源电势 VDD 为止。可以通过执行所谓的引导操作将节点 N52 的电势设置为等于电源电势 VDD。

[0206] 因此,晶体管 507 导通且线路 509 的电势变成等于电源电势 VSS。这里,通过将节点 N52 的电势设置为等于电源电势 VDD,可以提高晶体管 507 的栅极和源极之间的电势差。因此,能够容易地导通晶体管 507,且能够在宽范围的工作条件下操作基本电路。

[0207] 接着,参考图 6B 描述时段 T2 中的运行。在时段 T2 中,将 H 电平信号提供给线路 510,晶体管 502 和 505 导通。此外,将 L 电平信号提供给线路 511,晶体管 503 和 506 截止。

[0208] 此外,节点 N51 的电势由晶体管 501 和晶体管 502 的工作点决定。注意,当把晶体管 502 的比值(W/L)设置为充分高于晶体管 501 的比值(W/L)时,节点 N51 的电势变成稍高于电源电势 VSS。

[0209] 因此,由于晶体管 504 截止而晶体管 505 导通,节点 N52 的电势变成等于电源电势 VSS。因此,晶体管 507 截止而线路 512 变成浮置状态。线路 512 的电势保持等于电源电势 VSS,因为线路 512 在时段 T1 中保持在该电势。

[0210] 接着,参考图 7A 描述时段 T3 中的运行。在时段 T3 中,将 L 电平信号提供给线路 510,晶体管 502 和 505 截止。此外,将 H 电平信号提供给线路 511,晶体管 503 和 506 导通。

[0211] 此外,节点 N51 的电势由晶体管 501 和晶体管 503 的工作点决定。注意,当把晶体管 503 的比值(W/L)设置为充分高于晶体管 501 的比值(W/L)时,节点 N51 的电势变成稍高于电源电势 VSS。

[0212] 因此,由于晶体管 504 截止而晶体管 506 导通,节点 N52 的电势变成等于电源电势 VSS。因此,晶体管 507 截止而线路 512 变成浮置状态。线路 512 的电势保持等于电源电势 VSS,因为线路 512 在时段 T1 和 T2 中保持在该电势。

[0213] 接着,参考图 7B 描述时段 T4 中的运行。在时段 T4 中,将 H 电平信号提供给线路 510,晶体管 502 和 505 导通。此外,将 H 电平信号提供给线路 511,晶体管 503 和 506 导通。

[0214] 此外,由于节点 N51 的电势由晶体管 501、晶体管 502 和晶体管 503 的工作点决定,所以节点 N51 的电势变成稍高于电源电势 VSS。

[0215] 因此,由于晶体管 504 截止而晶体管 505 和 506 导通,节点 N52 的电势变成等于电源电势 VSS。因此,晶体管 507 截止而线路 512 变成浮置状态。线路 512 的电势保持等于电源电势 VSS,因为线路 512 在时段 T1 到 T3 中保持在该电势。

[0216] 通过上述运行,图 5A 中的基本电路在时段 T1 中将电源电势 VSS 提供给线路 512,使得线路 512 的电势变成等于电源电势 VSS。在时段 T2 到 T4,图 5A 中的基本电路使线路 512 进入浮置状态,使得线路 512 的电势保持等于电源电势 VSS。

[0217] 注意,可以将图 5A 中的基本电路的节点 N52 的电势设置为在时段 T1 中等于电源电势 VDD。因此,可以在宽范围的工作条件下操作图 5A 中的基本电路。

[0218] 此外,图 5A 中的基本电路不包括在所有时段 T1 到 T4 中都导通的晶体管。亦即,图 5A 中的基本电路不包括一直导通或几乎一直导通的晶体管。因此,图 5A 中的基本电路能够抑制晶体管的特性劣化以及因特性劣化而造成的阈值电压漂移。

[0219] 此外,由非晶硅形成的晶体管的特性容易劣化。因此,当图 5A 中的基本电路中包括的晶体管是由非晶硅形成时,不仅能够获得诸如制造成本减少和成品率提高的益处,而且可以解决晶体管特性劣化的问题。

[0220] 这里,描述了晶体管 501 到 507 的功能。晶体管 501 具有二极管的功能,其中第一端子和栅极对应于输入端子而第二端子对应于输出端子。晶体管 502 具有开关的功能,根据线路 510 的电势选择是否连接线路 509 和节点 N51。晶体管 503 具有开关的功能,根据线路 511 的电势选择是否连接线路 509 和节点 N51。晶体管 504 具有开关的功能,根据节点 N51 的电势选择是否连接线路 508 和节点 N52。晶体管 505 具有开关的功能,根据线路 510 的电势选择是否连接线路 509 和节点 N52。晶体管 506 具有开关的功能,根据线路 511 的电势选择是否连接线路 509 和节点 N52。晶体管 507 具有开关的功能,根据节点 N52 的电势选择是否连接线路 509 和线路 512。

[0221] 注意,由晶体管 501 到 506 构成了两输入或非电路,其中线路 510 和 511 对应于输入端子,节点 N52 对应于输出端子。

[0222] 注意,如图 8A 所示,可以在晶体管 504 的栅极(节点 N51)和第二端子(节点 N52)之间提供电容器 801。这是因为节点 N51 的电势和节点 N52 的电势被引导操作提高,使得基本电路能够容易地通过校验电容器 801 执行引导操作。

[0223] 还要注意,如图 8B 所示,不必提供晶体管 503。这是因为当把 H 电平信号提供给线路 510 时,只需要降低节点 N52 的电势以使晶体管 507 截止。

[0224] 接着,参考图 17A 描述图 5A 中所示的基本电路由 P 沟道晶体管构成的情形。

[0225] 图 17A 示出了基于本发明的基本原理的基本电路。图 17A 中的基本电路包括晶体管 1701、晶体管 1702、晶体管 1703、晶体管 1704、晶体管 1705、晶体管 1706 和晶体管 1707。

[0226] 描述图 17A 中的基本电路的连接关系。晶体管 1701 的栅极连接到线路 1709,晶体管 1701 的第一端子连接到线路 1709,晶体管 1701 的第二端子连接到晶体管 1704 的栅极。晶体管 1702 的栅极连接到线路 1710,晶体管 1702 的第一端子连接到线路 1708,晶体管 1702 的第二端子连接到晶体管 1704 的栅极。晶体管 1703 的栅极连接到线路 1711,晶体管 1703 的第一端子连接到线路 1708,晶体管 1703 的第二端子连接到晶体管 1704 的栅极。注意,晶体管 1701 的第二端子、晶体管 1702 的第二端子、晶体管 1703 的第二端子和晶体管 1704 的栅极的节点由 N171 表示。晶体管 1704 的第一端子连接到线路 1709,晶体管 1704 的第二端子连接到晶体管 1707 的栅极。晶体管 1705 的栅极连接到线路 1710,晶体管 1705 的第一端子连接到线路 1708,晶体管 1705 的第二端子连接到晶体管 1707 的栅极。晶体管 1706 的栅极连接到线路 1711,晶体管 1706 的第一端子连接到线路 1708,晶体管 1706 的第

二端子连接到晶体管 1707 的栅极。晶体管 1707 的第一端子连接到线路 1708, 晶体管 1707 的第二端子连接到线路 1712。注意, 晶体管 1704 的第二端子、晶体管 1705 的第二端子、晶体管 1706 的第二端子和晶体管 1707 的栅极的节点由 N172 表示。

[0227] 此外, 晶体管 1701 到 1707 的每个都是 P 沟道晶体管。

[0228] 因此, 由于可以仅使用 P 沟道晶体管形成图 17A 中的基本电路, 因此不需要形成 N 沟道晶体管的步骤。于是, 在图 17A 中的基本电路中, 能够简化制造工艺, 从而能够降低制造成本并能够提高成品率。

[0229] 此外, 将电源电势 VDD 提供给线路 1708, 将电源电势 VSS 提供给线路 1709。注意, 电源电势 VDD 高于电源电势 VSS。还要注意, 可以将数字信号、模拟信号等提供给线路 1708 和线路 1709 的每个, 或者可以将另一电源电势提供给它们。

[0230] 此外, 将信号提供给线路 1710 和线路 1711 中的每个。注意, 提供给线路 1710 和线路 1711 的每一个的信号是二元数字信号。还要注意, 可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 1710 和线路 1711 的每一个。或者, 可以将模拟信号提供给线路 1710 和线路 1711 的每个。

[0231] 接着, 参考图 17B 描述图 17A 中所示的基本电路的运行。

[0232] 图 17B 为图 17A 所示的基本电路的时间图的例子。图 17B 中的时间图示出了线路 1710 的电势、线路 1711 的电势、节点 N171 的电势、节点 N172 的电势、线路 1712 的电势和晶体管 1707 的导通 / 截止。

[0233] 通过将整个时段分成时段 T1 到 T4 来描述图 17B 中的时间图。此外, 图 18A 到 19B 分别示出了图 17A 中的基本电路在时段 T1 到 T4 中的运行。

[0234] 首先, 参考图 18A 描述时段 T1 中的运行。在时段 T1 中, 将 H 电平信号提供给线路 1710, 晶体管 1702 和 1705 截止。此外, 将 H 电平信号提供给线路 1711, 晶体管 1703 和 1706 截止。

[0235] 此外, 由于晶体管 1701 是以二极管的方式连接的, 所以节点 N171 的电势开始下降。当节点 N171 的电势变成电源电势 VSS 和晶体管 1701 的阈值电压 V_{th1701} 的绝对值之和 ($VSS + |V_{th1701}|$) 时, 晶体管 1701 截止。因此, 节点 N171 变成浮置状态。

[0236] 此时, 晶体管 1704 导通, 节点 N172 的电势也降低。因此, 由于晶体管 1704 的栅极 (节点 N171) 和第二端子 (节点 N172) 之间的寄生电容, 处于浮置状态中的节点 N171 的电势与节点 N172 的电势同时降低。节点 N171 的电势一直降低到节点 N172 的电势降低终止为止, 节点 N171 的电势变成等于或低于电源电势 VSS 减去晶体管 1704 的阈值电压 V_{th1704} 的绝对值所得的值 ($VSS - |V_{th1704}|$)。亦即, 节点 N171 的电势一直降低到节点 N172 的电势变成等于电源电势 VSS 为止。可以通过执行所谓的引导操作将节点 N172 的电势设置为等于电源电势 VSS。

[0237] 因此, 晶体管 1707 导通且线路 1712 的电势变成等于电源电势 VSS。这里, 通过将节点 N172 的电势设置为等于电源电势 VSS, 可以提高晶体管 1707 的栅极和源极之间的电势差。因此, 能够容易地导通晶体管 1707, 且能够在宽范围的工作条件下操作基本电路。

[0238] 接着, 参考图 18B 描述时段 T2 中的运行。在时段 T2 中, 将 L 电平信号提供给线路 1710, 晶体管 1702 和 1705 导通。此外, 将 H 电平信号提供给线路 1711, 晶体管 1703 和 1706 截止。

[0239] 此外,节点 N171 的电势由晶体管 1701 和晶体管 1702 的工作点决定。注意,当把晶体管 1702 的比值(W/L)设置为充分高于晶体管 1701 的比值(W/L)时,节点 N171 的电势变成稍低于电源电势 VDD。

[0240] 因此,由于晶体管 1704 截止而晶体管 1705 导通,节点 N172 的电势变成等于电源电势 VDD。因此,晶体管 1707 截止而线路 1712 变成浮置状态。线路 1712 的电势保持等于电源电势 VDD,因为线路 1712 在时段 T1 中保持在该电势。

[0241] 接着,参考图 19A 描述时段 T3 中的运行。在时段 T3 中,将 H 电平信号提供给线路 1710,晶体管 1702 和 1705 截止。此外,将 L 电平信号提供给线路 1711,晶体管 1703 和 1706 导通。

[0242] 此外,节点 N171 的电势由晶体管 1701 和晶体管 1703 的工作点决定。注意,当把晶体管 1703 的比值(W/L)设置为充分高于晶体管 1701 的比值(W/L)时,节点 N171 的电势变成稍低于电源电势 VDD。

[0243] 因此,由于晶体管 1704 截止而晶体管 1706 导通,节点 N172 的电势变成等于电源电势 VDD。因此,晶体管 1707 截止而线路 1712 变成浮置状态。线路 1712 的电势保持等于电源电势 VDD,因为线路 1712 在时段 T1 和 T2 中保持在该电势。

[0244] 接着,参考图 19B 描述时段 T4 中的运行。在时段 T4 中,将 L 电平信号提供给线路 1710,晶体管 1702 和 1705 导通。此外,将 L 电平信号提供给线路 1711,晶体管 1703 和 1706 导通。

[0245] 此外,由于节点 N171 的电势由晶体管 1701、晶体管 1702 和晶体管 1703 的工作点决定,节点 N171 的电势变成稍低于电源电势 VDD。

[0246] 因此,由于晶体管 1704 截止而晶体管 1705 和 1706 导通,节点 N172 的电势变成等于电源电势 VDD。因此,晶体管 1707 截止而线路 1712 变成浮置状态。线路 1712 的电势保持等于电源电势 VDD,因为线路 1712 在时段 T1 到 T3 中保持在该电势。

[0247] 通过上述运行,图 17A 中的基本电路在时段 T1 中将电源电势 VDD 提供给线路 1712,使得线路 1712 的电势变成等于电源电势 VDD。在时段 T2 到 T4 中,图 17A 中的基本电路使线路 1712 进入浮置状态,使得线路 1712 的电势保持等于电源电势 VDD。

[0248] 注意,可以将图 17A 中的基本电路的节点 N172 的电势设置为在时段 T1 中等于电源电势 VSS。因此,可以在宽范围的工作条件下操作图 17A 中的基本电路。

[0249] 此外,图 17A 中的基本电路不包括在所有时段 T1 到 T4 中都导通的晶体管。亦即,图 17A 中的基本电路不包括一直导通或几乎一直导通的晶体管。因此,图 17A 中的基本电路能够抑制晶体管的特性劣化以及因特性劣化而造成的阈值电压漂移。

[0250] 注意,晶体管 1701 到 1707 具有与晶体管 501 到 507 类似的功能。

[0251] 注意,由晶体管 1701 到 1706 构成了两输入与非电路,其中线路 1710 和 1711 对应于输入端子,节点 N172 对应于输出端子。

[0252] 注意,如图 20A 所示,可以在晶体管 1704 的栅极(节点 N171)和第二端子(节点 N172)之间提供电容器 2001。这是因为节点 N171 的电势和节点 N172 的电势被引导操作提高,使得基本电路能够容易地通过校验电容器 2001 执行引导操作。

[0253] 还要注意,如图 20B 所示,不必一定提供晶体管 1703。这是因为当将 L 电平信号提供给线路 1710 时,只需要提高节点 N172 的电势以使晶体管 1707 截止。

[0254] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0255] (实施模式 3)

[0256] 在本实施模式中,参考图 9A 描述与实施模式 1 和 2 不同的本发明的基本原理。

[0257] 图 9A 示出了基于本发明的基本原理的基本电路。图 9A 中的基本电路包括晶体管 901、晶体管 902、晶体管 903 和晶体管 904。

[0258] 描述图 9A 中的基本电路的连接关系。晶体管 901 的栅极连接到晶体管 904 的栅极,晶体管 901 的第一端子连接到线路 906,晶体管 901 的第二端子连接到晶体管 904 的栅极。晶体管 902 的栅极连接到线路 907,晶体管 902 的第一端子连接到线路 905,晶体管 902 的第二端子连接到晶体管 904 的栅极。晶体管 903 的栅极连接到线路 908,晶体管 903 的第一端子连接到线路 906,晶体管 903 的第二端子连接到晶体管 904 的栅极。晶体管 904 的第一端子连接到线路 906,晶体管 904 的第二端子连接到线路 909。注意,晶体管 901 的第二端子、晶体管 901 的栅极、晶体管 902 的第二端子、晶体管 903 的第二端子和晶体管 904 的栅极的节点由 N91 表示。

[0259] 此外,晶体管 901 到 904 的每个都是 N 沟道晶体管。

[0260] 因此,由于图 9A 中的基本电路可以仅仅使用 N 沟道晶体管形成,可以将非晶硅用于图 9A 中的基本电路的半导体层。于是,能够简化制造工艺,从而能够降低制造成本且能够提高成品率。此外,还能够形成诸如大型显示屏板的半导体装置。此外,当把多晶硅或单晶硅用于图 9A 中的基本电路的半导体层时,还可以简化制造工艺。

[0261] 此外,将电源电势 VDD 提供给线路 905,将电源电势 VSS 提供给线路 906。注意,电源电势 VDD 高于电源电势 VSS。还要注意,可以将数字信号、模拟信号等提供给线路 905 和线路 906 的每个,或者可以将另一电源电势提供给它们。

[0262] 此外,可以将信号提供给线路 907 和线路 908 的每个。注意,提供给线路 907 和线路 908 的每一个的信号是二元数字信号。还要注意,可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 907 和线路 908 的每一个。或者,可以将模拟信号提供给线路 907 和线路 908 的每个。

[0263] 接着,参考图 9B 描述图 9A 中所示的基本电路的运行。

[0264] 图 9B 为图 9A 所示的基本电路的时间图的例子。图 9B 中的时间图示出了线路 907 的电势、线路 908 的电势、节点 N91 的电势、线路 909 的电势和晶体管 904 的导通 / 截止。

[0265] 通过将整个时段分成时段 T1 到 T4 来描述图 9B 中的时间图。此外,图 10A 到 11B 分别示出了图 9A 中的基本电路在时段 T1 到 T4 中的运行。

[0266] 首先,参考图 10A 描述时段 T1 中的运行。在时段 T1 中,将 L 电平信号提供给线路 907,将 L 电平信号提供给线路 908。因此,晶体管 902 截止,晶体管 903 截止。

[0267] 此外,由于晶体管 901 是以二极管的方式连接的,所以节点 N91 的电势开始下降。节点 N91 的电势一直下降到晶体管 901 截止为止。当节点 N91 的电势变成电源电势 VSS 和晶体管 901 的阈值电压 V_{th901} 的绝对值之和 ($VSS + |V_{th901}|$) 时,晶体管 901 截止。因此,节点 N91 的电势变成 $VSS + |V_{th901}|$ 。

[0268] 因此,晶体管 904 截止,且线路 909 的电势保持等于电源电势 VSS,因为线路 909 在时段 T2 中保持在该电势。注意,接着描述在时段 T2 中的操作。

[0269] 接着,参考图 10B 描述时段 T2 中的运行。在时段 T2 中,将 H 电平信号提供给线路 907 并将 L 电平信号提供给线路 908。因此,晶体管 902 导通,晶体管 903 截止。

[0270] 此外,节点 N91 的电势由晶体管 901 和晶体管 902 的工作点决定。注意,当把晶体管 902 的比值(W/L)设置为充分高于晶体管 901 的比值(W/L)时,节点 N91 的电势变成稍低于电源电势 VDD。

[0271] 因此,晶体管 904 导通且线路 909 的电势变成等于电源电势 VSS。

[0272] 接着,参考图 11A 描述时段 T3 中的运行。在时段 T3 中,将 L 电平信号提供给线路 907 并将 H 电平信号提供给线路 908。因此,晶体管 902 截止,晶体管 903 导通。

[0273] 因此,节点 N91 的电势变成等于电源电势 VSS,因为晶体管 904 截止了。

[0274] 因此,晶体管 904 截止而线路 909 变成浮置状态。线路 909 的电势保持等于电源电势 VSS,因为线路 909 在时段 T1 和 T2 中保持在该电势。

[0275] 接着,参考图 11B 描述时段 T4 中的运行。在时段 T4 中,将 H 电平信号提供给线路 907 并将 H 电平信号提供给线路 908。因此,晶体管 902 导通,晶体管 904 导通。

[0276] 此外,由于节点 N91 的电势由晶体管 901、晶体管 902 和晶体管 903 的工作点决定,所以节点 N91 的电势变成稍高于电源电势 VSS。

[0277] 因此,晶体管 904 截止而线路 909 变成浮置状态。线路 909 的电势保持等于电源电势 VSS,因为线路 909 在时段 T1 到 T3 中保持在该电势。

[0278] 通过上述运行,图 9A 中的基本电路在时段 T2 中将电源电势 VSS 提供给线路 909,使得线路 909 的电势变成等于电源电势 VSS。在时段 T1、T3 和 T4 中,图 9A 中的基本电路使线路 909 进入浮置状态,使得线路 909 的电势保持等于电源电势 VSS。

[0279] 此外,图 9A 中的基本电路不包括在所有时段 T1 到 T4 中都导通的晶体管。亦即,图 9A 中的基本电路不包括一直导通或几乎一直导通的晶体管。因此,图 9A 中的基本电路能够抑制晶体管的特性劣化以及因特性劣化而造成的阈值电压漂移。

[0280] 此外,由非晶硅形成的晶体管的特性容易劣化。因此,当图 9A 中的基本电路中包括的晶体管是由非晶硅形成时,不仅能够获得诸如制造成本减少和成品率提高的益处,而且可以解决晶体管特性劣化的问题。

[0281] 这里,描述晶体管 901 到 904 的功能。晶体管 901 具有二极管的功能,其中第二端子和栅极对应于输入端子,第一端子对应于输出端子。晶体管 902 具有开关的功能,其根据线路 907 的电势选择是否连接线路 905 和节点 N91。晶体管 903 具有开关的功能,其根据线路 908 的电势选择是否连接线路 906 和节点 N91。晶体管 904 具有开关的功能,其根据节点 N91 的电势选择是否连接线路 906 和线路 909。

[0282] 注意,由晶体管 901 到 904 构成了两输入逻辑电路,其中线路 907 和 908 对应于输入端子,节点 N91 对应于输出端子。

[0283] 注意,晶体管 901 可以是任何元件,只要其具有电阻成分。例如,如图 12A 所示,可以用电阻器 1201 取代晶体管 901。此外,在图 12B 中示出了图 12A 中的时间图。

[0284] 接着,参考图 21A 描述图 9A 中所示的基本电路由 P 沟道晶体管构成的情形。

[0285] 图 21A 示出了基于本发明的基本原理的基本电路。图 21 中的基本电路包括晶体管 2101、晶体管 2102、晶体管 2103 和晶体管 2104。

[0286] 描述图 21A 中的基本电路的连接关系。晶体管 2101 的栅极连接到晶体管 2104

的栅极,晶体管 2101 的第一端子连接到线路 2105,晶体管 2101 的第二端子连接到晶体管 2104 的栅极。晶体管 2102 的栅极连接到线路 2107,晶体管 2102 的第一端子连接到线路 2106,晶体管 2102 的第二端子连接到晶体管 2104 的栅极。晶体管 2103 的栅极连接到线路 2108,晶体管 2103 的第一端子连接到线路 2105,晶体管 2103 的第二端子连接到晶体管 2104 的栅极。晶体管 2104 的第一端子连接到线路 2105,晶体管 2104 的第二端子连接到线路 2109。注意,晶体管 2101 的栅极、晶体管 2101 的第二端子、晶体管 2102 的第二端子、晶体管 2103 的第二端子和晶体管 2104 的栅极的节点由 N211 表示。

[0287] 此外,晶体管 2101 到 2104 的每个都是 P 沟道晶体管。

[0288] 因此,由于可以仅使用 P 沟道晶体管形成图 21A 中的基本电路,因此不需要形成 N 沟道晶体管的步骤。于是,在图 21A 中的基本电路中,能够简化制造工艺,从而能够降低制造成本并能够提高成品率。

[0289] 此外,将电源电势 VDD 提供给线路 2105,将电源电势 VSS 提供给线路 2106。注意,电源电势 VDD 高于电源电势 VSS。还要注意,可以将数字信号、模拟信号等提供给线路 2105 和线路 2106 的每个,或者可以将另一电源电势提供给它们。

[0290] 此外,将信号提供给线路 2107 和线路 2108 的每个。注意,提供给线路 2107 和线路 2108 的每一个的信号是二元数字信号。还要注意,可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 2107 和线路 2108 的每一个。或者,可以将模拟信号提供给线路 2107 和线路 2108 的每个。

[0291] 接着,参考图 21B 描述图 21A 中所示的基本电路的运行。

[0292] 图 21B 为图 21A 所示的基本电路的时间图的例子。图 21B 中的时间图示出了线路 2107 的电势、线路 2108 的电势、节点 N211 的电势、线路 2109 的电势和晶体管 2104 的导通/截止。

[0293] 通过将整个时段分成时段 T1 到 T4 来描述图 21B 中的时间图。此外,图 22A 到 23B 分别示出了图 21A 中的基本电路在时段 T1 到 T4 中的运行。

[0294] 首先,参考图 22A 描述时段 T1 中的运行。在时段 T1 中,将 H 电平信号提供给线路 2107,将 H 电平信号提供给线路 2108。因此,晶体管 2102 截止且晶体管 2103 截止。

[0295] 此外,由于晶体管 2101 是以二极管方式连接的,节点 N211 的电势开始上升。节点 N211 的电势一直上升到晶体管 2101 截止。当节点 N211 的电势变成电源电势 VDD 减去晶体管 2101 的阈值电压 V_{th2101} 的绝对值所得的值 ($v_{dd} - |V_{th2101}|$) 时,晶体管 2101 截止。因此,节点 N211 的电势变成 $VDD - |V_{th2101}|$ 。

[0296] 因此,晶体管 2104 截止,线路 2109 的电势保持稍低于电源电势 VDD,因为在时段 T2 中线路 2109 保持在该电势。注意,接着描述在时段 T2 中的操作。

[0297] 接着,参考图 22B 描述时段 T2 中的运行。在时段 T2 中,将 L 电平信号提供给线路 2107 并将 H 电平信号提供给线路 2108。因此,晶体管 2102 导通且晶体管 2103 截止。

[0298] 此外,节点 N211 的电势由晶体管 2101 和晶体管 2102 的工作点决定。注意,当把晶体管 2102 的比值 (W/L) 设置为充分高于晶体管 2101 的比值 (W/L) 时,节点 N211 的电势变成稍高于电源电势 VSS。

[0299] 因此,晶体管 2104 导通且线路 2109 的电势变成等于电源电势 VDD。

[0300] 接着,参考图 23A 描述时段 T3 中的运行。在时段 T3 中,将 H 电平信号提供给线路

2107 并将 L 电平信号提供给线路 2108。因此,晶体管 2102 截止且晶体管 2103 导通。

[0301] 因此,节点 N211 的电势变成等于电源电势 VDD,因为晶体管 2102 是截止的。

[0302] 因此,晶体管 2104 截止,线路 2109 变成浮置状态。线路 2109 的电势保持等于电源电势 VSS,因为线路 2109 在时段 T1 和 T2 中保持在该电势。

[0303] 接着,参考图 23B 描述时段 T4 中的运行。在时段 T4 中,将 L 电平信号提供给线路 2107,将 L 电平信号提供给线路 2108。因此,晶体管 2102 导通且晶体管 2104 导通。

[0304] 此外,由于节点 N211 的电势由晶体管 2101、晶体管 2102 和晶体管 2103 的工作点决定,节点 N211 的电势变成稍低于电源电势 VDD。

[0305] 因此,晶体管 2104 截止而线路 2109 变成浮置状态。线路 2109 的电势保持等于电源电势 VSS,因为线路 2109 在时段 T1 到 T3 中保持在该电势。

[0306] 通过上述操作,图 21A 中的基本电路在时段 T2 中向线路 2109 提供电源电势 VDD,使得线路 2109 的电势变成等于电源电势 VDD。在时段 T1、T3 和 T4 中,图 21A 中的基本电路使线路 2109 进入浮置状态,使得线路 2109 的电势保持等于电源电势 VDD。

[0307] 此外,图 21A 中的基本电路不包括在所有时段 T1 到 T4 中都导通的晶体管。亦即,图 21A 中的基本电路不包括一直导通或几乎一直导通的晶体管。因此,图 21A 中的基本电路能够抑制晶体管的特性劣化以及因特性劣化而造成的阈值电压漂移。

[0308] 注意,晶体管 2101 到 2104 具有类似于晶体管 901 到 904 的功能。

[0309] 注意,由晶体管 2101 到 2104 构成了两输入逻辑电路,其中线路 2107 和 2108 对应于输入端子,节点 N211 对应于输出端子。

[0310] 注意,晶体管 2101 可以是任何元件,只要其具有电阻成分。例如,如图 24A 所示,可以使用电阻器 2401 以代替晶体管 2101。此外,在图 24B 中示出了图 24A 中的时间图。

[0311] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0312] (实施模式 4)

[0313] 在本实施模式中,参考图 25A 描述不同于实施模式 1 到 3 的本发明的基本原理。

[0314] 图 25A 示出了基于本发明的基本原理的基本电路。图 25A 中的基本电路包括电路 2501 和电路 2502。

[0315] 注意,作为电路 2501 和电路 2502,可以使用如图 1A、4A、5A、8A、8B、9A 和 12A 所示的基本电路。因此,线路 2503 和线路 2504 对应于图 1A 中的线路 107、图 4A 中的线路 107、图 5A 中的线路 510、图 8A 中的线路 510、图 8B 中的线路 510、图 9A 中的线路 907 和图 12A 中的线路 907。

[0316] 此外,线路 2505 对应于图 1A 中的线路 108、图 4A 中的线路 108、图 5A 中的线路 511、图 8A 中的线路 511、图 8B 中的线路 511、图 9A 中的线路 908 和图 12A 中的线路 908。

[0317] 此外,线路 2506 对应于图 1A 中的线路 109、图 4A 中的线路 109、图 5A 中的线路 512、图 8A 中的线路 512、图 8B 中的线路 512、图 9A 中的线路 909 和图 12A 中的线路 909。

[0318] 因此,由于图 25A 中的基本电路可以仅仅使用 N 沟道晶体管形成,可以将非晶硅用于图 25A 中的基本电路的半导体层。于是,能够简化制造工艺,从而能够降低制造成本且能够提高成品率。此外,还能够形成诸如大型显示屏板的半导体装置。此外,当把多晶硅或单晶硅用于图 25A 中的基本电路的半导体层时,还可以简化制造工艺。

[0319] 此外,省去了要向其供应电源电势的线路。

[0320] 此外,将信号提供给线路 2503、线路 2504 和线路 2505 中的每个。注意,提供给线路 2503、线路 2504 和线路 2505 的每个的信号为二元数字信号。

[0321] 还要注意,可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 2503、线路 2504 和线路 2505 的每一个。或者,可以将模拟信号提供给线路 2503、线路 2504 和线路 2505 的每个。

[0322] 接着,参考图 25B 描述图 25A 中所示的基本电路的运行。注意,图 25B 示出了将图 1A、4A、5A 和 8A 所示的基本电路用作电路 2501 和电路 2502 的情形。

[0323] 图 25B 为图 25A 所示的基本电路的时间图的例子。图 25B 中的时间图示出了线路 2503 的电势、线路 2504 的电势、线路 2505 的电势,电路 2501 的输出是处于浮置状态(被描述为 OFF)还是处于电源电势 VSS (被描述为 ON),电路 2502 的输出是处于浮置状态(被描述为 OFF)还是处于电源电势 VSS (被描述为 ON),以及线路 2506 的电势。

[0324] 通过将整个时段分成时段 T1 到 T8 来描述图 25B 中的时间图。

[0325] 首先,描述时段 T1 中的运行。在时段 T1 中,将 L 电平信号提供给线路 2505,将 L 电平信号提供给线路 2503 并将 L 电平信号提供给线路 2504。电路 2501 和电路 2502 的每个将电源电势 VSS 提供给线路 2506。因此,线路 2506 的电势变成等于电源电势 VSS。

[0326] 接着,描述时段 T2 中的运行。在时段 T2 中,将 L 电平信号提供给线路 2505,将 H 电平信号提供给线路 2503 并将 L 电平信号提供给线路 2504。电路 2501 不向线路 2506 提供电势,电路 2502 将电源电势 VSS 提供给线路 2506。因此,线路 2506 的电势变成等于电源电势 VSS。

[0327] 接着,描述时段 T3 中的运行。在时段 T3 中,将 L 电平信号提供给线路 2505,将 L 电平信号提供给线路 2503 并将 H 电平信号提供给线路 2504。电路 2501 将电源电势 VSS 提供给线路 2506,电路 2502 不向线路 2506 提供电势。因此,线路 2506 的电势变成等于电源电势 VSS。

[0328] 接着,描述时段 T4 中的运行。在时段 T4 中,将 L 电平信号提供给线路 2505,将 H 电平信号提供给线路 2503 并将 H 电平信号提供给线路 2504。电路 2501 和电路 2502 的每个不向线路 2506 提供电势。因此,线路 2506 的电势保持等于电源电势 VSS,因为线路 2506 在时段 T3 中保持在该电势。

[0329] 接着,描述时段 T5 中的运行。在时段 T5 中,将 H 电平信号提供给线路 2505,将 L 电平信号提供给线路 2503 并将 L 电平信号提供给线路 2504。电路 2501 和电路 2502 的每个不向线路 2506 提供电势。因此,线路 2506 的电势保持等于电源电势 VSS,因为线路 2506 在时段 T3 中保持在该电势。

[0330] 接着,描述时段 T6 中的运行。在时段 T6 中,将 H 电平信号提供给线路 2505,将 H 电平信号提供给线路 2503 并将 L 电平信号提供给线路 2504。电路 2501 和电路 2502 的每个不向线路 2506 提供电势。因此,线路 2506 的电势保持等于电源电势 VSS,因为线路 2506 在时段 T3 中保持在该电势。

[0331] 接着,描述时段 T7 中的运行。在时段 T7 中,将 H 电平信号提供给线路 2505,将 L 电平信号提供给线路 2503 并将 H 电平信号提供给线路 2504。电路 2501 和电路 2502 的每个不向线路 2506 提供电势。因此,线路 2506 的电势保持等于电源电势 VSS,因为线路 2506

在时段 T3 中保持在该电势。

[0332] 接着,描述时段 T8 中的运行。在时段 T8 中,将 H 电平信号提供给线路 2505,将 H 电平信号提供给线路 2503 并将 H 电平信号提供给线路 2504。电路 2501 和电路 2502 的每个不向线路 2506 提供电势。因此,线路 2506 的电势保持等于电源电势 VSS,因为线路 2506 在时段 T3 中保持在该电势。

[0333] 通过上述操作,电路 2501 和电路 2502 的每个在时段 T1 中向线路 2506 提供电源电势 VSS,使得线路 2506 的电势变成等于电源电势 VSS。在时段 T2 中,电路 2502 向线路 2506 提供电源电势 VSS,使得线路 2506 的电势变成等于电源电势 VSS。在时段 T3 中,电路 2501 向线路 2506 提供电源电势 VSS,使得线路 2506 的电势变成等于电源电势 VSS。在时段 T4 到 T8 中,使线路 2506 进入浮置状态,使得线路 2506 的电势保持等于电源电势 VSS。

[0334] 此外,图 25A 中的基本电路不包括在所有时段 T1 到 T8 中都导通的晶体管。亦即,图 25A 中的基本电路不包括一直导通或几乎一直导通的晶体管。因此,图 25A 中的基本电路能够抑制晶体管的特性劣化以及因特性劣化而造成的阈值电压漂移。

[0335] 此外,由非晶硅形成的晶体管的特性容易劣化。因此,当图 25A 中的基本电路中包括的晶体管是由非晶硅形成时,不仅能够获得诸如制造成本减少和成品率提高的益处,而且可以解决晶体管特性劣化的问题。

[0336] 接着,参考图 26A 描述图 25A 中所示的基本电路由 P 沟道晶体管构成的情形。

[0337] 图 26A 示出了基于本发明的基本原理的基本电路。图 26A 中的基本电路包括电路 2601 和电路 2602。

[0338] 注意,作为电路 2601 和电路 2602,可以使用图 13A、16A、17A、20A、20B、21A 和 24A 中所示的基本电路。

[0339] 因此,线路 2603 和线路 2604 对应于图 13A 中的线路 1307、图 16A 中的线路 1307、图 17A 中的线路 1710、图 20A 中的线路 1710、图 20B 中的线路 1710、图 21A 中的线路 2108 和图 24A 中的线路 2108。

[0340] 此外,线路 2605 对应于图 13A 中的线路 1308、图 16A 中的线路 1308、图 17A 中的线路 1711、图 20A 中的线路 1711、图 20B 中的线路 1711、图 21A 中的线路 2107 和图 24A 中的线路 2107。

[0341] 此外,线路 2606 对应于图 13A 中的线路 1309、图 16A 中的线路 1309、图 17A 中的线路 1712、图 20A 中的线路 1712、图 20B 中的线路 1712、图 21A 中的线路 2109 和图 24A 中的线路 2109。

[0342] 因此,由于可以仅使用 P 沟道晶体管形成图 26A 中的基本电路,因此不需要形成 N 沟道晶体管的步骤。于是,在图 26A 中的基本电路中,能够简化制造工艺,从而能够降低制造成本并能够提高成品率。

[0343] 此外,省去了要向其供应电源电势的线路。

[0344] 此外,将信号提供给线路 2603、线路 2604 和线路 2605 的每个。注意,提供给线路 2603、线路 2604 和线路 2605 的每个的信号为二元数字信号。

[0345] 还要注意,可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 2603、线路 2604 和线路 2605 的每一个。或者,可以将模拟信号提供给线路 2603、线路 2604 和线路 2605 的每个。

[0346] 接着,参考图 26B 描述图 26A 中所示的基本电路的运行。注意,图 26B 示出了将图 16A、17A、20A 和 20B 中所示的基本电路用作电路 2601 和电路 2602 的情形。

[0347] 图 26B 为图 26A 所示的基本电路的时间图的例子。图 26B 中的时间图示出了线路 2603 的电势、线路 2604 的电势、线路 2605 的电势,电路 2601 的输出是处于浮置状态(被描述为 OFF)还是处于电源电势 VSS (被描述为 ON),电路 2602 的输出是处于浮置状态(被描述为 OFF)还是处于电源电势 VSS (被描述为 ON),以及线路 2606 的电势。

[0348] 通过将整个时段分成时段 T1 到 T8 描述图 26B 中的时间图。

[0349] 首先,描述时段 T1 中的运行。在时段 T1 中,将 H 电平信号提供给线路 2605,将 H 电平信号提供给线路 2603 并将 H 电平信号提供给线路 2604。电路 2601 和电路 2602 的每个向线路 2606 提供电源电势 VDD。因此,线路 2606 的电势变成等于电源电势 VDD。

[0350] 接着,描述时段 T2 中的运行。在时段 T2 中,将 H 电平信号提供给线路 2605,将 L 电平信号提供给线路 2603 并将 H 电平信号提供给线路 2604。电路 2601 不向线路 2606 提供电势,电路 2602 向线路 2606 提供电源电势 VDD。因此,线路 2606 的电势变成等于电源电势 VDD。

[0351] 接着,描述时段 T3 中的运行。在时段 T3 中,将 H 电平信号提供给线路 2605,将 H 电平信号提供给线路 2603 并将 L 电平信号提供给线路 2604。电路 2601 向线路 2606 提供电源电势 VDD,电路 2602 不向线路 2606 提供电势。因此,线路 2606 的电势变成等于电源电势 VDD。

[0352] 接着,描述时段 T4 中的运行。在时段 T4 中,将 H 电平信号提供给线路 2605,将 L 电平信号提供给线路 2603 并将 L 电平信号提供给线路 2604。电路 2601 和电路 2602 的每个都不向线路 2606 提供电势。因此,线路 2606 的电势保持等于电源电势 VDD,因为线路 2606 在时段 T3 中保持在该电势。

[0353] 接着,描述时段 T5 中的运行。在时段 T5 中,将 L 电平信号提供给线路 2605,将 H 电平信号提供给线路 2603 并将 H 电平信号提供给线路 2604。电路 2601 和电路 2602 的每个都不向线路 2606 提供电势。因此,线路 2606 的电势保持等于电源电势 VDD,因为线路 2606 在时段 T3 中保持在该电势。

[0354] 接着,描述时段 T6 中的运行。在时段 T6 中,将 L 电平信号提供给线路 2605,将 L 电平信号提供给线路 2603 并将 H 电平信号提供给线路 2604。电路 2601 和电路 2602 的每个都不向线路 2606 提供电势。因此,线路 2606 的电势保持等于电源电势 VDD,因为线路 2606 在时段 T3 中保持在该电势。

[0355] 接着,描述时段 T7 中的运行。在时段 T7 中,将 L 电平信号提供给线路 2605,将 H 电平信号提供给线路 2603 并将 L 电平信号提供给线路 2604。电路 2601 和电路 2602 的每个都不向线路 2606 提供电势。因此,线路 2606 的电势保持等于电源电势 VDD,因为线路 2606 在时段 T3 中保持在该电势。

[0356] 接着,描述时段 T8 中的运行。在时段 T8 中,将 L 电平信号提供给线路 2605,将 L 电平信号提供给线路 2603 并将 L 电平信号提供给线路 2604。电路 2601 和电路 2602 的每个都不向线路 2606 提供电势。因此,线路 2606 的电势保持等于电源电势 VDD,因为线路 2606 在时段 T3 中保持在该电势。

[0357] 通过上述操作,电路 2601 和电路 2602 的每个在时段 T1 中向线路 2606 提供电源

电势 VDD,使得线路 2606 的电势变成等于电源电势 VDD。在时段 T2 中,电路 2602 向线路 2606 提供电源电势 VDD,使得线路 2606 的电势变成等于电源电势 VDD。在时段 T3 中,电路 2601 向线路 2606 提供电源电势 VDD,使得线路 2606 的电势变成等于电源电势 VDD。在时段 T4 到 T8 中,使线路 2606 进入浮置状态,使得线路 2606 的电势保持等于电源电势 VDD。

[0358] 此外,图 26A 中的基本电路不包括在所有时段 T1 到 T8 中都导通的晶体管。亦即,图 26A 中的基本电路不包括一直导通或几乎一直导通的晶体管。因此,图 26A 中的基本电路能够抑制晶体管的特性劣化以及因特性劣化而造成的阈值电压漂移。

[0359] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0360] (实施模式 5)

[0361] 在本实施模式中,参考图 27 描述将实施模式 1 中所述的基本电路用于触发电路的情形。

[0362] 图 27 为将实施模式 1 中所述的图 1A 中的基本电路用于其的触发电路的例子。图 27 中的触发电路包括晶体管 2701、晶体管 2702、晶体管 2703、晶体管 2704、晶体管 2705、晶体管 2706、晶体管 2707 和晶体管 2708。

[0363] 注意,晶体管 2705 对应于图 1A 中的晶体管 101;晶体管 2707 对应于图 1A 中的晶体管 103,晶体管 2706 对应于图 1A 中的晶体管 102。此外,晶体管 2703 和晶体管 2704 对应于图 1A 中的晶体管 104。

[0364] 描述图 27 中的触发电路的连接关系。注意,晶体管 2701 的第二端子、晶体管 2708 的第二端子、晶体管 2706 的栅极、晶体管 2704 的第二端子和晶体管 2702 的栅极的节点由 N271 表示。此外,晶体管 2705 的第二端子、晶体管 2706 的第二端子、晶体管 2707 的第二端子、晶体管 2703 的栅极和晶体管 2704 的栅极的节点由 N272 表示。

[0365] 晶体管 2701 的栅极连接到线路 2712,晶体管 2701 的第一端子连接到线路 2709,晶体管 2701 的第二端子连接到节点 N271。晶体管 2708 的栅极连接到线路 2713,晶体管 2708 的第一端子连接到线路 2710,晶体管 2708 的第二端子连接到节点 N271。晶体管 2705 的栅极连接到线路 2709,晶体管 2705 的第一端子连接到线路 2709,晶体管 2705 的第二端子连接到节点 N272。晶体管 2706 的栅极连接到节点 N271,晶体管 2706 的第一端子连接到线路 2710,晶体管 2706 的第二端子连接到节点 N272。晶体管 2707 的栅极连接到线路 2711,晶体管 2707 的第一端子连接到线路 2710,晶体管 2707 的第二端子连接到节点 N272。晶体管 2704 的栅极连接到 N272,晶体管 2704 的第一端子连接到线路 2710,晶体管 2704 的第二端子连接到节点 N271。晶体管 2703 的栅极连接到 N272,晶体管 2703 的第一端子连接到线路 2710,晶体管 2703 的第二端子连接到线路 2714。晶体管 2702 的栅极连接到 N271,晶体管 2702 的第一端子连接到线路 2711,晶体管 2702 的第二端子连接到线路 2714。

[0366] 此外,晶体管 2701 到 2708 的每个都是 N 沟道晶体管。

[0367] 因此,因为可以仅使用 N 沟道晶体管形成图 27 中的触发电路,可以将非晶硅用于图 27 中的触发电路的半导体层。于是,能够简化制造工艺,从而能够降低制造成本且能够提高成品率。此外,还能够形成诸如大型显示屏板的半导体装置。此外,当将多晶硅或单晶硅用于图 27 中的触发电路的半导体层时,还可以简化制造工艺。

[0368] 此外,将电源电势 VDD 提供给线路 2709,将电源电势 VSS 提供给线路 2710。注意,

电源电势 VDD 高于电源电势 VSS。还要注意,可以将数字信号、模拟信号等提供给线路 2709 和线路 2710 的每个,或者可以将另一电源电势提供给它们。

[0369] 此外,将信号提供给线路 2711、线路 2712 和线路 2713 的每个。注意,提供给线路 2711、线路 2712 和线路 2713 的每个的信号为二元数字信号。还要注意,可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 2711、线路 2712 和线路 2713 的每一个。或者,可以将模拟信号提供给线路 2711、线路 2712 和线路 2713 的每个。

[0370] 接着,参考图 28 描述图 27 中所示的触发电路的运行。

[0371] 图 28 为图 27 所示的触发电路的时间图的例子。图 28 中的时间图示出了线路 2711 的电势、线路 2712 的电势、节点 N271 的电势、节点 N272 的电势、线路 2714 的电势、晶体管 2703 和晶体管 2704 的导通 / 截止关系和线路 2713 的电势。

[0372] 通过将整个时段分成时段 T1 到 T4 来描述图 28 中的时间图。此外,通过将整个时段分成时段 T3a 和时段 T3b 描述时段 T3。此外,图 29 到 33 分别示出了图 27 中的触发电路在时段 T1、T2、T3b、T4 和 T3a 中的运行。

[0373] 注意,在除了时段 T1、T2 和 T3b 之外的时段中依次重复时段 T3a 和时段 T4。

[0374] 首先,参考图 29 描述时段 T1 中的运行。在时段 T1 中,将 L 电平信号提供给线路 2711,将 H 电平信号提供给线路 2712 并将 L 电平信号提供给线路 2713。

[0375] 因此,晶体管 2701 导通,而晶体管 2708 和晶体管 2707 截止。此时,通过晶体管 2701 将电源电势 VDD 提供给节点 N271,使得节点 N271 的电势升高。此外,晶体管 2706 被节点 N271 的电势的升高导通,使得节点 N272 的电势降低。此外,晶体管 2703 和晶体管 2704 被节点 N272 的电势的降低截止。

[0376] 这里,节点 N271 的电势一直上升到晶体管 2701 截止为止。当节点 N271 的电势变成电源电势 VDD 减去晶体管 2701 的阈值电压 V_{th2701} 所得的值 ($v_{dd}-V_{th2701}$) 时,晶体管 2701 截止。因此,节点 N271 的电势变成 $V_{DD}-V_{th2701}$ 。此外,节点 N271 变成浮置状态。

[0377] 因此,晶体管 2702 导通。此外,由于线路 2711 的 L 电平信号被提供给线路 2714,线路 2714 的电势变成等于电源电势 VSS。

[0378] 接着,参考图 30 描述时段 T2 中的运行。在时段 T2 中,将 H 电平信号提供给线路 2711,将 L 电平信号提供给线路 2712 并将 L 电平信号提供给线路 2713。

[0379] 因此,晶体管 2701 截止,晶体管 2708 保持截止,而晶体管 2707 导通。此时,节点 N271 处于浮置状态,节点 N271 的电势保持在 $V_{DD}-V_{th2701}$ 。此外,节点 N272 的电势保持在 L 电平,因为晶体管 2706 和晶体管 2707 是导通的。于是,由于节点 N272 处于 L 电平,晶体管 2703 和晶体管 2704 保持截止。

[0380] 这里,节点 N271 处于浮置状态并保持在 H 电平。此外,由于节点 N271 保持在 H 电平,晶体管 2702 保持导通。此外,由于线路 2711 的 H 电平信号被提供给线路 2714,线路 2714 的电势升高。因此,由于通过引导操作节点 N271 的电势变成等于或高于电源电势 VDD 和晶体管 2702 的阈值电压 V_{th2702} 之和 ($V_{DD}+V_{th2702}$),因此线路 2714 的电势变成等于电源电势 VDD。

[0381] 接着,参考图 31 描述时段 T3b 中的运行。在时段 T3b 中,将 L 电平信号提供给线路 2711,将 L 电平信号提供给线路 2712 并将 H 电平信号提供给线路 2713。

[0382] 因此,晶体管 2701 保持截止,晶体管 2708 导通,而晶体管 2707 截止。此时,通过

晶体管 2708 将电源电势 VSS 提供给节点 N271,使得节点 N271 的电势降低。此外,晶体管 2706 被节点 N271 的电势的降低截止,使得节点 N272 的电势升高。此外,晶体管 2703 和晶体管 2704 被节点 N272 的电势的升高导通。

[0383] 此外,晶体管 2702 被节点 N271 的电势的降低截止。因此,由于通过晶体管 2703 将电源电势 VSS 提供给线路 2714,线路 2714 的电势变成等于电源电势 VSS。

[0384] 接着,参考图 32 描述时段 T4 中的运行。在时段 T4 中,将 H 电平信号提供给线路 2711,将 L 电平信号提供给线路 2712,并将 L 电平信号提供给线路 2713。

[0385] 因此,晶体管 2701 保持截止,晶体管 2708 截止,而晶体管 2707 导通。此时,节点 N271 变成浮置状态,且节点 N271 的电势保持在电源电势 VSS。于是,晶体管 2706 和晶体管 2702 截止。此外,节点 N272 的电势变成 L 电平,因为通过晶体管 2707 向其提供了电源电势 VSS。因此,晶体管 2703 和晶体管 2704 截止。

[0386] 因此,线路 2714 变成浮置状态,且线路 2714 的电势保持等于电源电势 VSS。

[0387] 接着,参考图 33 描述时段 T3a 中的运行。在时段 T3a 中,将 L 电平信号提供给线路 2711,将 L 电平信号提供给线路 2712 并将 L 电平信号提供给线路 2713。

[0388] 因此,晶体管 2701 和晶体管 2708 保持截止,而晶体管 2707 截止。此时,由于晶体管 2707 截止,节点 N272 的电势升高。于是,晶体管 2703 和晶体管 2704 导通。此外,通过晶体管 2704 将电源电势 VSS 提供给节点 N271,使得节点 N271 的电势变成等于电源电势 VSS。因此,晶体管 2702 和晶体管 2706 保持截止。

[0389] 此外,由于通过晶体管 2703 将电源电势 VSS 提供给线路 2714,线路 2714 的电势保持等于电源电势 VSS。

[0390] 通过上述操作,在时段 T1 中图 27 中的触发电路将处于 H 电平的节点 N271 保持在浮置状态中。在时段 T2 中,图 27 中的触发电路通过引导操作将节点 N271 的电势设定为等于或高于 $VDD+V_{th2702}$,从而能够将线路 2714 的电势设定为等于电源电势 VDD。

[0391] 此外,在时段 T3a 中,图 27 中的触发电路导通晶体管 2703 和晶体管 2704,并将电源电势 VSS 提供给线路 2714 和节点 N271。在时段 T4 中,图 27 中的触发电路截止晶体管 2703 和晶体管 2704。因此,由于图 27 中的触发电路依次导通晶体管 2703 和晶体管 2704,其能够抑制晶体管 2703 和晶体管 2704 的特性劣化,从而能够将节点 N271 和线路 2714 每者的电势稳定地保持在等于电源电势 VSS。

[0392] 此外,图 27 中的触发电路不包括在所有的时段 T1 到 T4 中都导通的晶体管。亦即,图 27 中的触发电路不包括总是或几乎总是导通的晶体管。因此,图 27 中的触发电路能够抑制晶体管的特性劣化和由于特性劣化导致的阈值电压漂移。

[0393] 此外,由非晶硅形成的晶体管的特性容易劣化。因此,当图 27 中的触发电路中包括的晶体管是由非晶硅形成时,不仅能够获得诸如制造成本减少和成品率提高的益处,而且可以解决晶体管特性劣化的问题。

[0394] 这里,描述晶体管 2701 到 2708 的功能。晶体管 2701 具有开关的功能,其根据线路 2712 的电势选择是否连接线路 2709 和节点 N271。晶体管 2702 具有开关的功能,其根据节点 N271 的电势选择是否连接线路 2711 和线路 2714。晶体管 2703 具有开关的功能,其根据节点 N272 的电势选择是否连接线路 2710 和线路 2714。晶体管 2704 具有开关的功能,其根据节点 N272 的电势选择是否连接线路 2710 和节点 N271。晶体管 2705 具有二极管的功

能,其中第一端子和栅极对应于输入端子,第二端子对应于输出端子。晶体管 2706 具有开关的功能,其根据节点 N271 的电势选择是否连接线路 2710 和节点 N272。晶体管 2707 具有开关的功能,其根据线路 2711 的电势选择是否连接线路 2710 和节点 N272。晶体管 2708 具有开关的功能,其根据线路 2713 的电势选择是否连接线路 2710 和节点 N271。

[0395] 注意,由晶体管 2705、晶体管 2706 和晶体管 2707 构成了两输入或非电路,其中节点 N271 和线路 2711 对应于输入端子,节点 N272 对应于输出端子。

[0396] 注意,晶体管 2705 可以是任何元件,只要其具有电阻成分。例如,如图 34 所示,可以用电阻器 3401 代替晶体管 2705。利用电阻器 3401,能够将节点 N272 的电势设定为等于电源电势 VDD。

[0397] 注意,如图 35 所示,可以在晶体管 2702 的栅极(节点 N271)和第二端子(线路 2714)之间提供电容器 3501。这是因为在时段 T2 中通过引导操作升高了节点 N271 的电势和线路 2714 的电势,使得触发电路能够容易地通过校验电容器 3501 而执行引导操作。

[0398] 注意,只需要晶体管 2701 在时段 T1 中使节点 N271 进入浮置状态以便节点 N271 的电势变成 H 电平。因此,即使在晶体管 2701 的第一端子连接到线路 2712 时,晶体管 2701 也能够使节点 N271 进入浮置状态,以便节点 N271 的电势变成 H 电平。

[0399] 接着,参考图 44 描述图 27 中所示的触发电路由 P 沟道晶体管构成的情形。

[0400] 图 44 为将实施模式 1 中所述的图 13A 中的基本电路用于其的触发电路的例子。图 44 中的触发电路包括晶体管 4401、晶体管 4402、晶体管 4403、晶体管 4404、晶体管 4405、晶体管 4406、晶体管 4407 和晶体管 4408。

[0401] 注意,晶体管 4405 对应于图 13A 中的晶体管 1301,晶体管 4407 对应于图 13A 中的晶体管 1302,晶体管 4406 对应于图 13A 中的晶体管 1303。此外,晶体管 4403 和晶体管 4404 对应于图 13A 中的晶体管 1304。

[0402] 描述图 44 中的触发电路的连接关系。注意,晶体管 4401 的第二端子、晶体管 4408 的第二端子、晶体管 4406 的栅极、晶体管 4404 的第二端子和晶体管 4402 的栅极的节点由 N441 表示。此外,晶体管 4405 的第二端子、晶体管 4406 的第二端子、晶体管 4407 的第二端子、晶体管 4403 的栅极和晶体管 4404 的栅极的节点由 N442 表示。

[0403] 晶体管 4401 的栅极连接到线路 4412,晶体管 4401 的第一端子连接到线路 4409,晶体管 4401 的第二端子连接到节点 N441。晶体管 4408 的栅极连接到线路 4413,晶体管 4408 的第一端子连接到线路 4410,晶体管 4408 的第二端子连接到节点 N441。晶体管 4405 的栅极连接到线路 4409,晶体管 4405 的第一端子连接到线路 4409,晶体管 4405 的第二端子连接到节点 N442。晶体管 4406 的栅极连接到节点 N441,晶体管 4406 的第一端子连接到线路 4410,晶体管 4406 的第二端子连接到节点 N442。晶体管 4407 的栅极连接到线路 4411,晶体管 4407 的第一端子连接到线路 4410,晶体管 4407 的第二端子连接到节点 N442。晶体管 4404 的栅极连接到节点 N442,晶体管 4404 的第一端子连接到线路 4410,晶体管 4404 的第二端子连接到节点 N441。晶体管 4403 的栅极连接到节点 N442,晶体管 4403 的第一端子连接到线路 4410,晶体管 4403 的第二端子连接到线路 4414。晶体管 4402 的栅极连接到节点 N441,晶体管 4402 的第一端子连接到线路 4411,晶体管 4402 的第二端子连接到线路 4414。

[0404] 此外,晶体管 4401 到 4408 的每个都是 P 沟道晶体管。

[0405] 因此,由于可以仅使用 P 沟道晶体管形成图 44 中的触发电路,因此不需要形成 N 沟道晶体管的步骤。于是,在图 44 中的触发电路中,可以简化制造工艺,从而能够降低制造成本并能够提高成品率。

[0406] 此外,将电源电势 VDD 提供给线路 4410,将电源电势 VSS 提供给线路 4409。注意,电源电势 VDD 高于电源电势 VSS。还要注意,可以将数字信号、模拟信号等提供给线路 4409 和线路 4410 的每个,或者可以将另一电源电势提供给它们。

[0407] 此外,将信号提供给线路 4411、线路 4412 和线路 4413 的每个。注意,提供给线路 4411、线路 4412 和线路 4413 的每个的信号为二元数字信号。还要注意,可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 4411、线路 4412 和线路 4413 的每一个。或者,可以将模拟信号提供给线路 4411、线路 4412 和线路 4413 的每个。

[0408] 接着,参考图 45 描述图 44 中所示的触发电路的运行。

[0409] 图 45 为图 44 所示的触发电路的时间图的例子。图 45 中的时间图示出了线路 4411 的电势、线路 4412 的电势、节点 N441 的电势、节点 N442 的电势、线路 4414 的电势、晶体管 4403 和晶体管 4404 的导通 / 截止关系和线路 4413 的电势。

[0410] 通过将整个时段分成时段 T1 到 T4 来描述图 44 中的时间图。此外,通过将整个时段分成时段 T3a 和时段 T3b 描述时段 T3。

[0411] 注意,在除了时段 T1、T2 和 T3b 之外的时段中依次重复时段 T3a 和时段 T4。

[0412] 首先,描述时段 T1 中的运行。在时段 T1 中,将 H 电平信号提供给线路 4411,将 L 电平信号提供给线路 4412 并将 H 电平信号提供给线路 4413。

[0413] 因此,晶体管 4401 导通,晶体管 4408 和晶体管 4407 截止。此时,通过晶体管 4401 将电源电势 VSS 提供给节点 N441,使得节点 N441 的电势降低。此外,晶体管 4406 被节点 N441 的电势的降低导通,使得节点 N442 的电势升高。此外,晶体管 4403 和晶体管 4404 被节点 N442 的电势的升高截止。

[0414] 这里,节点 N441 的电势一直下降到晶体管 4401 截止为止。当节点 N441 的电势变成电源电势 VSS 和晶体管 4401 的阈值电压 V_{th4401} 的绝对值之和($VSS + |V_{th4401}|$)时,晶体管 4401 截止。因此,节点 N441 的电势变成 $VSS + |V_{th4401}|$ 。此外,节点 N441 变成浮置状态。

[0415] 因此,晶体管 4402 导通。此外,由于线路 4411 的 H 电平信号被提供给线路 4414,线路 4414 的电势变成等于电源电势 VDD。

[0416] 接着,描述时段 T2 中的运行。在时段 T2 中,将 L 电平信号提供给线路 4411,将 H 电平信号提供给线路 4412 并将 H 电平信号提供给线路 4413。

[0417] 因此,晶体管 4401 截止,晶体管 4408 保持截止且晶体管 4407 导通。此时,节点 N441 处于浮置状态,节点 N441 的电势保持在 $VSS + |V_{th4401}|$ 。此外,节点 N442 的电势保持在 H 电平,因为晶体管 4406 和晶体管 4407 是导通的。于是,由于节点 N442 处于 H 电平,晶体管 4403 和晶体管 4404 保持截止。

[0418] 这里,节点 N441 处于浮置状态并保持在 L 电平。此外,由于节点 N441 保持在 L 电平,晶体管 4402 保持导通。此外,由于线路 4411 的 L 电平信号被提供给线路 4414,线路 4414 的电势降低。因此,节点 N441 的电势通过引导操作变成等于或低于电源电势 VSS 减去晶体管 4402 的阈值电压 V_{th4402} 的绝对值所得的值($VSS - |V_{th4402}|$),使得线路 4414 的电

势变成等于电源电势 VSS。

[0419] 接着,描述时段 T3b 中的运行。在时段 T3b 中,将 H 电平信号提供给线路 4411,将 H 电平信号提供给线路 4412 并将 L 电平信号提供给线路 4413。

[0420] 因此,晶体管 4401 保持截止,晶体管 4408 导通且晶体管 4407 截止。此时,通过晶体管 4408 将电源电势 VDD 提供给节点 N441,使得节点 N441 的电势升高。此外,晶体管 4406 被节点 N441 的电势的升高截止,使得节点 N442 的电势降低。此外,晶体管 4403 和晶体管 4404 被节点 N442 的电势的降低导通。

[0421] 此外,晶体管 4402 被节点 N441 的电势的升高截止。因此,由于通过晶体管 4403 将电源电势 VDD 提供给线路 4414,线路 4414 的电势变成等于电源电势 VDD。

[0422] 接着,描述时段 T4 中的运行。在时段 T4 中,将 L 电平信号提供给线路 4411,将 H 电平信号提供给线路 4412 并将 H 电平信号提供给线路 4413。

[0423] 因此,晶体管 4401 保持截止,晶体管 4408 截止且晶体管 4407 导通。此时,节点 N441 变成浮置状态,且节点 N441 的电势保持在电源电势 VDD。于是,晶体管 4406 和晶体管 4402 截止。此外,节点 N442 的电势变成 H 电平,因为通过晶体管 4407 将电源电势 VDD 提供给它。因此,晶体管 4403 和晶体管 4404 截止。

[0424] 因此,线路 4414 变成浮置状态,且线路 4414 的电势保持等于电源电势 VDD。

[0425] 接着,描述时段 T3a 中的运行。在时段 T3a 中,将 H 电平信号提供给线路 4411,将 H 电平信号提供给线路 4412 并将 H 电平信号提供给线路 4413。

[0426] 因此,晶体管 4401 和晶体管 4408 保持截止,晶体管 4407 截止。此时,由于晶体管 4407 截止,节点 N442 的电势降低。于是,晶体管 4403 和晶体管 4404 导通。此外,通过晶体管 4404 将电源电势 VDD 提供给节点 N441,使得节点 N441 的电势变成等于电源电势 VDD。因此,晶体管 4402 和晶体管 4406 保持截止。

[0427] 此外,由于通过晶体管 4403 将电源电势 VDD 提供给线路 4414,线路 4414 的电势保持等于电源电势 VDD。

[0428] 通过上述操作,在时段 T1 中图 44 中的触发电路将处于 H 电平的节点 N441 保持在浮置状态中。在时段 T2 中,图 44 中的触发电路通过引导操作将节点 N441 的电势设定为等于或低于 $VSS - |V_{th4402}|$,从而能够将线路 4414 的电势设定为等于电源电势 VSS。

[0429] 此外,在时段 T3a 中,图 44 中的触发电路导通晶体管 4403 和晶体管 4404,并将电源电势 VDD 提供给线路 4414 和节点 N441。在时段 T4 中,图 44 中的触发电路截止晶体管 4403 和晶体管 4404。因此,由于图 44 中的触发电路依次导通晶体管 4403 和晶体管 4404,其能够抑制晶体管 4403 和晶体管 4404 的特性劣化,从而能够将节点 N441 和线路 4414 每者的电势稳定地保持在等于电源电势 VDD。

[0430] 此外,图 44 中的触发电路不包括在所有的时段 T1 到 T4 中都导通的晶体管。亦即,图 44 中的触发电路不包括总是或几乎总是导通的晶体管。因此,图 44 中的触发电路能够抑制晶体管的特性劣化和由于特性劣化导致的阈值电压漂移。

[0431] 注意,晶体管 4401 到 4408 具有类似于晶体管 2701 到 2708 的功能。

[0432] 注意,由晶体管 4405 到 4407 构成了两输入与非电路,其中节点 N441 和线路 4411 对应于输入端子,节点 N442 对应于输出端子。

[0433] 注意,晶体管 4405 可以是任何元件,只要其具有电阻成分。例如,如图 46 所示,可

以用电阻器 4601 代替晶体管 4405。利用电阻器 4601, 能够将节点 N442 的电势设定为等于电源电势 VSS。

[0434] 注意, 如图 47 所示, 可以在晶体管 4402 的栅极(节点 N441) 和第二端子(线路 4414)之间提供电容器 4701。这是因为在时段 T2 中通过引导操作升高了节点 N441 的电势和线路 4414 的电势, 使得触发电路能够容易地通过校验电容器 4701 而执行引导操作。

[0435] 注意, 只需要晶体管 4401 在时段 T1 中使节点 N441 进入浮置状态以便节点 N441 的电势变成 L 电平。因此, 即使在晶体管 4401 的第一端子连接到线路 4412 时, 晶体管 4401 也能够使节点 N441 进入浮置状态, 以便节点 N441 的电势变成 L 电平。

[0436] 注意, 可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外, 可以将在本实施模式中的描述的诸部分彼此组合。

[0437] (实施模式 6)

[0438] 在本实施模式中, 参考图 36 描述将实施模式 2 中所述的基本电路用于触发电路的情形。

[0439] 图 36 为将实施模式 2 中所述的图 5A 中的基本电路用于其的触发电路的例子。图 36 中的触发电路包括晶体管 3600、晶体管 3601、晶体管 3602、晶体管 3603、晶体管 3604、晶体管 3605、晶体管 3606、晶体管 3607 和晶体管 3608、晶体管 3609 和晶体管 3610。

[0440] 注意, 晶体管 3605 对应于图 5A 中的晶体管 501, 晶体管 3607 对应于图 5A 中的晶体管 502, 晶体管 3606 对应于图 5A 中的晶体管 503, 晶体管 3608 对应于图 5A 中的晶体管 504, 晶体管 3610 对应于图 5A 中的晶体管 505, 晶体管 3609 对应于图 5A 中的晶体管 506。此外, 晶体管 3603 和晶体管 3604 对应于图 5A 中的晶体管 507。

[0441] 描述图 36 中的触发电路的连接关系。注意, 晶体管 3601 的第二端子、晶体管 3600 的第二端子、晶体管 3606 的栅极、晶体管 3604 的第二端子和晶体管 3602 的栅极的节点由 N361 表示。此外, 晶体管 3605 的第二端子、晶体管 3606 的第二端子、晶体管 3607 的第二端子和晶体管 3608 的栅极的节点由 N362 表示。此外, 晶体管 3609 的第二端子、晶体管 3608 的第二端子、晶体管 3610 的第二端子、晶体管 3603 的栅极和晶体管 3604 的栅极的节点由 N363 表示。

[0442] 晶体管 3601 的栅极连接到线路 3614, 晶体管 3601 的第一端子连接到线路 3611, 晶体管 3601 的第二端子连接到节点 N361。晶体管 3600 的栅极连接到线路 3615, 晶体管 3600 的第一端子连接到线路 3612, 晶体管 3600 的第二端子连接到节点 N361。晶体管 3606 的栅极连接到节点 N361, 晶体管 3606 的第一端子连接到线路 3612, 晶体管 3606 的第二端子连接到节点 N362。晶体管 3605 的栅极连接到线路 3611, 晶体管 3605 的第一端子连接到线路 3611, 晶体管 3605 的第二端子连接到节点 N362。晶体管 3607 的栅极连接到线路 3613, 晶体管 3607 的第一端子连接到线路 3612, 晶体管 3607 的第二端子连接到节点 N362。晶体管 3608 的栅极连接到节点 N362, 晶体管 3608 的第一端子连接到线路 3611, 晶体管 3608 的第二端子连接到节点 N363。晶体管 3609 的栅极连接到节点 N361, 晶体管 3609 的第一端子连接到线路 3612, 晶体管 3609 的第二端子连接到节点 N363。晶体管 3610 的栅极连接到线路 3613, 晶体管 3610 的第一端子连接到线路 3612, 晶体管 3610 的第二端子连接到节点 N363。晶体管 3604 的栅极连接到节点 N363, 晶体管 3604 的第一端子连接到线路 3612, 晶体管 3604 的第二端子连接到节点 N361。晶体管 3603 的栅极连接到节点 N363, 晶体管 3603

的第一端子连接到线路 3612, 晶体管 3603 的第二端子连接到线路 3616。晶体管 3602 的栅极连接到节点 N361, 晶体管 3602 的第一端子连接到线路 3613, 晶体管 3602 的第二端子连接到线路 3616。

[0443] 此外, 晶体管 3600 到 3610 的每个都是 N 沟道晶体管。

[0444] 因此, 因为可以仅使用 N 沟道晶体管形成图 36 中的触发电路, 可以将非晶硅用于图 36 中的触发电路的半导体层。于是, 能够简化制造工艺, 从而能够降低制造成本且能够提高成品率。此外, 还能够形成诸如大型显示屏板的半导体装置。此外, 当将多晶硅或单晶硅用于图 36 中的触发电路的半导体层时, 还可以简化制造工艺。

[0445] 此外, 将电源电势 VDD 提供给线路 3611, 将电源电势 VSS 提供给线路 3612。注意, 电源电势 VDD 高于电源电势 VSS。还要注意, 可以将数字信号、模拟信号等提供给线路 3611 和线路 3612 的每个, 或者可以将另一电源电势提供给它们。

[0446] 此外, 将信号提供给线路 3613、线路 3614 和线路 3615 的每个。注意, 提供给线路 3613、线路 3614 和线路 3615 的每个的信号为二元数字信号。还要注意, 可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 3613、线路 3614 和线路 3615 的每一个。或者, 可以将模拟信号提供给线路 3613、线路 3614 和线路 3615 的每个。

[0447] 接着, 参考图 37 描述图 36 中所示的触发电路的运行。

[0448] 图 37 为图 36 所示的触发电路的时间图的例子。图 37 中的时间图示出了线路 3613 的电势、线路 3614 的电势、节点 N361 的电势、节点 N362 的电势、节点 N363 的电势、线路 3616 的电势、晶体管 3603 和晶体管 3604 的导通 / 截止关系、线路 3615 的电势。

[0449] 通过将整个时段分成时段 T1 到 T4 来描述图 37 中的时间图。此外, 通过将整个时段分成时段 T3a 和时段 T3b 描述时段 T3。

[0450] 注意, 在除了时段 T1、T2 和 T3b 之外的时段中依次重复时段 T3a 和时段 T4。

[0451] 首先, 描述时段 T1 中的运行。在时段 T1 中, 将 L 电平信号提供给线路 3613, 将 H 电平信号提供给线路 3614 并将 L 电平信号提供给线路 3615。

[0452] 因此, 晶体管 3601 导通, 晶体管 3600、晶体管 3607 和晶体管 3610 截止。此时, 通过晶体管 3601 将电源电势 VDD 提供给节点 N361, 使得节点 N361 的电势升高。此外, 晶体管 3606 和晶体管 3609 被节点 N361 的电势的升高导通, 使得节点 N362 和节点 N363 的电势降低。此外, 晶体管 3608 被节点 N362 的电势的降低截止。此外, 晶体管 3603 和晶体管 3604 被节点 N363 的电势的降低截止。

[0453] 这里, 节点 N361 的电势一直上升到晶体管 3601 截止为止。当节点 N361 的电势变成电源电势 VDD 减去晶体管 3601 的阈值电压 V_{th3601} 所得的值 ($v_{dd}-V_{th3601}$) 时, 晶体管 3601 截止。因此, 节点 N361 的电势变成 $V_{DD}-V_{th3601}$ 。此外, 节点 N361 变成浮置状态。

[0454] 因此, 晶体管 3602 导通。此外, 由于线路 3613 的 L 电平信号被提供给线路 3616, 线路 3616 的电势变成等于电源电势 VSS。

[0455] 接着, 描述时段 T2 中的运行。在时段 T2 中, 将 H 电平信号提供给线路 3613, 将 L 电平信号提供给线路 3614 并将 L 电平信号提供给线路 3615。

[0456] 因此, 晶体管 3601 截止, 晶体管 3600 保持截止, 且晶体管 3607 和晶体管 3610 导通。此时, 节点 N361 处于浮置状态, 节点 N361 的电势保持在 $V_{DD}-V_{th3601}$ 。此外, 节点 N362 的电势保持在 L 电平, 因为晶体管 3606 和晶体管 3607 是导通的。此外, 节点 N363 的电势

保持在 L 电平,因为晶体管 3609 和晶体管 3610 是导通的。于是,由于节点 N363 处于 L 电平,晶体管 3603 和晶体管 3604 保持截止。

[0457] 这里,节点 N361 处于浮置状态并保持在 H 电平。此外,由于节点 N361 保持在 H 电平,晶体管 3602 保持导通。此外,由于线路 3613 的 H 电平信号被提供给线路 3616,线路 3616 的电势升高。因此,由于通过引导操作节点 N361 的电势变成等于或高于电源电势 VDD 和晶体管 3602 的阈值电压 V_{th3602} 之和 ($VDD+V_{th3602}$),因此线路 3616 的电势变成等于电源电势 VDD。

[0458] 接着,描述时段 T3b 中的运行。在时段 T3b 中,将 L 电平信号提供给线路 3613,将 L 电平信号提供给线路 3614 并将 H 电平信号提供给线路 3615。

[0459] 因此,晶体管 3601 保持截止,晶体管 3600 导通,晶体管 3607 和晶体管 3610 截止。此时,通过晶体管 3600 将电源电势 VSS 提供给节点 N361,使得节点 N361 的电势降低。此外,晶体管 3606 和晶体管 3607 被节点 N361 的电势的降低截止。因此,通过引导操作升高节点 N362 和节点 N363 的电势。节点 N362 的电势升高到等于或高于电源电势 VDD 和晶体管 3608 的阈值电压 V_{th3608} 之和 ($VDD+V_{th3608}$)。节点 N363 的电势升高到电源电势 VDD。因此,晶体管 3603 和晶体管 3604 被节点 N363 的电势的升高导通。

[0460] 此外,晶体管 3602 被节点 N361 的电势的降低截止。因此,由于通过晶体管 3603 将电源电势 VSS 提供给线路 3616,线路 3616 的电势变成等于电源电势 VSS。

[0461] 接着,描述时段 T4 中的运行。在时段 T4 中,将 H 电平信号提供给线路 3613,将 L 电平信号提供给线路 3614 并将 L 电平信号提供给线路 3615。

[0462] 因此,晶体管 3601 保持截止,晶体管 3600 截止,晶体管 3607 和晶体管 3610 导通。此时,节点 N361 处于浮置状态,且节点 N361 的电势保持在电源电势 VSS。于是,晶体管 3602、3606 和 3609 保持截止。此外,节点 N362 的电势变成 L 电平,因为通过晶体管 3607 向其提供了电源电势 VSS。此外,节点 N363 的电势变成 L 电平,因为通过晶体管 3610 向其提供了电源电势 VSS。因此,晶体管 3603 和晶体管 3604 截止。

[0463] 因此,线路 3616 变成浮置状态,且线路 3616 的电势保持等于电源电势 VSS。

[0464] 接着,描述时段 T3a 中的运行。在时段 T3a 中,将 L 电平信号提供给线路 3613,将 L 电平信号提供给线路 3614 并将 L 电平信号提供给线路 3615。

[0465] 因此,晶体管 3601 和晶体管 3600 保持截止,晶体管 3607 和晶体管 3610 截止。此时,节点 N361 处于浮置状态,节点 N361 的电势保持在 L 电平。于是,晶体管 3602、3606 和 3609 保持截止。此外,通过引导操作升高节点 N362 和节点 N363 的电势。节点 N362 的电势升高到等于或高于电源电势 VDD 和晶体管 3608 的阈值电压 V_{th3608} 之和 ($VDD+V_{th3608}$)。节点 N363 的电势升高到电源电势 VDD。因此,晶体管 3603 和晶体管 3604 被节点 N363 的电势的升高导通。

[0466] 因此,由于通过晶体管 3603 将电源电势 VSS 提供给线路 3616,线路 3616 的电势保持等于电源电势 VSS。

[0467] 通过上述操作,在时段 T1 中图 36 中的触发电路将处于 H 电平的节点 N361 保持在浮置状态中。在时段 T2 中,图 36 中的触发电路通过引导操作将节点 N361 的电势设定为等于或高于 $VDD+V_{th3602}$,使得线路 3616 的电势等于电源电势 VDD。

[0468] 此外,在时段 T3a 中,图 36 中的触发电路导通晶体管 3603 和晶体管 3604,并将电

源电势 VSS 提供给线路 3616 和节点 N361。在时段 T4 中,图 36 中的触发电路截止晶体管 3603 和晶体管 3604。因此,由于图 36 中的触发电路依次导通晶体管 3603 和晶体管 3604,其能够抑制晶体管 3603 和晶体管 3604 的特性劣化,从而能够将节点 N361 和线路 3616 每者的电势稳定地保持在等于电源电势 VSS。

[0469] 此外,图 36 中的触发电路能够在时段 T3 和 T3b 中将节点 N363 的电势设定为等于电源电势 VDD。因此,即使在晶体管 3603 和晶体管 3604 的特性劣化时,也能够宽范围的工作条件下操作图 36 中的触发电路。

[0470] 此外,图 36 中的触发电路不包括在所有的时段 T1 到 T4 中都导通的晶体管。亦即,图 36 中的触发电路不包括总是或几乎总是导通的晶体管。因此,图 36 中的触发电路能够抑制晶体管的特性劣化和由于特性劣化导致的阈值电压漂移。

[0471] 此外,由非晶硅形成的晶体管的特性容易劣化。因此,当图 36 中的触发电路中包括的晶体管是由非晶硅形成时,不仅能够获得诸如制造成本减少和成品率提高的益处,而且可以解决晶体管特性劣化的问题。

[0472] 这里,描述晶体管 3600 到 3610 的功能。晶体管 3600 具有开关的功能,其根据线路 3615 的电势选择是否连接线路 3612 和节点 N361。晶体管 3601 具有开关的功能,其根据线路 3614 的电势选择是否连接线路 3611 和节点 N361。晶体管 3602 具有开关的功能,其根据节点 N361 的电势选择是否连接线路 3613 和线路 3616。晶体管 3603 具有开关的功能,其根据节点 N363 的电势选择是否连接线路 3612 和线路 3616。晶体管 3604 具有开关的功能,其根据节点 N363 的电势选择是否连接线路 3612 和节点 N361。晶体管 3605 具有二极管的功能,其中第一端子和栅极对应于输入端子,第二端子对应于输出端子。晶体管 3606 具有开关的功能,其根据节点 N361 的电势选择是否连接线路 3612 和节点 N362。晶体管 3607 具有开关的功能,其根据线路 3613 的电势选择是否连接线路 3612 和节点 N362。晶体管 3608 具有开关的功能,其根据节点 N362 的电势选择是否连接线路 3611 和节点 N363。晶体管 3609 具有开关的功能,其根据节点 N361 的电势选择是否连接线路 3612 和节点 N363。晶体管 3610 具有开关的功能,其根据线路 3613 的电势选择是否连接线路 3612 和节点 N363。

[0473] 注意,由晶体管 3605 到 3610 构成了两输入或非电路,其中节点 N361 和线路 3613 对应于输入端子,节点 N363 对应于输出端子。

[0474] 注意,如图 38 所示,可以在晶体管 3608 的栅极(节点 N362)和第二端子(节点 N363)之间提供电容器 3801。这是因为在时段 T3a 和 T3b 中由引导操作升高了节点 N362 的电势和节点 N363 的电势,使得触发电路能够通过校验电容器 3801 执行引导操作。

[0475] 注意,如图 39 所示,不必一定提供晶体管 3607。

[0476] 注意,如图 40 所示,可以在晶体管 3602 的栅极(节点 N361)和第二端子(线路 3616)之间提供电容器 4111。这是因为在时段 T2 中通过引导操作升高了节点 N361 的电势和线路 3616 的电势,使得触发电路能够通过校验电容器 4111 而执行引导操作。

[0477] 注意,只需要晶体管 3601 在时段 T1 中使节点 N361 进入浮置状态以便节点 N361 的电势变成 H 电平。因此,即使在晶体管 3601 的第一端子连接到线路 3614 时,晶体管 3601 也能够使节点 N361 进入浮置状态,以便节点 N361 的电势变成 H 电平。

[0478] 接着,参考图 48 描述图 36 中所示的触发电路由 P 沟道晶体管构成的情形。

[0479] 图 48 为将实施模式 2 中所述的图 17A 中的基本电路用于其的触发电路的例子。图

48 中的触发电路包括晶体管 4800、晶体管 4801、晶体管 4802、晶体管 4803、晶体管 4804、晶体管 4805、晶体管 4806、晶体管 4807、晶体管 4808、晶体管 4809 和晶体管 4810。

[0480] 注意,晶体管 4805 对应于图 17A 中的晶体管 1701,晶体管 4807 对应于图 17A 中的晶体管 1702,晶体管 4806 对应于图 17A 中的晶体管 1703,晶体管 4808 对应于图 17A 中的晶体管 1704,晶体管 4810 对应于图 17A 中的晶体管 1705,且晶体管 4809 对应于图 17A 中的晶体管 1706。此外,晶体管 4803 和晶体管 4804 对应于图 17A 中的晶体管 1707。

[0481] 描述图 48 中的触发电路的连接关系。注意,晶体管 4801 的第二端子、晶体管 4800 的第二端子、晶体管 4806 的栅极、晶体管 4804 的第二端子和晶体管 4802 的栅极的节点由 N481 表示。此外,晶体管 4805 的第二端子、晶体管 4806 的第二端子、晶体管 4807 的第二端子和晶体管 4808 的栅极的节点由 N482 表示。此外,晶体管 4809 的第二端子、晶体管 4808 的第二端子、晶体管 4810 的第二端子、晶体管 4803 的栅极和晶体管 4804 的栅极的节点由 N483 表示。

[0482] 晶体管 4801 的栅极连接到线路 4814,晶体管 4801 的第一端子连接到线路 4811,晶体管 4801 的第二端子连接到节点 N481。晶体管 4800 的栅极连接到线路 4815,晶体管 4800 的第一端子连接到线路 4812,晶体管 4800 的第二端子连接到节点 N481。晶体管 4806 的栅极连接到节点 N481,晶体管 4806 的第一端子连接到线路 4812,晶体管 4806 的第二端子连接到节点 N482。晶体管 4805 的栅极连接到线路 4811,晶体管 4805 的第一端子连接到线路 4811,晶体管 4805 的第二端子连接到节点 N482。晶体管 4807 的栅极连接到线路 4813,晶体管 4807 的第一端子连接到线路 4812,晶体管 4807 的第二端子连接到节点 N482。晶体管 4808 的栅极连接到节点 N482,晶体管 4808 的第一端子连接到线路 4811,晶体管 4808 的第二端子连接到节点 N483。晶体管 4809 的栅极连接到节点 N481,晶体管 4809 的第一端子连接到线路 4812,晶体管 4809 的第二端子连接到节点 N483。晶体管 4810 的栅极连接到线路 4813,晶体管 4810 的第一端子连接到线路 4812,晶体管 4810 的第二端子连接到节点 N483。晶体管 4804 的栅极连接到节点 N483,晶体管 4804 的第一端子连接到线路 4812,晶体管 4804 的第二端子连接到节点 N481。晶体管 4803 的栅极连接到节点 N483,晶体管 4803 的第一端子连接到线路 4812,晶体管 4803 的第二端子连接到线路 4816。晶体管 4802 的栅极连接到节点 N481,晶体管 4802 的第一端子连接到线路 4813,晶体管 4802 的第二端子连接到线路 4816。

[0483] 此外,晶体管 4800 到 4810 的每个都是 P 沟道晶体管。

[0484] 因此,由于可以仅使用 P 沟道晶体管形成图 48 中的触发电路,因此不需要形成 N 沟道晶体管的步骤。于是,在图 48 中的触发电路中,可以简化制造工艺,从而能够降低制造成本并能够提高成品率。

[0485] 此外,将电源电势 VDD 提供给线路 4812,将电源电势 VSS 提供给线路 4811。注意,电源电势 VDD 高于电源电势 VSS。还要注意,可以将数字信号、模拟信号等提供给线路 4811 和线路 4812 的每个,或者可以将另一电源电势提供给它们。

[0486] 此外,将信号提供给线路 4813、线路 4814 和线路 4815 的每个。注意,提供给线路 4813、线路 4814 和线路 4815 的每个的信号为二元数字信号。还要注意,可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 4813、线路 4814 和线路 4815 的每一个。或者,可以将模拟信号提供给线路 4813、线路 4814 和线路 4815 的每个。

[0487] 接着,参考图 49 描述图 48 中所示的触发电路的运行。

[0488] 图 49 为图 48 所示的触发电路的时间图的例子。图 49 中的时间图示出了线路 4813 的电势、线路 4814 的电势、节点 N481 的电势、节点 N482 的电势、节点 N483 的电势、线路 4816 的电势、晶体管 4803 和晶体管 4804 的导通 / 截止关系、线路 4815 的电势。

[0489] 通过将整个时段分成时段 T1 到 T4 来描述图 48 中的时间图。此外,通过将整个时段分成时段 T3a 和时段 T3b 描述时段 T3。

[0490] 注意,在除了时段 T1、T2 和 T3b 之外的时段中依次重复时段 T3a 和时段 T4。

[0491] 首先,描述时段 T1 中的运行。在时段 T1 中,将 H 电平信号提供给线路 4813,将 L 电平信号提供给线路 4814 并将 H 电平信号提供给线路 4815。

[0492] 因此,晶体管 4801 导通,晶体管 4800、4807 和 4810 截止。此时,通过晶体管 4801 将电源电势 VSS 提供给节点 N481,使得节点 N481 的电势降低。此外,晶体管 4806 和晶体管 4809 被节点 N481 的电势的降低导通,使得节点 N482 和节点 N483 的电势升高。此外,晶体管 4808 被节点 N482 的电势的升高截止。此外,晶体管 4803 和晶体管 4804 被节点 N483 的电势的升高截止。

[0493] 这里,节点 N481 的电势一直下降到晶体管 4801 截止为止。当节点 N481 的电势变成电源电势 VSS 和晶体管 4801 的阈值电压 V_{th4801} 的绝对值之和($VSS+|V_{th4801}|$)时,晶体管 4801 截止。因此,节点 N481 的电势变成 $VSS+|V_{th4801}|$,使得节点 N481 变成浮置状态。

[0494] 因此,晶体管 4802 导通。此外,由于线路 4813 的 H 电平信号被提供给线路 4816,线路 4816 的电势变成等于电源电势 VDD。

[0495] 接着,描述时段 T2 中的运行。在时段 T2 中,将 L 电平信号提供给线路 4813,将 H 电平信号提供给线路 4814 并将 H 电平信号提供给线路 4815。

[0496] 因此,晶体管 4801 截止,晶体管 4800 保持截止,晶体管 4807 和晶体管 4810 导通。此时,节点 N481 处于浮置状态,节点 N481 的电势保持在 $VSS+|V_{th4801}|$ 。此外,节点 N482 的电势保持在 H 电平,因为晶体管 4806 和晶体管 4807 是导通的。此外,节点 N483 的电势保持在 H 电平,因为晶体管 4809 和晶体管 4810 是导通的。于是,由于节点 N483 处于 H 电平,晶体管 4803 和晶体管 4804 保持截止。

[0497] 这里,节点 N481 处于浮置状态并保持在 L 电平。此外,由于节点 N481 保持在 L 电平,晶体管 4802 保持导通。此外,由于线路 4813 的 L 电平信号被提供给线路 4816,线路 4816 的电势降低。因此,节点 N481 的电势通过引导操作变成等于或低于电源电势 VSS 减去晶体管 4802 的阈值电压 V_{th4802} 的绝对值所得的值($VSS-|V_{th4802}|$),使得线路 4816 的电势变成等于电源电势 VSS。

[0498] 接着,描述时段 T3b 中的运行。在时段 T3b 中,将 H 电平信号提供给线路 4813,将 H 电平信号提供给线路 4814 并将 L 电平信号提供给线路 4815。

[0499] 因此,晶体管 4801 保持截止,晶体管 4800 导通,晶体管 4807 和 4810 截止。此时,通过晶体管 4800 将电源电势 VDD 提供给节点 N481,使得节点 N481 的电势升高。此外,晶体管 4806 和晶体管 4807 被节点 N481 的电势的升高截止。因此,通过引导操作降低了节点 N482 的电势和节点 N483 的电势。节点 N482 的电势降低到等于或低于电源电势 VSS 减去晶体管 4808 的阈值电压 V_{th4808} 的绝对值所得的值($VSS-|V_{th4808}|$)。节点 N483 的电势降

低到电源电势 VSS。因此,晶体管 4803 和晶体管 4804 被节点 N483 的电势的降低导通。

[0500] 此外,晶体管 4802 被节点 N481 的电势的升高截止。因此,由于通过晶体管 4803 将电源电势 VDD 提供给线路 4816,线路 4816 的电势变成等于电源电势 VDD。

[0501] 接着,描述时段 T4 中的运行。在时段 T4 中,将 L 电平信号提供给线路 4813,将 H 电平信号提供给线路 4814 并将 H 电平信号提供给线路 4815。

[0502] 因此,晶体管 4801 保持截止,晶体管 4800 截止,晶体管 4807 和 4810 导通。此时,节点 N481 处于浮置状态,节点 N481 的电势保持在电源电势 VDD。于是,晶体管 4802、晶体管 4806 和晶体管 4809 保持截止。此外,节点 N482 的电势变成 H 电平,因为通过晶体管 4807 将电源电势 VDD 提供给它。因此,晶体管 4808 截止。此外,节点 N483 的电势变成 H 电平,因为通过晶体管 4810 将电源电势 VDD 提供给它。因此,晶体管 4803 和晶体管 4804 截止。

[0503] 因此,线路 4816 变成浮置状态,且线路 4816 的电势保持等于电源电势 VDD。

[0504] 接着,描述时段 T3a 中的运行。在时段 T3a 中,将 H 电平信号提供给线路 4813,将 H 电平信号提供给线路 4814 并将 H 电平信号提供给线路 4815。

[0505] 因此,晶体管 4801 和晶体管 4800 保持截止,晶体管 4807 和晶体管 4810 截止。此时,节点 N481 处于浮置状态,节点 N481 的电势保持在 H 电平。于是,晶体管 4802、晶体管 4806 和晶体管 4809 保持截止。因此,通过引导操作降低了节点 N482 的电势和节点 N483 的电势。节点 N482 的电势降低到等于或低于电源电势 VSS 减去晶体管 4808 的阈值电压 V_{th4808} 的绝对值所得的值 ($VSS - |V_{th4808}|$)。节点 N483 的电势降低到电源电势 VSS。因此,晶体管 4803 和晶体管 4804 被节点 N483 的电势的降低导通。

[0506] 此外,由于通过晶体管 4803 将电源电势 VDD 提供给线路 4816,线路 4816 的电势保持等于电源电势 VDD。

[0507] 通过上述操作,在时段 T1 中图 48 中的触发电路将处于 L 电平的节点 N481 保持在浮置状态中。在时段 T2 中,图 48 中的触发电路通过引导操作将节点 N481 的电势设定为等于或低于 $VSS - |V_{th4802}|$,使得线路 4816 的电势等于电源电势 VSS。

[0508] 此外,在时段 T3a 中,图 48 中的触发电路导通晶体管 4803 和晶体管 4804,并将电源电势 VDD 提供给线路 4816 和节点 N481。在时段 T4 中,图 48 中的触发电路截止晶体管 4803 和晶体管 4804。因此,由于图 48 中的触发电路依次导通晶体管 4803 和晶体管 4804,其能够抑制晶体管 4803 和晶体管 4804 的特性劣化,从而能够将节点 N481 和线路 4816 每者的电势稳定地保持在等于电源电势 VDD。

[0509] 此外,图 48 中的触发电路能够在时段 T3a 和 T3b 中将节点 N483 的电势设定为等于电源电势 VSS。因此,即使在晶体管 4803 和晶体管 4804 的特性劣化时,也能够宽范围的工作条件下操作图 48 中的触发电路。

[0510] 此外,图 48 中的触发电路不包括在所有的时段 T1 到 T4 中都导通的晶体管。亦即,图 48 中的触发电路不包括总是或几乎总是导通的晶体管。因此,图 48 中的触发电路能够抑制晶体管的特性劣化和由于特性劣化导致的阈值电压漂移。

[0511] 注意,晶体管 4801 到 4810 具有类似于晶体管 3601 到 3610 的功能。

[0512] 注意,由晶体管 4805 到 4810 构成了两输入与非电路,其中节点 N481 和线路 4813 对应于输入端子,节点 N483 对应于输出端子。

[0513] 注意,如图 50 所示,可以在晶体管 4808 的栅极(节点 N482)和第二端子(节点

N483) 之间提供电容器 5001。这是因为在时段 T3a 和 T3b 中由引导操作降低了节点 N482 的电势和节点 N483 的电势,使得触发电路能够容易地通过校验电容器 5001 执行引导操作。

[0514] 注意,如图 51 所示,不必一定提供晶体管 4807。

[0515] 注意,如图 52 所示,可以在晶体管 4802 的栅极(节点 N481) 和第二端子(线路 4816)之间提供电容器 5201。这是因为在时段 T2 中通过引导操作升高了节点 N481 的电势和线路 4816 的电势,使得触发电路能够容易地通过校验电容器 5201 而执行引导操作。

[0516] 注意,只需要晶体管 4801 在时段 T1 中使节点 N481 进入浮置状态以便节点 N481 的电势变成 L 电平。因此,即使在晶体管 4801 的第一端子连接到线路 4814 时,晶体管 4801 也能够将节点 N481 设定进入浮置状态,以便节点 N481 的电势变成 L 电平。

[0517] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0518] (实施模式 7)

[0519] 在本实施模式中,参考图 56 描述将实施模式 4 中所述的基本电路用于触发电路的情形。

[0520] 图 56 为将实施模式 4 中所述的图 25A 中的基本电路用于其的触发电路的例子。图 56 中的触发电路包括晶体管 5601、晶体管 5602、晶体管 5603、晶体管 5604、晶体管 5605、晶体管 5606、晶体管 5607、晶体管 5608、电路 5608 和电路 5609。

[0521] 注意,作为电路 5608 和电路 5609,可以使用图 27 中的或非电路 2715 和图 36 中的或非电路 3617。

[0522] 描述图 56 中的触发电路的连接关系。注意,晶体管 5601 的第二端子、晶体管 5607 的第二端子、晶体管 5605 的第二端子、晶体管 5606 的第二端子和晶体管 5602 的栅极的节点由 N561 表示。此外,晶体管 5604 的栅极和晶体管 5606 的栅极的节点由 N562 表示。此外,晶体管 5603 的栅极和晶体管 5605 的栅极的节点由 N563 表示。

[0523] 晶体管 5601 的栅极连接到线路 5614,晶体管 5601 的第一端子连接到线路 5610,晶体管 5601 的第二端子连接到节点 N561。晶体管 5607 的栅极连接到线路 5615,晶体管 5607 的第一端子连接到线路 5611,晶体管 5607 的第二端子连接到节点 N561。电路 5608 的两个输入端子分别连接到节点 N561 和线路 5612,电路 5608 的输出端子连接到节点 N562。电路 5609 的两个输入端子分别连接到节点 N561 和线路 5613,电路 5609 的输出端子连接到节点 N563。晶体管 5606 的栅极连接到节点 N562,晶体管 5606 的第一端子连接到线路 5611,晶体管 5606 的第二端子连接到节点 N561。晶体管 5605 的栅极连接到节点 N563,晶体管 5605 的第一端子连接到线路 5611,晶体管 5605 的第二端子连接到节点 N561。晶体管 5604 的栅极连接到节点 N562,晶体管 5604 的第一端子连接到线路 5611,晶体管 5604 的第二端子连接到线路 5616。晶体管 5603 的栅极连接到节点 N563,晶体管 5603 的第一端子连接到线路 5611,晶体管 5603 的第二端子连接到线路 5616。晶体管 5602 的栅极连接到节点 N561,晶体管 5602 的第一端子连接到线路 5613,晶体管 5602 的第二端子连接到线路 5616。

[0524] 此外,晶体管 5601 到 5607 的每个都是 N 沟道晶体管。电路 5608 和电路 5609 中包含的每个晶体管也是 N 沟道晶体管。

[0525] 因此,因为可以仅使用 N 沟道晶体管形成图 56 中的触发电路,可以将非晶硅用于图 56 中的触发电路的半导体层。于是,能够简化制造工艺,从而能够降低制造成本且能够

提高成品率。此外,还能够形成诸如大型显示屏板的半导体装置。此外,当将多晶硅或单晶硅用于图 56 中的触发电路的半导体层时,还可以简化制造工艺。

[0526] 此外,将电源电势 VDD 提供给线路 5610,将电源电势 VSS 提供给线路 5611。注意,电源电势 VDD 高于电源电势 VSS。还要注意,可以将数字信号、模拟信号等提供给线路 5610 和线路 5611 的每个,或者可以将另一电源电势提供给它们。

[0527] 此外,将信号提供给线路 5612、线路 5613、线路 5614 和线路 5615 的每个。注意,提供给线路 5612、线路 5614 和线路 5615 每个的信号是二元数字信号。还要注意,可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 5612、线路 5613、线路 5614 和线路 5615 的每一个。或者,可以将模拟信号提供给线路 5612、线路 5613、线路 5614 和线路 5615 的每个。

[0528] 接着,参考图 57 描述图 56 中所示的触发电路的运行。

[0529] 图 57 为图 56 所示的触发电路的时间图的例子。图 57 中的时间图示出了线路 5612 的电势、线路 5613 的电势、线路 5614 的电势、节点 N561 的电势、节点 N562 的电势、节点 N563 的电势、线路 5616 的电势、晶体管 5604 和晶体管 5606 的导通 / 截止关系、晶体管 5603 和晶体管 5605 的导通 / 截止关系,以及线路 5615 的电势。

[0530] 通过将整个时段分成时段 T1 到 T4 来描述图 57 中的时间图。此外,通过将整个时段分成时段 T3a 和时段 T3b 描述时段 T3。

[0531] 注意,在除了时段 T1、T2 和 T3b 之外的时段中依次重复时段 T3a 和时段 T4。

[0532] 首先,描述时段 T1 中的运行。在时段 T1 中,将 H 电平信号提供给线路 5612,将 L 电平信号提供给线路 5613,将 H 电平信号提供给线路 5614 并将 L 电平信号提供给线路 5615。

[0533] 因此,晶体管 5601 导通且晶体管 5607 截止。此时,通过晶体管 5601 将电源电势 VDD 提供给节点 N561,使得节点 N561 的电势升高。因此,电路 5608 向节点 N562 输出 L 电平信号,晶体管 5604 和晶体管 5606 截止。此外,电路 5609 向节点 N563 输出 L 电平信号,晶体管 5603 和晶体管 5605 截止。

[0534] 注意,节点 N561 的电势一直升高到晶体管 5601 截止为止。当节点 N561 的电势变成电源电势 VDD 减去晶体管 5601 的阈值电压 V_{th5601} 所得的值 ($v_{dd}-V_{th5601}$) 时,晶体管 5601 截止。因此,节点 N561 的电势变成 $V_{DD}-V_{th5601}$,节点 N561 变成浮置状态。

[0535] 因此,晶体管 5602 导通。由于通过晶体管 5602 将线路 5613 的 L 电平信号提供给线路 5616,线路 5616 的电势变成等于电源电势 VSS。

[0536] 接着,描述时段 T2 中的运行。在时段 T2 中,将 L 电平信号提供给线路 5612,将 H 电平信号提供给线路 5613,将 L 电平信号提供给线路 5614 并将 L 电平信号提供给线路 5615。

[0537] 因此,晶体管 5601 截止且晶体管 5607 保持截止。此时,节点 N561 保持在 $V_{DD}-V_{th5601}$ 。于是,电路 5608 向节点 N562 输出 L 电平信号,晶体管 5604 和晶体管 5606 保持截止。此外,电路 5609 向节点 N563 输出 L 电平信号,晶体管 5603 和晶体管 5605 保持截止。

[0538] 注意,由于将 H 电平信号提供给线路 5613,线路 5616 的电势开始升高。因此,通过引导操作,节点 N561 的电势变成等于或高于电源电势 VDD 和晶体管 5602 的阈值电压 V_{th5602} 之和 ($V_{DD}+V_{th5602}$)。于是,线路 5616 的电势升高到等于电源电势 VDD。

[0539] 接着,描述时段 T3b 中的运行。在时段 T3b 中,将 H 电平信号提供给线路 5612,将

L 电平信号提供给线路 5613, 将 L 电平信号提供给线路 5614 并将 H 电平信号提供给线路 5615。

[0540] 因此, 晶体管 5601 截止且晶体管 5607 导通。由于通过晶体管 5607 将电源电势 VSS 提供给节点 N561, 节点 N561 的电势降低。于是, 电路 5608 向节点 N562 输出 L 电平信号, 晶体管 5604 和晶体管 5606 保持截止。此外, 电路 5609 向节点 N563 输出 H 电平信号, 晶体管 5603 和晶体管 5605 导通。

[0541] 注意, 由于节点 N561 变成 L 电平, 晶体管 5602 截止。由于通过晶体管 5603 将电源电势 VSS 提供给线路 5616, 线路 5616 的电势保持等于电源电势 VSS。

[0542] 接着, 描述时段 T4 中的运行。在时段 T4 中, 将 L 电平信号提供给线路 5612, 将 H 电平信号提供给线路 5613, 将 L 电平信号提供给线路 5614 并将 L 电平信号提供给线路 5615。

[0543] 因此, 晶体管 5601 保持截止且晶体管 5607 截止。节点 N561 的电势坚持在 L 电平。于是, 电路 5608 向节点 N562 输出 H 电平信号, 晶体管 5604 和晶体管 5606 导通。此外, 电路 5609 向节点 N563 输出 L 电平信号, 晶体管 5603 和晶体管 5605 截止。

[0544] 注意, 由于节点 N561 保持在 L 电平, 晶体管 5602 截止。由于通过晶体管 5604 将电源电势 VSS 提供给线路 5616, 线路 5616 的电势保持等于电源电势 VSS。

[0545] 接着, 描述时段 T3a 中的运行。在时段 T3a 中, 将 H 电平信号提供给线路 5612, 将 L 电平信号提供给线路 5613, 将 L 电平信号提供给线路 5614 并将 H 电平信号提供给线路 5615。

[0546] 因此, 晶体管 5601 截止且晶体管 5607 导通。节点 N561 的电势坚持在 L 电平。于是, 电路 5608 向节点 N562 输出 L 电平信号, 晶体管 5604 和晶体管 5606 截止。此外, 电路 5609 向节点 N563 输出 H 电平信号, 晶体管 5603 和晶体管 5605 导通。

[0547] 注意, 由于节点 N561 保持在 L 电平, 晶体管 5602 截止。由于通过晶体管 5603 将电源电势 VSS 提供给线路 5616, 线路 5616 的电势保持等于电源电势 VSS。

[0548] 通过上述操作, 在时段 T1 中图 56 中的触发电路将处于 H 电平的节点 N561 保持在浮置状态中。在时段 T2 中, 图 56 中的触发电路通过引导操作将节点 N561 的电势设定为等于或高于 $V_{DD} + V_{th5602}$, 使得线路 5616 的电势等于电源电势 VDD。

[0549] 此外, 在时段 T3a 中, 晶体管 5603 导通, 将电源电势 VSS 提供给线路 5616。此外, 在时段 T4 中, 晶体管 5604 导通, 将电源电势 VSS 提供给线路 5616。因此, 图 56 中的触发电路能够在时段 T3a 和 T4 中一直向线路 5616 供应电源电势 VSS。

[0550] 在时段 T3b 中, 晶体管 5605 导通且将电源电势 VSS 提供给节点 N561。此外, 在时段 T4 中, 晶体管 5606 导通且将电源电势 VSS 提供给节点 N561。因此, 图 56 中的触发电路能够在时段 T3b 和 T4 中一直向节点 N561 供应电源电势 VSS。

[0551] 此外, 图 56 中的触发电路不包括在所有的时段 T1 到 T4 中都导通的晶体管。亦即, 图 56 中的触发电路不包括总是或几乎总是导通的晶体管。因此, 图 56 中的触发电路能够抑制晶体管的特性劣化和由于特性劣化导致的阈值电压漂移。

[0552] 此外, 由非晶硅形成的晶体管的特性容易劣化。因此, 当图 56 中的触发电路中包括的晶体管是由非晶硅形成时, 不仅能够获得诸如制造成本减少和成品率提高的益处, 而且可以解决晶体管特性劣化的问题。

[0553] 这里, 描述晶体管 5601 到 5607 的功能。晶体管 5601 具有开关的功能, 其根据线

路 5614 的电势选择是否连接线路 5610 和节点 N561。晶体管 5602 具有开关的功能,其根据节点 N561 的电势选择是否连接线路 5613 和线路 5616。晶体管 5603 具有开关的功能,其根据节点 N563 的电势选择是否连接线路 5611 和线路 5616。晶体管 5604 具有开关的功能,其根据节点 N562 的电势选择是否连接线路 5611 和线路 5616。晶体管 5605 具有开关的功能,其根据节点 N563 的电势选择是否连接线路 5611 和节点 N561。晶体管 5606 具有开关的功能,其根据节点 N562 的电势选择是否连接线路 5611 和节点 N561。晶体管 5607 具有开关的功能,其根据线路 5615 的电势选择是否连接线路 5611 和节点 N561。

[0554] 接着,参考图 58 描述图 56 中所示的触发电路由 P 沟道晶体管构成的情形。

[0555] 图 58 为将实施模式 4 中所述的图 26A 中的基本电路用于其的触发电路的例子。图 58 中的触发电路包括晶体管 5801、晶体管 5802、晶体管 5803、晶体管 5804、晶体管 5805、晶体管 5806、晶体管 5807、电路 5808 和电路 5809。

[0556] 注意,作为电路 5808 和电路 5809,可以使用图 44 中的与非电路 4415 和图 48 中的与非电路 4817。

[0557] 描述图 58 中的触发电路的连接关系。注意,晶体管 5801 的第二端子、晶体管 5807 的第二端子、晶体管 5805 的第二端子、晶体管 5806 的第二端子和晶体管 5802 的栅极的节点由 N581 表示。此外,晶体管 5804 的栅极和晶体管 5806 的栅极的节点由 N582 表示。此外,晶体管 5803 的栅极和晶体管 5805 的栅极的节点由 N563 表示。

[0558] 晶体管 5801 的栅极连接到线路 5814,晶体管 5801 的第一端子连接到线路 5810,晶体管 5801 的第二端子连接到节点 N581。晶体管 5807 的栅极连接到线路 5815,晶体管 5807 的第一端子连接到线路 5811,晶体管 5807 的第二端子连接到节点 N581。电路 5808 的两个输入端子分别连接到节点 N581 和线路 5812,电路 5808 的输出端子连接到节点 N582。电路 5809 的两个输入端子分别连接到节点 N581 和线路 5813,电路 5809 的输出端子连接到节点 N583。晶体管 5806 的栅极连接到节点 N582,晶体管 5806 的第一端子连接到线路 5811,晶体管 5806 的第二端子连接到节点 N581。晶体管 5805 的栅极连接到节点 N583,晶体管 5805 的第一端子连接到线路 5811,晶体管 5805 的第二端子连接到节点 N581。晶体管 5804 的栅极连接到节点 N582,晶体管 5804 的第一端子连接到线路 5811,晶体管 5804 的第二端子连接到线路 5816。晶体管 5803 的栅极连接到节点 N583,晶体管 5803 的第一端子连接到线路 5811,晶体管 5803 的第二端子连接到线路 5816。晶体管 5802 的栅极连接到节点 N581,晶体管 5802 的第一端子连接到线路 5813,晶体管 5802 的第二端子连接到线路 5816。

[0559] 此外,晶体管 5801 到 5807 的每个都是 P 沟道晶体管。电路 5808 和电路 5809 中包含的每个晶体管也是 P 沟道晶体管。

[0560] 因此,由于可以仅使用 P 沟道晶体管形成图 58 中的触发电路,因此不需要形成 N 沟道晶体管的步骤。于是,在图 58 中的触发电路中,可以简化制造工艺,从而能够降低制造成本并能够提高成品率。

[0561] 此外,将电源电势 VDD 提供给线路 5811,将电源电势 VSS 提供给线路 5810。注意,电源电势 VDD 高于电源电势 VSS。还要注意,可以将数字信号、模拟信号等提供给线路 5810 和线路 5811 的每个,或者可以将另一电源电势提供给它们。

[0562] 此外,将信号提供给线路 5812 到 5815 的每个。注意,提供给线路 5812 到 5815 的每个的信号为二元数字信号。还要注意,可以将电源电势 VDD、电源电势 VSS 或另一电源电

势提供给线路 5812 到 5815 的每个。或者,可以将模拟信号提供给线路 5812 到 5815 的每个。

[0563] 接着,参考图 59 描述图 58 中所示的触发电路的运行。

[0564] 图 59 为图 58 所示的触发电路的时间图的例子。图 59 中的时间图示出了线路 5812 的电势、线路 5813 的电势、线路 5814 的电势、节点 N581 的电势、节点 N582 的电势、节点 N583 的电势、线路 5816 的电势、晶体管 5804 和晶体管 5806 的导通 / 截止关系、晶体管 5803 和晶体管 5805 的导通 / 截止关系,以及线路 5815 的电势。

[0565] 通过将整个时段分成时段 T1 到 T4 来描述图 59 中的时间图。此外,通过将整个时段分成时段 T3a 和时段 T3b 描述时段 T3。

[0566] 注意,在除了时段 T1、T2 和 T3b 之外的时段中依次重复时段 T3a 和时段 T4。

[0567] 首先,描述时段 T1 中的运行。在时段 T1 中,将 L 电平信号提供给线路 5812,将 H 电平信号提供给线路 5813,将 L 电平信号提供给线路 5814 并将 H 电平信号提供给线路 5815。

[0568] 因此,晶体管 5801 导通,晶体管 5807 截止。此时,通过晶体管 5801 将电源电势 VSS 提供给节点 N581,使得节点 N581 的电势降低。因此,电路 5808 向节点 N582 输出 H 电平信号,晶体管 5804 和晶体管 5806 截止。此外,电路 5809 向节点 N583 输出 H 电平信号,晶体管 5803 和晶体管 5805 截止。

[0569] 注意,节点 N581 的电势一直降低到晶体管 5801 截止为止。当节点 N581 的电势变成等于电源电势 VSS 与晶体管 5801 的阈值电压 V_{th5801} 的绝对值之和 ($VSS + |V_{th5801}|$) 时,晶体管 5801 截止。因此,节点 N581 的电势变成 $VSS + |V_{th5801}|$,节点 N581 变成浮置状态。

[0570] 因此,晶体管 5802 导通。由于通过晶体管 5802 将线路 5813 的 H 电平信号提供给线路 5816,线路 5816 的电势变成等于电源电势 VDD。

[0571] 接着,描述时段 T2 中的运行。在时段 T2 中,将 H 电平信号提供给线路 5812,将 L 电平信号提供给线路 5813,将 H 电平信号提供给线路 5814 并将 H 电平信号提供给线路 5815。

[0572] 因此,晶体管 5801 截止,晶体管 5807 保持截止。此时,节点 N581 的电势保持在 $VSS + |V_{th5801}|$ 。于是,电路 5808 向节点 N582 输出 H 电平信号,晶体管 5804 和晶体管 5806 保持截止。此外,电路 5809 向节点 N583 输出 H 电平信号,晶体管 5803 和晶体管 5805 保持截止。

[0573] 注意,由于向线路 5813 提供 L 电平信号,线路 5816 的电势开始降低。因此,通过引导操作,节点 N581 的电势变成等于或低于电源电势 VSS 减去晶体管 5802 的阈值电压 V_{th5802} 的绝对值所得的值 ($VSS - |V_{th5802}|$)。于是,线路 5816 的电势降低到等于电源电势 VSS。

[0574] 接着,描述时段 T3b 中的运行。在时段 T3b 中,将 L 电平信号提供给线路 5812,将 H 电平信号提供给线路 5813,将 H 电平信号提供给线路 5814 并将 L 电平信号提供给线路 5815。

[0575] 因此,晶体管 5801 截止,晶体管 5807 导通。由于通过晶体管 5807 将电源电势 VDD 提供给节点 N581,节点 N581 的电势升高。于是,电路 5808 向节点 N582 输出 H 电平信号,晶体管 5804 和晶体管 5806 保持截止。此外,电路 5809 向节点 N583 输出 L 电平信号,晶体管 5803 和晶体管 5805 导通。

[0576] 注意,由于节点 N581 变成 H 电平,晶体管 5802 截止。由于通过晶体管 5803 将电源电势 VDD 提供给线路 5816,线路 5816 的电势变成等于电源电势 VDD。

[0577] 接着,描述时段 T4 中的运行。在时段 T4 中,将 H 电平信号提供给线路 5812,将 L 电平信号提供给线路 5813,将 H 电平信号提供给线路 5814 并将 H 电平信号提供给线路 5815。

[0578] 因此,晶体管 5801 保持截止,晶体管 5807 截止。节点 N581 的电势保持在 H 电平。于是,电路 5808 向节点 N582 输出 L 电平信号,晶体管 5804 和晶体管 5806 导通。此外,电路 5809 向节点 N583 输出 H 电平信号,晶体管 5803 和晶体管 5805 截止。

[0579] 注意,由于节点 N581 保持在 H 电平,晶体管 5802 截止。由于通过晶体管 5804 将电源电势 VDD 提供给线路 5816,线路 5816 的电势保持等于电源电势 VDD。

[0580] 接着,描述时段 T3a 中的运行。在时段 T3a 中,将 L 电平信号提供给线路 5812,将 H 电平信号提供给线路 5813,将 H 电平信号提供给线路 5814 并将 H 电平信号提供给线路 5815。

[0581] 因此,晶体管 5801 截止,晶体管 5807 截止。节点 N581 的电势保持在 H 电平。于是,电路 5808 向节点 N582 输出 H 电平信号,晶体管 5804 和晶体管 5806 截止。此外,电路 5809 向节点 N583 输出 L 电平信号,晶体管 5803 和晶体管 5805 导通。

[0582] 注意,由于节点 N581 保持在 H 电平,晶体管 5802 截止。由于通过晶体管 5803 将电源电势 VDD 提供给线路 5816,线路 5816 的电势保持等于电源电势 VDD。

[0583] 通过上述操作,在时段 T1 中图 58 中的触发电路将处于 L 电平的节点 N581 保持在浮置状态中。在时段 T2 中,图 58 中的触发电路通过引导操作将节点 N581 的电势设定为等于或低于 $VSS - |V_{th5802}|$,使得线路 5816 的电势等于电源电势 VSS。

[0584] 此外,在时段 T3a 中,晶体管 5803 导通,将电源电势 VDD 提供给线路 5816。此外,在时段 T4 中,晶体管 5804 导通,将电源电势 VDD 提供给线路 5816。因此,图 58 中的触发电路能够在时段 T3a 和 T4 中一直向线路 5816 供应电源电势 VDD。

[0585] 此外,在时段 T3b 中,晶体管 5805 导通,将电源电势 VDD 提供给节点 N581。此外,在时段 T4 中,晶体管 5806 导通,将电源电势 VDD 提供给节点 N581。因此,图 58 中的触发电路能够在时段 T3b 和 T4 中一直向节点 N581 供应电源电势 VDD。

[0586] 此外,图 58 中的触发电路不包括在所有的时段 T1 到 T4 中都导通的晶体管。亦即,图 58 中的触发电路不包括总是或几乎总是导通的晶体管。因此,图 58 中的触发电路能够抑制晶体管的特性劣化和由于特性劣化导致的阈值电压漂移。

[0587] 注意,晶体管 5801 到 5807 具有类似于晶体管 5601 到 5607 的功能。

[0588] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0589] (实施模式 8)

[0590] 参考图 60,本实施模式将描述使用了实施模式 5 和 6 中所述的触发电路的移位寄存器。

[0591] 图 60 示出了使用了实施模式 5 和 6 中所述的触发电路的移位寄存器的例子。图 60 中的移位寄存器包括多个触发电路 6001。

[0592] 注意,触发电路 6001 类似于实施模式 5 和 6 中所示的触发电路。

[0593] 在图 60 中,示出了第 (n-1) 级触发电路 6001(n-1)、第 n 级触发电路 6001(n) 和

第 $(n+1)$ 级触发电路 6001 $(n+1)$ 。注意, n 为偶数。还要注意, 偶数编号级中的触发电路的输入端子 IN601 连接到线路 6005, 奇数编号级中的触发电路的输入端子 IN601 连接到线路 6004。

[0594] 注意, 输入端子 IN601 连接到图 27 中的线路 2711、图 36 中的线路 3613、图 44 中的线路 4411 和图 48 中的线路 4813 的每个。输入端子 IN602 连接到图 27 中的线路 2712、图 36 中的线路 3614、图 44 中的线路 4412 和图 48 中的线路 4814 的每个。输入端子 IN603 连接到图 27 中的线路 2713、图 36 中的线路 3615、图 44 中的线路 4413 和图 48 中的线路 4815 的每个。输入端子 IN604 连接到图 27 中的线路 2709、图 36 中的线路 3611、图 44 中的线路 4410 和图 48 中的线路 4812 的每个。输入端子 IN605 连接到图 27 中的线路 2710、图 36 中的线路 3612、图 44 中的线路 4409 和图 48 中的线路 4812 的每个。输出端子 IN606 连接到图 27 中的线路 2714、图 36 中的线路 3616、图 44 中的线路 4414 和图 48 中的线路 4816 的每个。

[0595] 将电源电势 VDD 提供给线路 6002, 将电源电势 VSS 提供给线路 6003。注意, 电源电势 VDD 高于电源电势 VSS。不过, 可以将数字信号、模拟信号、其他电源电势等提供给线路 6002 和线路 6003。

[0596] 将信号提供给线路 6004、线路 6005 和线路 6006。注意, 提供给线路 6004、线路 6005 和线路 6006 的每个的信号为二元数字信号。不过, 可以将电源电势 VDD、电源电势 VSS 或另一电源电势提供给线路 6004、线路 6005 和线路 6006 的每一个。或者, 可以将模拟信号提供给线路 6004、线路 6005 和线路 6006 的每个。

[0597] 注意, 将第 $(n-2)$ 级触发电路 6001 的输出信号提供给线路 6006。

[0598] 接着, 将参考图 61 中的时间图描述图 60 中所示的移位寄存器的运行。

[0599] 图 61 示出了图 60 中所示的移位寄存器的时间图例子。图 61 中的时间图示出了线路 6004 的电势、线路 6005 的电势、输出端子 OUT606 $(n-2)$ 的电势、输出端子 OUT606 $(n-1)$ 的电势、输出端子 OUT606 (n) 的电势和输出端子 OUT606 $(n+1)$ 的电势。

[0600] 注意, 图 61 中的时间图示出了触发电路 6001 由 N 沟道晶体管构成的情形。当触发电路 6001 由 P 沟道晶体管构成时, 仅需要颠倒 H 电平信号和 L 电平信号。

[0601] 注意, 将通过将整个时段分成时段 T1 到时段 T8 描述图 61 中的时间图。

[0602] 首先, 描述时段 T1 中的运行。在时段 T1 中, 触发电路 6001 $(n-1)$ 执行实施模式 5 和 6 中所示的时段 T1 中的操作; 触发电路 6001 (n) 执行实施模式 5 和 6 中所示的时段 T4 中的操作; 触发电路 6001 $(n+1)$ 执行实施模式 5 和 6 中所示的时段 T3 中的操作。

[0603] 接着, 描述时段 T2 中的运行。在时段 T2 中, 触发电路 6001 $(n-1)$ 执行实施模式 5 和 6 中所示的时段 T2 中的操作; 触发电路 6001 (n) 执行实施模式 5 和 6 中所示的时段 T1 中的操作; 触发电路 6001 $(n+1)$ 执行实施模式 5 和 6 中所示的时段 T4 中的操作。

[0604] 因此, 从触发电路 6001 $(n-1)$ 的输出端子 OUT606 输出 H 电平信号。

[0605] 接着, 描述时段 T3 中的运行。在时段 T3 中, 触发电路 6001 $(n-1)$ 执行实施模式 5 和 6 中所示的时段 T3b 中的操作; 触发电路 6001 (n) 执行实施模式 5 和 6 中所示的时段 T2 中的操作; 触发电路 6001 $(n+1)$ 执行实施模式 5 和 6 中所示的时段 T1 中的操作。

[0606] 因此, 从触发电路 6001 (n) 的输出端子 OUT606 输出 H 电平信号。

[0607] 接着, 描述时段 T4 中的运行。在时段 T4 中, 触发电路 6001 $(n-1)$ 执行实施模式 5

和 6 中所示的时段 T4 中的操作；触发电路 6001(n) 执行实施模式 5 和 6 中所示的时段 T3b 中的操作；触发电路 6001(n+1) 执行实施模式 5 和 6 中所示的时段 T2 中的操作。

[0608] 因此,从触发电路 6001(n+1) 的输出端子 OUT606 输出 H 电平信号。

[0609] 接着,描述时段 T5 中的运行。在时段 T5 中,触发电路 6001(n-1) 执行实施模式 5 和 6 中所示的时段 T3a 中的操作；触发电路 6001(n) 执行实施模式 5 和 6 中所示的时段 T4 中的操作；触发电路 6001(n+1) 执行实施模式 5 和 6 中所示的时段 T3b 中的操作。

[0610] 接着,描述时段 T6 中的运行。在时段 T6 中,触发电路 6001(n-1) 执行实施模式 5 和 6 中所示的时段 T4 中的操作；触发电路 6001(n) 执行实施模式 5 和 6 中所示的时段 T3a 中的操作；触发电路 6001(n+1) 执行实施模式 5 和 6 中所示的时段 T4 中的操作。

[0611] 接着,描述时段 T7 中的运行。在时段 T7 中,触发电路 6001(n-1) 执行实施模式 5 和 6 中所示的时段 T3a 中的操作；触发电路 6001(n) 执行实施模式 5 和 6 中所示的时段 T4 中的操作；触发电路 6001(n+1) 执行实施模式 5 和 6 中所示的时段 T3a 中的操作。

[0612] 接着,描述时段 T8 中的运行。在时段 T8 中,触发电路 6001(n-1) 执行实施模式 5 和 6 中所示的时段 T4 中的操作；触发电路 6001(n) 执行实施模式 5 和 6 中所示的时段 T3a 中的操作；触发电路 6001(n+1) 执行实施模式 5 和 6 中所示的时段 T4 中的操作。

[0613] 通过这种方式,当把实施模式 5 和 6 中所示的触发电路用于图 60 所示的移位寄存器时,移位寄存器中所包括的所有晶体管可以是 N 沟道型或 P 沟道型。

[0614] 此外,由于图 60 中所示的移位寄存器中包含的所有晶体管可以是 N 沟道晶体管,可以将非晶硅用于半导体层,从而实现了简化的制造工艺。因此,能够实现制造成本的降低和成品率的提高。此外,可以形成大型显示屏板。此外,当把图 60 所示的移位寄存器用于半导体装置时,即使在使用特性容易劣化的非晶硅时半导体装置也可以具有长的使用寿命。

[0615] 由非晶硅形成的晶体管的特性容易劣化。因此,在使用非晶硅形成图 60 中的移位寄存器所包括的晶体管时,不仅能够获得诸如制造成本降低和成品率提高的优点,而且可以解决晶体管特性劣化的问题。

[0616] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0617] (实施模式 9)

[0618] 参考图 62,实施模式将描述使用了实施模式 8 中所述的移位寄存器的源极驱动器。

[0619] 图 62 所示的电路为使用了实施模式 8 所示的移位寄存器的电路配置的例子。

[0620] 图 62 所示的电路包括移位寄存器 6501 和多个开关 6503。此外,移位寄存器 6501 具有多个输出端子 OUT。

[0621] 在图 62 中,示出了第一级的开关 6503、负载 6504 和输出端子 OUT,第二级、第三级和第 n 级。此外,n 为至少为二的自然数。

[0622] 移位寄存器 6501 类似于实施模式 8 中所示的移位寄存器。

[0623] 如图 62 中的电路所示,线路 6502 通过开关 6503 连接到负载 6504。此外,开关 6503 由移位寄存器 6501 控制。

[0624] 此外,将传输信号提供给线路 6502。传输信号可以是电流或电压。

[0625] 注意,虽然未示出,将多个控制信号和多个电源电势提供给移位寄存器 6501。

[0626] 接着,描述图 62 中所示的电路的运行。

[0627] 移位寄存器 6501 从第一级的输出端子 OUT(1) 依次输出 H 电平信号或 L 电平信号。同时,从第一级依次导通开关 6503。然后,通过开关 6503 从第一级将传输信号依次提供给负载 6504。

[0628] 注意,当从第一级的输出端子 OUT(1) 依次输出 H 电平信号时,将 N 沟道晶体管用作开关 6503。另一方面,当从第一级的输出端子 OUT(1) 依次输出 L 电平信号时,将 P 沟道晶体管用作开关 6503。

[0629] 在图 62 中的电路中,在开关 6503 的导通 / 截止时间改变传输信号时,可以将不同的电压或电流提供给多个负载 6504。

[0630] 这里,描述移位寄存器 6501 和开关 6503 的功能。

[0631] 移位寄存器 6501 具有输出选择是否导通或截止开关 6503 的信号。此外,移位寄存器 6501 类似于实施模式 8 中所示的移位寄存器。

[0632] 每个开关 6503 具有选择是否将线路 6502 连接到负载 6504 的功能。

[0633] 通过这种方式,当将实施模式 8 中所示的移位寄存器用于图 62 所示的电路时,如上所述,电路中所包括的所有晶体管可以是 N 沟道型或 P 沟道型。

[0634] 注意,在图 62 中的电路中,仅通过移位寄存器的一个输出信号控制一个开关的导通 / 截止。不过,可以由移位寄存器的一个输出信号控制多个开关的导通 / 截止。于是,参考图 63 描述由移位寄存器的一个输出信号控制三个开关的导通 / 截止的配置。

[0635] 图 63 所示的电路包括移位寄存器 6601 和多个开关组 6605。移位寄存器 6601 具有多个输出端子 OUT。开关组 6605 的每个具有三个开关。此外,负载组 6606 的每个具有三个负载。

[0636] 在图 63 中,示出了第一级、第二级、第三级和第 n 级的开关组 6605、负载组 6606 和输出端子 OUT。此外, n 为至少为二的自然数。

[0637] 移位寄存器 6601 类似于实施模式 8 中所示的移位寄存器。

[0638] 如图 63 中的电路所示,通过每个开关组 6605 中包括的三个开关将线路 6603 和线路 6604 连接到每个负载组 6606 中包括的三个负载。此外,每个开关组 6605 中包括的三个开关由移位寄存器 6601 控制。

[0639] 将传输信号 1 提供给线路 6602,将传输信号 2 提供给线路 6603,将传输信号提供给线路 6604。传输信号 1、2 和 3 可以是电流或电压。

[0640] 注意,虽然未示出,将多个控制信号和多个电源电势提供给移位寄存器 6601。

[0641] 接着,描述图 63 中所示的电路的运行。

[0642] 移位寄存器 6601 从第一级的输出端子 OUT(1) 依次输出 H 电平信号或 L 电平信号。同时,从第一级依次在同一时间导通每个开关组 6605 中包括的三个开关。然后,从第一级通过开关组 6505 将传输信号 1、2 和 3 依次提供给每个负载组 6606 中包括的负载。

[0643] 注意,当从移位寄存器 6601 的第一级的输出端子 OUT(1) 依次输出 H 电平信号时,将 N 沟道晶体管用作开关组 6605 中包括的开关。另一方面,当从移位寄存器 6601 的第一级的输出端子 OUT(1) 依次输出 L 电平信号时,将 P 沟道晶体管用作开关组 6605 中包括的开关。

[0644] 在图 63 中的电路中,当在每个开关组 6605 中包括的开关的导通 / 截止时间改变

传输信号 1、2 和 3 时,可以将不同的电压或电流提供给每个负载组 6606 中包括的负载。

[0645] 这里,描述移位寄存器 6601 和开关组 6605 的功能。

[0646] 移位寄存器 6601 具有输出选择是否同时导通或截止开关组 6605 中包括的开关的信号的功能。此外,移位寄存器 6601 类似于实施模式 8 中所示的移位寄存器。

[0647] 每个开关组 6605 具有选择是否将线路 6602、线路 6603 和线路 6604 连接到负载组 6606 的功能。

[0648] 通过这种方式,在图 63 所示的电路中,可以使用移位寄存器 6601 的一个输出信号控制多个开关的导通 / 截止。此外,如上所述,当使用实施模式 8 中的移位寄存器时,电路中包括的所有晶体管可以是 N 沟道型或 P 沟道型。

[0649] 这里,参考图 64 描述不同于图 62 和 63 中所示的可以使用实施模式 8 中所示的移位寄存器的另一配置。

[0650] 图 64 中所示的电路包括移位寄存器 6701 和多个开关组 6705。移位寄存器 6701 具有三个输出端子 OUT。开关组 6705 的每个具有三个开关。此外,负载组 6706 的每个具有三个负载。

[0651] 在图 64 中,示出了第一级、第二级、第三级和第 n 级的开关组 6705 和负载组 6706。

[0652] 移位寄存器 6701 与实施模式 8 中所示的相同。

[0653] 如图 64 中的电路所示,多个线路 6707 均通过每个开关组 6705 中包括的三个开关连接至每个负载组 6706 中包括的三个负载。此外,每个开关组 6705 中包括的三个开关由移位寄存器 6701 控制。

[0654] 将来自第一级移位寄存器 6701 的输出端子 OUT(1) 的输出信号提供给线路 6702。将来自第二级移位寄存器 6701 的输出端子 OUT(2) 的输出信号提供给线路 6703。将来自第三级移位寄存器 6701 的输出端子 OUT(3) 的输出信号提供给线路 6704。

[0655] 此外,将传输信号 1 提供给第一级的线路 6707(1),将传输信号 2 提供给第二级的线路 6707(2),将传输信号 3 提供给第三级的线路 6707(3)。传输信号 1、2 和 3 可以是电流或电压。

[0656] 注意,虽然未示出,将多个控制信号和多个电源电势提供给移位寄存器 6701。

[0657] 接着,描述图 64 中所示的电路的运行。

[0658] 移位寄存器 6701 从第一级的输出端子 OUT(1) 依次输出 H 电平信号或 L 电平信号。同时,从第一级依次逐个地导通每个开关组 6705 中包括的开关。因此,将一个传输信号依次提供给每个负载组 6706 中包括的负载。

[0659] 注意,当从第一级移位寄存器 6701 的输出端子 OUT(1) 依次输出 H 电平信号时,将 N 沟道晶体管用作开关组 6705 中包括的开关。另一方面,当从第一级移位寄存器 6701 的输出端子 OUT(1) 依次输出 L 电平信号时,将 P 沟道晶体管用作开关组 6705 中包括的开关。

[0660] 在图 64 中的电路中,当在每个开关组 6705 中包括的开关的导通 / 截止时间改变每个传输信号时,可以将不同的电压或电流提供给每个负载组 6706 中包括的负载。

[0661] 通过这种方式,在图 64 中所示的电路中,可以通过将一个传输信号提供给多个负载减小传输信号的数量。在图 64 中,可以将传输信号的数量减少到 1/3,因为在每个开关组中提供了三个开关。

[0662] 此外,如上所述,当使用实施模式 8 中的移位寄存器时,电路中包括的所有晶体管

可以是 N 沟道型或 P 沟道型。

[0663] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0664] (实施模式 10)

[0665] 参考图 65,本实施模式将描述在实施模式 3 中描述的触发电路的布局图。

[0666] 图 65 为图 27 中所示的触发电路的布局图。注意,图 65 中所示的触发电路的布局图示出了将多晶半导体(多晶硅)用于晶体管的半导体层的情形。此外,将参考图 65 描述该情形,其中形成了半导体层 6801、栅电极层 6802 和线路层 6803。

[0667] 在图 65 中的触发电路的布局图中,设置了晶体管 2701 到 2708。

[0668] 注意,在图 65 中的触发电路的布局图中,晶体管 2705 具有双栅极结构。

[0669] 线路 2709 设置于每个晶体管和线路 2711a、2711b 之间。这是因为,提供给线路 2711a 和 2711b 的信号可能是噪声,这又可能给每个晶体管的运行造成不利影响。因此,通过在每个晶体管和线路 2711a、2711b 之间设置线路 2709,可以抑制噪声。

[0670] 接着,图 66 示出了使用非晶半导体(非晶硅)的触发电路的布局图。

[0671] 注意,线路 2709 设置于每个晶体管和线路 2711a、2711b 之间。这是因为,提供给线路 2711a 和 2711b 的信号可能是噪声,这又可能给每个晶体管的运行造成不利影响。因此,通过在每个晶体管和线路 2711a、2711b 之间设置线路 2709,可以抑制噪声。

[0672] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0673] (实施模式 11)

[0674] 参考图 75A 和 75B,本实施模式将描述其中形成有多个像素的屏板的例子。在图 75A 中,屏板 191 包括像素部分 591,其中以矩阵形式设置多个像素 590。像素部分 591 可以具有有源矩阵结构,其中在每一个像素 590 中设置诸如薄膜晶体管的开关元件。作为提供于像素 590 中的显示介质,可以使用诸如电致发光元件或液晶元件的发光元件。

[0675] 注意,如图 75B 所示,可以在与像素部分 591 相同的衬底上方提供用于驱动像素部分 591 的驱动电路。在图 75B 中,用与图 75A 中相同的附图标记表示与图 75A 中相同的部分,并省略其描述。在图 75B 中,源极驱动器 593 和栅极驱动器 594 被示为驱动电路。注意,本发明不限于此,除了源极驱动器 593 和栅极驱动器 594 之外,可以提供另一驱动电路。或者,可以利用不同的衬底形成驱动电路并将其安装在形成了像素部分 591 的衬底上。例如,可以利用玻璃衬底形成具有薄膜晶体管的像素部分 591,可以利用单晶衬底形成驱动电路,从而可以通过 COG (玻璃上芯片)将 IC 芯片连接到玻璃衬底。或者,可以通过 TAB (带式自动接合)或使用印制电路板将 IC 芯片连接至玻璃衬底。

[0676] 可以利用薄膜晶体管在与像素部分 591 相同的衬底上形成驱动电路,上述薄膜晶体管是通过与像素 590 中包括的薄膜晶体管相同的工艺形成的。可以利用多晶半导体或非晶半导体形成每个薄膜晶体管的沟道形成区。

[0677] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0678] (实施模式 12)

[0679] 图 76A 示出了图 75A 和 75B 所示的像素部分 591 的构造实例(以下称为第一像素

构造)。像素部分 591 包括多个源极信号线 S1 到 Sp (p 为自然数)、多个与所示多个源极信号线 S1 到 Sp 相交的扫描线 G1 到 Gq (q 为自然数),以及提供于源极信号线 S1 到 Sp 和扫描线 G1 到 Gq 的每个交点处的像素 690。

[0680] 图 76B 示出了图 76A 中的像素 690 的构造。在图 76B 中,示出了像素 690,其形成于多个源极信号线 S1 到 Sp 中的一个源极线 Sx (x 为不大于 p 的自然数)与多个扫描线 G1 到 Gy 中的一个扫描线 Gy (y 为不大于 q 的自然数)的交点处。像素 690 包括第一晶体管 691、第二晶体管 692、电容器 693 和发光元件 694。注意,本实施模式示出了一个例子,其中,发光元件 694 具有一对电极且利用在该一对电极之间流动的电流发光。此外,可以将第二晶体管 692 等的寄生电容积极地用作电容器 693。第一晶体管 691 和第二晶体管 692 可以是 N 沟道晶体管或 P 沟道晶体管。作为像素 690 中包括的晶体管,可以使用薄膜晶体管。

[0681] 第一晶体管 691 的栅极连接到扫描线 Gy,第一晶体管 691 的源极和漏极之一连接到源极信号线 Sx,另一个连接到第二晶体管 692 的栅极和电容器 693 的电极之一。电容器 693 的另一个电极连接到被供以电势 V3 的端子 695。第二晶体管 692 的源极和漏极之一连接到发光元件 694 的电极之一,另一个连接到被供以电势 V2 的端子 696。发光元件 694 的另一个电极连接到被供以电势 V1 的端子 697。

[0682] 描述图 76A 和 76B 中所示的像素部分 591 的显示方法。

[0683] 选择多个扫描线 G1 到 Gq 之一。尽管选择了扫描线,将视频信号输入到多个源极信号线 S1 到 Sp 的全部。通过这种方式,将视频信号输入到像素部分 591 中的一行像素中。通过依次选择多个扫描线 G1 到 Gq 并执行类似操作,将视频信号输入到像素部分 591 中的所有像素 690 中。

[0684] 将描述像素 690 的运行,在从多个扫描线 G1 到 Gq 中选择了扫描线 Gy 时,像素 690 从多个源极信号线 S1 到 Sp 中的一个源极信号线 Sx 接收视频信号。当选择了扫描线 Gy 后,第一晶体管 691 导通。晶体管的“导通”状态表示其源极和漏极是连接的,而晶体管的“截止”状态表示其源极和漏极未连接。当第一晶体管 691 导通时,通过第一晶体管 691 将输入到源极信号线 Sx 的视频信号输入到第二晶体管 692 的栅极。基于输入的视频信号选择第二晶体管 692 的导通 / 截止状态。当选择第二晶体管 692 的导通状态时,第二晶体管 692 的漏极电流流入发光元件 694,使得发光元件 694 发光。

[0685] 当第二晶体管 692 导通时,电势 V2 和电势 V3 具有保持在恒定水平的电势差。电势 V2 和电势 V3 还可以具有相同电平。当将电势 V2 和电势 V3 设定在相同电平时,可以将端子 695 和端子 696 连接至同一线路。当选择发光元件 694 发光时,将电势 V1 和电势 V2 设定为具有预定电势差。通过这种方式,电流流入发光元件 694 中,使得发光元件 694 发光。

[0686] 注意,线路和电极是利用从铝 (Al)、钽 (Ta)、钛 (Ti)、钼 (Mo)、钨 (W)、钕 (Nd)、铬 (Cr)、镍 (Ni)、铂 (Pt)、金 (Au)、银 (Ag)、铜 (Cu)、镁 (Mg)、钪 (Sc)、钴 (Co)、锌 (Zn)、铌 (Nb)、硅 (Si)、磷 (P)、硼 (B)、砷 (As)、镓 (Ga)、铟 (In)、锡 (Sn)、和氧 (O) 中选择的一种或多种元素;含有一种或多种这样的元素的化合物或合金材料(例如氧化铟锡 (ITO)、氧化铟锌 (IZO)、掺有氧化硅的氧化铟锡 (ITSO)、氧化锌 (ZnO)、铝钕 (Al-Nd) 或镁银 (Mg-Ag));通过组合这样的化合物获得的衬底等形成的。或者,可以使用上述材料和硅的化合物(硅化物)(例如铝硅、钼硅或镍硅化物),或上述材料和氮化物的化合物(例如氮化钛、氮化钽或氮化钼等)。注意,硅 (Si) 可以含有大量 N 型杂质(例如磷)或 P 型杂质(例如硼)。当硅含有

这样的杂质时,电导率得到提高,或者硅以类似于普通导体的方式工作;因此,可以容易地将其用作线路或电极。硅可以单晶态、多晶态(多晶硅)和非晶态(非晶硅)中的任一种形态。在使用单晶硅或多晶硅时,可以降低电阻。在使用非晶硅时,可以简化制造工艺。注意,在使用具有高导电性的铝或银时,可以减小信号延迟。此外,由于可以容易地蚀刻铝和银,因此可以容易地对它们构图,于是精细处理成为可能。还要注意,在使用具有高导电性的铜时,可以降低信号延迟。同样优选的是使用钼,因为即使在其接触硅或诸如ITO或IZO的氧化物半导体时其也不会导致诸如材料缺陷的问题;能够容易地构图和蚀刻它;且其具有高耐热性。同样优选的是使用钛,因为即使在其接触硅或诸如ITO或IZO的氧化物半导体时其也不会导致诸如材料缺陷的问题;能够容易地构图和蚀刻它;且其具有高耐热性。同样优选的是使用具有高耐热性的钨或钽。具体而言,优选使用钽和铝的合金,因为耐热性得到提高且铝几乎没有小丘。同样优选的是使用硅,因为其能够与晶体管的半导体层同时形成,且还具有高耐热性。还要注意,氧化铟锡(ITO)、氧化铟锌(IZO)、掺有氧化硅的氧化铟锡(ITSO)、氧化锌(ZnO)和硅(Si)具有透光特性;因此,可以将它们用于透光的部分,这是优选的。例如,这种材料可以被用作像素电极或公共电极。

[0687] 注意,可以将线路和电极形成为具有单层结构或多层结构。当使用单层结构时,可以简化制造工艺且还可以减少制造时间和成本。另一方面,当使用多层结构时,可以有效地利用每种材料的优势,同时可以降低每种材料的不足,由此可以形成具有高性能的线路和电极。例如,当形成多层结构以使其含有低电阻材料(例如铝)时,可以降低线路的电阻。此外,当形成多层结构使其含有高耐热性材料时,例如具有优势的低电阻材料夹在高耐热性材料之间的叠层结构,可以提高线路或电极整体的耐热性。例如,优选形成含铝层夹在含钼或钛的层之间的叠层结构。此外,当线路或电极所具有与由不同材料制成的另一线路、电极等直接接触的部分时,它们可能会彼此造成不利影响。例如,存在一种材料被混合到另一种材料中的情形,由此材料的属性发生变化,这又在制造过程中妨碍了最初目标的实现或导致问题,从而不能进行正常的制造。在这种情况下,可以通过将层夹在其它层之间或用另一层覆盖层来解决该问题。例如,为了使氧化铟锡(ITO)和铝互相接触,优选在它们之间夹置钛或钼。此外,为了使硅和铝相互接触,优选在它们之间夹置钛或钼。

[0688] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0689] (实施模式 13)

[0690] 图 77A 示出了图 75A 和 75B 中所示的像素部分 591 的构造实例。图 77A 示出了与实施模式 12 中所示的第一像素构造不同的构造(以下称为第二像素构造)。像素部分 591 包括多个源极信号线 S1 到 Sp (p 为自然数);多个与所述多个源极信号线 S1 到 Sp 相交的扫描线 G1 到 Gq (q 为自然数)和多个扫描线 R1 到 Rq,以及提供于源极信号线 S1 到 Sp、扫描线 G1 到 Gq 和扫描线 R1 到 Rq 的每个交点处的像素 790。

[0691] 图 77B 示出了图 77A 中的像素 790 的构造。在图 77B 中,示出了像素 790,其形成于多个源极信号线 S1 到 Sp 中的一个源极线 S_x (x 为不大于 p 的自然数)、多个扫描线 G1 到 Gq 中的一个扫描线 G_y (y 为不大于 q 的自然数)以及多个扫描线 R1 到 Rq 中的一个扫描线 R_y 的交点处。注意,在具有图 77B 中所示的构造的像素中,由与图 76B 中相同的附图标记表示与图 76B 中相同的部分,且省略它们的描述。图 77B 与图 76B 的不同之处在于,其具有第

三晶体管 791。第三晶体管 791 可以是 N 沟道晶体管或 P 沟道晶体管。作为像素 790 中包括的晶体管,可以使用薄膜晶体管。

[0692] 第三晶体管 791 的栅极连接到扫描线 Ry,第三晶体管 791 的源极和漏极之一连接到第二晶体管 692 的栅极和电容器 693 的电极之一,另一个连接到被供以电势 V4 的输出端子 792。

[0693] 描述图 77A 和图 77B 中所示的像素部分 591 的显示方法。

[0694] 点亮发光元件 694 的方法与实施模式 12 中描述的相同。在具有图 77A 和 77B 中所示的构造的像素中,通过提供扫描线 Ry 和第三晶体管 791,即使从源极信号 Sx 输出了视频信号,也可以使像素 790 中的发光元件 694 不发光。可以通过输入到扫描线 Ry 中的信号设定像素 790 中的发光元件 694 的发光时间。于是,可以设定比依次选择所有扫描线 G1 到 Gq 的时段短的发光时段。通过这种方式,在通过分时灰度级方法执行显示的时候,可以设定短的子帧周期,因此,可以表达高灰度级。

[0695] 仅需要将电势 V4 设定在第三晶体管 791 导通时能够截止第二晶体管 692 的电平。例如,当第三晶体管 791 导通时,可以将电势 V4 设定为具有与电势 V3 相同的电平。通过将电势 V3 和 V4 设定在相同电平,可以释放电容器 693 中保持的电荷,且可以将第二晶体管 692 的源极和栅极之间的电压设定为零,从而能够使第二晶体管 692 截止。注意,为了将电势 V3 和电势 V4 设定在相同电平,可以将端子 695 和端子 792 连接至相同线路。

[0696] 注意,第三晶体管 791 的位置不局限于图 77B 所示的一种。例如,可以将第三晶体管 791 与第二晶体管 692 串联设置。在这种构造中,通过由输入到扫描线 Ry 的信号截止第三晶体管 791,能够切断流入发光元件 694 的电流,使得发光元件 694 不发光。

[0697] 可以用二极管代替图 77B 中所示的第三晶体管 791。图 77C 示出了第三晶体管 791 被二极管替代的像素构造。注意,在图 77C 中,用与图 77B 中相同的附图标记表示与图 77B 中相同的部分,并省略其描述。二极管 781 的电极之一连接到扫描线 Ry,另一个电极连接到第二晶体管 692 的栅极和电容器 693 的电极之一。

[0698] 二极管 781 在从一个电极到另一个电极的方向上提供电流。将 P 沟道晶体管用作第二晶体管 692。通过提高二极管 781 的电极之一的电势,可以提高第二晶体管 692 的栅极电势,从而能够截止第二晶体管 692。

[0699] 虽然图 77C 示出了二极管 781 在从连接至扫描线 Ry 的一个电极到连接至第二晶体管 692 的栅极的另一个电极的方向上提供电流且 P 沟道晶体管被用作第二晶体管 692 的配置,但本发明不限于此。还可以使用二极管 781 在从连接至第二晶体管 692 的栅极的电极到连接至扫描线 Ry 的电极的方向上提供电流且将 N 沟道晶体管用作第二晶体管 692 的配置。当第二晶体管 692 为 N 沟道晶体管时,可以通过降低二极管 781 的电极之一的电势使第二晶体管 692 截止,使得第二晶体管 692 的栅极电势降落。

[0700] 作为二极管 781,可以使用以二极管方式连接的晶体管。以二极管方式连接的晶体管意味着晶体管的漏极和栅极连接到一起。作为以二极管方式连接的晶体管,可以使用 P 沟道晶体管或 N 沟道晶体管。

[0701] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0702] (实施模式 14)

[0703] 图 78A 示出了图 75A 和 75B 所示的像素部分 591 的构造实例(以下称为第三像素构造)。像素部分 591 包括多个源极信号线 S1 到 Sp (p 为自然数)、多个与所示多个源极信号线 S1 到 Sp 相交的扫描线 G1 到 Gq (q 为自然数),以及提供于源极信号线 S1 到 Sp 和扫描线 G1 到 Gq 的每个交点处的像素 690。

[0704] 图 78B 示出了图 78A 中的像素 690 的构造。在图 78B 中,示出了像素 690,其形成于多个源极信号线 S1 到 Sp 中的一个源极线 Sx (x 为不大于 p 的自然数)与多个扫描线 G1 到 Gq 中的一个扫描线 Gy (y 为不大于 q 的自然数)的交点处。此外,对应于每一行提供电容线 C0。像素 690 包括晶体管 4691、液晶元件 4692 和电容器 4693。晶体管 4691 可以是 N 沟道晶体管或 P 沟道晶体管。作为像素 690 中包括的晶体管,可以使用薄膜晶体管。

[0705] 晶体管 4691 的栅极连接到扫描线 Gy,晶体管 4691 的源极和漏极之一连接到源极信号线 Sx,另一个连接到液晶元件 4692 的电极之一和电容器 4693 的电极之一。液晶元件 4692 的另一个电极连接到被供以电势 V0 的端子 4694。电容器 4693 的另一个电极连接到电容线 C0。向电容线 C0 提供与共给端子 4694 的电势 V0 相同的电势。

[0706] 描述图 78A 和图 78B 中所示的像素部分 591 的显示方法。

[0707] 选择扫描线 G1 到 Gq 之一。尽管选择了扫描线,将视频信号输入到多个源极信号线 S1 到 Sp 的全部。通过这种方式,将视频信号输入到像素部分 591 中的一行像素中。通过依次选择多个扫描线 G1 到 Gq 并执行类似操作,将视频信号输入到像素部分 591 中的所有像素 690 中。

[0708] 将描述像素 690 的运行,在从多个扫描线 G1 到 Gq 中选择一个扫描线 Gy 时,像素 690 从多个源极信号线 S1 到 Sp 中的一个源极信号线 Sx 接收视频信号。当选择了扫描线 Gy 后,晶体管 4691 导通。晶体管的“导通”状态表示其源极和漏极是连接的,而晶体管的“截止”状态表示其源极和漏极未连接。当晶体管 4691 导通时,通过晶体管 4691 将输入到源极信号线 Sx 的视频信号输入到液晶元件 4692 的电极之一和电容器 4693 的电极之一。通过这种方式,在液晶元件 4692 的一对电极之间施加电压(该电压对应于输入视频信号的电势和端子 4694 处的电势 V0 之间的电势差),由此液晶元件 4692 的透射率发生改变。

[0709] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0710] (实施模式 15)

[0711] 在本实施模式中,描述实际形成像素的例子。图 67A 和图 67B 为实施模式 12 和 13 中描述的屏板的像素的截面图。这里,所示出的例子中,TFT 被用作设置于像素中的开关元件,发光元件被用作设置于像素中的显示介质。

[0712] 在图 67A 和 67B 中,附图标记 1000 表示基板,1001 表示基膜,1002 表示半导体层,1102 表示半导体层,1003 表示第一绝缘膜,1004 表示栅电极,1104 表示电极,1005 表示第二绝缘膜,1006 表示电极,1007 表示第一电极,1008 表示第三绝缘膜,1009 表示发光层,1010 表示第二电极。附图标记 1100 表示 TFT,1011 表示发光元件,1101 表示电容器。在图 67A 和 67B 中,TFT1100 和电容器 1101 被示为像素中所包括的元件的典型例。首先描述图 67A 的结构。

[0713] 作为基板 1000,可以使用钡硼硅玻璃、铝硼硅玻璃等制成的玻璃基板;石英基板;陶瓷基板等。或者,可以使用均具有形成于其表面上的绝缘膜的半导体基板或包括不锈钢

的金属基板。也可以使用诸如塑料的由柔性合成树脂制成的基板。基板 1000 的表面可以通过抛光,例如 CMP 方法进行平坦化。

[0714] 作为基膜 1001,可以使用由氧化硅、氮化硅、氧氮化硅等制成的绝缘膜。通过提供基膜 1001,可以防止基板 1000 中所含的诸如 Na 的碱金属或碱土金属扩散到半导体层 1002 中,否则这会对 TFT1100 的特性造成不利影响。虽然图 67A 和 67B 中的基膜 1001 具有单层结构,也可以使用两个或更多层的多个层。注意,当在(例如)使用石英基板的情况下不关心杂质扩散的时候,不必一定要提供基膜 1001。

[0715] 作为半导体层 1002 和半导体层 1102,可以使用已经被处理为预定形状的晶态半导体膜或非晶半导体膜。可以通过晶化非晶半导体膜获得晶态半导体膜。作为结晶方法,可以使用激光结晶方法、使用 RTA 或退火炉的热结晶方法、使用促进结晶的金属元素的热结晶方法等。半导体层 1002 包括沟道形成区和一对掺有决定导电类型的杂质元素的杂质区。注意,还可以在沟道形成区和一对杂质区之间提供掺有低浓度杂质元素的杂质区(LDD 区)。半导体层 1102 可以具有整个区域都掺有赋予导电类型的杂质元素的结构。

[0716] 作为第一绝缘膜 1003,可以使用氧化硅、氮化硅、氧氮化硅等,可以使用单层或多个膜的堆叠层。

[0717] 注意,也可以将含氢的膜用作第一绝缘膜 1003,从而能够氢化半导体层 1002。

[0718] 对于栅电极 1004 和电极 1104 而言,可以使用从 Ta、W、Ti、Mo、Al、Cu、Cr 和 Nd 中选择的元素,或者含有多种这样的元素的合金或化合物。此外,可以形成栅电极 1004 和电极 1104,使其具有上述材料的单层结构或叠层结构。

[0719] TFT1100 包括半导体层 1002、栅电极 1004 和半导体层 1002 和栅电极 1004 之间的第一绝缘膜 1003。虽然图 67A 和 67B 示出了仅由连接至发光元件 1011 的第一电极 1007 的 TFT1100 作为形成像素的 TFT,也可以使用具有多个 TFT 的结构。此外,虽然在本实施模式中将 TFT1100 表示为顶栅极晶体管,也可能使用栅电极在半导体层下方的底栅极晶体管或具有半导体层上方和下方的栅电极的双栅极晶体管。

[0720] 电容器 1101 由作为电介质的第一绝缘膜 1003 和作为一对电极的半导体层 1102 和电极 1104 形成,半导体层 1102 和电极 1104 彼此相对,其间插置有第一绝缘膜 1003。注意,虽然在图 67A 和 67B 所示的例子中,像素中所包括的电容器具有作为一对电极之一的半导体层 1102 还具有作为另一电极的电极 1104,半导体层 1102 与 TFT1100 的半导体层 1002 同时形成,电极 1104 与 TFT1100 的栅电极 1004 同时形成,但本发明不限于此结构。

[0721] 作为第二绝缘膜 1005,可以使用单层或叠层的无机绝缘膜或有机绝缘膜。作为无机绝缘膜,可以使用通过 CVD 方法形成的氧化硅膜,通过 SOG(玻璃上旋涂)方法形成的氧化硅膜等。作为有机绝缘膜,可以使用由聚酰亚胺、聚酰胺、BCB(苯并环丁烯)、丙烯酸、正性光敏有机树脂、负性光敏有机树脂等制成的膜。

[0722] 此外,对于第二绝缘膜 1005 而言,可以使用具有硅(Si)和氧(O)键的骨架结构的材料。作为这种材料的替代物,使用至少含有氢(例如烷基或芳基)的有机基。或者,可以将氟代基用作取代基。作为进一步的选择,可以将至少含有氢的氟代基和有机基二者用作取代基。

[0723] 注意,可以通过高密度等离子体处理氮化第二绝缘膜 1005 的表面。使用高频微波,例如 2.45GHz 的微波生成高浓度等离子体。注意,作为高浓度等离子体,使用电子密度

至少为 10^{11}cm^{-3} , 电子温度为 0.2 到 2.0eV (含) (优选为 0.5 到 1.5eV (含)) 的等离子体。当使用具有低电子温度的这种高浓度等离子体时, 激活原子团的动能可能是低的。因此, 有可能形成几乎不受等离子体损害且比常规等离子体处理形成的膜具有更少缺陷的膜。在高密度等离子体处理中, 将基板 1000 设定在 350 到 450° C 范围内的温度下。此外, 在用于产生高浓度等离子体的设备中, 将产生微波的天线和基板 1000 之间的距离设定在 20 到 80mm (含) (优选 20 到 60mm (含))。

[0724] 在含有氮气(N_2)和稀有气体(包括 He、Ne、Ar、Kr 和 Xe 的至少一种)的气氛;含有氮气、氢气(H_2)和稀有气体的气氛, 或含有 NH_3 和稀有气体的气氛下通过上述高密度等离子体处理氮化第二绝缘膜 1005 的表面。在通过高浓度等离子体氮化处理形成的第二绝缘膜 1005 的表面中, 混合了诸如 H、He、Ne、Ar、Kr 或 Xe 的元素。例如, 将氧化硅膜或氮氧化硅膜用作第二绝缘膜 1005, 用高浓度等离子体处理膜的表面, 从而形成氮化硅膜。可以利用这样形成的氮化硅膜中所含的氢来氢化 TFT1100 的半导体层 1002。注意, 可以将氢化处理与上述使用第一绝缘膜 1003 中所含的氢的氢化处理结合。

[0725] 注意, 可以通过在由上述高密度等离子体处理形成的氮化物膜上方淀积另一绝缘膜来形成第二绝缘膜 1005。

[0726] 可以使用从 Al、W、Mo、Ti、Pt、Cu、Ta、Au 和 Mn 中选择元素, 或者含有从 Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au 和 Mn 中选择的多种元素的合金形成电极 1006。此外, 电极 1006 可以形成为具有上述材料的单层结构或叠层结构。

[0727] 可以将第一电极 1007 和第二电极 1010 之一或两者形成为透明电极。对于透明电极而言, 可以使用含有氧化铟的氧化铟(IZO)、含有氧化铟和氧化锌的氧化铟(IWZO)、含有氧化钛的氧化铟(ITiO)、含有氧化钛的氧化铟锡(ITTiO)等。不用说, 也可以使用氧化铟锡(ITO)、氧化铟锌(IZO)、掺有氧化硅的氧化铟锡(ITSO)等。

[0728] 可以将发光元件分为利用施加于其上的直流电压而发光的发光元件(以下称为直流驱动发光元件)或利用施加于其上的交流电压而发光的发光元件(以下称为交流驱动发光元件)。

[0729] 直流驱动发光元件优选形成为具有多个层, 该多个层具有不同的功能, 诸如空穴注入/传输层、发光层和电子注入/传输层。

[0730] 优选具有空穴传输特性的有机化合物材料和相对于有机化合物材料表现出电子接受特性的无机化合物材料的复合材料形成空穴注入/传输层。通过使用这种结构, 在本来具有很少载流子的有机化合物中生成很多空穴载流子, 由此通过这种效应能够获得相当优异的空穴注入/传输特性, 可以比常规方法中降低驱动电压。此外, 由于可以将空穴注入/传输层形成较厚而不导致驱动电压的增大, 因此可以抑制由于灰尘等导致的发光元件短路。

[0731] 作为具有空穴传输特性的有机化合物, 例如有: 4, 4', 4''-三[N-(3-甲基苯基)-N-苯基胺基]三苯胺(缩写:MTDATA)、1, 3, 5-三[N,N-二(m-甲基苯基)氨基]苯(缩写:m-MTDAB)、N,N'-二苯基-N,N'-双(3-甲基苯基)-1, 1'-二苯基-4, 4'-二胺(缩写:TPD)、4, 4'-双[N-(1-萘基)-N-苯基胺基]二苯基(缩写:NPB)等。不过, 本发明不限于此。

[0732] 作为表现出电子接受特性的无机化合物材料, 有氧化钛、氧化锆、氧化钒、氧化钼、

氧化钨、氧化铯、氧化钨、氧化锌等。具体而言,优选为氧化钒、氧化钼、氧化钨和氧化铯,因为它们可以在真空中淀积,且容易处理。

[0733] 用具有电子传输特性的有机化合物材料形成电子注入/传输层。具体而言,有三(8-羟基喹啉)铝(缩写:Alq3)、三(4-甲基-8-羟基喹啉)铝(缩写:Almq3)等。不过,本发明不限于此。

[0734] 在直流驱动发光元件中,例如可以使用如下材料形成发光层:9,10-二(2-萘基)蒽(缩写:DNA)、9,10-二(2-萘基)-2-特-丁基蒽(缩写:t-BuDNA)、4,4'-双(2,2-二苯基乙烯基)二苯基(缩写:DPVBi)、香豆素30、香豆素6、香豆素545、香豆素545T、二萘嵌苯、红荧烯、periflanthene、2,5,8,11-四(特-丁基)二萘嵌苯(缩写:TBP)、9,10-二苯蒽(缩写:DPA)、5,12-二苯并四苯、4-(氰基亚甲基)-2-甲基-[p-(二甲基氨基)苯乙烯基]-4H-吡喃(缩写:DCM1)、4-(氰基亚甲基)-2-甲基-6-[2-(久洛尼定-9-基)乙烯基]-4H-吡喃(缩写:DCM2)、4-(氰基亚甲基)-2,6-双[p-(二甲基氨基)苯乙烯基]-4H-吡喃(缩写:BisDCM)等。或者,可以使用以下能够发出荧光的化合物:双[2-(4',6'-二氟苯基)pyridinato-N,C^{2'}]铱(吡啶盐)(缩写:FIrpic)、双{2-[3',5'-双(三氟甲基)苯基]pyridinato-N,C^{2'}}铱(吡啶盐)(缩写:Ir(CF₃ppy)₂(pic))、三(2-苯基pyridinato-N,C^{2'})铱(缩写:Ir(ppy)₃)、双(2-苯基pyridinato-N,C^{2'})铱(乙酰丙酮化物)(缩写:Ir(ppy)₂(acac))、双[2-(2'-噻吩基)pyridinato-N,C^{3'}]铱(乙酰丙酮化物)(缩写:Ir(thp)₂(acac))、双(2-苯基羟基喹啉-N,C^{2'})铱(乙酰丙酮化物)(缩写:Ir(pq)₂(acac))、双[2-(2'-苯噻吩基)pyridinato-N,C^{3'}]铱(乙酰丙酮化物)(缩写:Ir(btp)₂(acac))等。

[0735] 或者,作为能够用于形成发光层的高分子电致发光材料,可以使用聚对苯撑亚乙烯基、聚对苯撑、聚噻吩或聚芴。

[0736] 第一电极1007和第二电极1010中的另一个可以由不透光的材料形成。例如,可以使用诸如Li和Cs的碱金属,诸如Mg、Ca和Sr的碱土金属,含有这些元素的合金(Mg:Ag、Al:Li和Mg:In),这些元素的化合物(CaF₂和氮化钙)或诸如Yb和Er的稀土金属。

[0737] 可以使用类似于第二绝缘膜1005的材料形成第三绝缘膜1008。在第一电极1007周围形成第三绝缘膜1008,以便覆盖第一电极1007的端部,第三绝缘膜1008具有分隔相邻像素的发光层1009的功能。

[0738] 发光层1009具有单层或多层。当发光层1009具有多层时,可以根据载流子输运特性将这些层分为空穴注入层、空穴输运层、发光层、电子输运层、电子注入层等。注意,每层的边界不必一定要清晰,可能会有不能清楚区分边界的情形,因为形成每层的材料被部分地混合到相邻层中。可以用有机材料或无机材料形成每一层。作为有机材料,可以使用高分子材料或低分子材料。

[0739] 发光元件1011包括发光层1009以及第一电极1007和第二电极1010,第一电极1007和第二电极1010彼此重叠,发光层1009插置于其间。第一电极1007和第二电极1010之一对对应于阳极,另一个对应于阴极。当在发光元件1011的阳极和阴极之间施加高于发光元件1011的阈值电压的正向电压时,电流从阳极流到阴极,使得发光元件1011发光。

[0740] 另一方面,交流驱动发光元件具有双绝缘体结构,其中将插置于两个绝缘膜之间的发光层再插入到一对电极之间。可以通过在一对电极之间施加交流电压获得光发射。作为交流驱动发光元件地发光层的材料,可以使用ZnS、SrS、BaAl₂S₄等。作为在其间插入发

光层的绝缘膜的材料,可以使用 Ta_2O_5 、 SiO_2 、 Y_2O_3 、 $BaTiO_3$ 、 $SrTiO_3$ 、氮化硅等。

[0741] 描述图 67B 的结构。注意,用与图 67A 中相同的附图标记表示与图 67A 中相同的部分,并省略它们的描述。

[0742] 图 67B 示出了在第二绝缘膜 1005 和第三绝缘膜 1008 之间提供绝缘膜 1108 的结构。利用提供于绝缘膜 1108 中的接触孔中的电极 1106 将电极 1006 和第一电极 1007 彼此连接。

[0743] 注意,不必一定要提供电极 1106。亦即,可以不用电极 1106 而直接将第一电极 1007 连接至电极 1006。在这种情况下,可以省略形成电极 1106 的步骤,从而能够降低成本。

[0744] 当不用电极 1106 而直接将第一电极 1007 连接至电极 1006 时,根据用于形成第一电极 1007 的材料或方法,第一电极 1007 对电极 1006 的覆盖可能不好,电极 1006 可能会断裂。考虑到这种情况,有利的是如图 67B 所示,利用提供于绝缘膜 1108 中的接触孔中的电极 1106 将电极 1006 和第一电极 1007 彼此连接。

[0745] 绝缘膜 1108 可以具有与第二绝缘膜 1005 类似的结构。电极 1106 可以具有与电极 1006 类似的结构。

[0746] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0747] (实施模式 16)

[0748] 在本实施模式中,描述实际形成像素的例子。图 68 为实施模式 11 到 14 中所述的屏板的像素的截面图。这里,所示出的例子中,TFT 被用作设置于像素中的开关元件,发光元件被用作设置于像素中的显示介质。注意,用与图 67A 和 67B 中相同的附图标记表示与实施模式 15 中所示的图 67A 和 67B 中相同的部分,并省略它们的描述。

[0749] 图 68 所示的像素与实施模式 15 所示的图 67A 不同之处在于 TFT1100 和电容器 1101 的结构。图 68 示出了将底栅极 TFT 用作 TFT1100 的例子。TFT1100 包括栅电极 2803;包括沟道形成区 2806、LDD 区 2807 和杂质区 2808 的半导体层;以及栅电极 2803 和半导体层之间的第一绝缘膜 2805。第一绝缘膜 2805 起到 TFT1100 的栅极绝缘膜的功能。杂质区 2808 起到 TFT1100 的源极区和漏极区的功能。

[0750] 电容器 1101 由作为电介质的第一绝缘膜 2805 和作为一对电极的半导体层和电极 2804 形成,半导体层和电极 2804 彼此相对,其间插置有第一绝缘膜 2805。半导体层包括沟道形成区 2809、LDD 区 2810 和杂质区 2811。注意,图 68 所示的例子中,像素中所包括的电容器具有半导体层,还具有电极 2804,该半导体层与作为 TFT1100 的有源层的半导体层同时形成,作为一对电极中的一个,电极 2804 与 TFT1100 的栅电极同时形成,作为另一个电极,不过本发明不限于此结构。

[0751] 对于包括沟道形成区 2806、LDD 区 2807 和杂质区 2808 的半导体层以及包括沟道形成区 2809、LDD 区 2810 和杂质区 2811 的半导体层而言,可以使用与图 67A 和 67B 中的半导体层 1002 和半导体层 1102 类似的材料。对于栅电极 2803 和电极 2804 而言,可以使用与图 67A 和 67B 中的栅电极 1004 类似的材料。

[0752] 沟道形成区 2806 和沟道形成区 2809 可以掺有赋予导电类型的杂质元素。

[0753] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0754] (实施模式 17)

[0755] 在本实施模式中,描述实际形成像素的例子。图 69A 和 69B 为实施模式 13 和 14 中描述的屏板的像素的截面图。这里,所示出的例子中,TFT 被用作设置于像素中的开关元件,发光元件被用作设置于像素中的显示介质。注意,用与图 67A 和 67B 中相同的附图标记表示与实施模式 15 中所示的图 67A 和 67B 中相同的部分,并省略它们的描述。

[0756] 图 69A 和 69B 所示的像素与实施模式 15 中所示的图 67A 不同之处在于 TFT1100 和电容器 1101 的结构。图 69A 所示的例子中,将具有沟道蚀刻结构的底栅极 TFT 用作 TFT1100。图 69B 所示的例子中,将具有沟道保护结构的底栅极 TFT 用作 TFT1100。图 69B 中所示的具有沟道保护结构的 TFT1100 与图 69A 中所示的具有沟道蚀刻结构的 TFT1100 不同之处在于,在形成沟道的半导体层 2906 的区域上方提供充当蚀刻掩模的绝缘体 3001。

[0757] 在图 69A 和 69B 中,TFT1100 包括栅电极 2993、栅电极 2993 上方的第一绝缘膜 2905、第一绝缘膜 2905 上方的半导体层 2906 和半导体层 2906 上方的 N 型半导体层 2908 和 2909。第一绝缘膜 2905 起到 TFT1100 的栅极绝缘膜的功能。N 型半导体层 2908 和 2909 起到 TFT1100 的源极和漏极的功能。分别在 N 型半导体层 2908 和 2909 上方形成电极 2911 和 2912。电极 2911 的一端延伸到未形成半导体层 2906 的区域,在该区域中,将电极 1006 形成为与电极 2911 的顶部接触。

[0758] 电容器 1101 由作为电介质的第一绝缘膜 2905 ;作为电极之一的电极 2904 ;以及作为另一个电极的与电极 2904 相对的半导体层 2907 (其间插置有第一绝缘膜 2905)、半导体层上方的 N 型半导体层 2910 和 N 型半导体层 2910 上方的电极 2913 形成。可以与栅电极 2993 同时形成电极 2904。可以与半导体层 2906 同时形成半导体层 2907。可以与 N 型半导体层 2908 和 2909 同时形成 N 型半导体层 2910。可以与电极 2911 和 2912 同时形成电极 2913。

[0759] 对于栅电极 2993 和电极 2904 而言,可以使用与图 67A 和 67B 中的栅电极 1004 类似的材料。对于半导体层 2906 和 2907 而言,可以使用非晶半导体膜。对于第一绝缘膜 2905 而言,可以使用与图 67A 和 67B 中的第一绝缘膜 1003 类似的材料。对于电极 2911、2912 和 2913,可以使用与电极 1006 类似的材料。对于 N 型半导体层 2910、2908 和 2909,可以使用含有 N 型杂质元素的半导体膜。

[0760] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0761] (实施模式 18)

[0762] 在本实施模式中,描述实际形成像素的例子。图 70A 到 70C 为实施模式 14 中所述的屏板的像素的截面图。这里,所示出的例子中,TFT 被用作设置于像素中的开关元件,液晶元件被用作设置于像素中的显示介质。

[0763] 图 70A、70B 和 70C 中所示的像素均表现出如下结构,其中,在实施模式 15 的图 67A 和 67B 所示的结构以及实施模式 16 的图 68 所示的结构中提供液晶元件代替发光元件 1011。用与图 67A、67B 和 68 中相同的附图标记表示与图 67A、67B 和 68 中相同的部分,并省略它们的描述。

[0764] 液晶元件包括第一电极 4000,形成于第一电极 4000 上方的配向膜 4001,液晶层 4002,配向膜 4003 和第二电极 4004。当在第一电极 4000 和第二电极 4004 之间施加电压

时,液晶的取向发生变化,由此液晶元件的透射率发生变化。在相对基板 4005 上形成第二电极 4004 和配向膜 4003。

[0765] 可以将第一电极 4000 和第二电极 4004 之一或两者形成为透明电极。对于透明电极而言,可以使用含有氧化钨的氧化铟(IWO)、含有氧化钨和氧化锌的氧化铟(IWZO)、含有氧化钛的氧化铟(ITiO)、含有氧化钛的氧化铟锡(ITTiO)等。不用说,也可以使用氧化铟锡(ITO)、氧化铟锌(IZO)、掺有氧化硅的氧化铟锡(ITSO)等。第一电极 4000 和第二电极 4004 中的另一个可以由不透光的材料形成。例如,可以使用诸如 Li 和 Cs 的碱金属,诸如 Mg、Ca 和 Sr 的碱土金属,含有这些元素的合金(Mg:Ag、Al:Li 和 Mg:In),这些元素的化合物(CaF₂ 和氮化钙)或诸如 Yb 和 Er 的稀土金属。

[0766] 对于液晶层 4002 而言,可以自由使用已知的液晶。例如,可以将铁电液晶或反铁电液晶用于液晶层 4002。此外,作为液晶的驱动方法,可以自由使用 TN (扭转向列) 模式、MVA (多域垂直配向) 模式、ASM (轴向对称排列微单元) 模式、OCB (光学补偿弯曲) 模式等。

[0767] 虽然本实施模式示出了将电压施加到液晶层 4002 的一对电极(第一电极 4000 和第二电极 4004)是在不同基板上形成的例子,但本发明不限于此。第二电极 4004 可以形成于基板 1000 上。那么,可以使用 IPS (平面内切换) 模式作为液晶的驱动方法。此外,可以根据液晶层 4002 的材料省略配向膜 4001 和配向膜 4003 之一或二者。

[0768] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0769] (实施模式 19)

[0770] 在本实施模式中,描述实际形成像素的例子。图 71A 和 71B 为实施模式 14 中所述的屏板的像素的截面图。这里,所示出的例子中,TFT 被用作设置于像素中的开关元件,液晶元件被用作设置于像素中的显示介质。

[0771] 图 71A 和 71B 中所示的像素均表现出在实施模式 17 的图 69A 和 69B 中所示的结构中提供液晶元件代替发光元件 1011 的结构。用与图 69A 和 69B 中相同的附图标记表示与图 69A 和 69B 中相同的部分,并省略它们的描述。此外,液晶元件等的结构与实施模式 17 的图 70A 到 70C 所示的结构类似;因此将省略它们的描述。

[0772] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0773] (实施模式 20)

[0774] 本实施模式将描述其上形成像素的基板被密封的结构。图 72A 为通过密封其上形成像素的基板而形成的屏板的顶视图,图 72B 和 72C 为沿着图 72A 的线 A-A' 的截面图。图 72B 和 72C 示出了通过不同方法进行密封的例子。

[0775] 在图 72A 到 72C 中,在基板 1401 上方设置具有多个像素的像素部分 1402,提供密封剂 1406 以便包围像素部分 1402,且密封剂 1407 贴附于基板 1401。对于像素的结构而言,可以使用实施模式 16、17 或 18 中所示的结构。

[0776] 在图 72B 中的显示屏板中,密封剂 1407 对应于相对基板 1421。相对基板 1421 是透明的,利用密封剂 1406 作为粘结层将其贴附于基板 1401。通过基板 1401、相对基板 1421 和密封剂 1406 形成气密密封空间 1422。相对基板 1421 具有滤色器 1420 和用于保护滤色器的保护膜 1423。提供于像素部分 1402 中的发光元件所发的光通过滤色器 1420 向外发射。

用惰性树脂、液体等填充气密密封空间 1422。注意,作为用于填充气密密封空间 1422 的树脂,可以使用其中分散了吸收剂的透光树脂。或者,可以将相同的材料用于密封剂 1406 和填充气密密封空间 1422 的材料,从而能够同时进行相对基板 1421 的贴附和像素部分 1402 的密封。

[0777] 在图 72C 中所示的显示屏板中,密封剂 1407 对应于密封剂 1424。使用密封剂 1406 作为粘结层将密封剂 1424 贴附到基板 1401。通过基板 1401、密封剂 1406 和密封剂 1424 形成气密密封空间 1408。预先在密封剂 1424 的凹陷部分中提供吸收剂 1409,在气密密封空间 1408 内部,吸收剂 1409 通过吸收湿气、氧气等保持气氛并抑制发光元件的劣化。用细目覆盖材料 1410 覆盖凹陷部分,覆盖材料 1410 透过空气和湿气,但不透过吸收剂 1409。可以用诸如氮气或氩气的稀有气体或惰性树脂或液体填充气密密封空间 1408。

[0778] 在基板 1401 上,提供用于将信号传输到像素部分 1402 等的输入端子部分 1411。通过 FPC (柔性印制电路) 1412 将诸如视频信号的信号传输到输入端子部分 1411。在输入端子部分 1411,利用其中散布了导体的树脂(各向异性导电树脂:ACF)将形成于基板 1401 上的线路和提供于 FPC (柔性印制电路) 1412 中的线路彼此电连接。

[0779] 可以在与像素部分 1402 相同的基板 1401 上形成用于向像素部分 1402 输入信号的驱动电路。或者,用于向像素部分 1402 输入信号的驱动电路可以形成于 IC 芯片上,该 IC 芯片可以通过 COG (玻璃上芯片) 连接至基板 1401,或者可以通过 TAB (带式自动接合) 或使用印制电路板将该 IC 芯片设置于基板 1401 上。

[0780] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0781] (实施模式 21)

[0782] 可以将本发明应用于将用于向屏板输入信号的电路安装在屏板上的显示模块。

[0783] 图 73 示出了组合了屏板 980 和电路板 984 的显示模块。虽然图 73 示出了将控制器电路 985、信号分割电路 986 等形成于电路板 984 上方的例子,但是形成于电路板 984 上方的电路不限于此。可以形成任何能够生成用于控制屏板的信号的电路。

[0784] 将从形成于电路板 984 上方的电路输出的信号通过连接线路 987 输入到屏板 980。

[0785] 屏板 980 包括像素部分 981、源极驱动器 982 和栅极驱动器 983。屏板 980 可以具有类似于实施模式 11 到 14 中所示的那些构造中的任何一种的构造。虽然图 73 示出了源极驱动器 982 和栅极驱动器 983 与像素部分 981 形成于同一基板上的例子,本发明的显示模块不限于此。可以仅将栅极驱动器 983 与像素部分 981 形成于同一基板上,而源极驱动器 982 可以形成于电路板上。或者,源极驱动器 982 和栅极驱动器 983 都可以形成于电路板上。

[0786] 可以使用这种显示模块形成各种电子装置的显示部分。

[0787] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0788] (实施模式 22)

[0789] 可以将本发明用于各种电子装置。电子装置的例子包括照相机(例如摄像机或数字照相机)、投影仪、头戴式显示器(例如风镜显示器)、导航系统、车载立体声、个人计算机、游戏机、便携式信息终端(例如移动计算机、移动电话或电子图书)、设有记录介质的图像

复现装置等。作为设有记录介质的图像复现装置的例子,有复现诸如数字多用盘(DVD)的记录介质的内容且具有显示所复现的图像的显示器的装置等。图 74A 到 74D 示范性地示出了这样的电子装置。

[0790] 图 74A 示出了一种膝上型个人计算机,其包括主体 911、外壳 912、显示部分 913、键盘 914、外部连接端口 915、定点设备 916 等。将本发明应用于显示部分 913。利用本发明,能够降低显示部分的功率消耗。

[0791] 图 74B 示出了设有记录介质(具体而言为 DVD 播放机)的图像复现装置,其包括主体 921、外壳 922、第一显示部分 923、第二显示部分 924、记录介质(例如 DVD)读取部分 925、操作键 926、扬声器部分 927 等。第一显示部分 923 主要显示图像数据,而第二显示部分 924 主要显示文本数据。将本发明应用于第一显示部分 923 和第二显示部分 924。利用本发明,能够降低显示部分的功率消耗。

[0792] 图 74C 示出了一种移动电话,其包括主体 931、音频输出部分 932、音频输入部分 933、显示部分 934、操作开关 935、天线 936 等。将本发明应用于显示部分 934。利用本发明,能够降低显示部分的功率消耗。

[0793] 图 74D 示出了一架相机,其包括主体 941、显示部分 942、外壳 943、外部连接端口 944、遥控器接收部分 945、图像接收部分 946、电池 947、音频输入部分 948、操作键 949 等。将本发明应用于显示部分 942。利用本发明,能够降低显示部分的功率消耗。

[0794] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0795] (实施模式 23)

[0796] 本实施模式将参考附图描述将具有本发明的像素构造的显示装置用于显示屏的显示部分的例子。可以将其显示部分具有有着本发明的像素构造的显示装置的显示屏结合到活动物体、建筑物等中。

[0797] 图 41A 和 41B 均示出了结合了显示装置的活动物体,作为其显示部分具有有着本发明的像素构造的显示装置的示范性显示屏。图 41A 示出了贴附于列车车厢 9701 中的玻璃门上的显示屏 9702 作为示范性的结合了显示装置的活动物体。图 41A 中所示的显示屏 9702 的显示部分具有有着本发明的像素构造的显示装置,其能够容易地响应于外部信号切换显示部分上显示的图像。因此,可以根据乘客年龄或性别变化的时间周期周期性地切换显示屏上的图像,由此可以期望会实现更为有效的广告效果。

[0798] 注意,设置其显示部分具有有着本发明的像素构造的显示装置的显示屏的位置不限于如图 41A 所示的列车车厢的玻璃门,从而能够通过改变屏板的性状将显示屏提供于任何地方。图 41B 示出了其例子。

[0799] 图 41B 示出了列车车厢的内视图。在图 41B 中,除了在图 41A 中所示出的贴附于玻璃门上的显示屏 9702 之外,还示出了贴附于玻璃窗上的显示屏 9703 和悬于天花板上的显示屏 9704。具有本发明的像素构造的显示屏 9703 具有自照明显示元件。因此,通过在交通高峰时间显示广告图像而在非高峰时间不显示图像,乘客可以通过车窗观看外部景观。此外,通过在膜形式的基板上提供自照明显示元件和诸如有机晶体管的开关元件,可以灵活地弯折具有本发明的像素构造的显示屏 9704,且可以通过驱动自照明显示元件在显示屏 9704 上显示图像。

[0800] 参考图 42 描述另一例子,其中,将显示部分具有有着本发明的像素构造的显示装置的显示屏应用于结合了显示装置的活动物体。

[0801] 图 42 示出了结合了显示装置的活动物体作为其显示部分具有有着本发明的像素构造的显示装置的示范性显示屏。图 42 示出了结合到车厢 9902 内的显示屏 9901 作为结合有显示装置的示范性活动物体。图 42 所示的显示部分具有有着本发明的像素构造的显示装置的显示屏 9901 被结合到车厢内,并按照需要显示车辆运行信息或从车外输入的信息。此外,它还具有指向车辆目的地的导航功能。

[0802] 注意,设置其显示部分具有有着本发明的像素构造的显示装置的显示屏的位置不限于如图 42 所示的车厢的前部,因此可以通过改变屏板的性状将显示屏提供在任何地方,例如玻璃窗或门上。

[0803] 参考图 43A 和 43B 描述另一例子,其中,将显示部分具有有着本发明的像素构造的显示装置的显示屏应用于结合了显示装置的活动物体。

[0804] 图 43A 和 43B 均示出了结合了显示装置的活动物体,作为其显示部分具有有着本发明的像素构造的显示装置的示范性显示屏。图 43A 示出了飞机机身 10101 中结合到乘客座位上方天花板一部分中的显示屏 10102 作为结合有显示装置的示范性活动物体。利用铰链部分 10103 将图 43A 所示的其显示部分具有有着本发明的像素构造的显示装置的显示屏 10102 固定到机身 10101,从而乘客能够借助于铰链部分 10103 的伸缩运动看到显示屏 10102。显示屏 10102 根据乘客的操作具有显示信息的功能以及广告或娱乐装置的功能。此外,通过如图 43B 所示将铰链部分 10103 折叠到天花板上,将显示屏 10102 收藏到机身 10101 中,可以确保飞机起飞和着陆时的安全。注意,在紧急时刻通过点亮显示屏的显示元件,显示屏也可以被用作指示灯。

[0805] 注意,设置其显示部分具有有着本发明的像素构造的显示装置的显示屏的位置不限于如图 43A 和 43B 所示的机身 10101 的天花板,因此可以通过改变屏板的性状将显示屏提供在任何地方,例如座位或门上。例如,可以将显示屏设于座位背后,使得后排座位的乘客可以操作和观看显示屏。

[0806] 虽然本实施模式已经展示了列车车厢、汽车车厢和飞机机身作为示范性活动物体,本发明不局限于这些,可以将本发明应用于摩托车、四轮运输工具(包括小汽车、公共汽车等)、列车(包括单轨铁路、铁路等)、船舶和运载器等。通过利用其显示部分具有有着本发明的像素构造的显示屏,可以实现显示屏尺寸和功率消耗的减小,且可以提供具有能够优异地运行的显示媒体的活动物体。具体而言,由于可以一次切换在活动物体中结合的多个显示屏上显示的图像,本发明相当有利之处在于,可以将其应用于针对未定数量的客户的广告媒介或紧急时刻中的信息显示板。

[0807] 参考图 53 描述一例,其中显示部分具有有着本发明的像素构造的显示装置的显示屏被应用于一结构。

[0808] 图 53 示出了一例作为显示部分具有有着本发明的像素构造的显示装置的示范性显示屏,其中,通过在膜形式的基板上提供自照明显示元件和诸如有机晶体管的开关元件形成柔性显示屏,通过驱动自照明显示元件可以在显示屏上显示图像。在图 53 中,显示屏提供于作为一种结构的外部圆柱物体,例如电话线杆的弯曲表面上,具体而言,这里示出的是这样的结构,其中显示屏 9802 贴附于作为柱状物体的电话线杆 9801 上。

[0809] 图 53 中所示的显示屏 9802 大约位于电话线杆一半高度处,从而高于人眼的水平高度。当从活动物体 9803 观看显示屏时,能够识别出显示屏 9802 上的图像。通过在提供于大量并立在一起的外部的电话线杆上的显示屏 9802 上显示相同的图像,观看者能够识别出所显示的信息或广告。利用外部信号,图 53 中的提供于电话线杆 9801 上的显示屏 9802 可以容易地显示相同的图像;因此,可以预期能够实现相当高效的信息显示和广告发布效果。此外,当提供自照明显示元件作为本发明的显示屏中的显示元件时,显示屏可以有效地被用作即使在夜间也高度可见的显示媒体。

[0810] 参考图 54 描述一例,其中显示部分具有有着本发明的像素构造的显示装置的显示屏被应用于一结构,该例与图 53 不同。

[0811] 图 54 示出了显示部分具有有着本发明的像素构造的显示装置的显示屏的另一应用例。在图 54 中,示出了结合到预制浴器单元 10002 的侧壁中的显示屏 10001 的例子。图 54 中所示的其显示部分具有有着本发明的像素构造的显示装置的显示屏 10001 被结合到预制浴器单元中,使得洗浴者能够观看显示屏 10001。显示屏 10001 根据洗浴者的操作具有显示信息的功能以及广告或娱乐装置的功能。

[0812] 设置显示部分具有有着本发明的像素构造的显示装置的显示屏的位置不限于图 54 所示的预制浴器单元 10002 的侧壁,因此可以通过改变屏板的性状将显示屏提供于任何地方。例如,可以将显示屏结合到浴镜或浴缸的一部分中。

[0813] 图 55 示出了在建筑物内提供具有大显示部分的电视机的例子。图 55 包括外壳 8010、显示部分 8011、作为操作单元的遥控装置 8012、扬声器部分 8013 等。将显示部分具有有着本发明的像素构造的显示装置的显示屏用于显示部分 8011 的制造中。将图 55 中的电视机结合到建筑物中作为壁挂式电视机,能够不需要大的空间设置电视机。

[0814] 虽然本实施模式已经展示了电话线杆作为柱状物体,预制浴器单元等作为示范性结构,但本发明不限于此,能够将本发明应用于能够结合显示装置的任何结构。通过利用其显示部分具有有着本发明的像素构造的显示装置,可以实现显示装置尺寸和功率消耗的减小,且可以提供具有能够优异地运行的显示媒体的活动物体或结构。

[0815] 注意,可以将本实施模式自由地与本说明书中其他实施模式中的任何描述进行结合。此外,可以将在本实施模式中的描述的诸部分彼此组合。

[0816] 本申请以于 2006 年 6 月 2 日向日本特许厅提交的日本优先申请 No. 2006-155472 为基础,在此引入其全部内容作为参考。

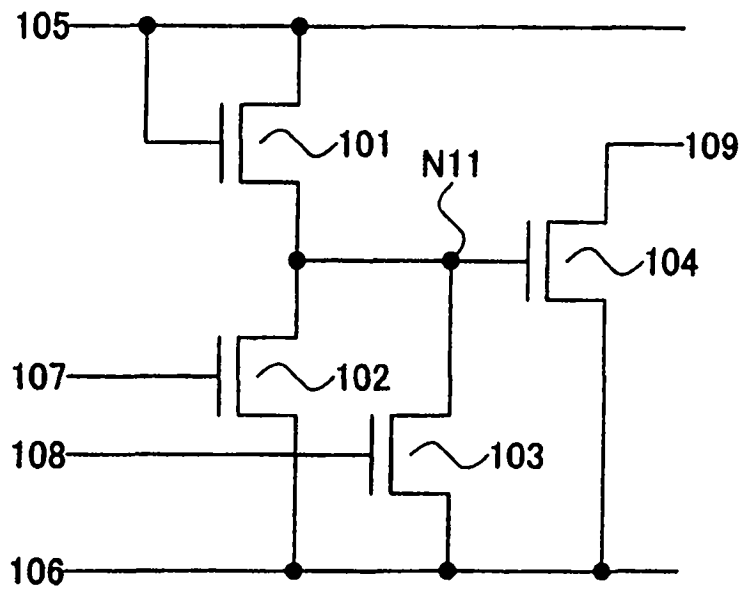


图 1A

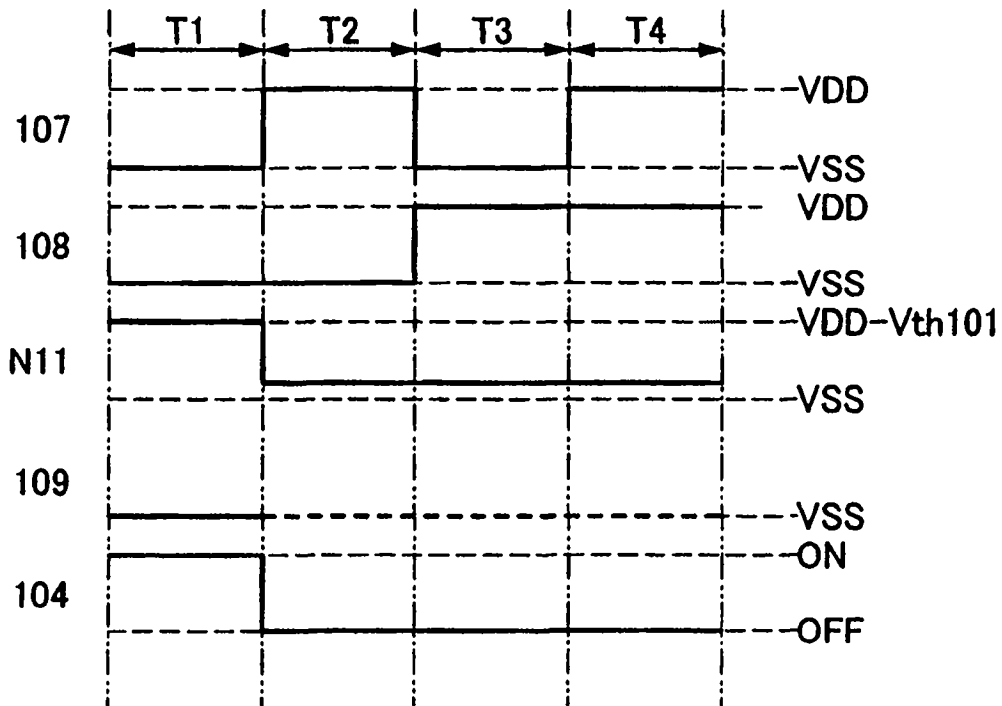


图 1B

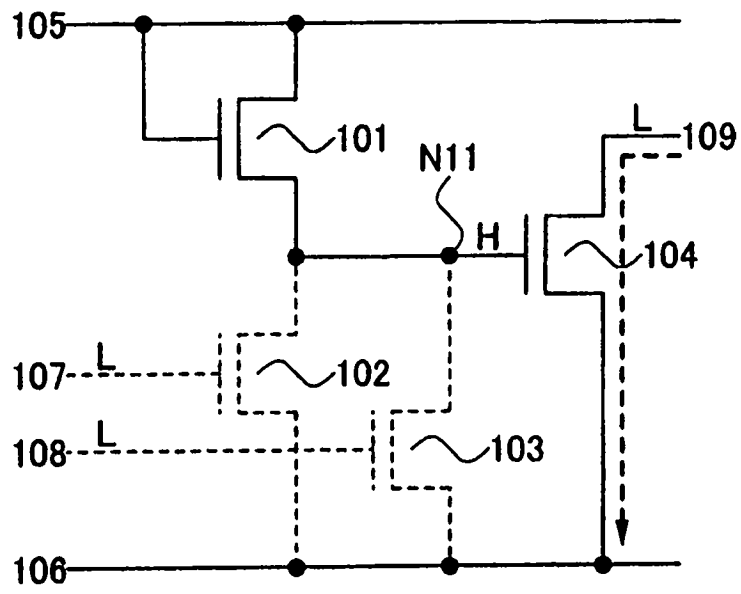


图 2A

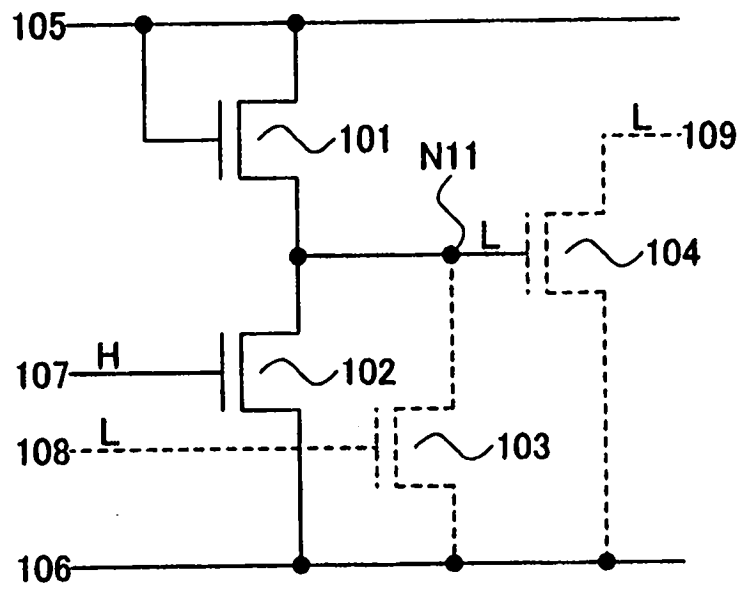


图 2B

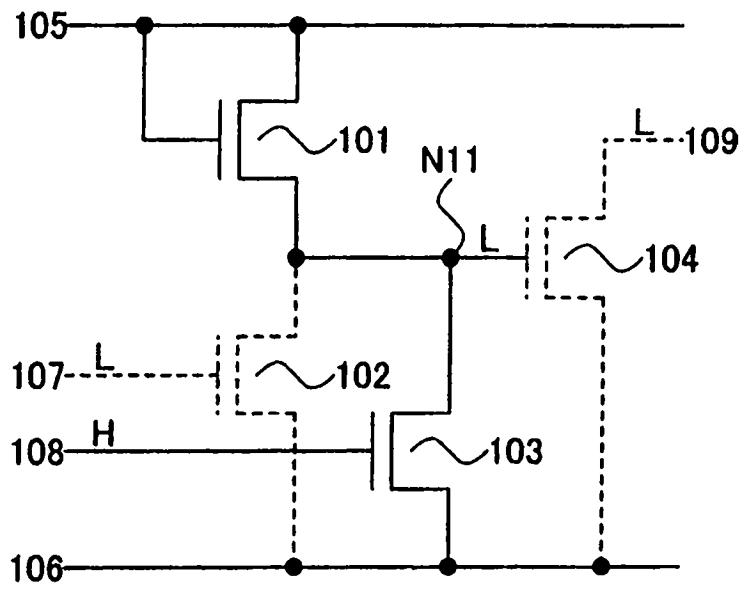


图 3A

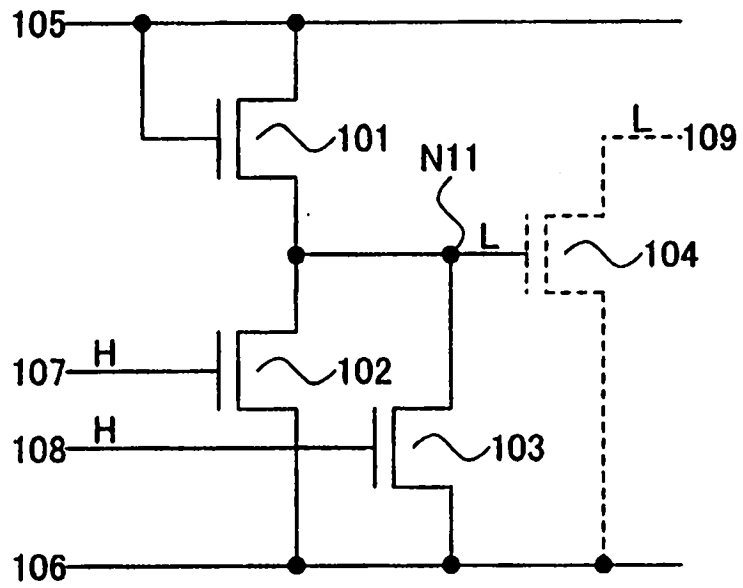


图 3B

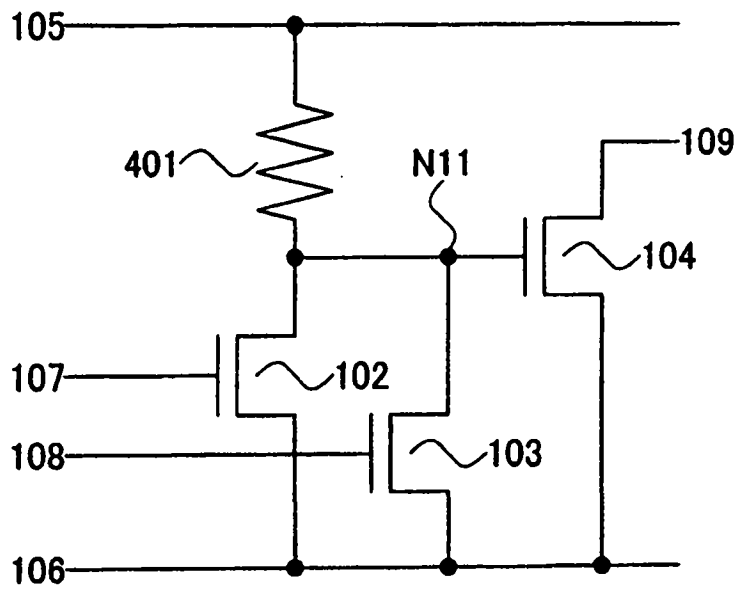


图 4A

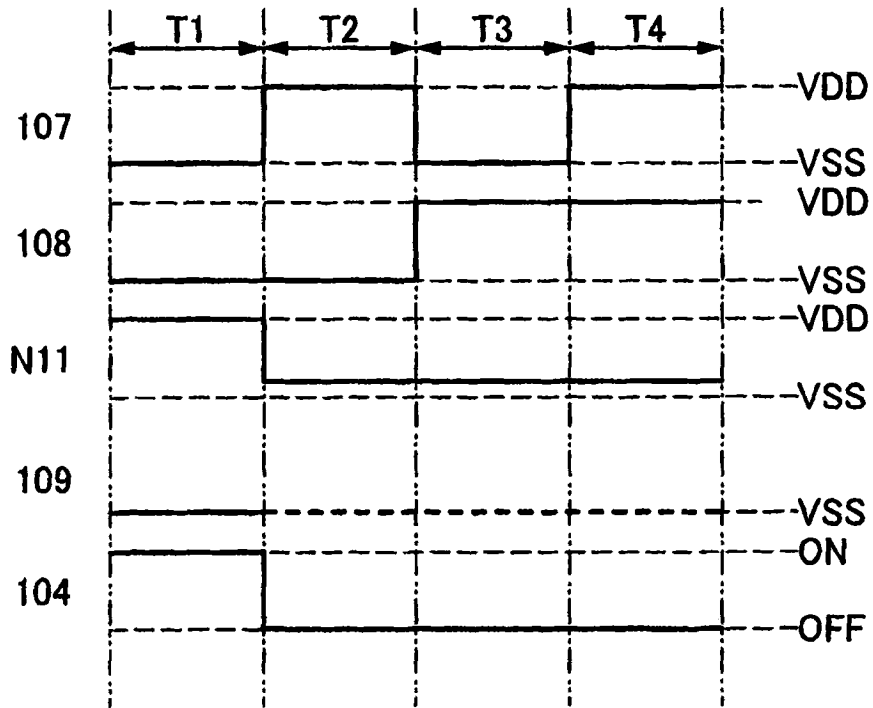


图 4B

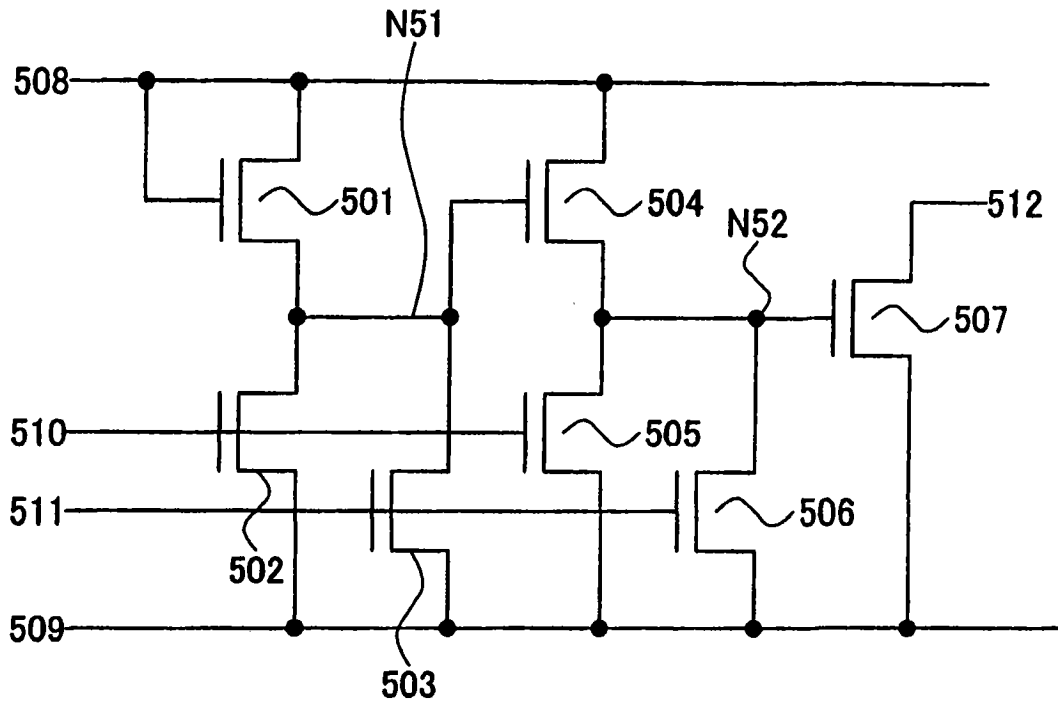


图 5A

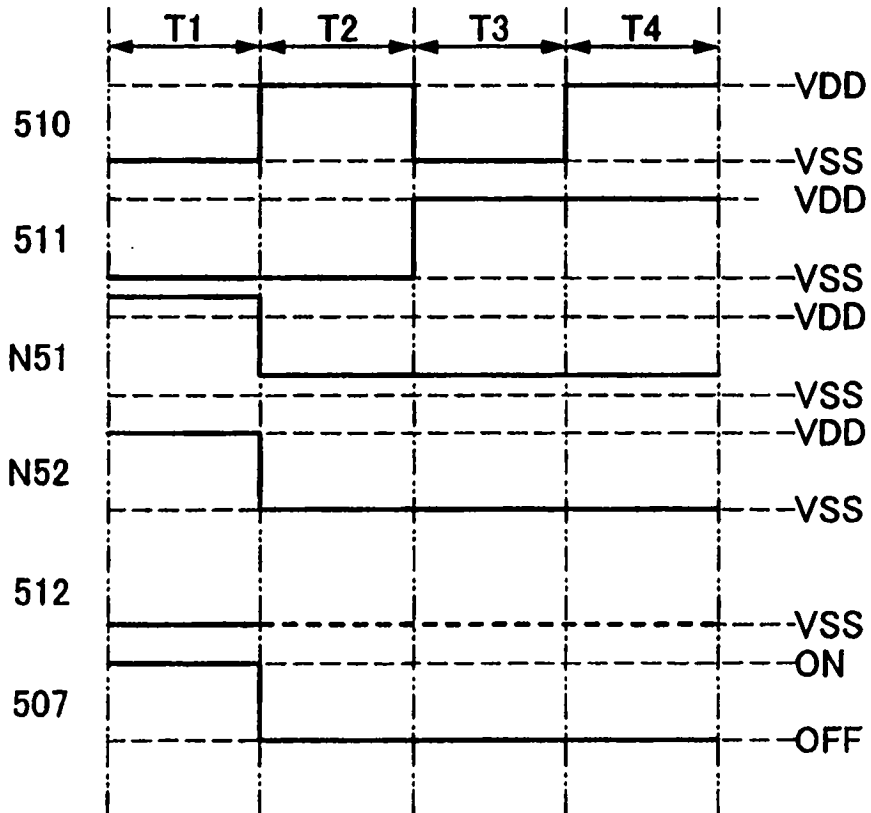


图 5B

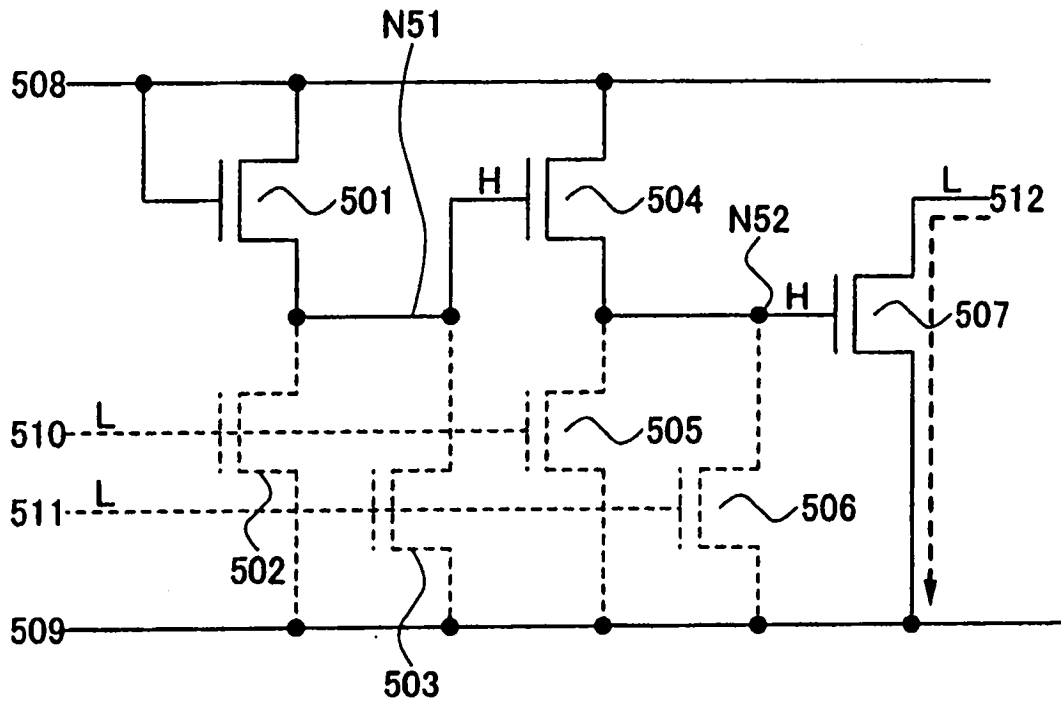


图 6A

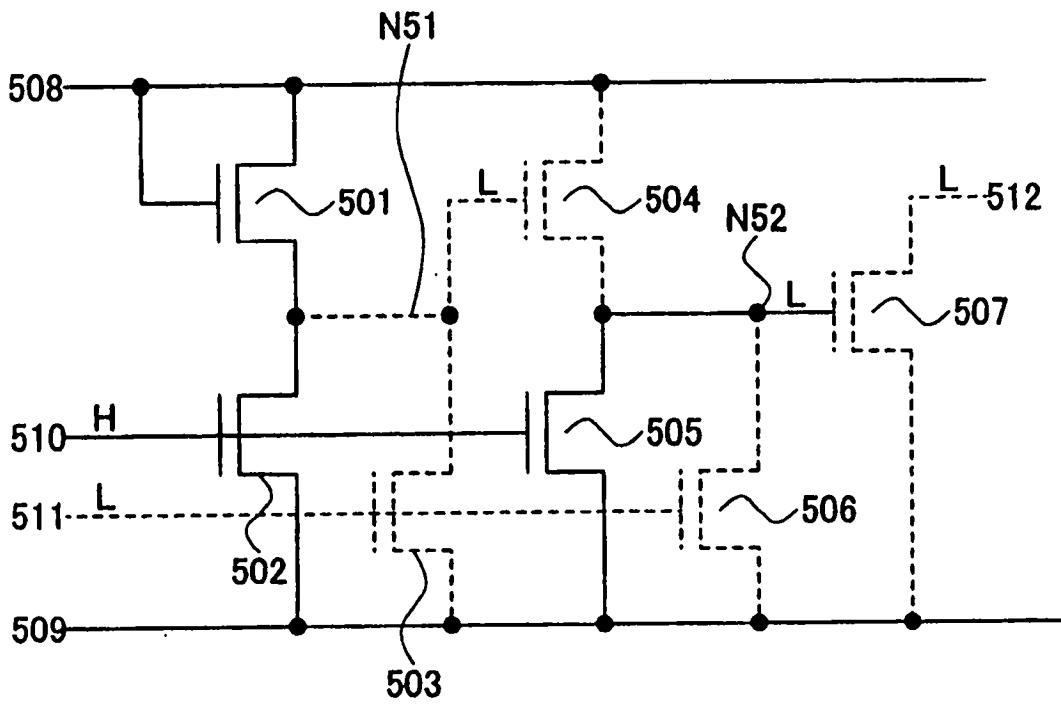


图 6B

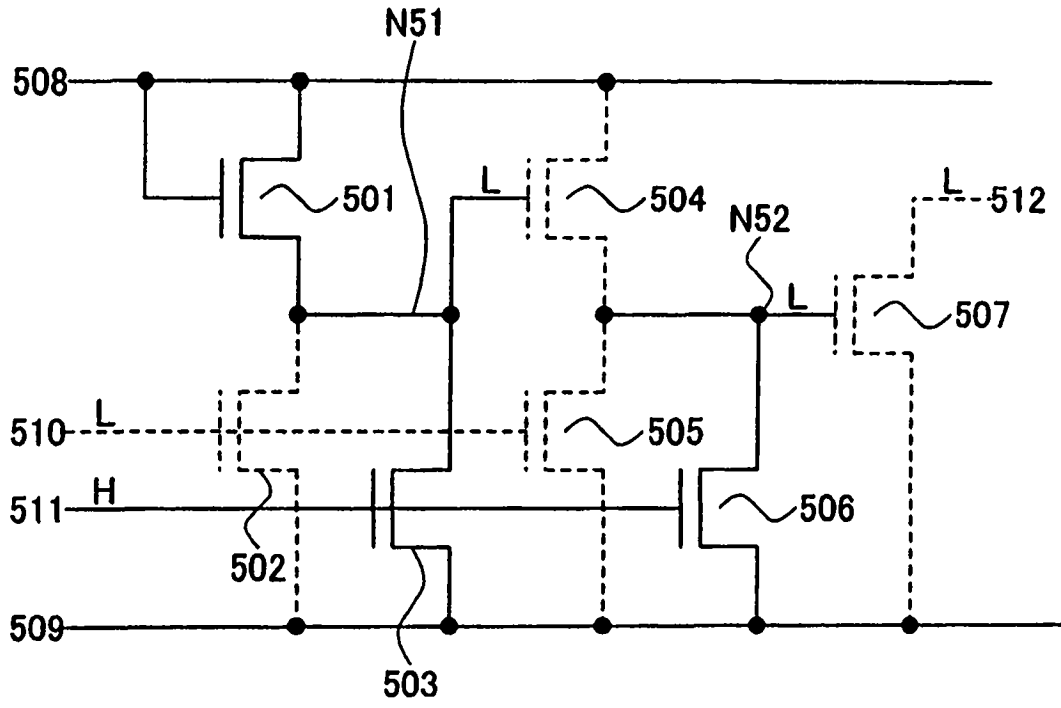


图 7A

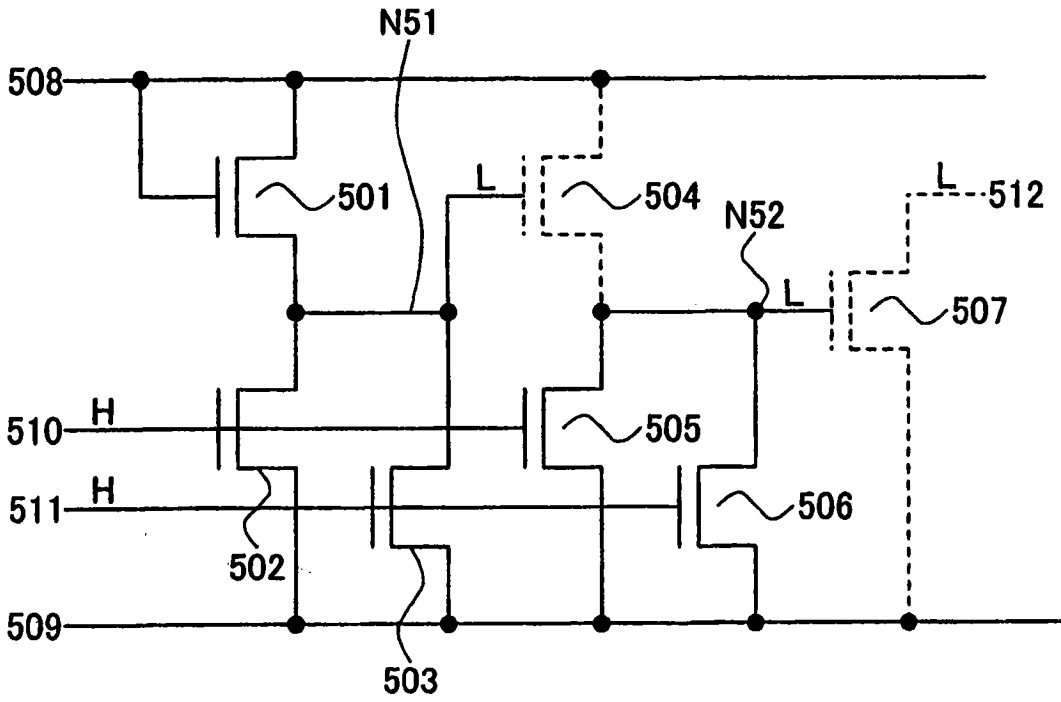


图 7B

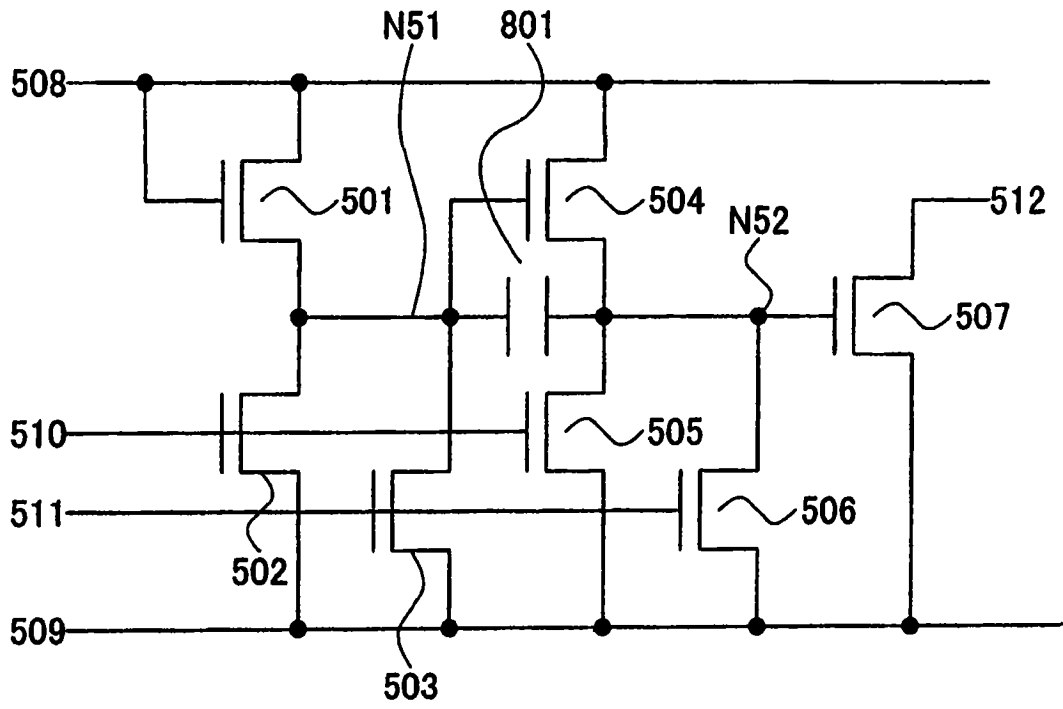


图 8A

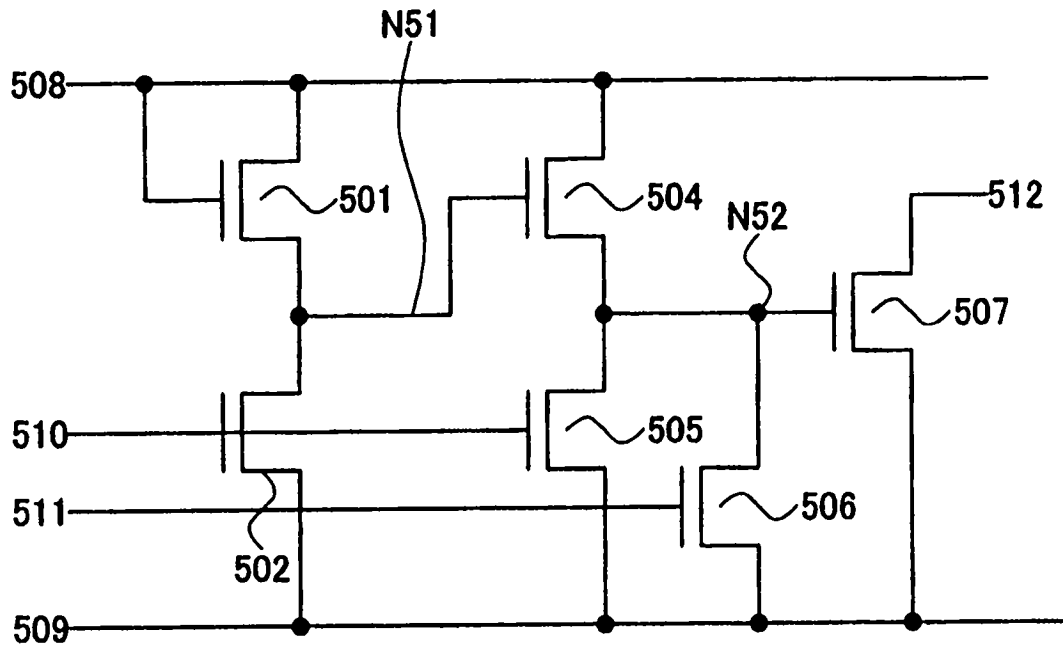


图 8B

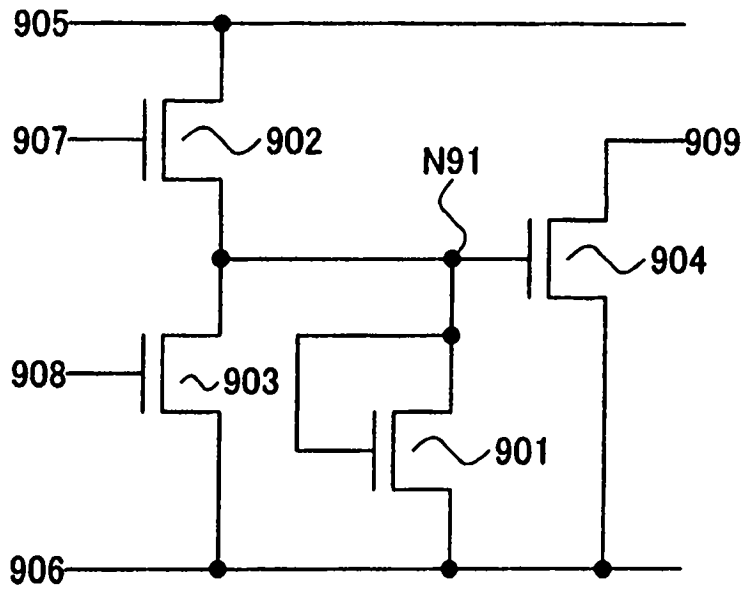


图 9A

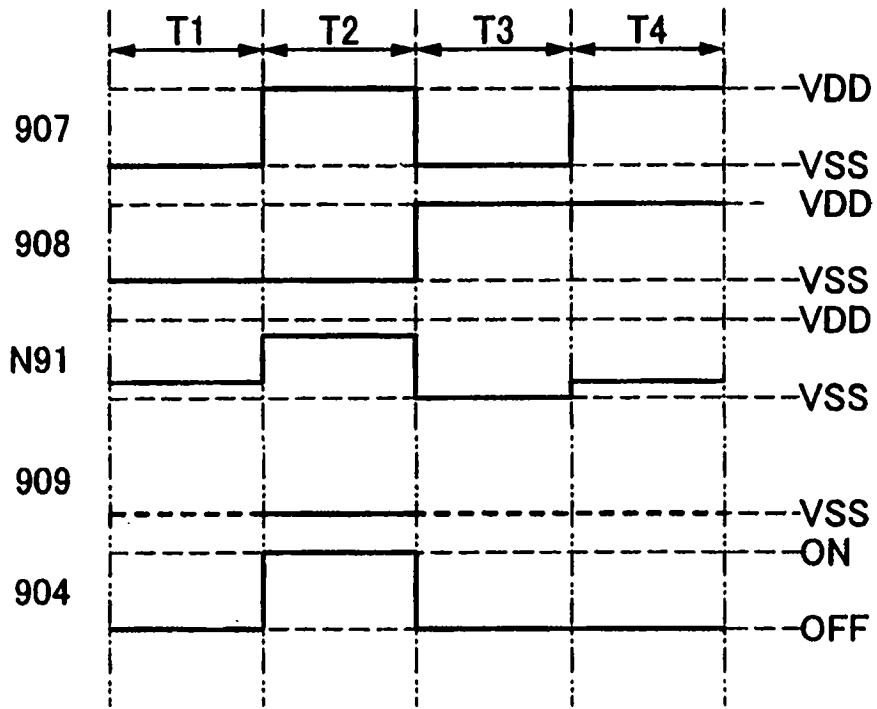


图 9B

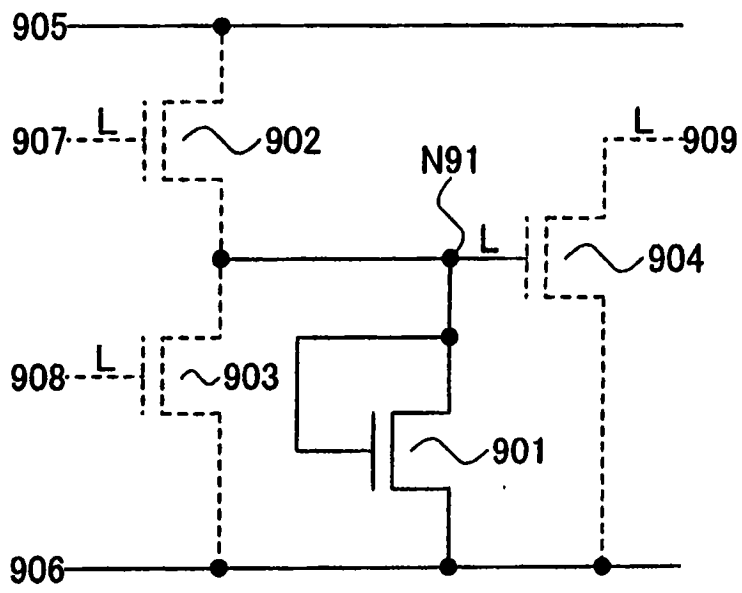


图 10A

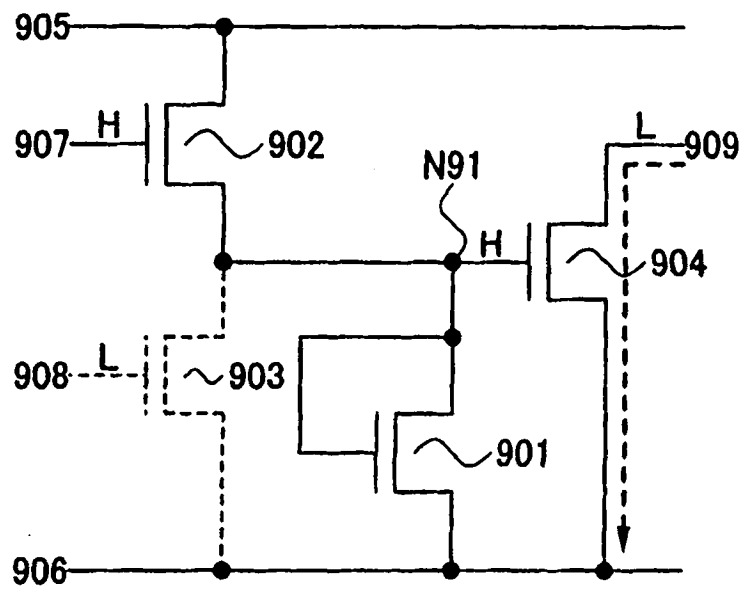


图 10B

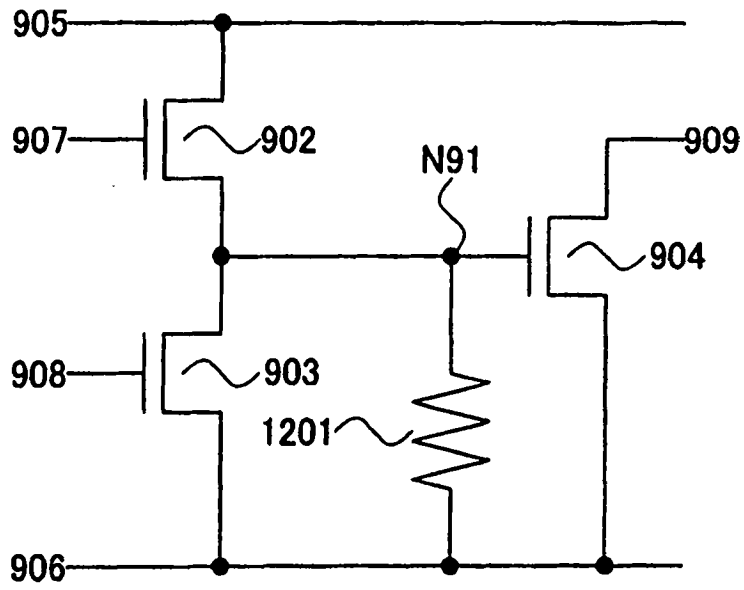


图 12A

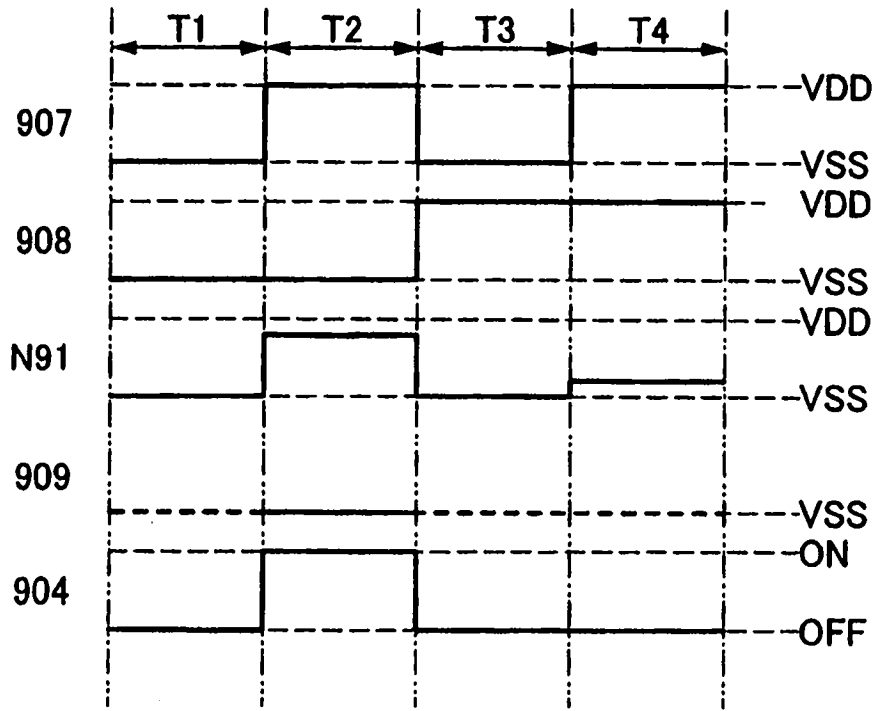


图 12B

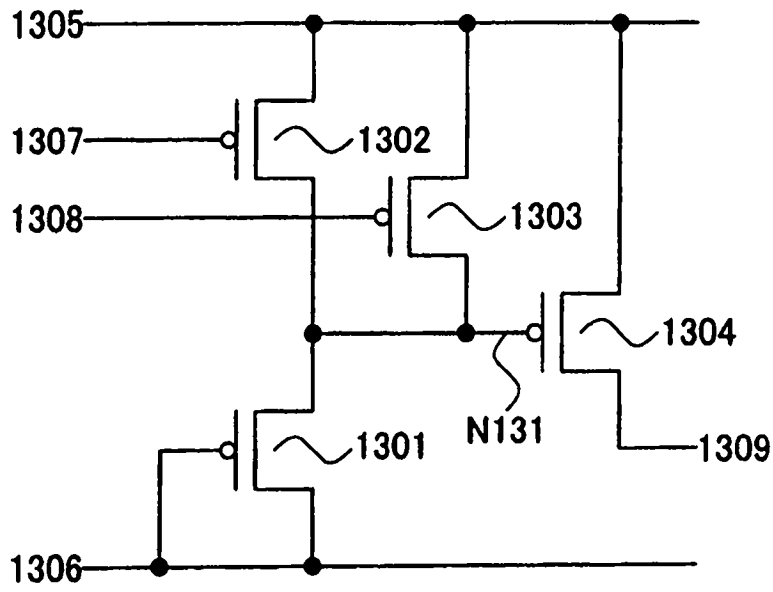


图 13A

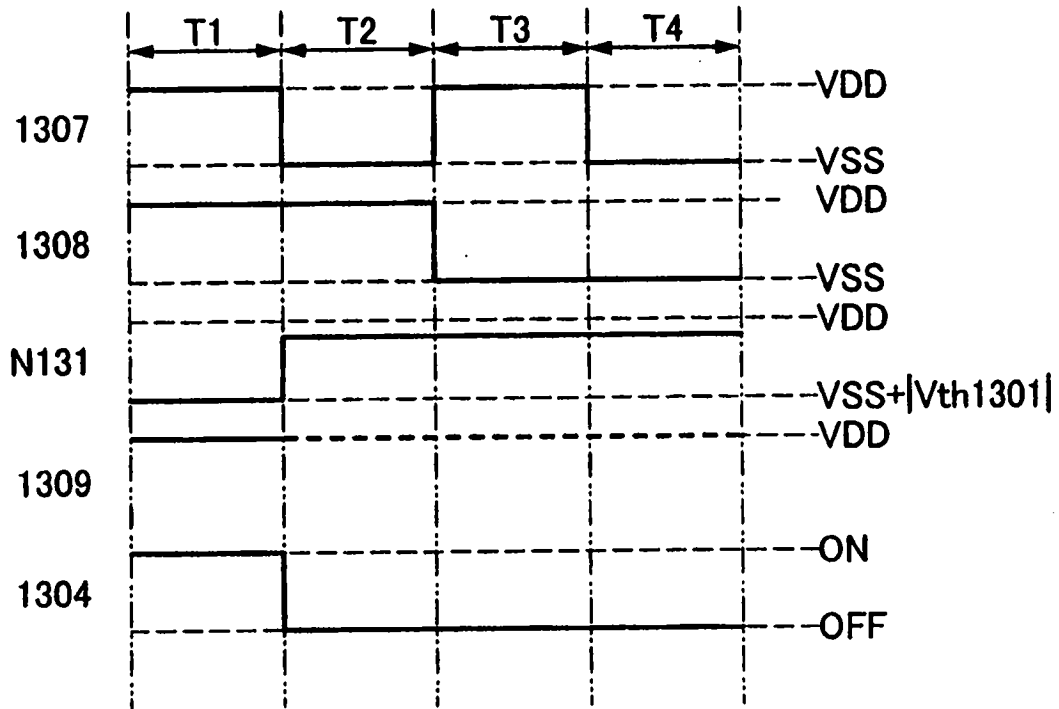


图 13B

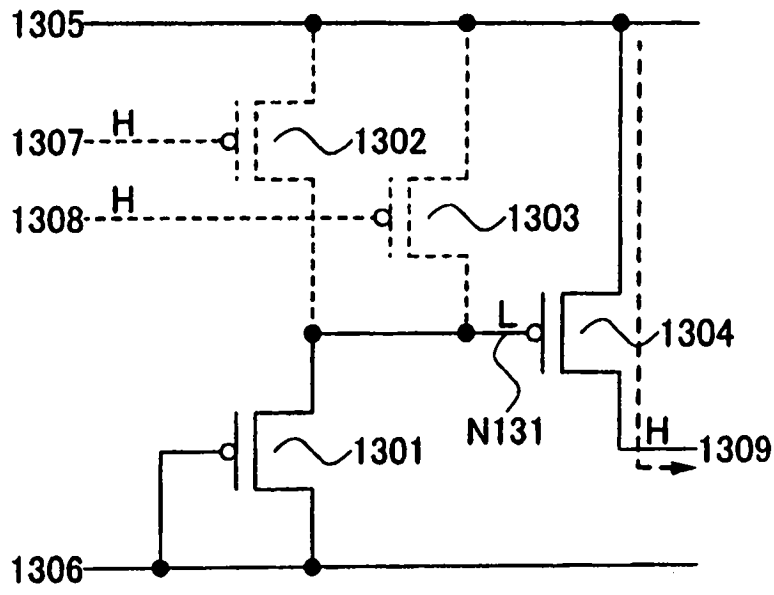


图 14A

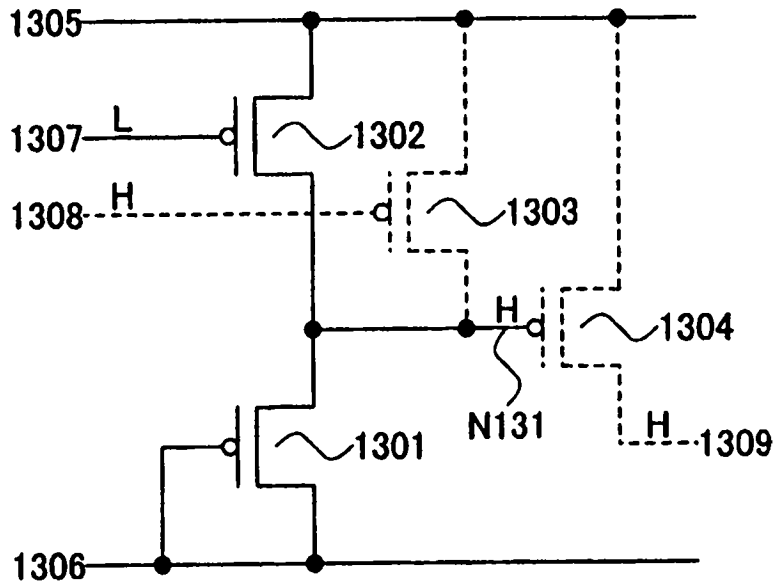


图 14B

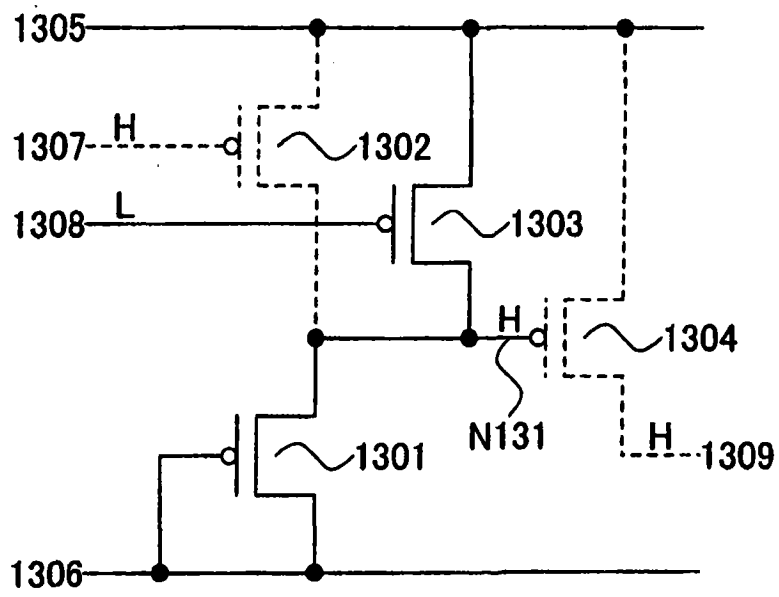


图 15A

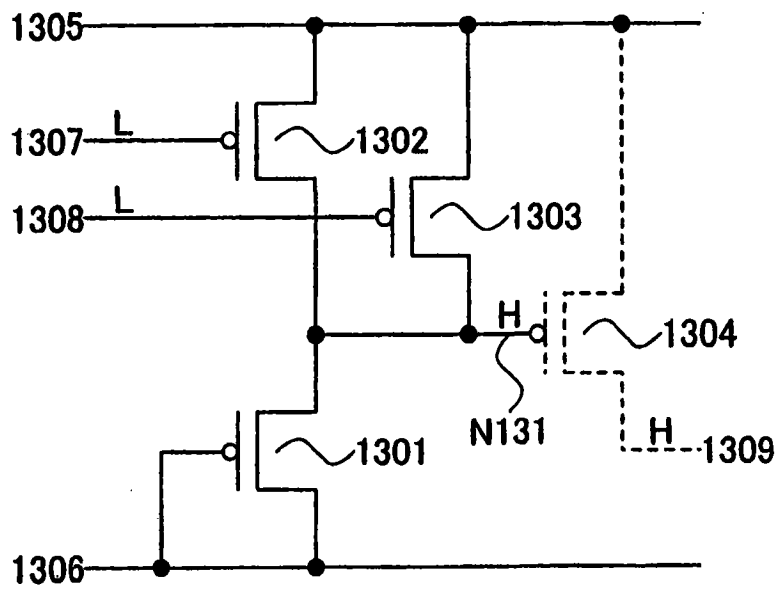


图 15B

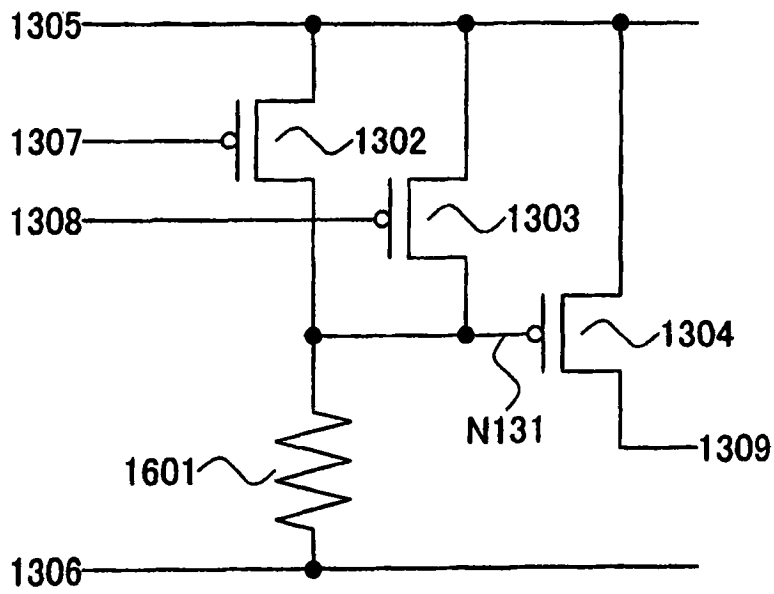


图 16A

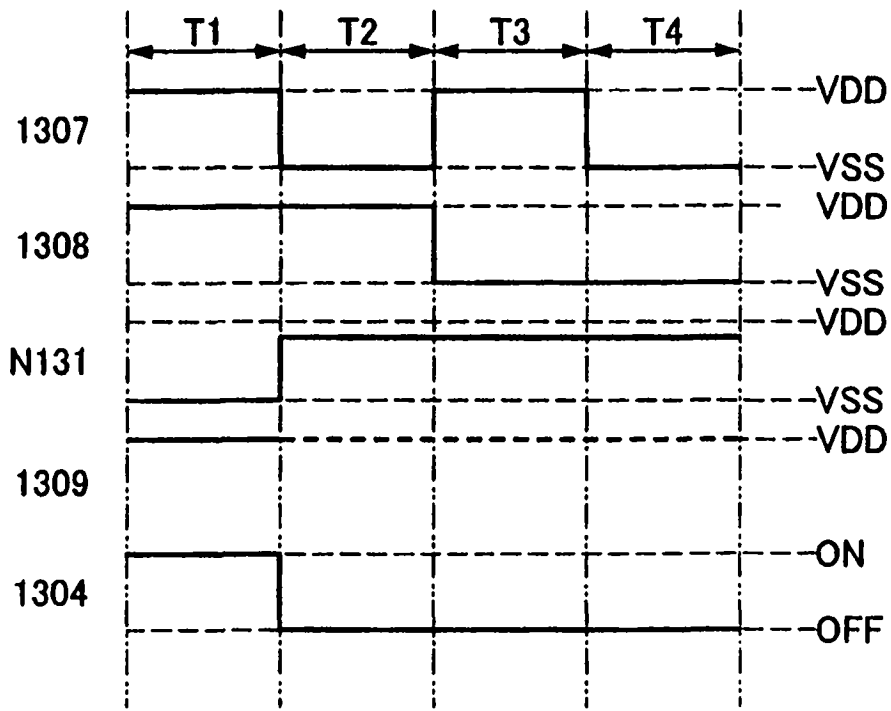


图 16B

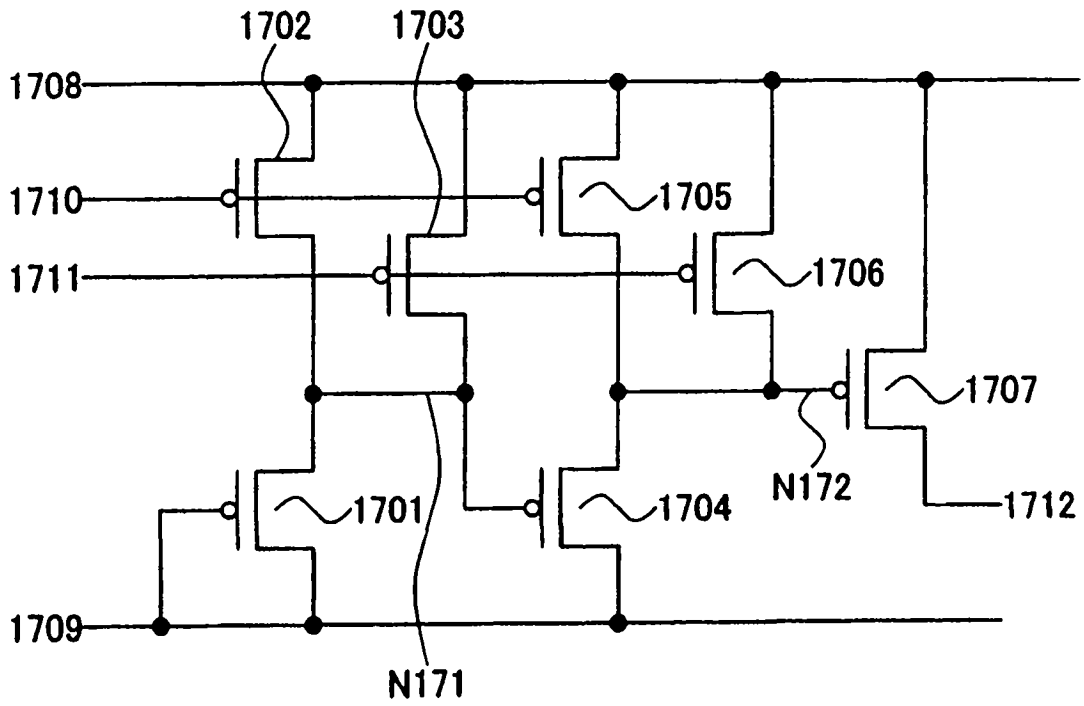


图 17A

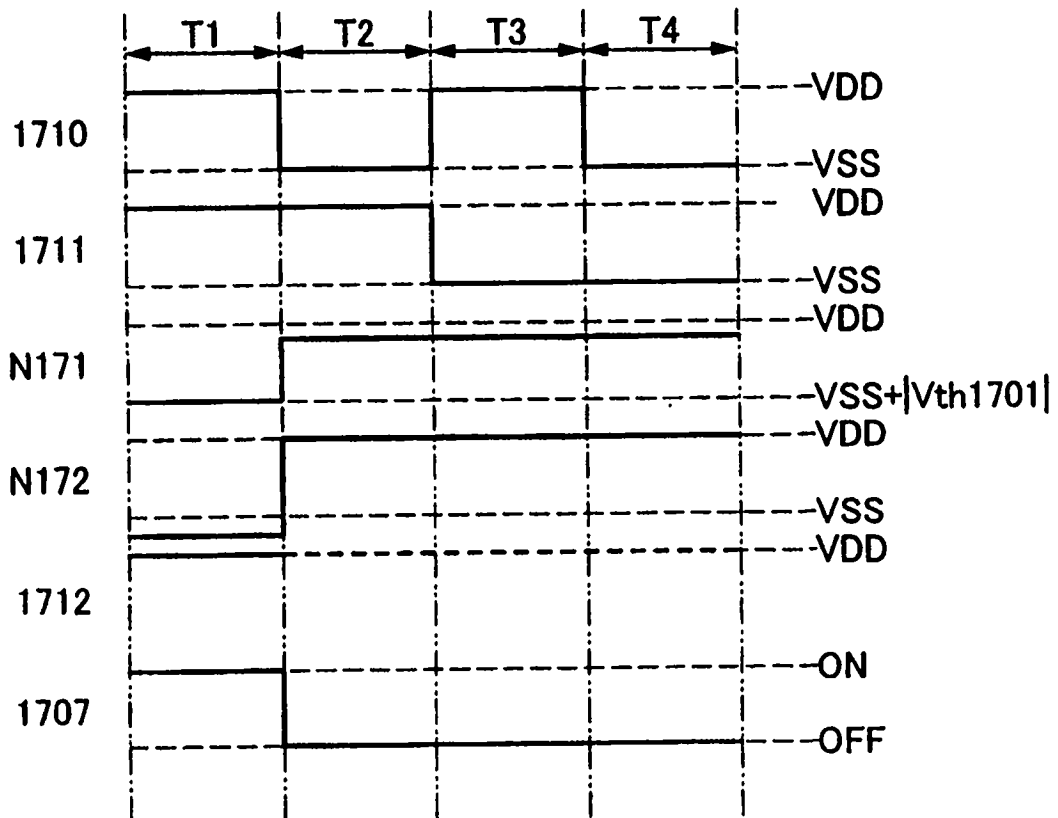


图 17B

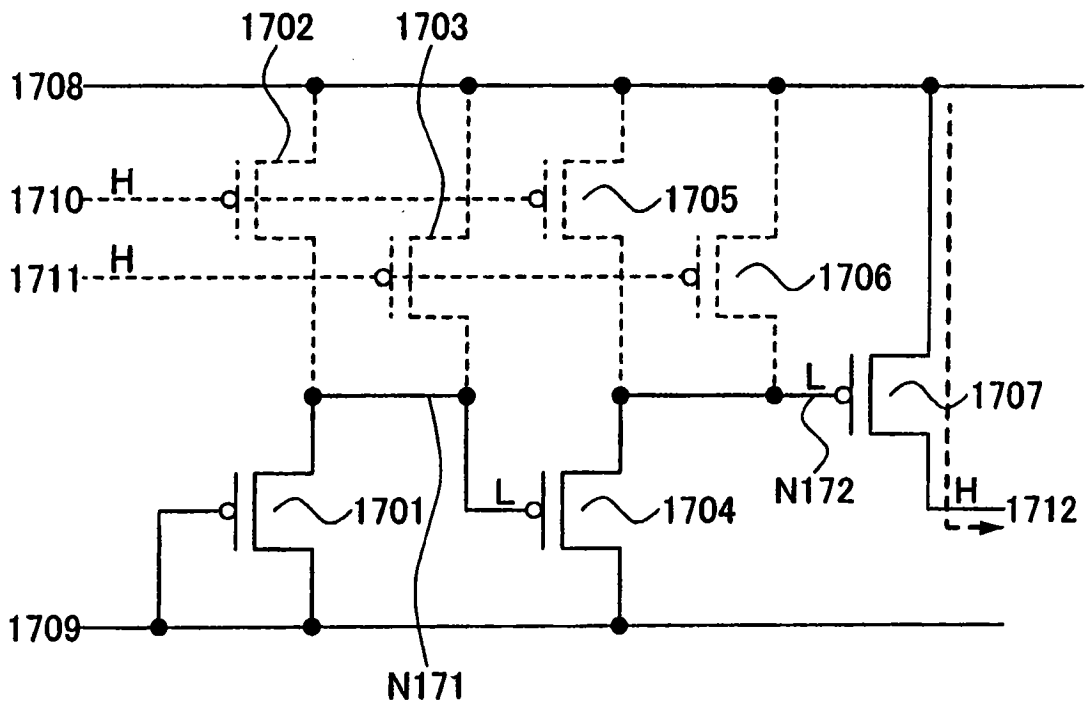


图 18A

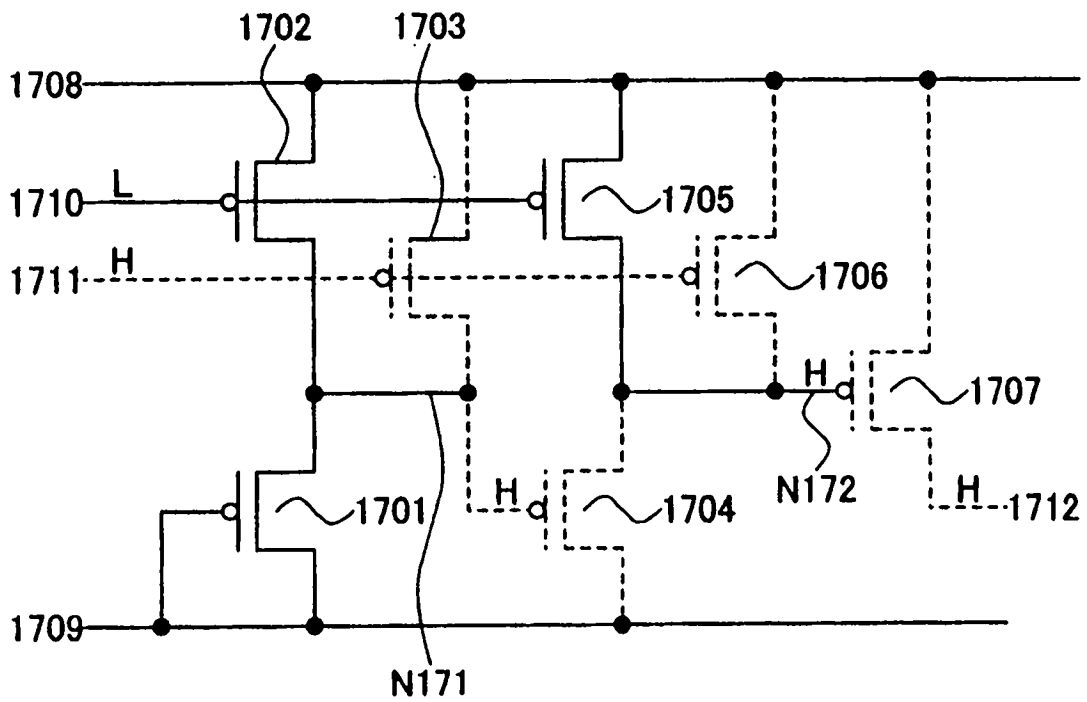


图 18B

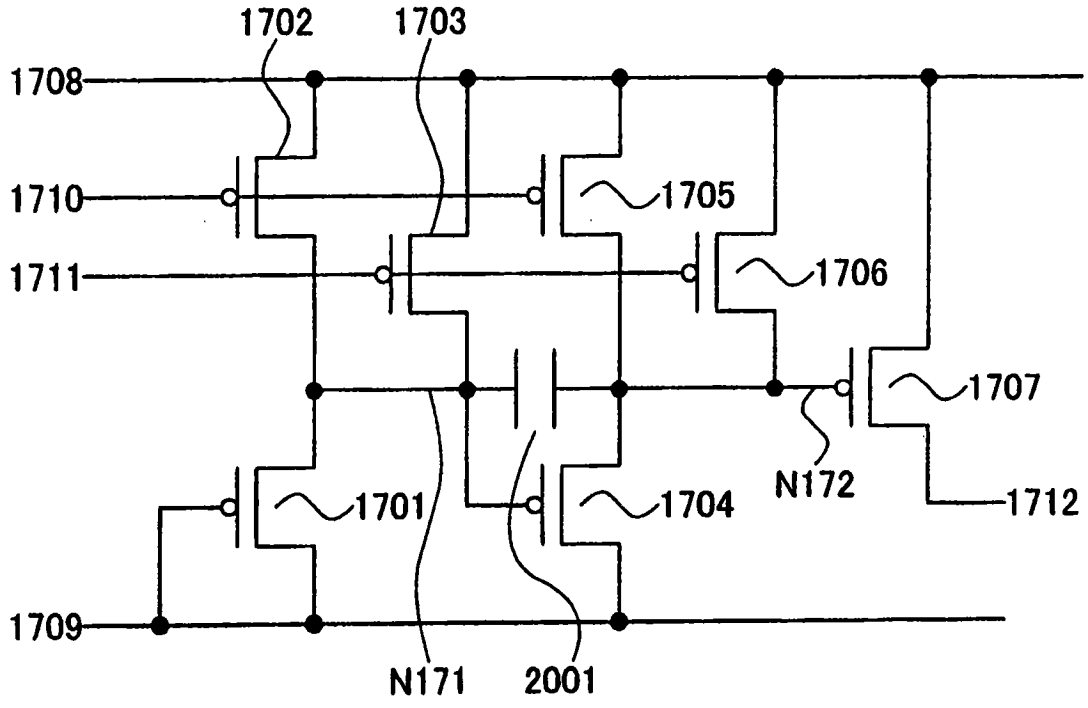


图 20A

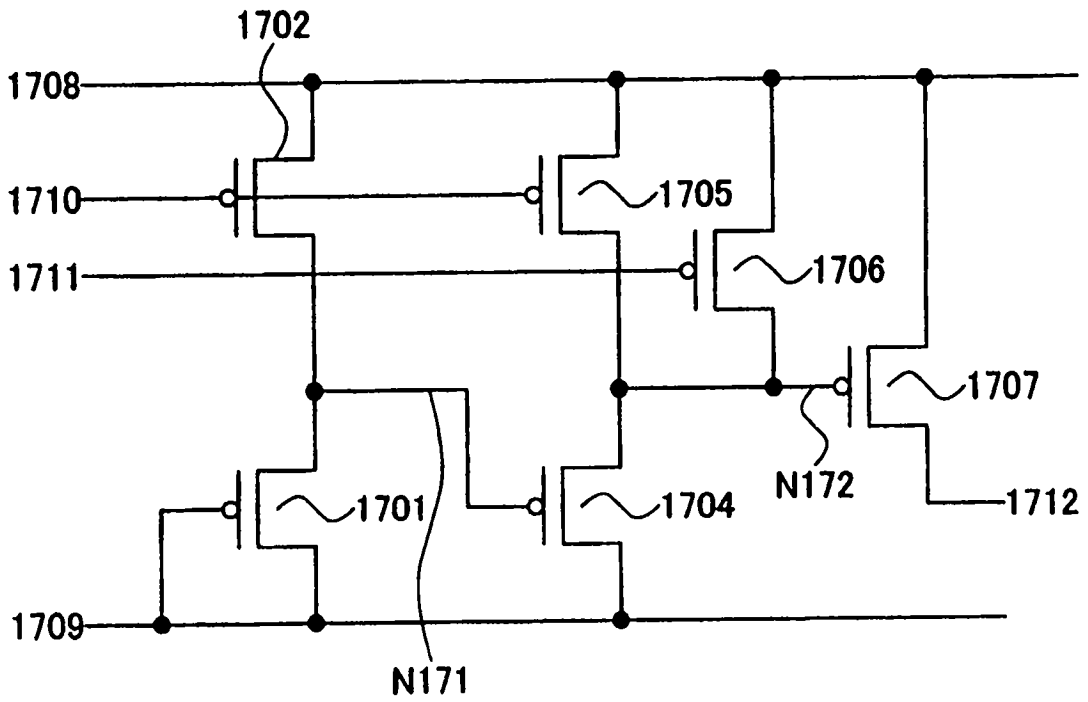


图 20B

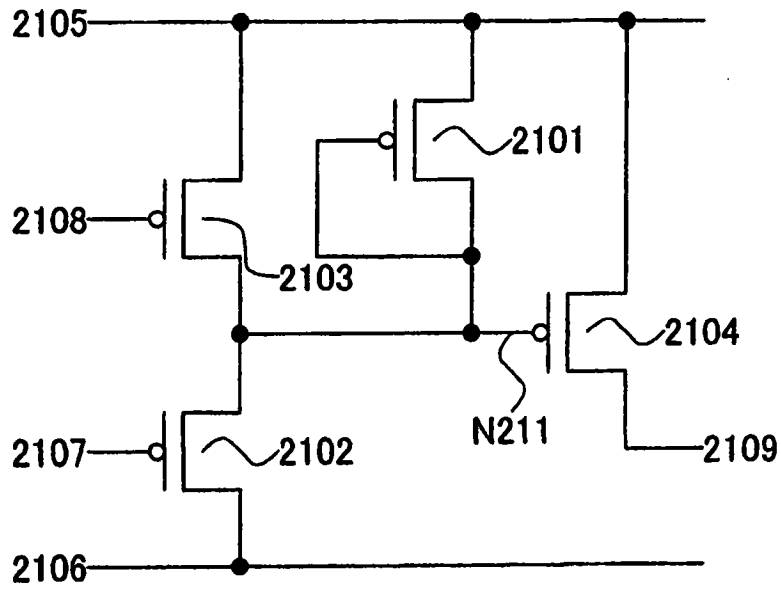


图 21A

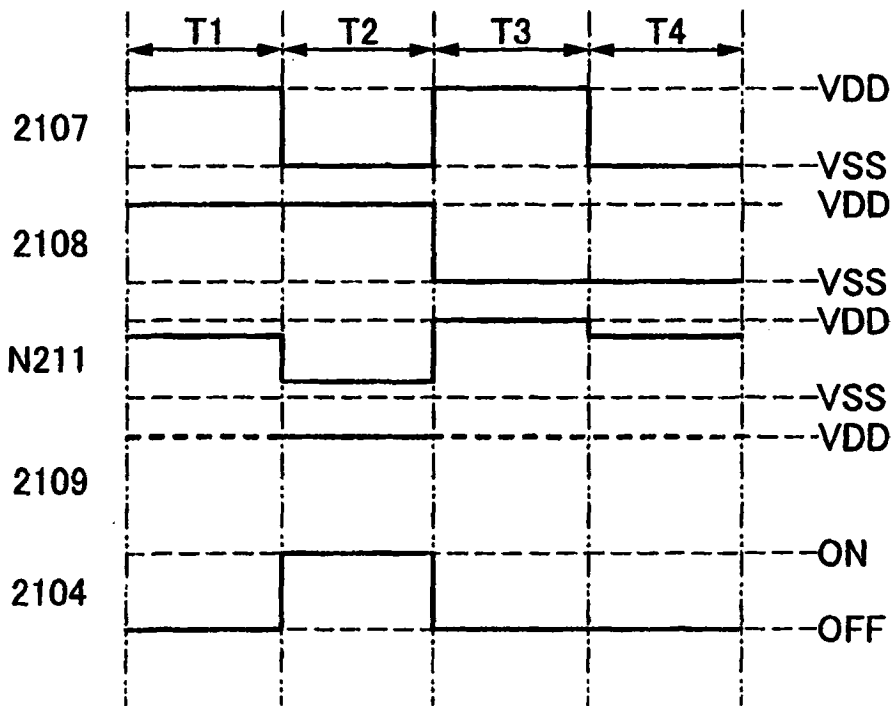


图 21B

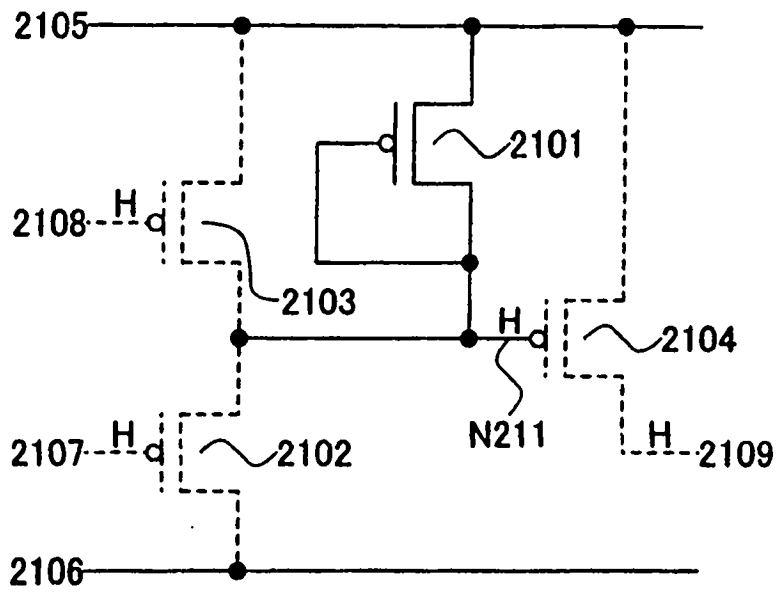


图 22A

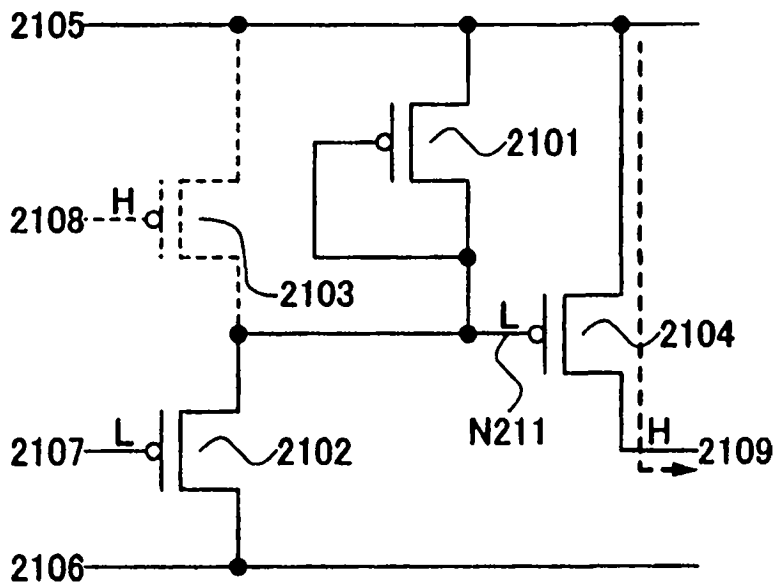


图 22B

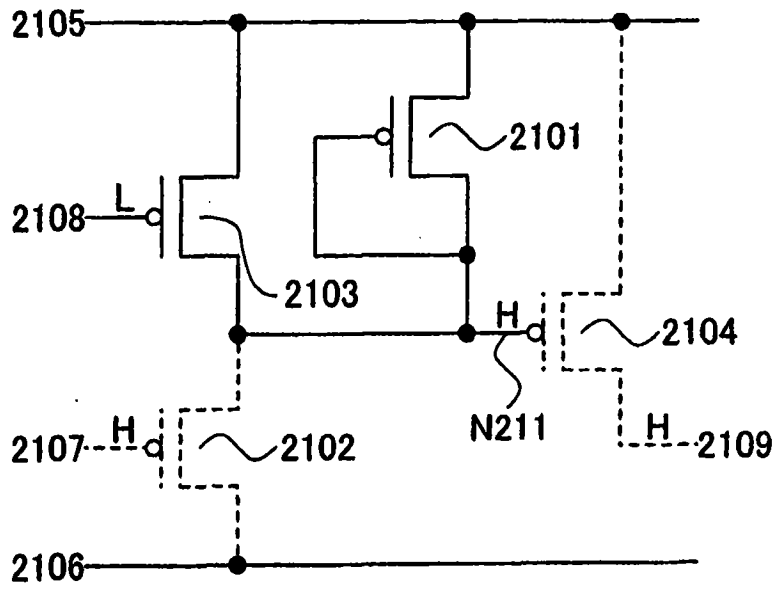


图 23A

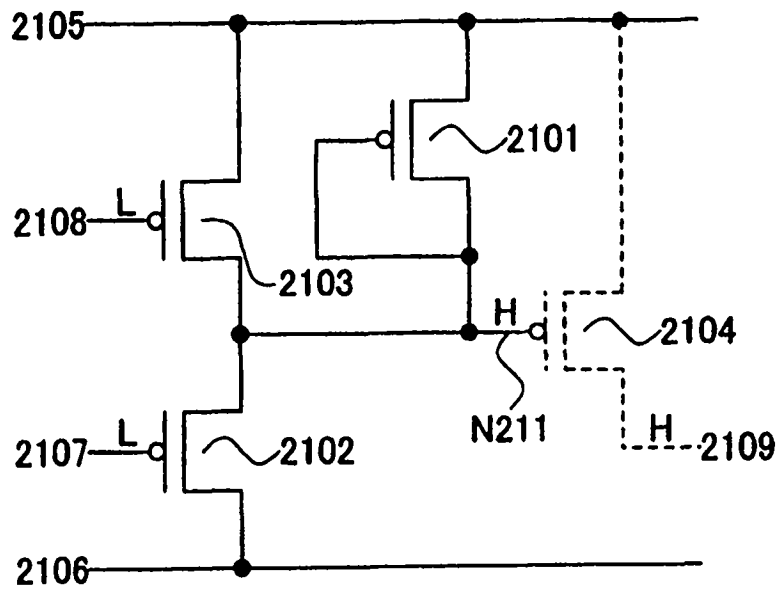


图 23B

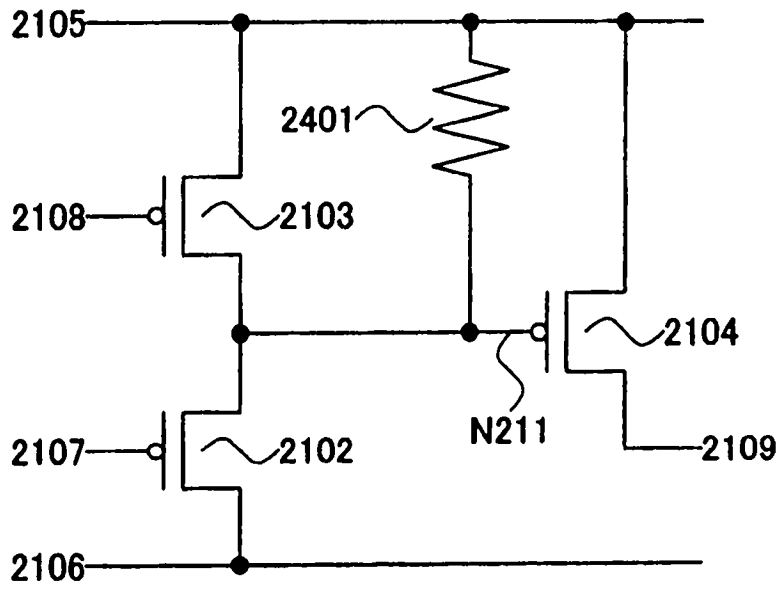


图 24A

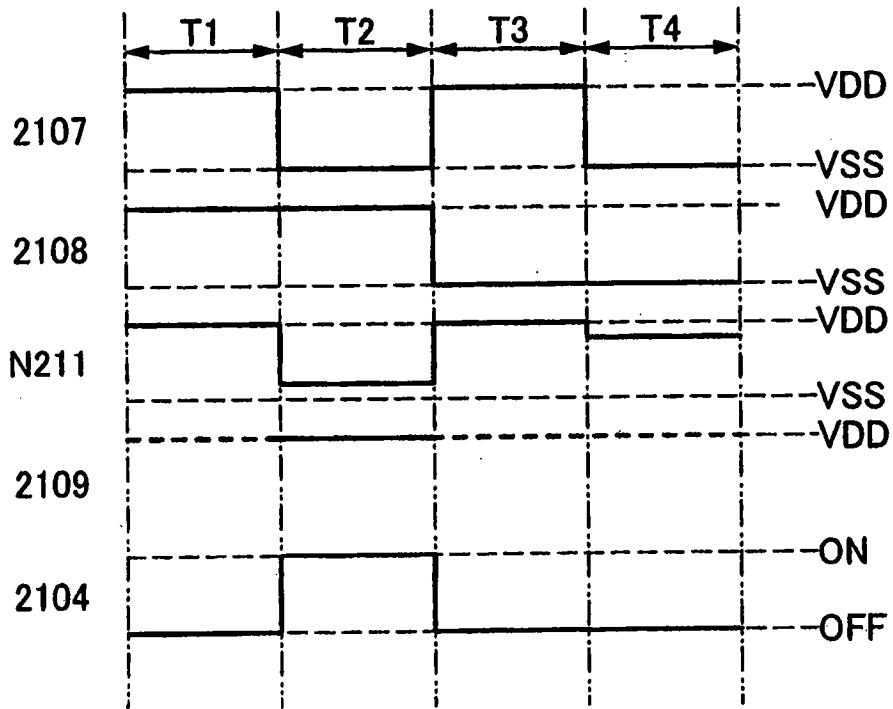


图 24B

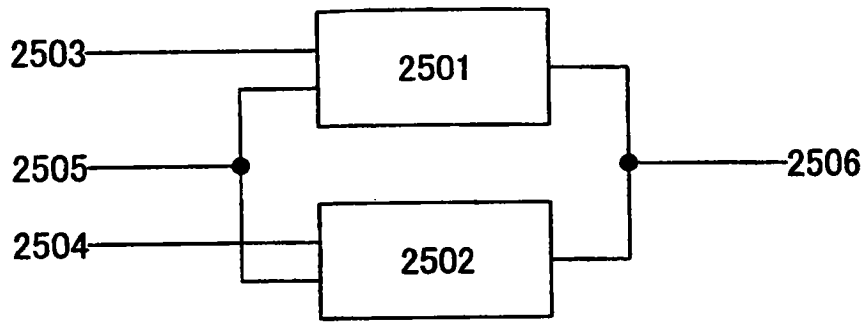


图 25A

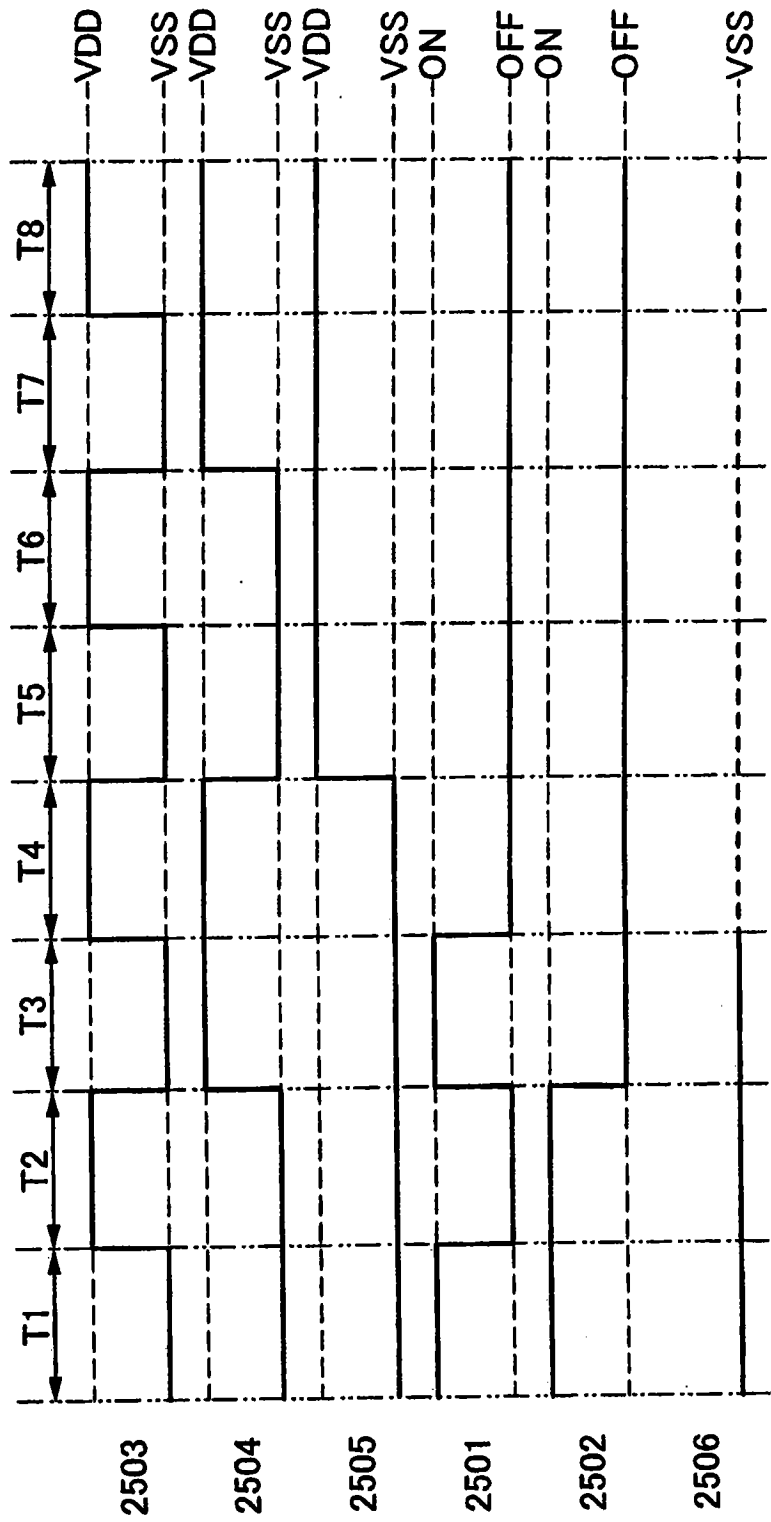


图 25B

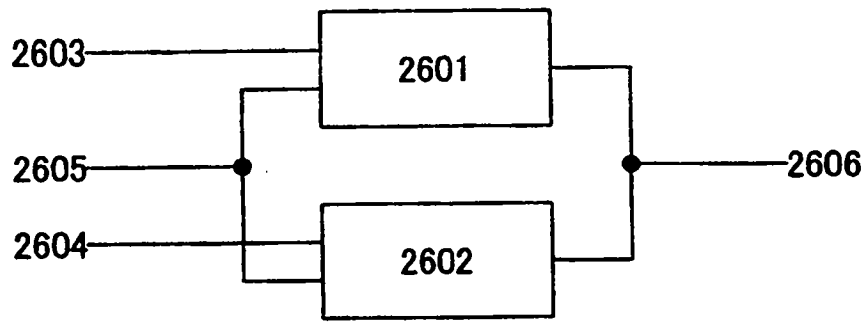


图 26A

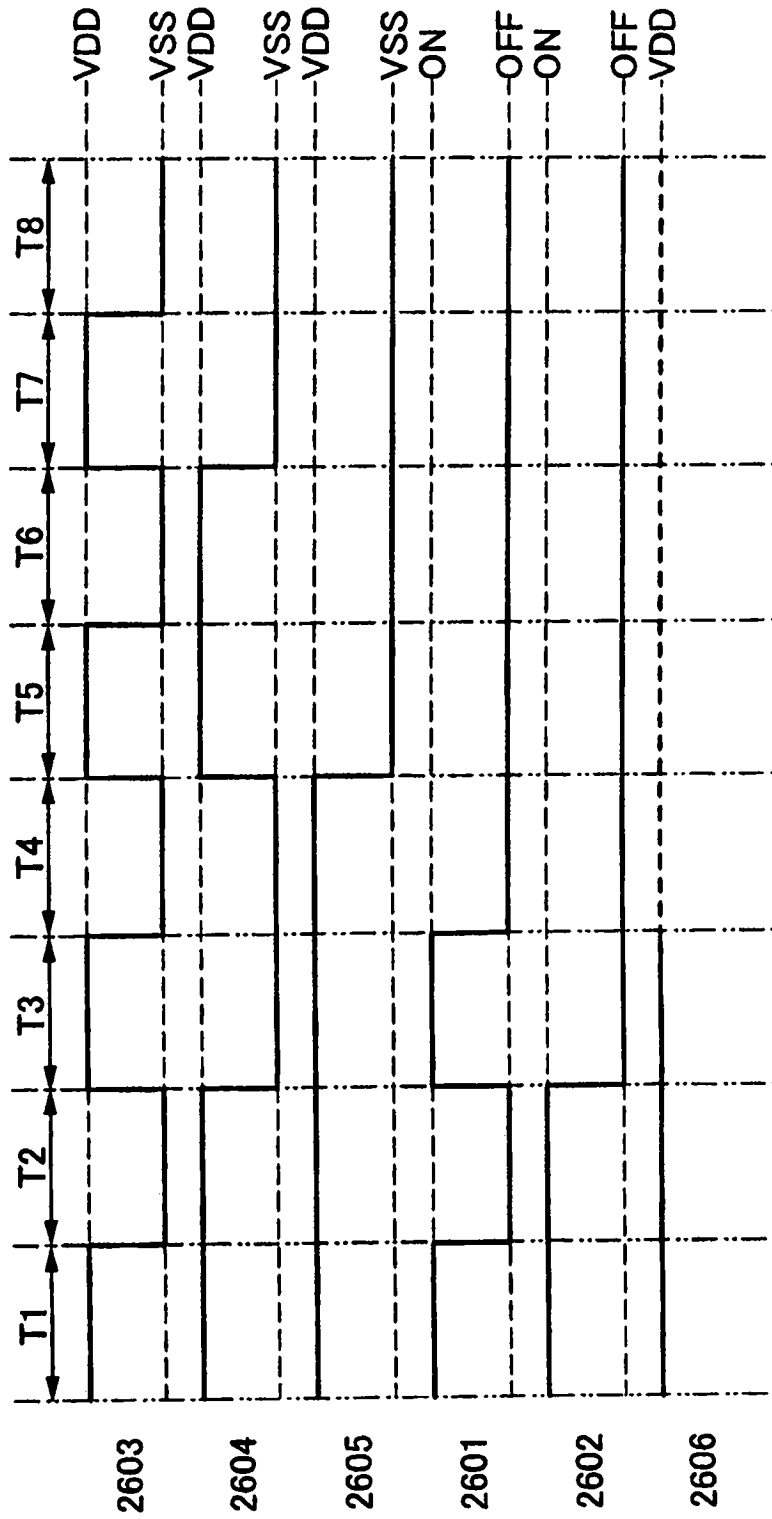


图 26B

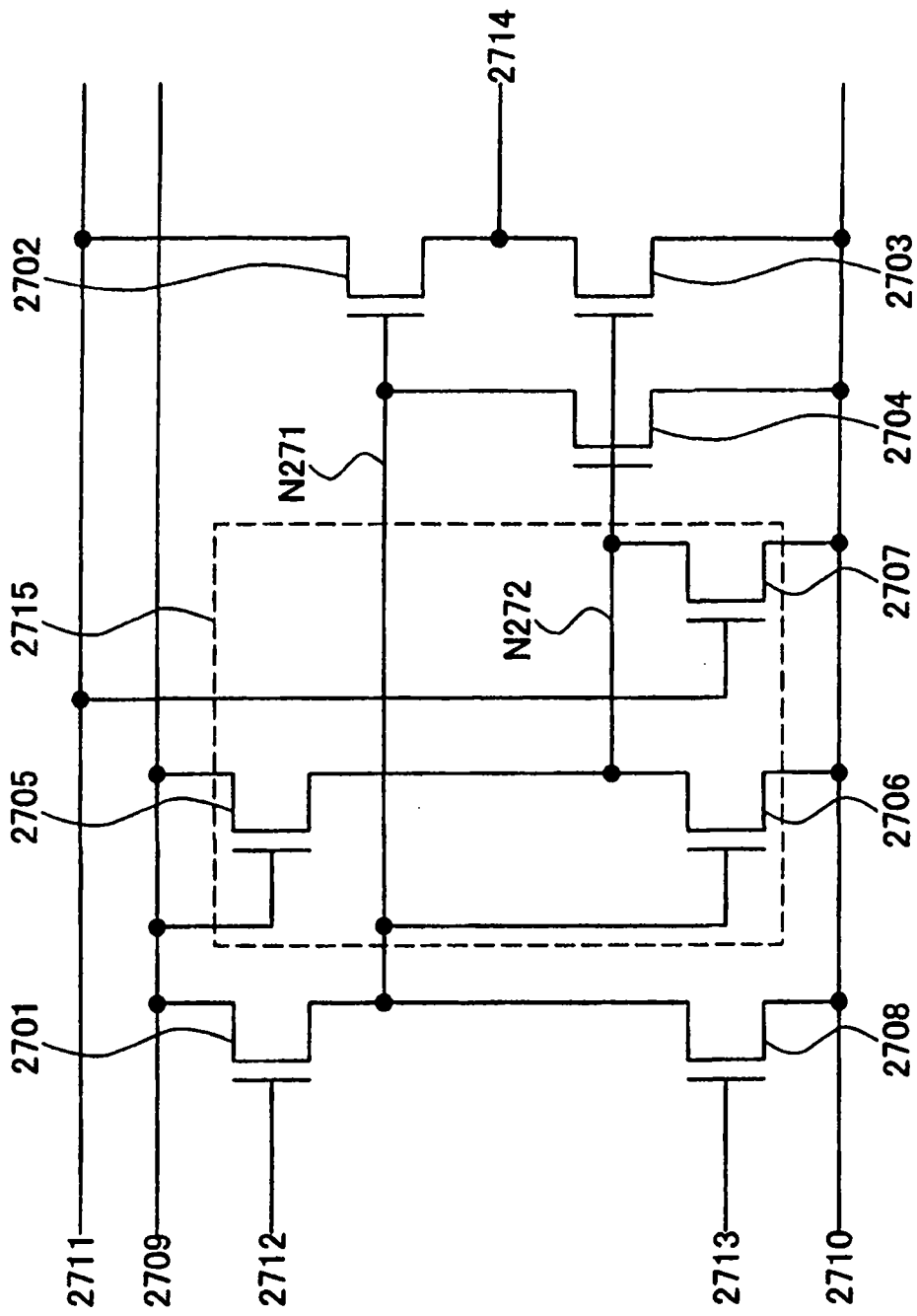


图 27

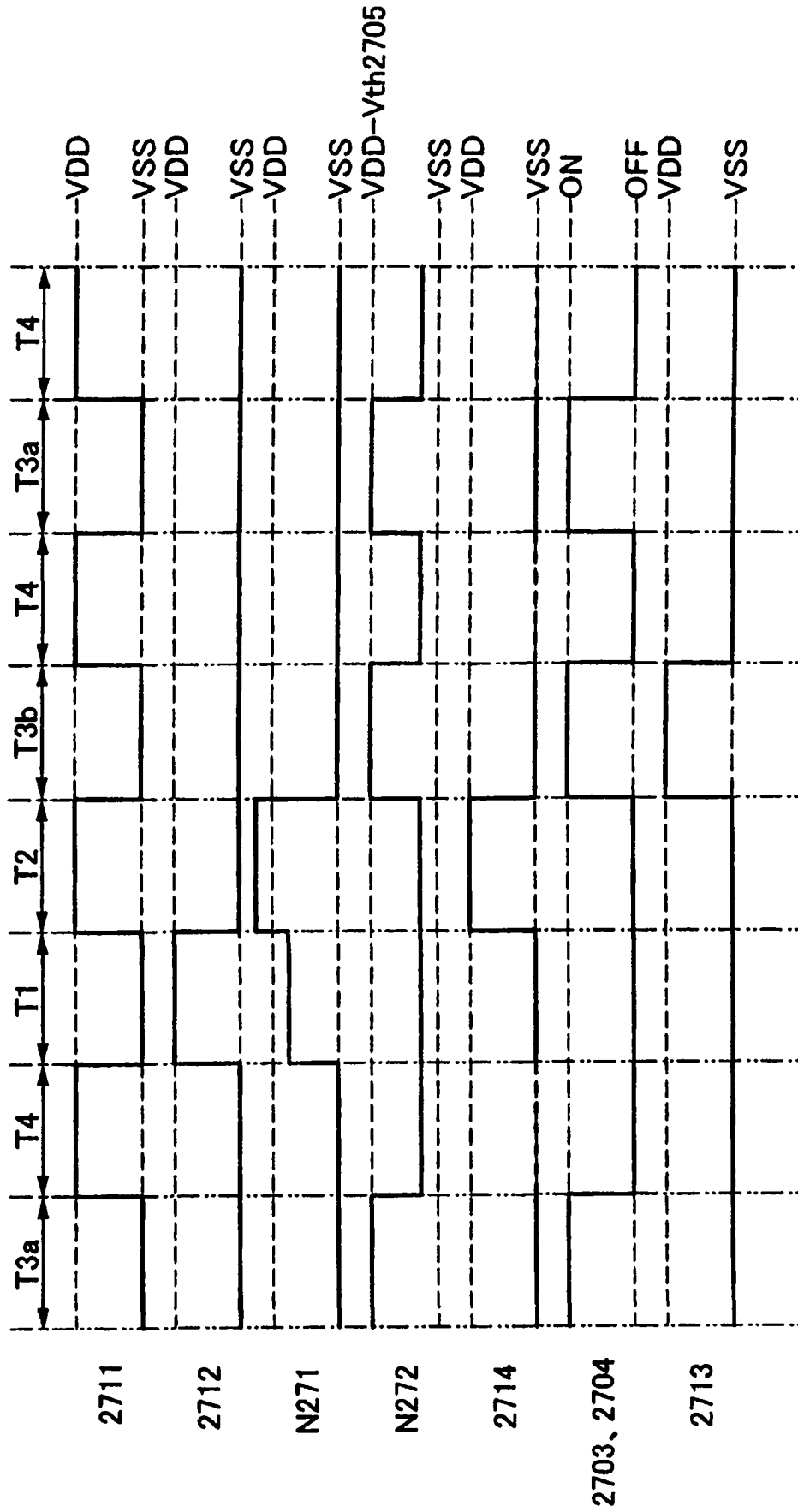


图 28

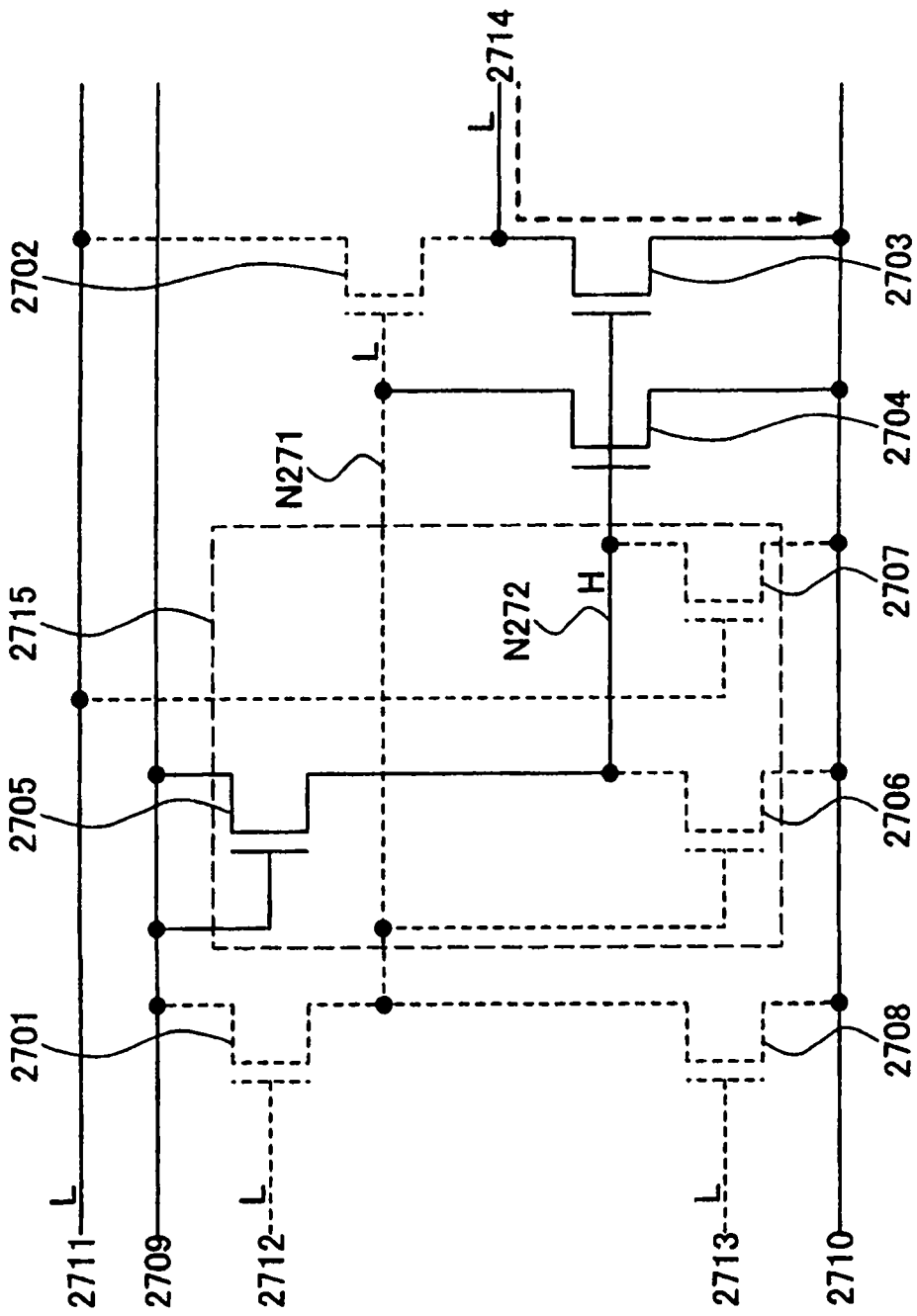


图 33

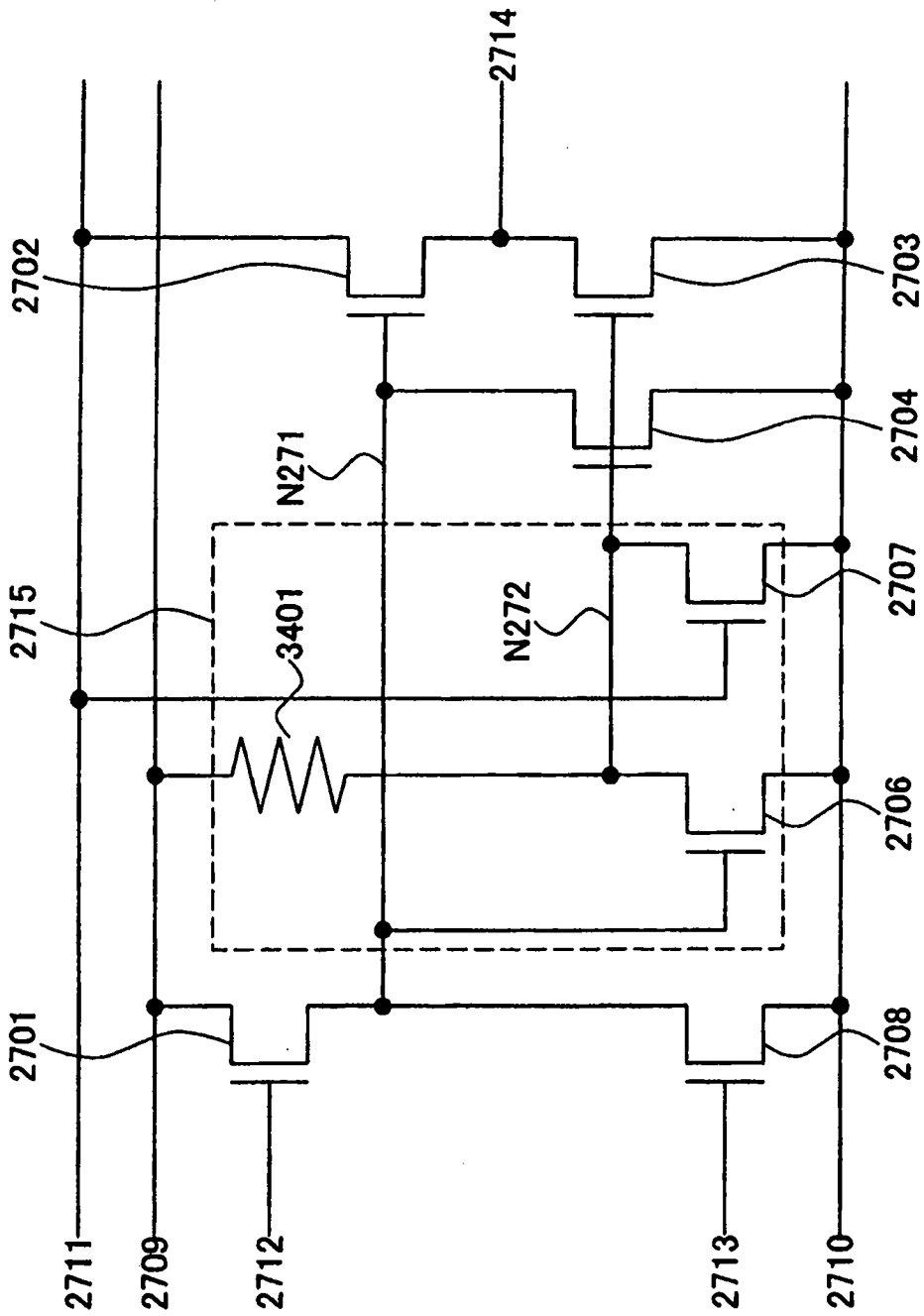


图 34

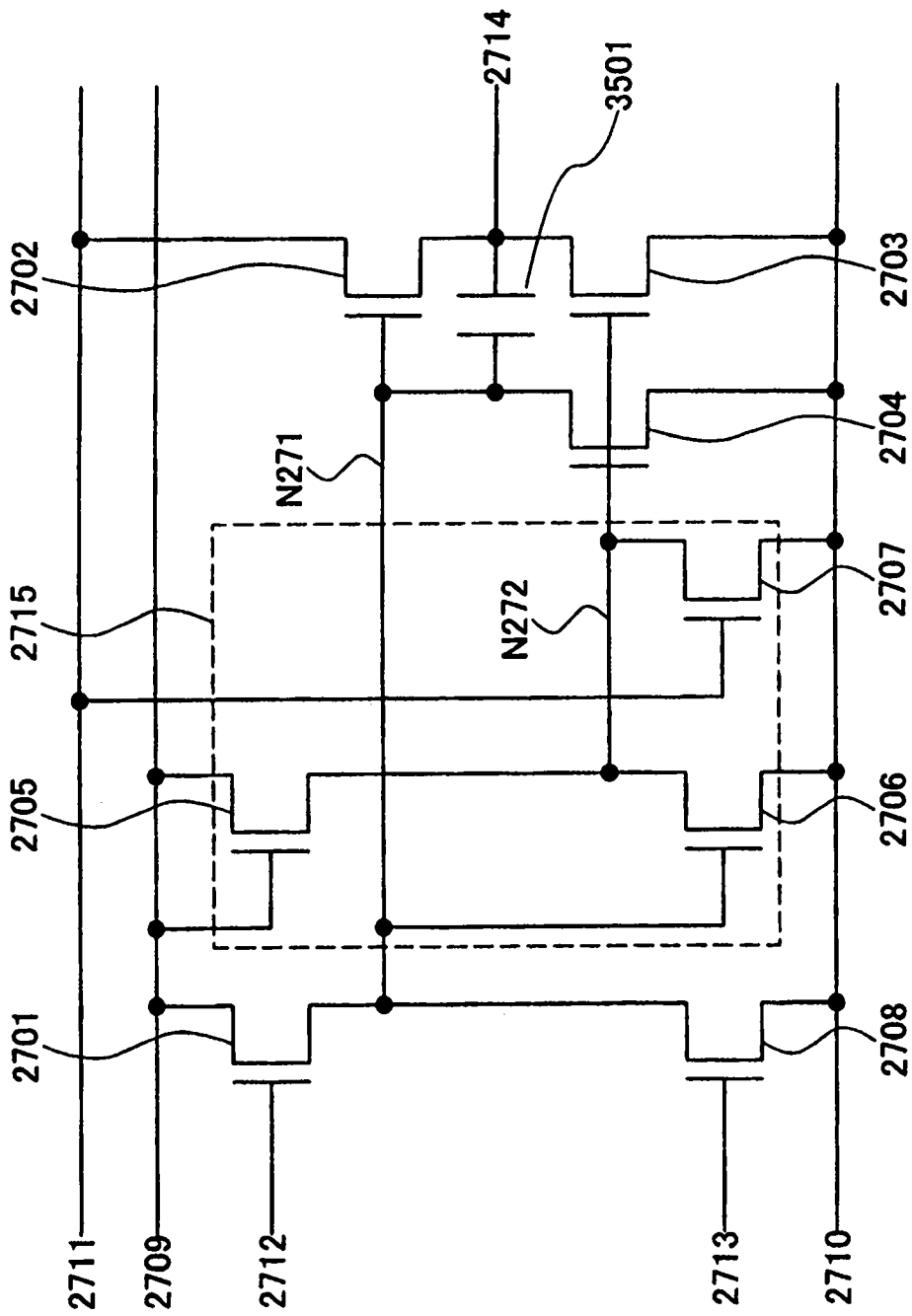


图 35

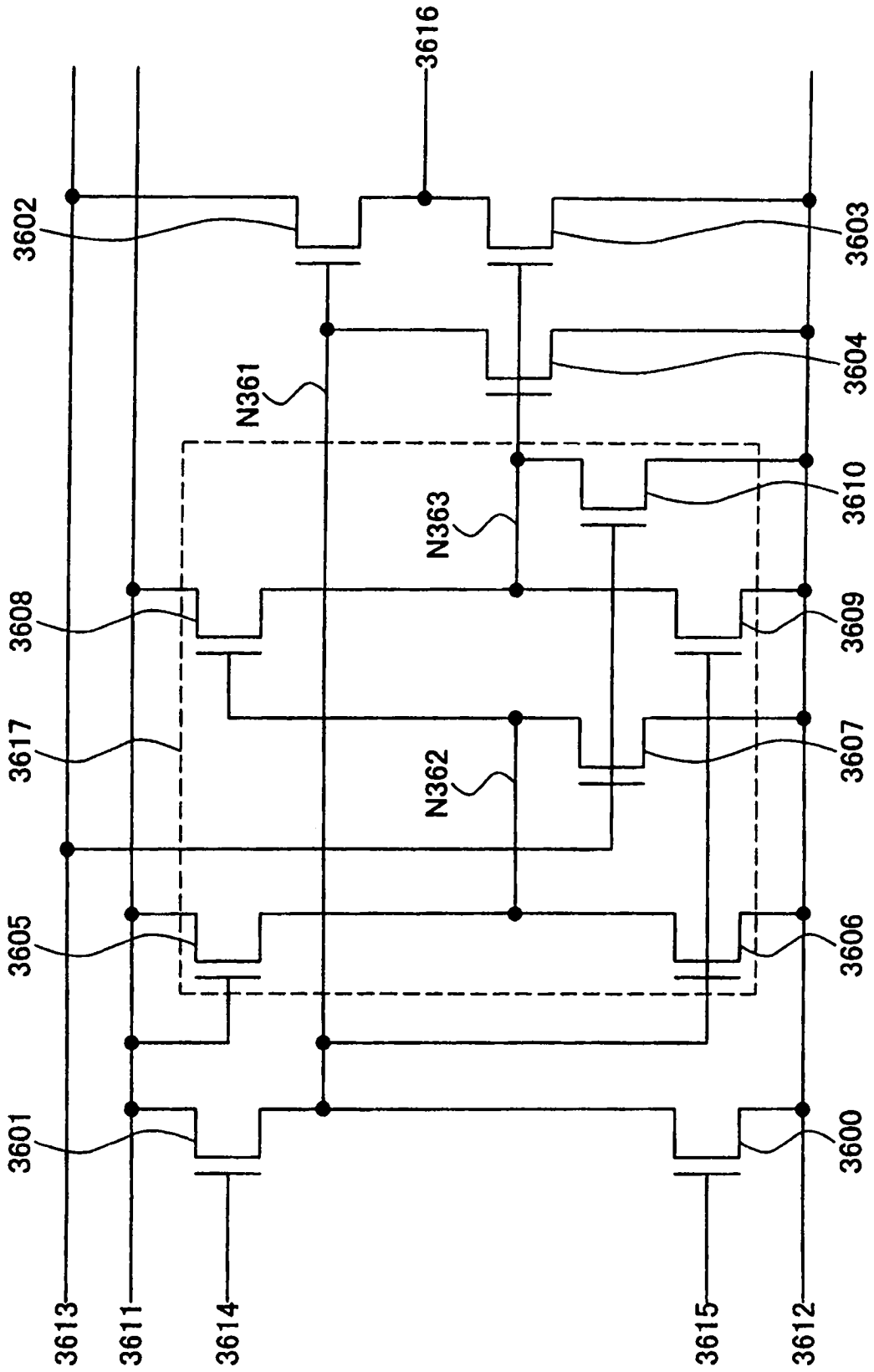


图 36

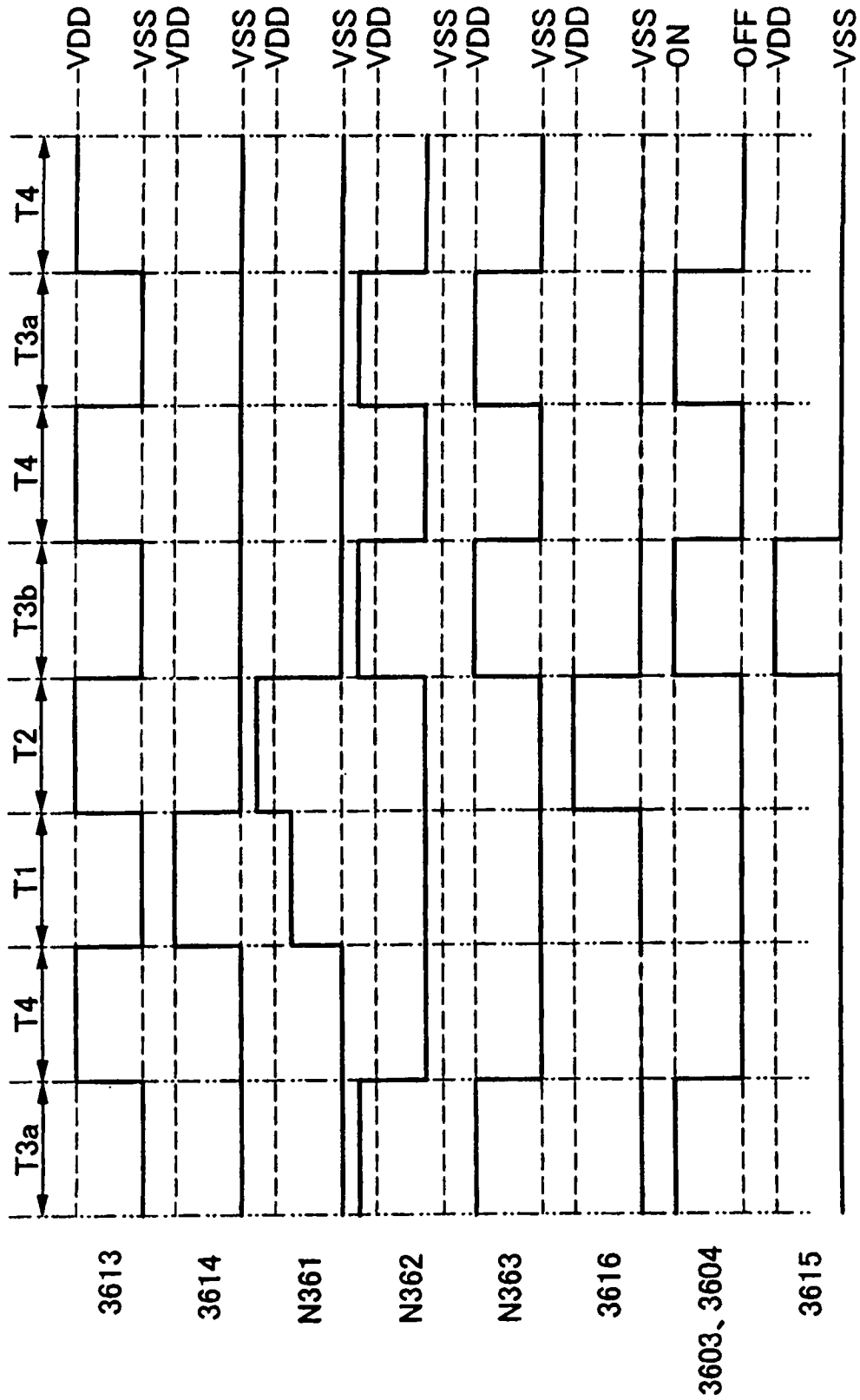


图 37

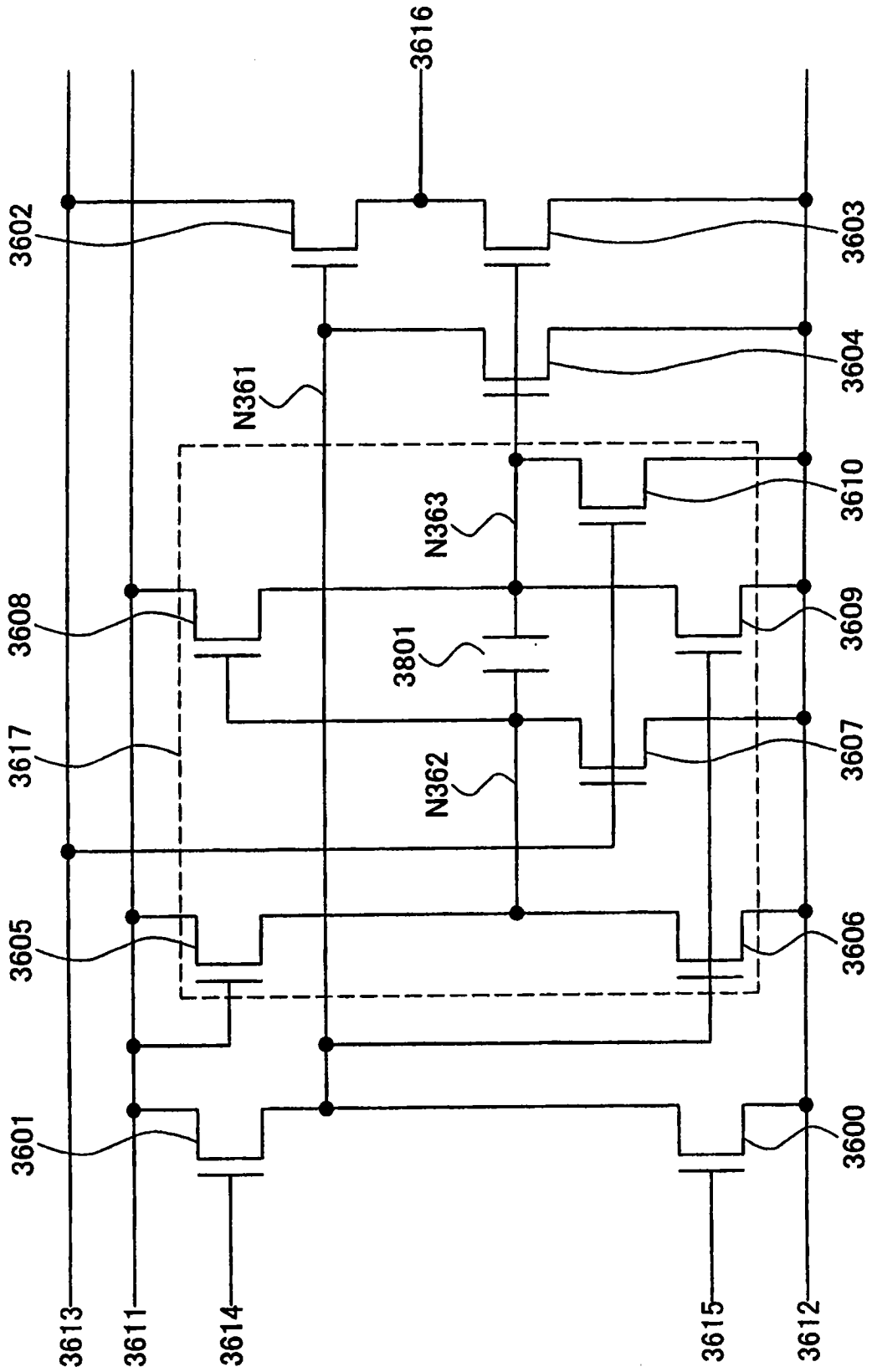


图 38

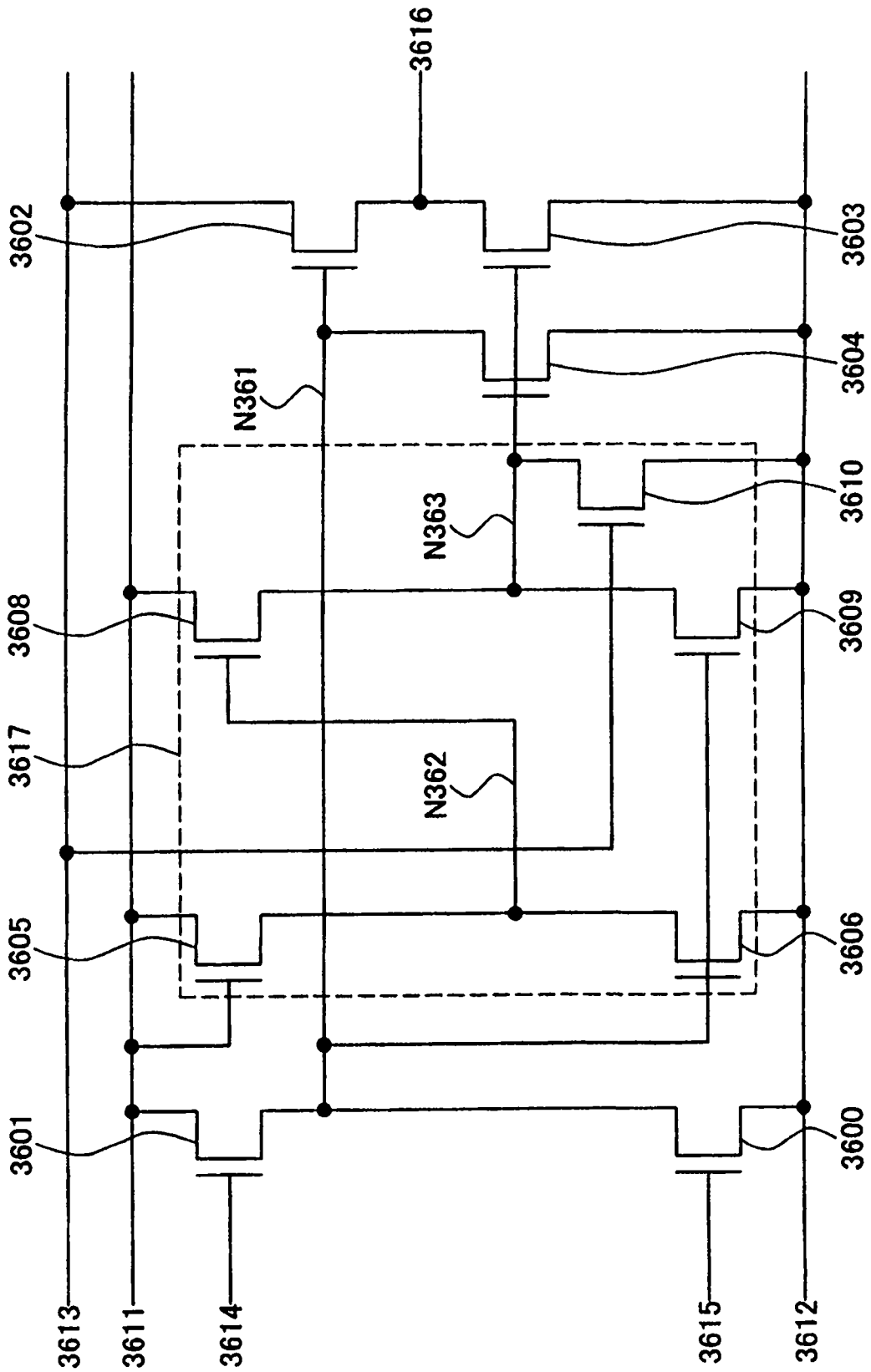


图 39

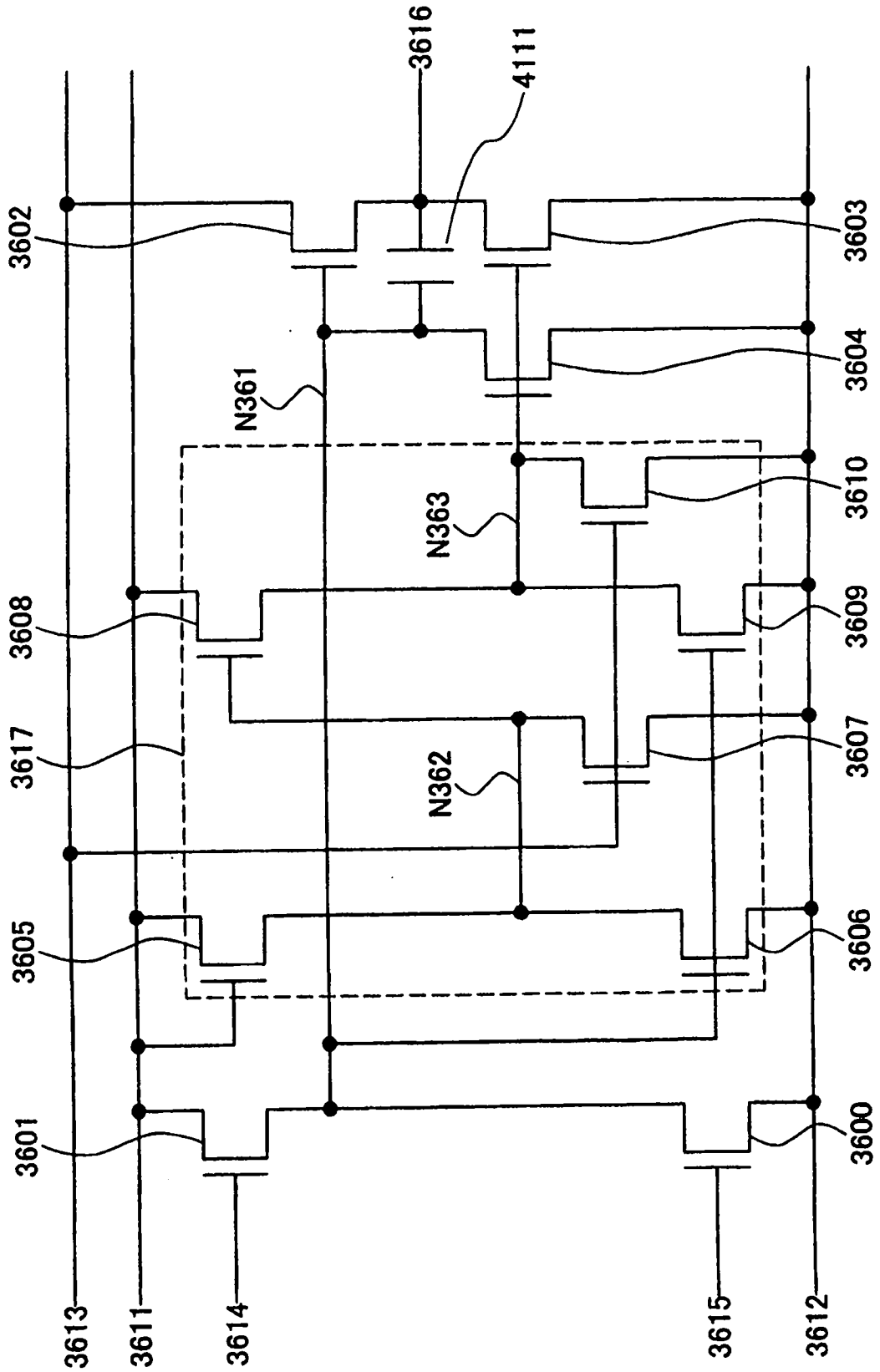


图 40

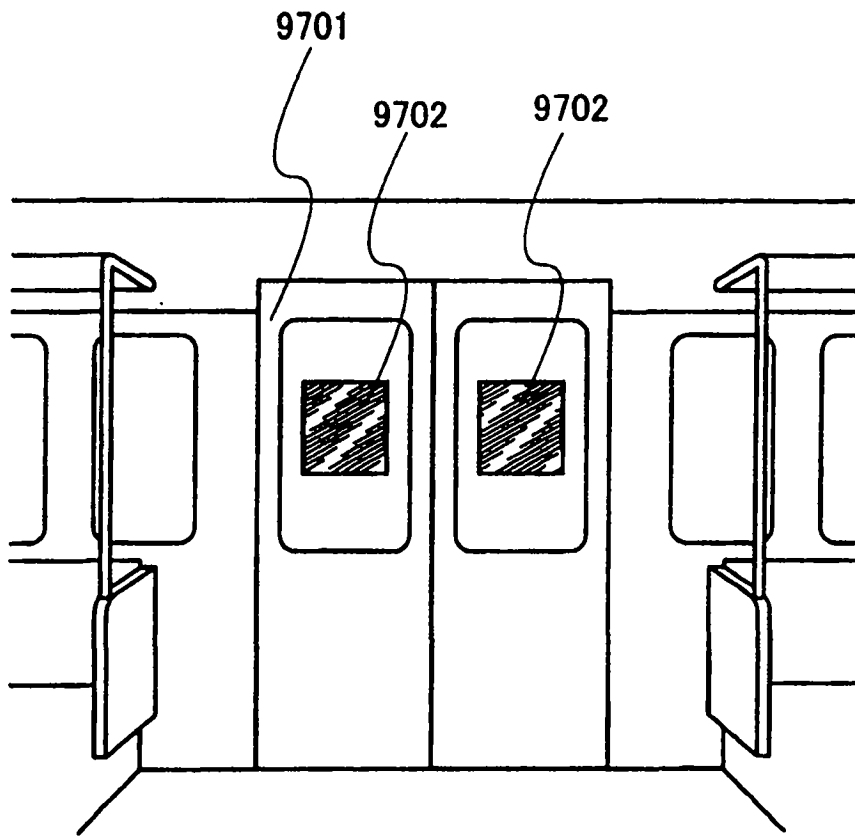


图 41A

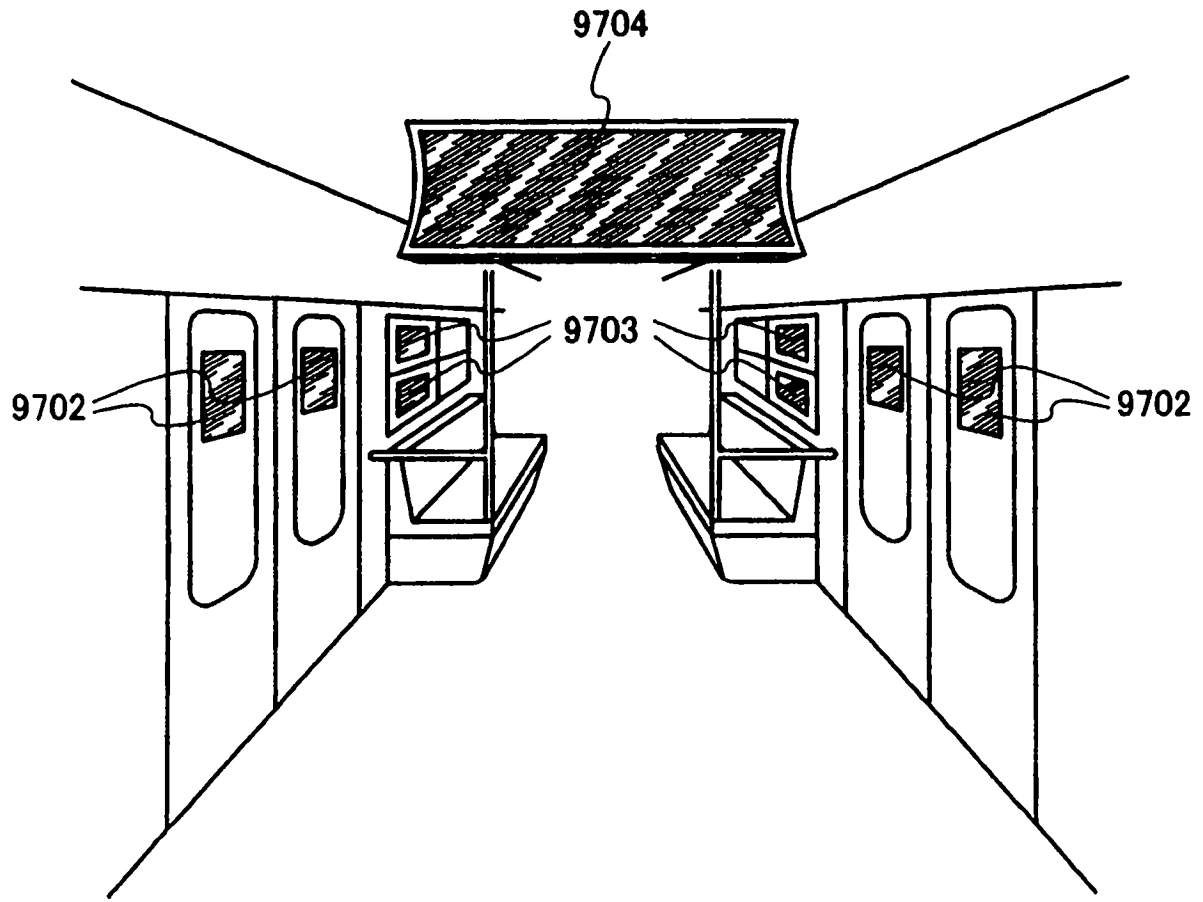


图 41B

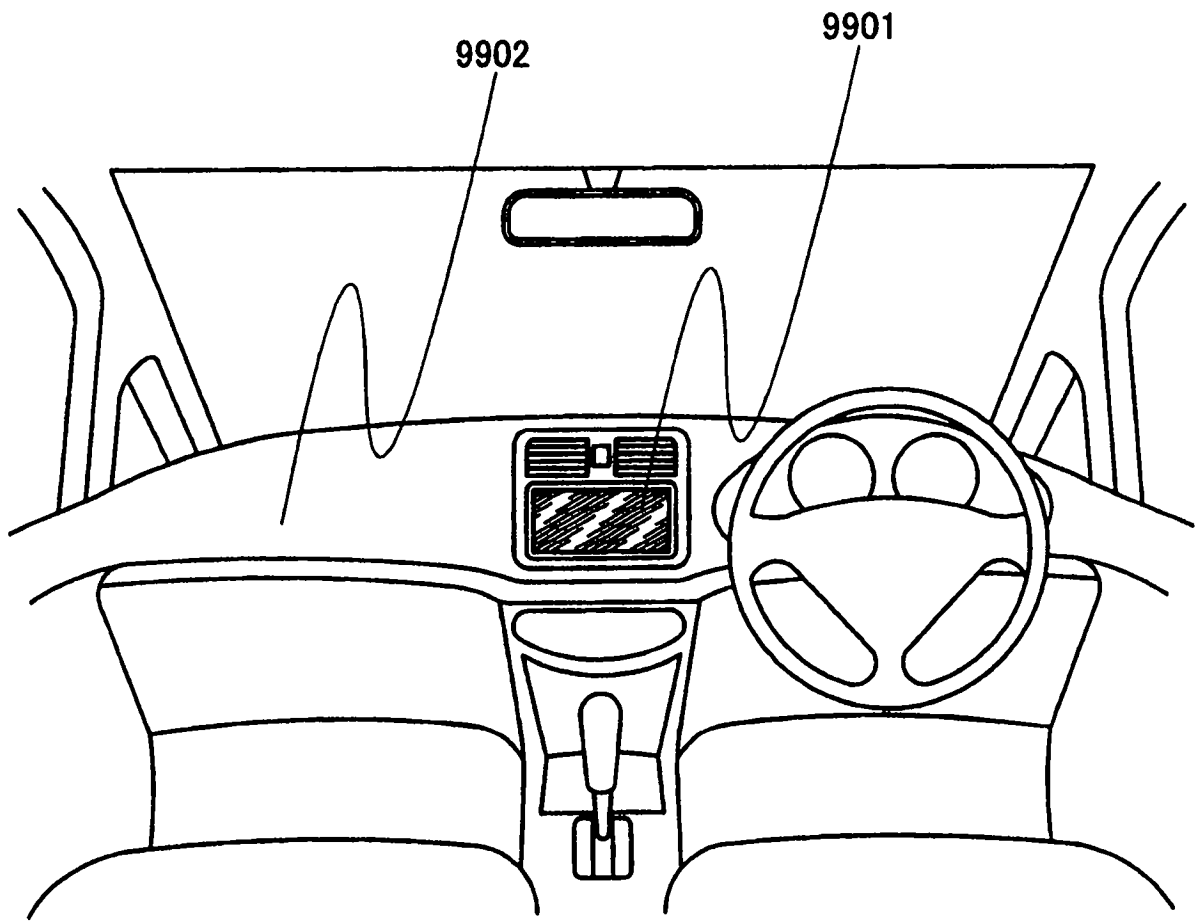


图 42

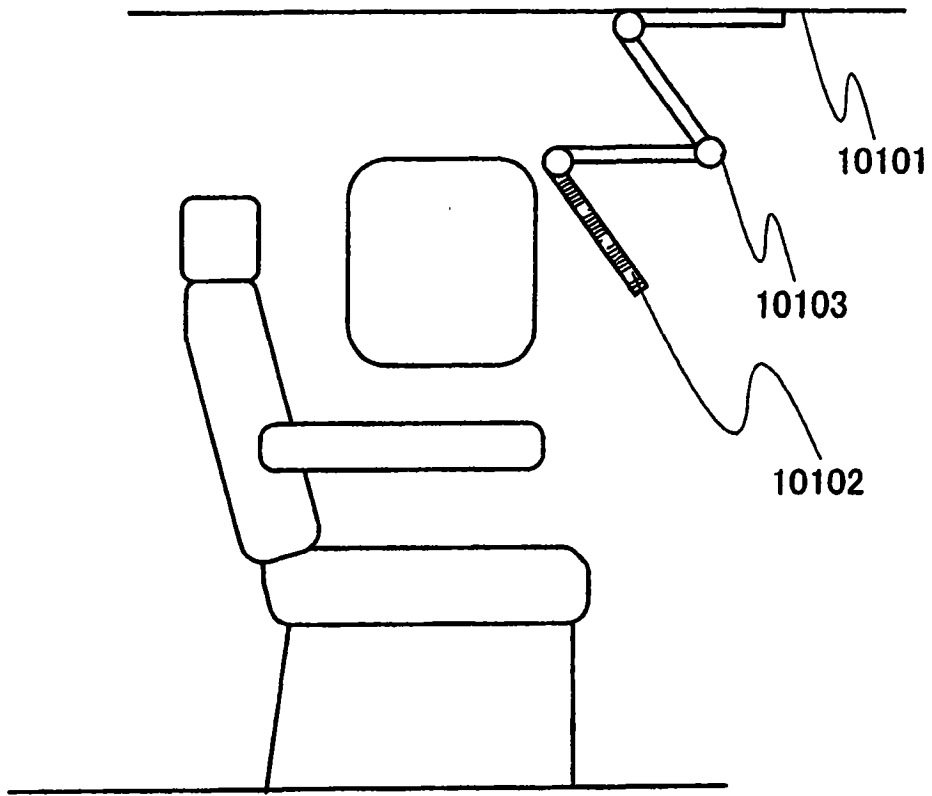


图 43A

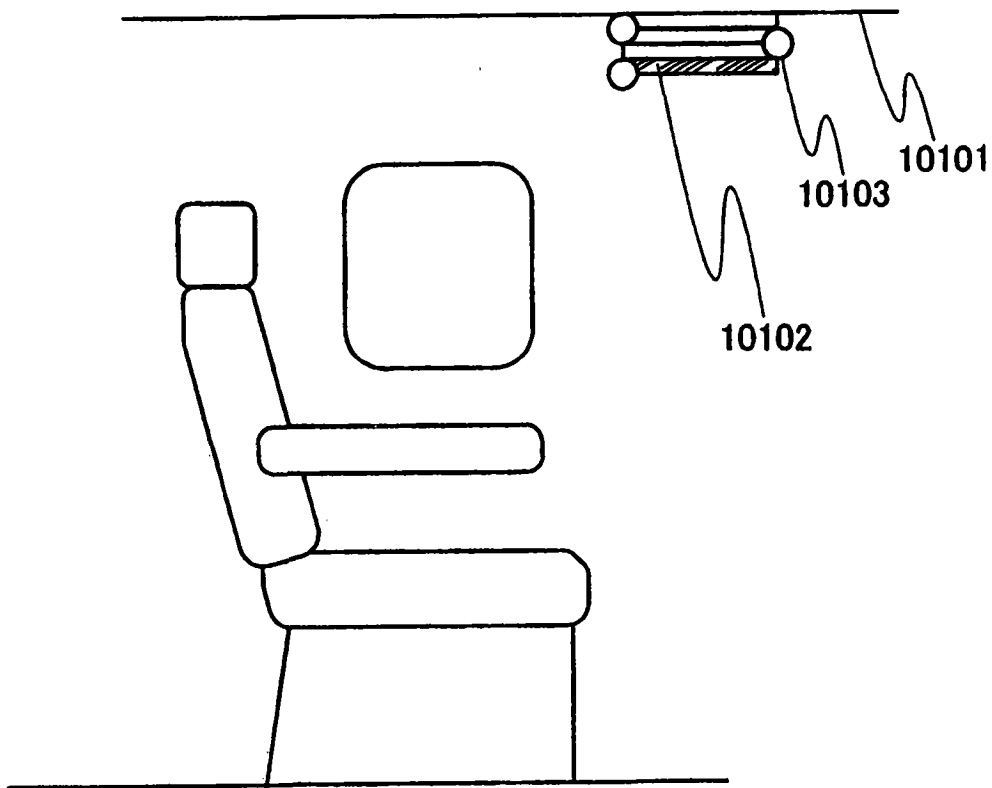


图 43B

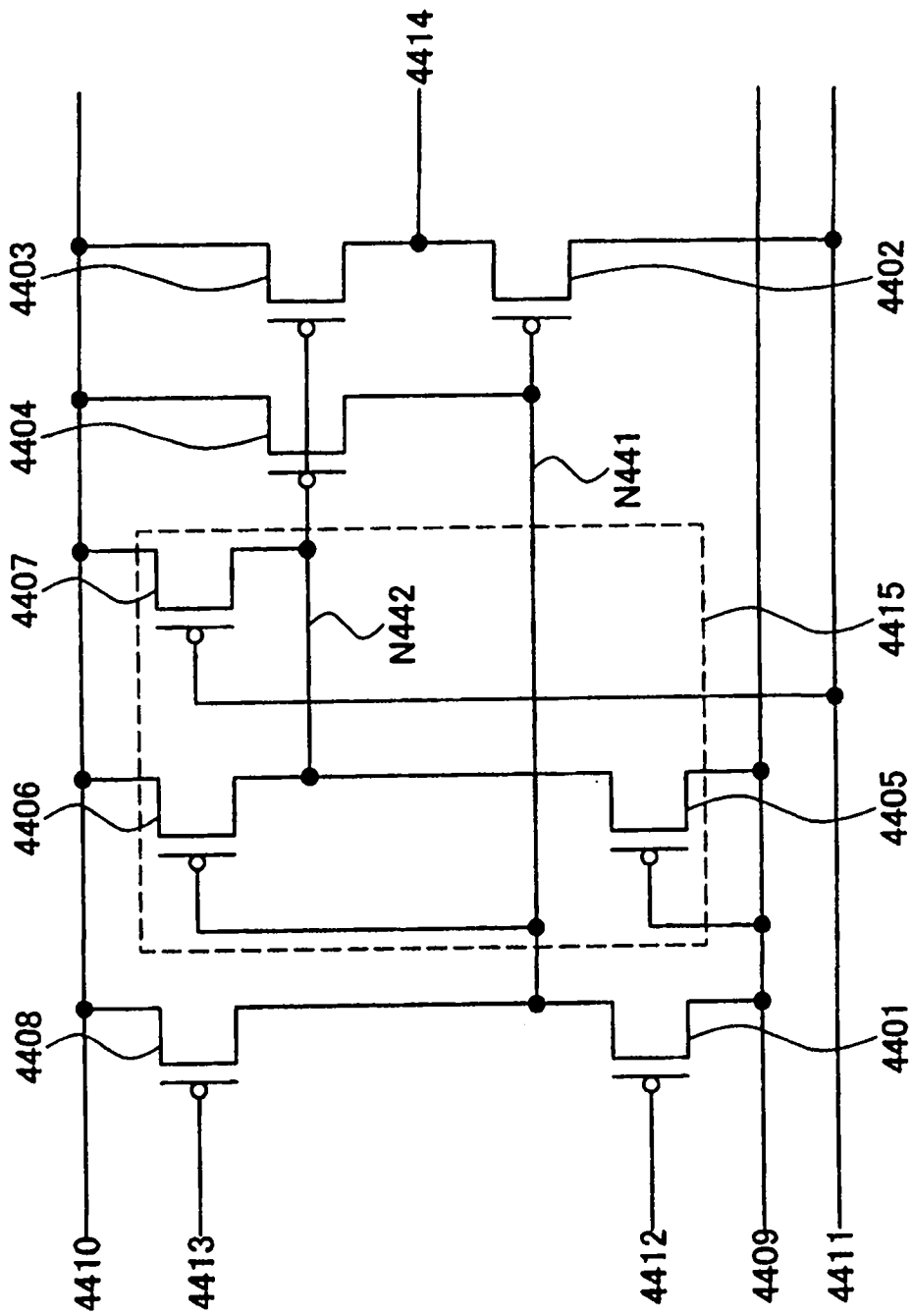


图 44

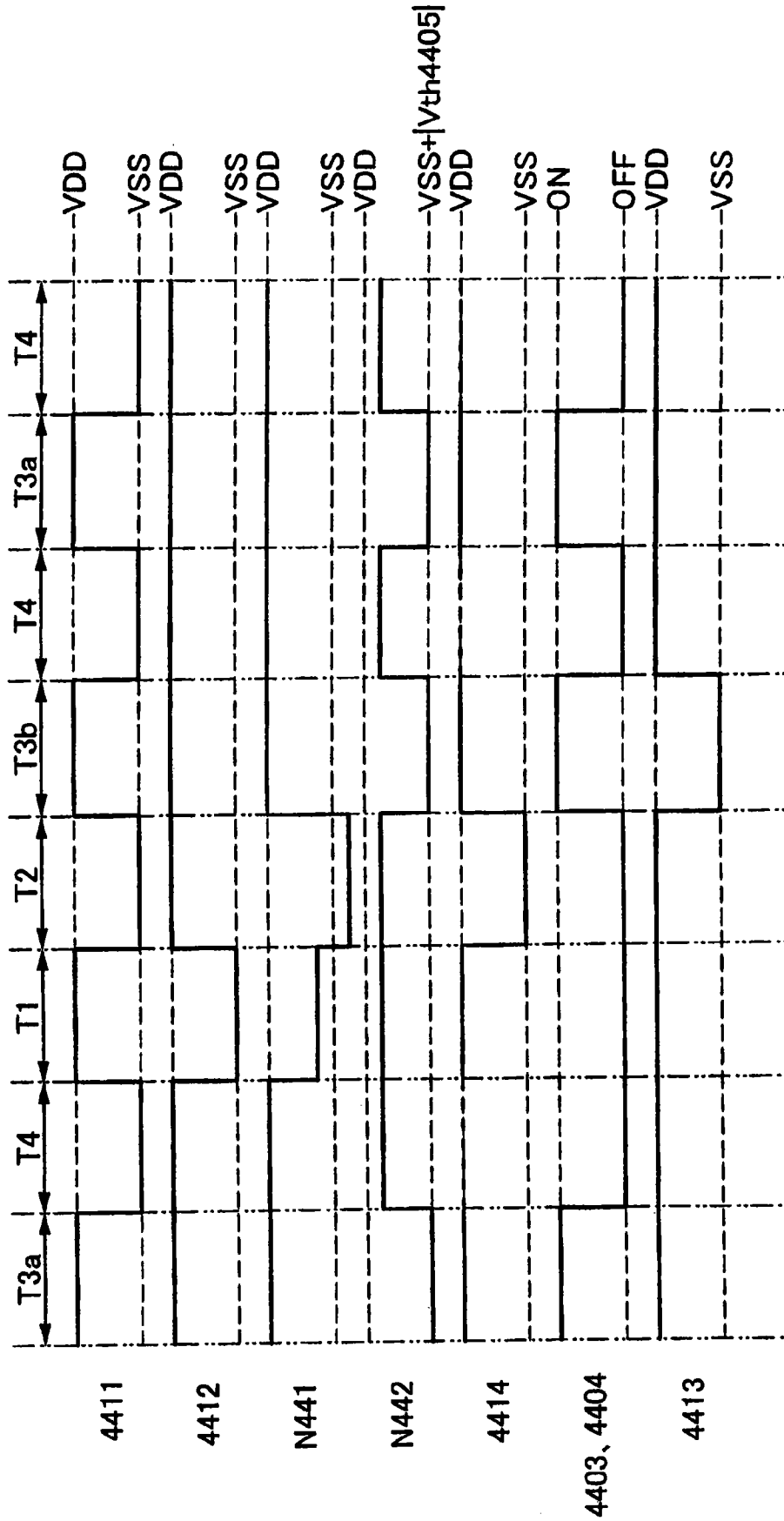


图 45

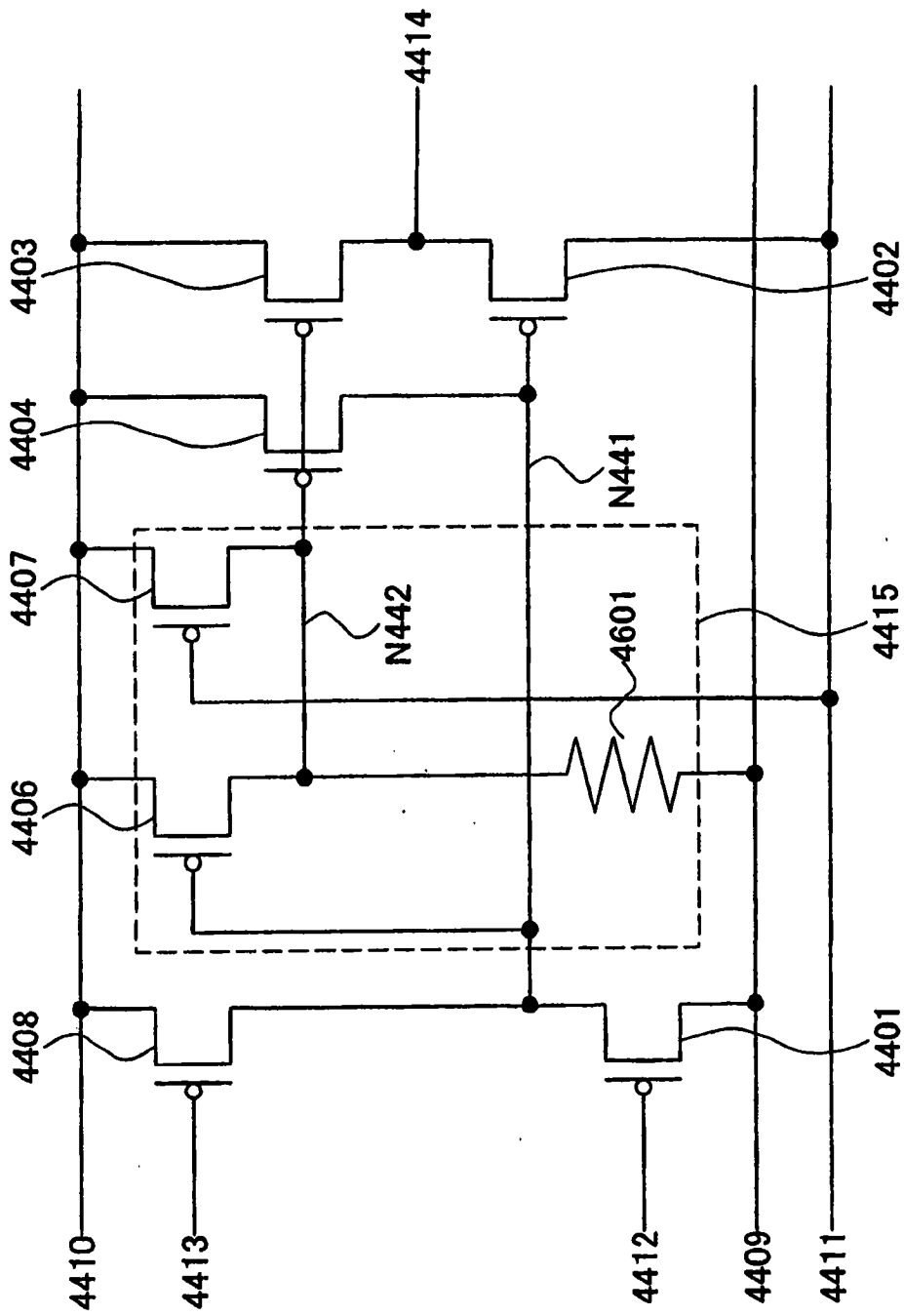


图 46

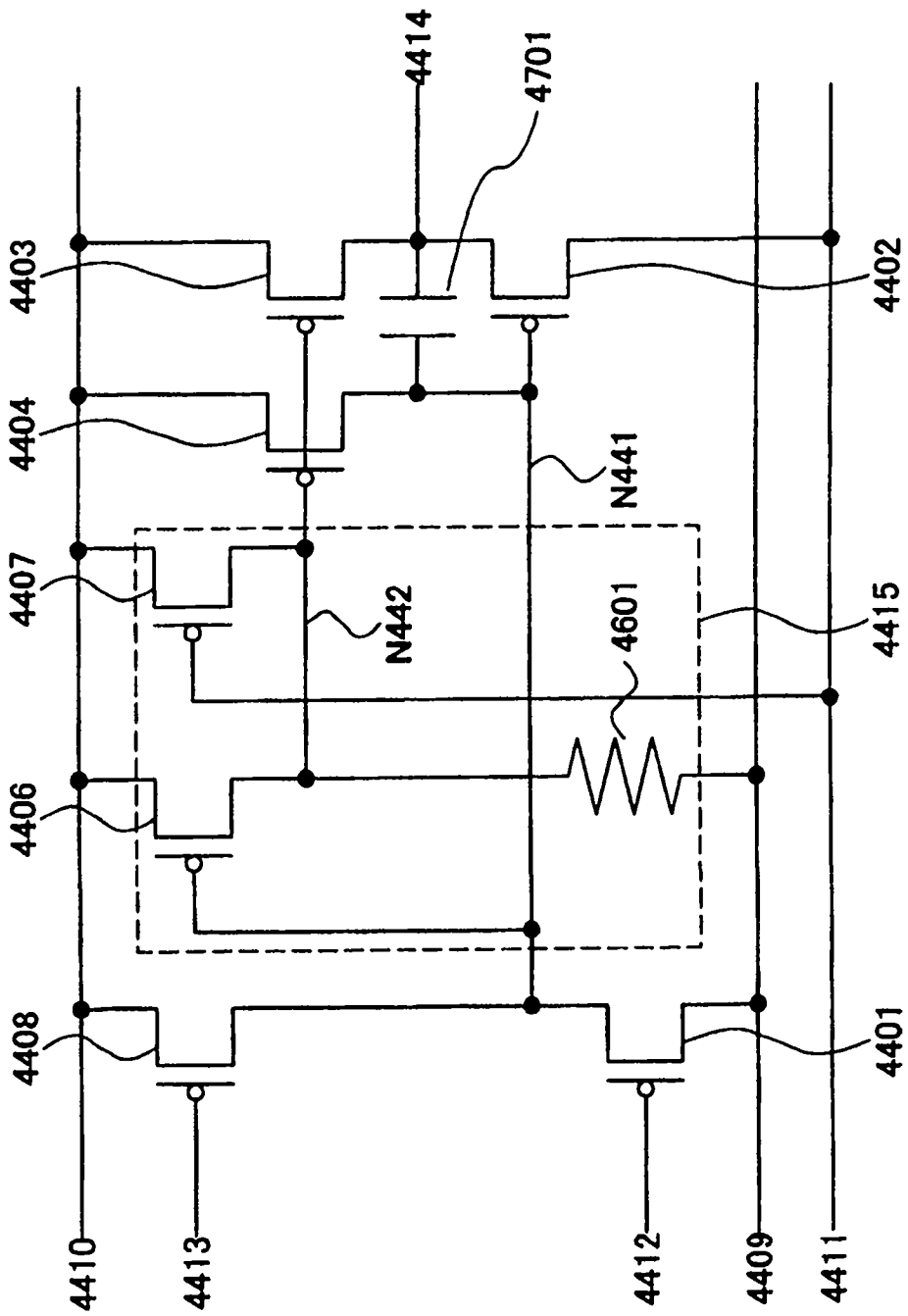


图 47

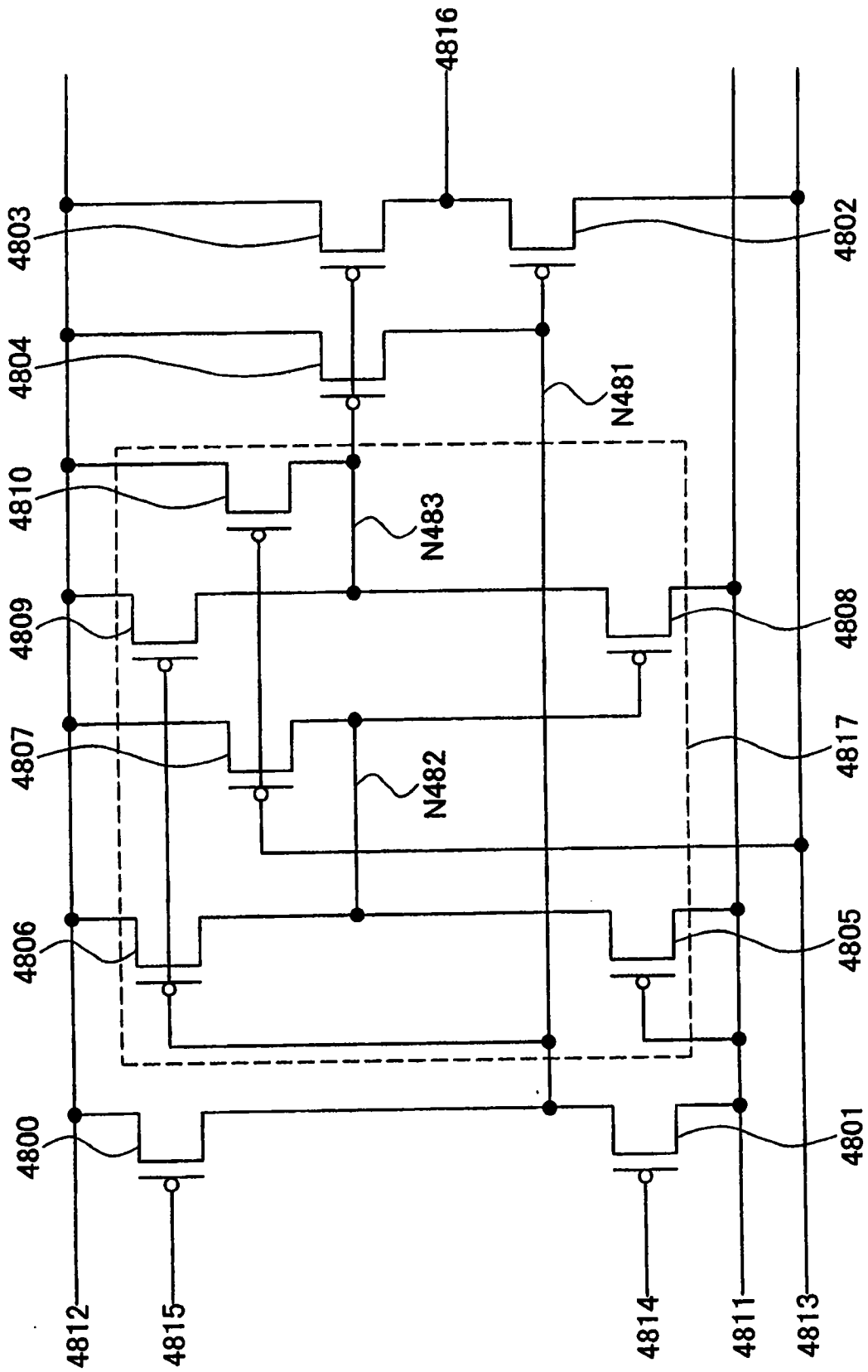


图 48

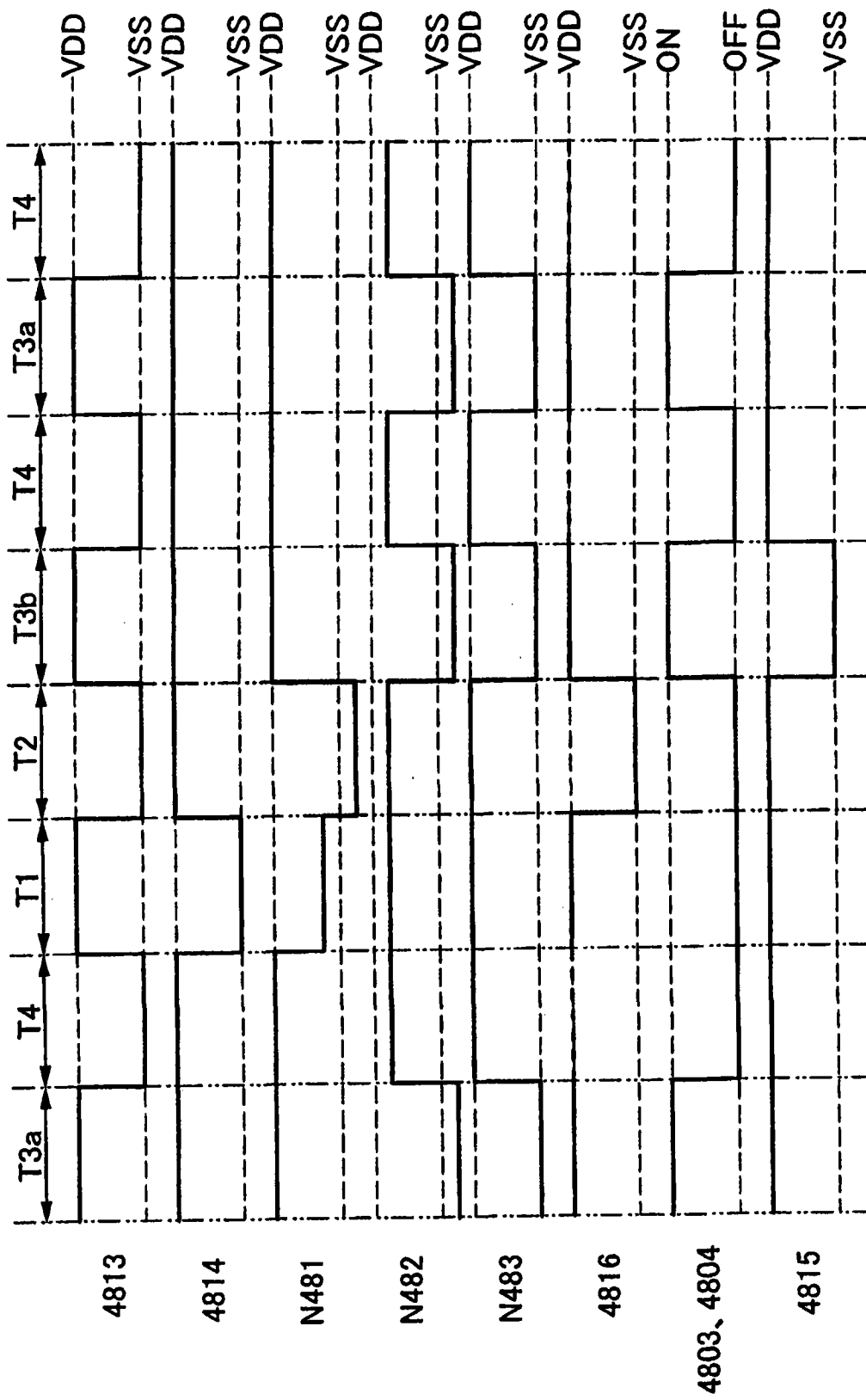


图 49

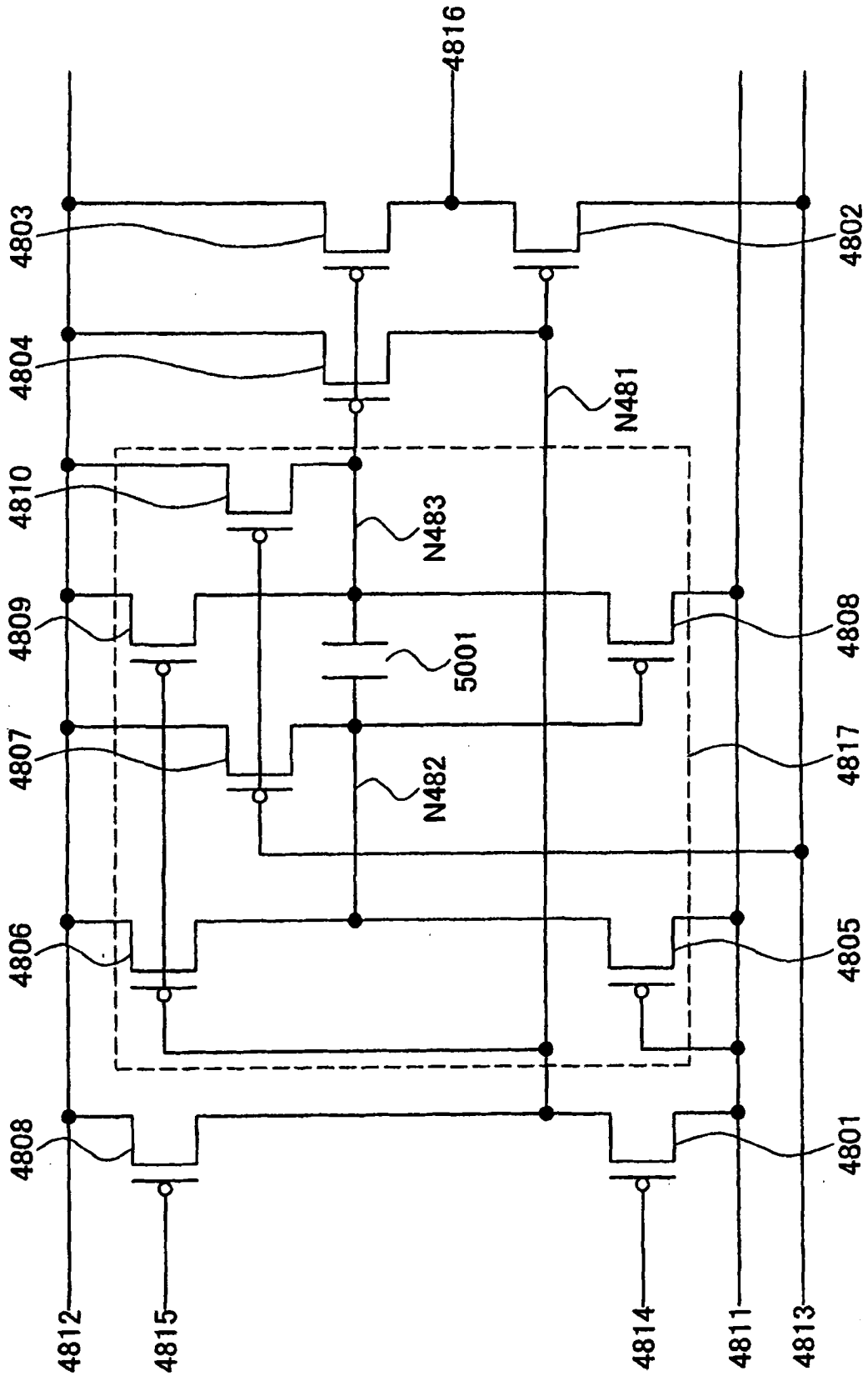


图 50

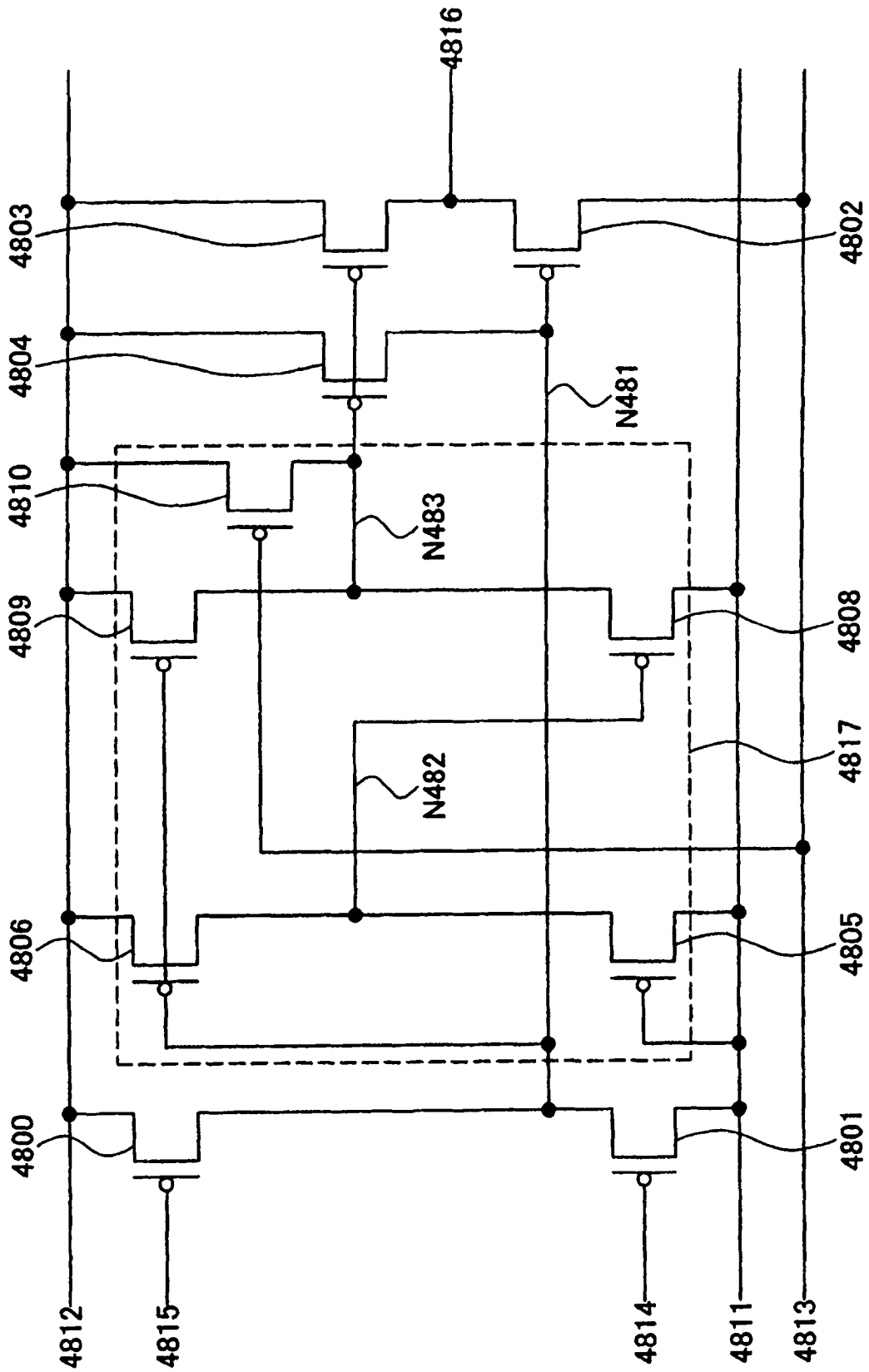


图 51

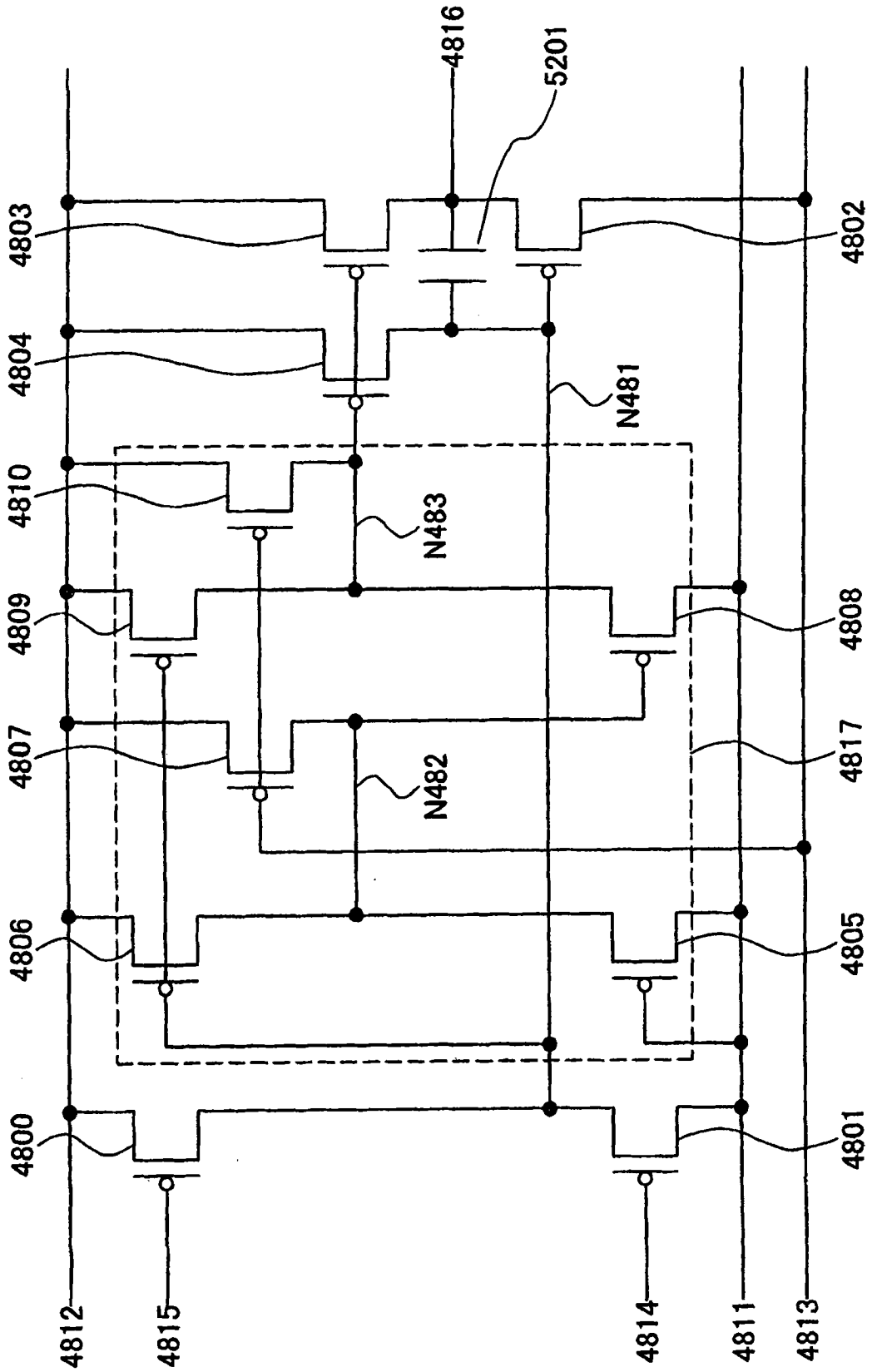


图 52

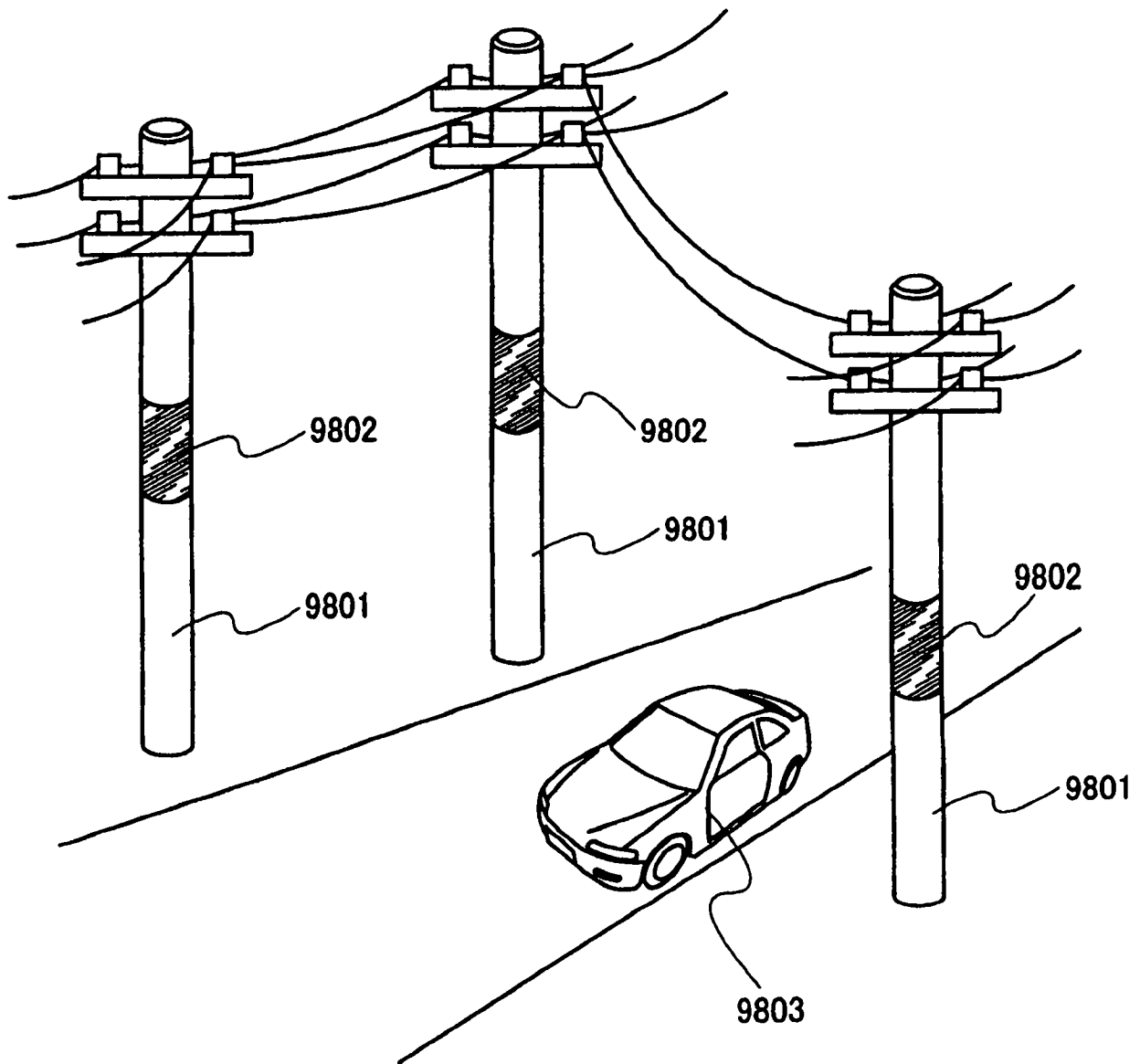


图 53

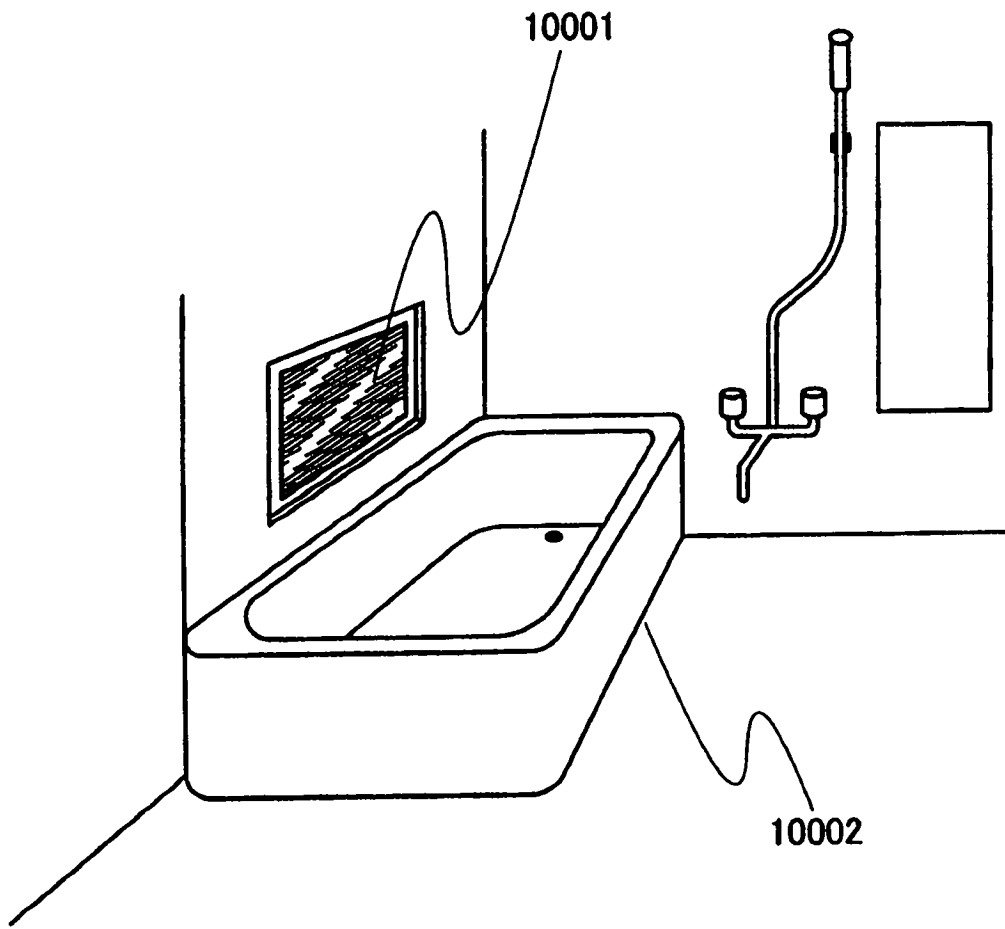


图 54

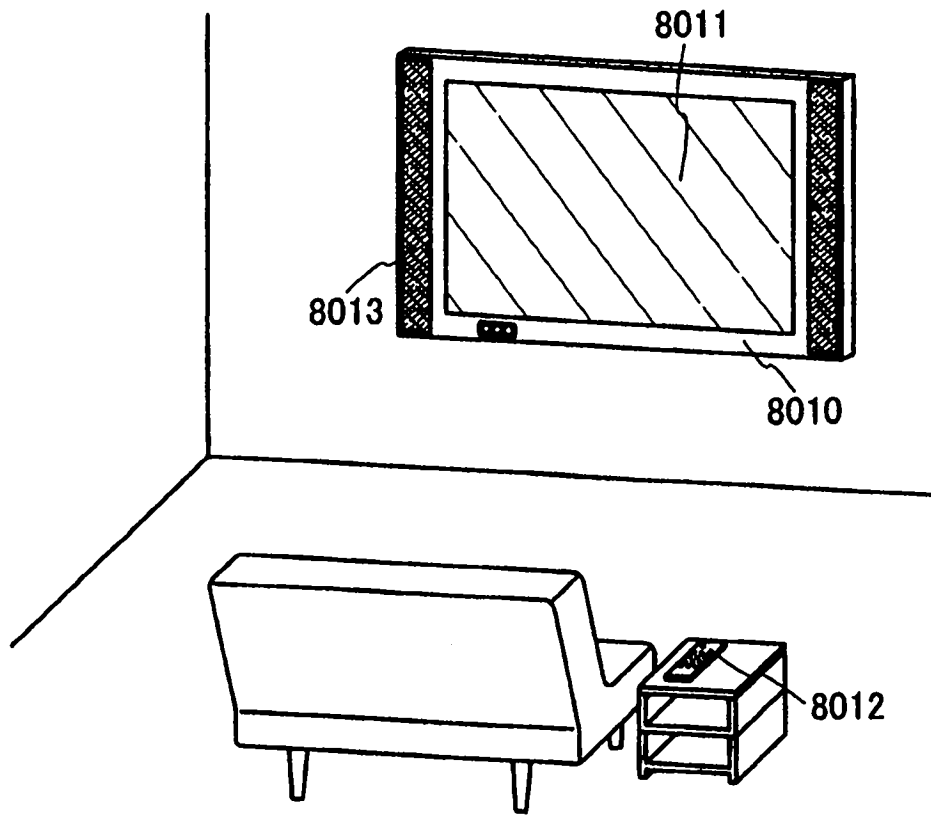


图 55

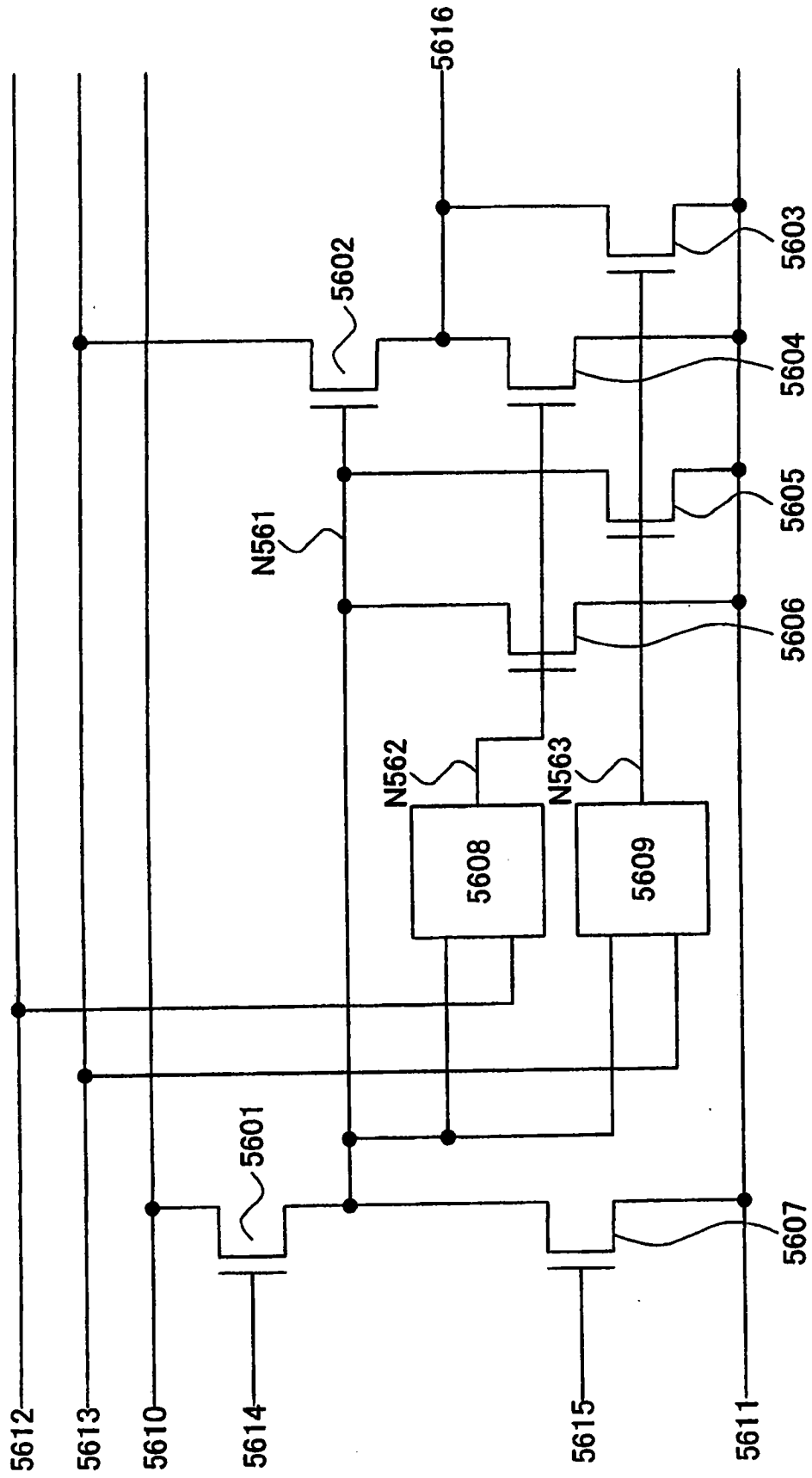


图 56

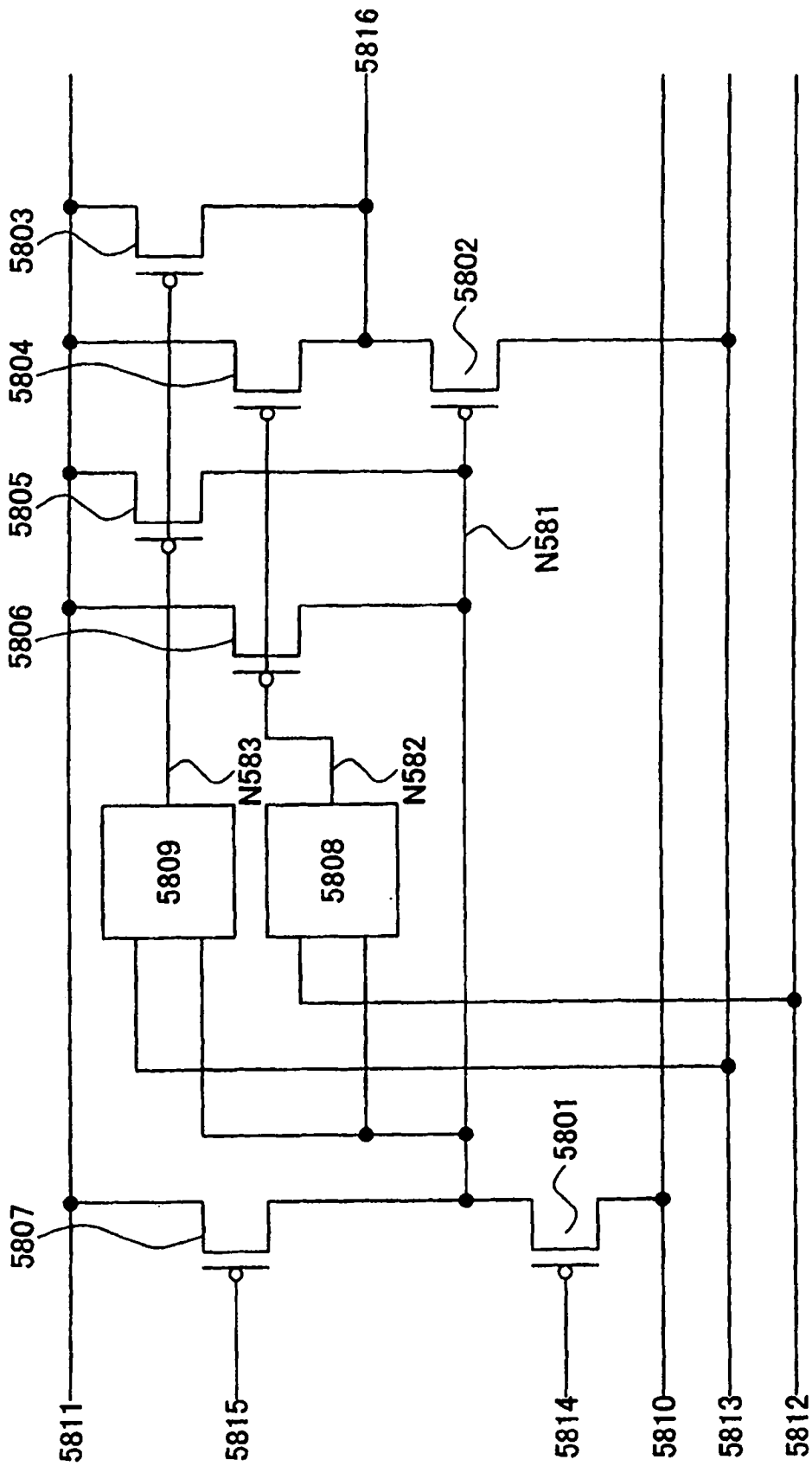


图 58

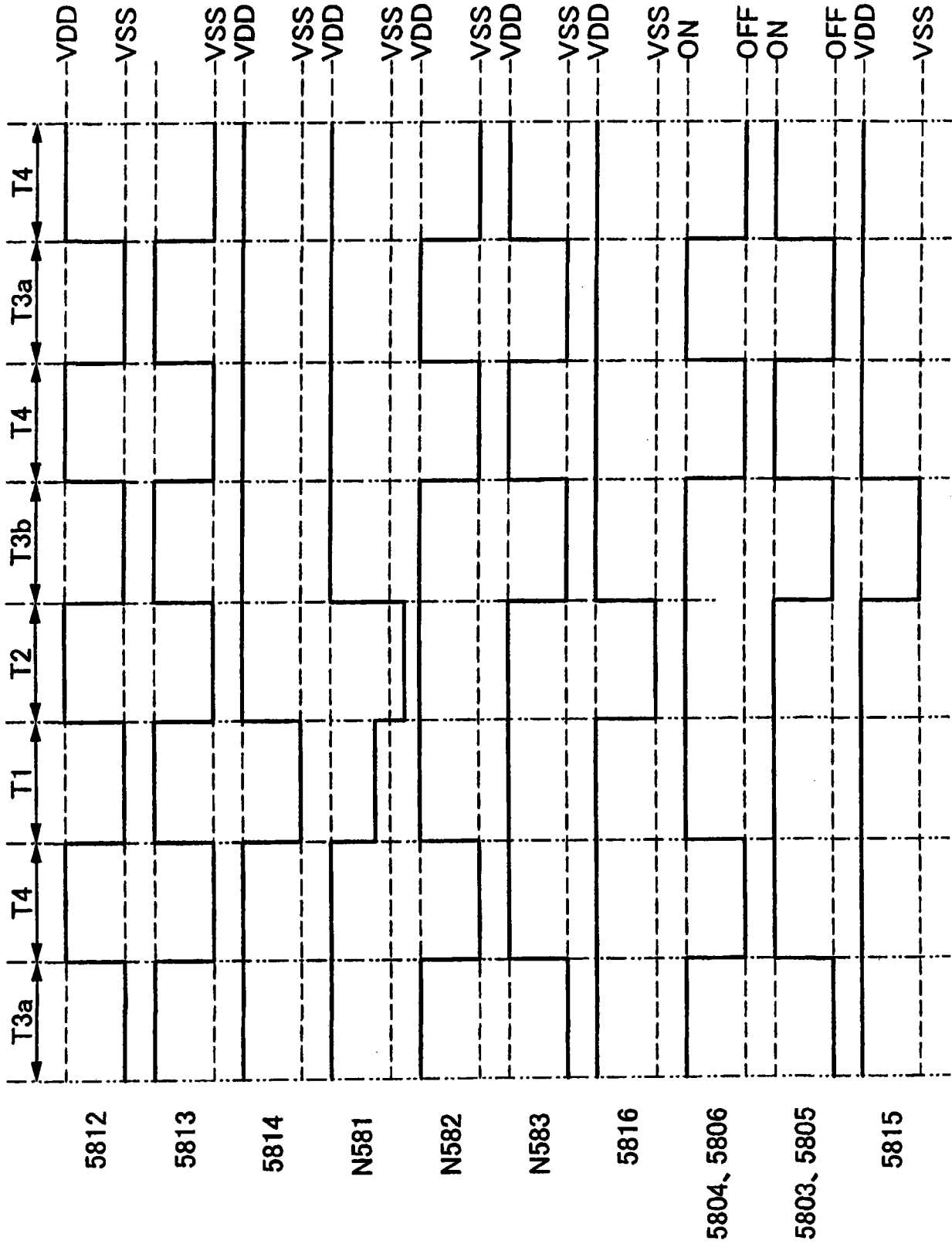


图 59

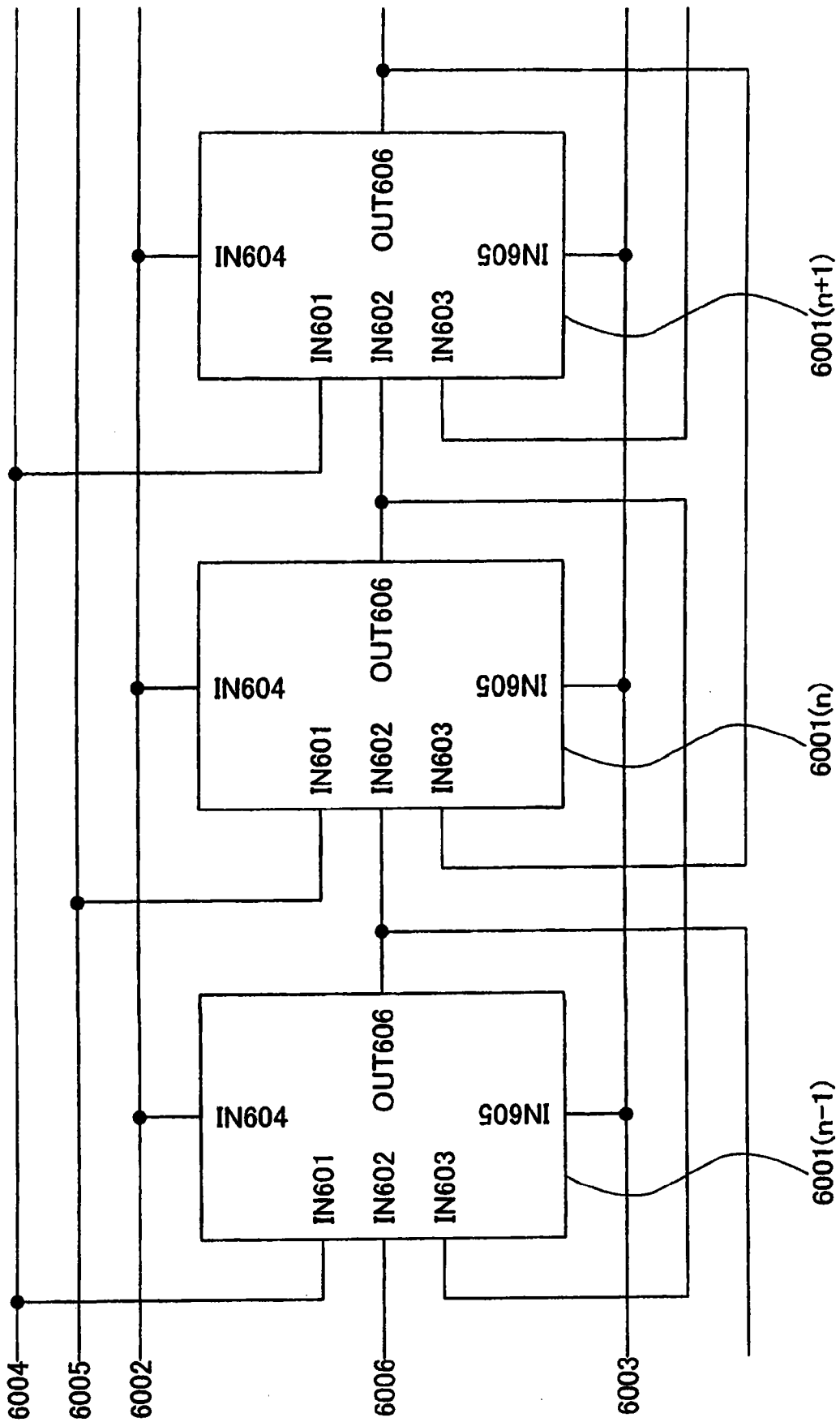


图 60

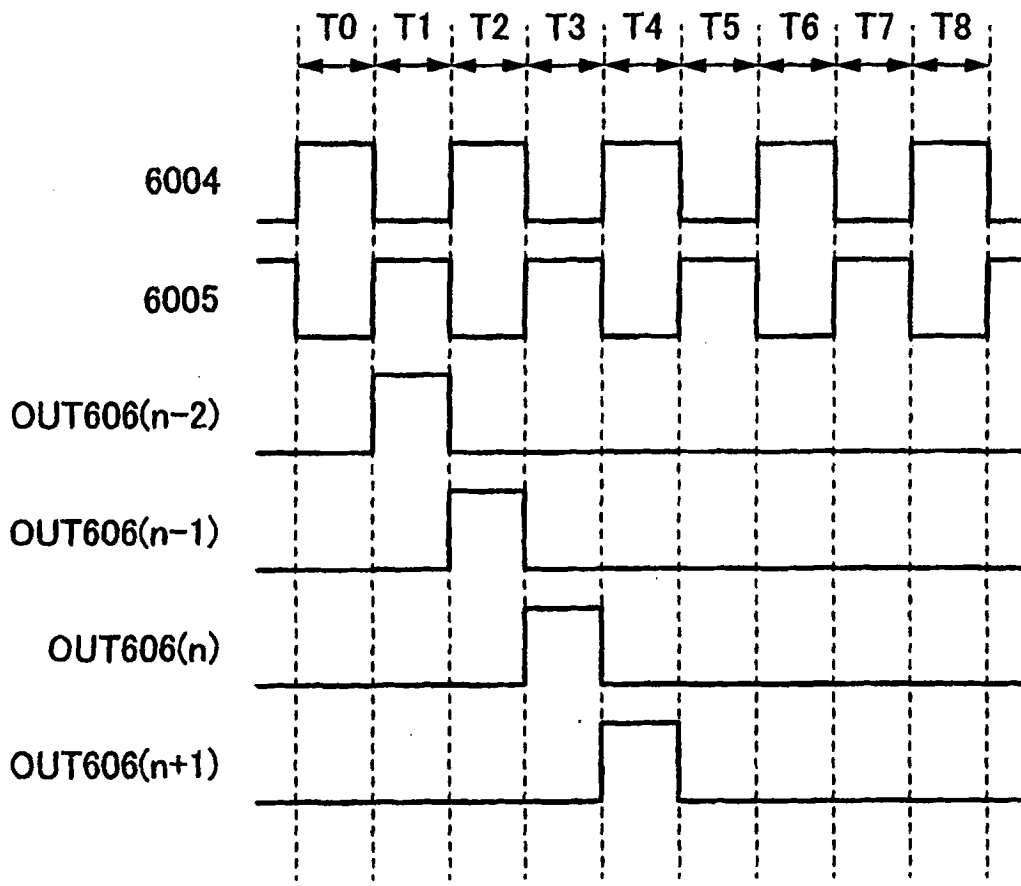


图 61

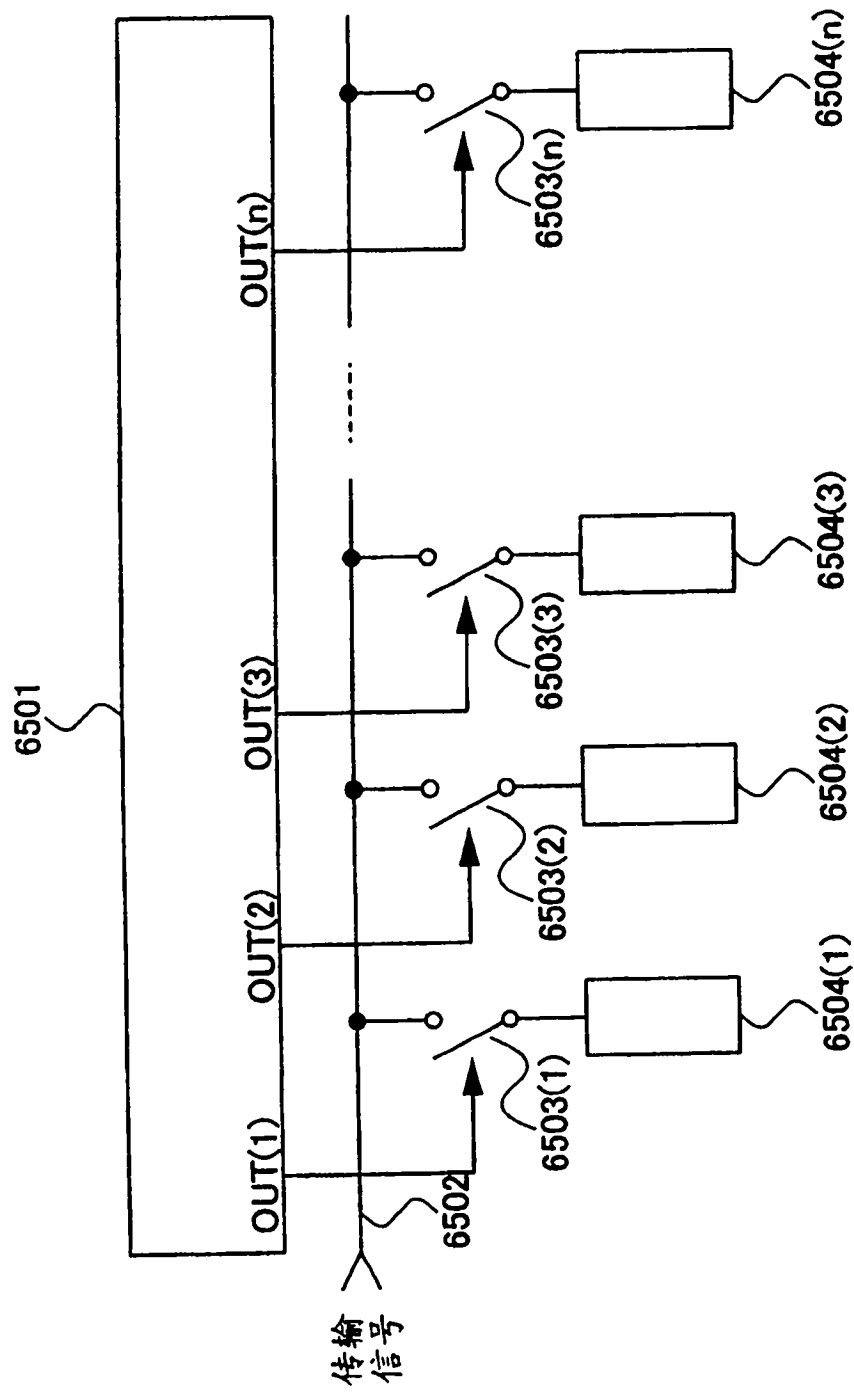


图 62

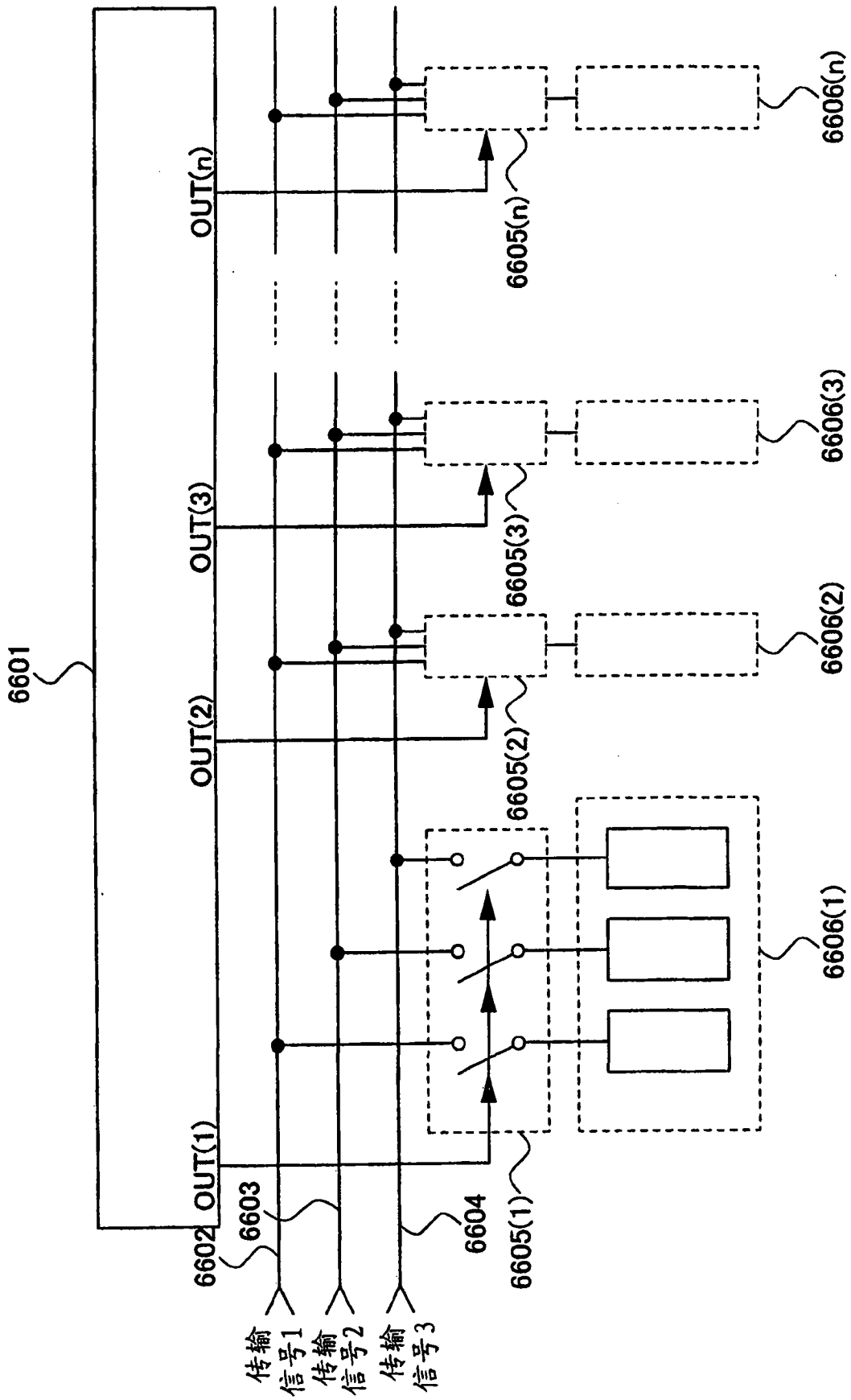


图 63

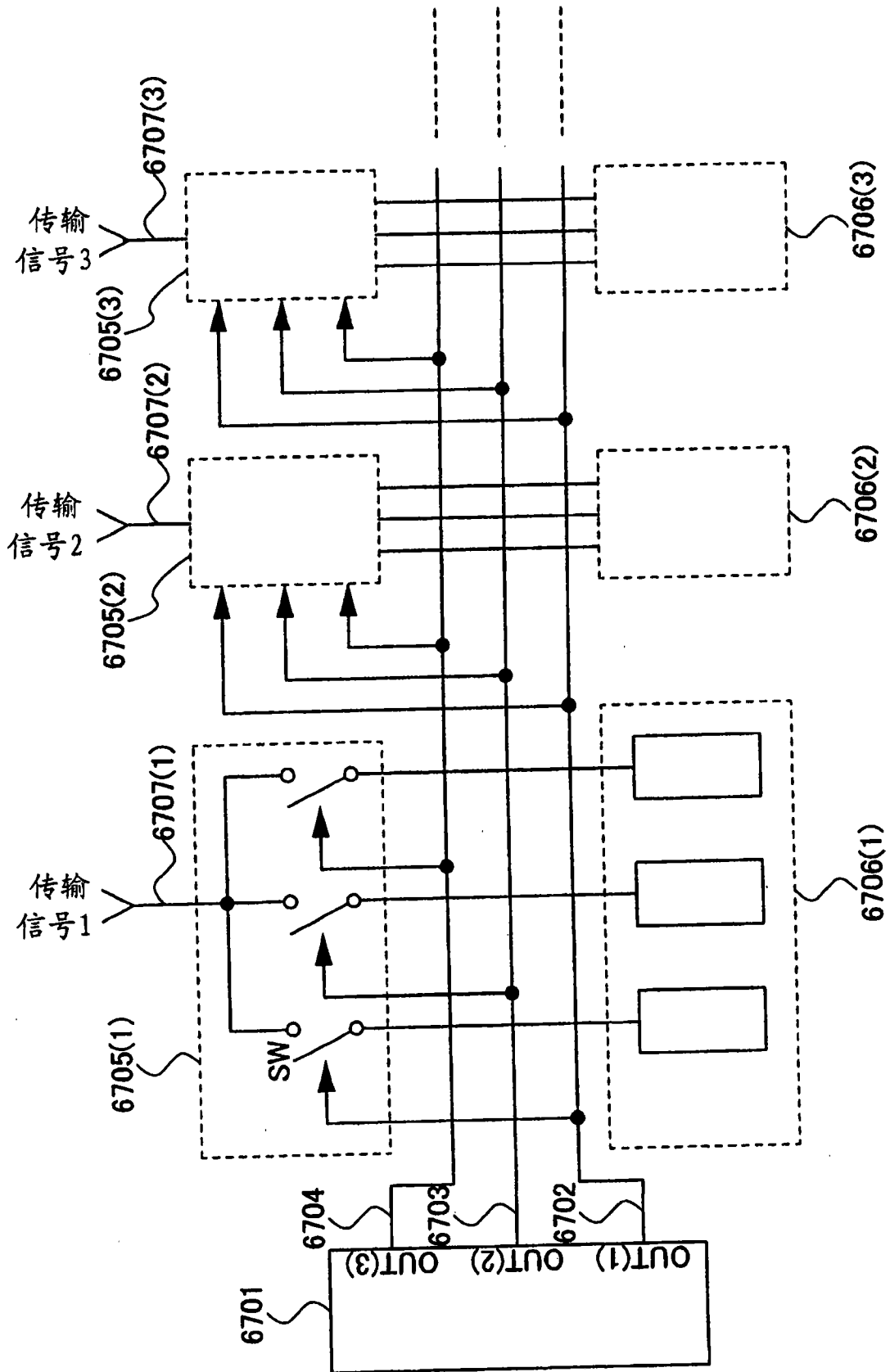


图 64

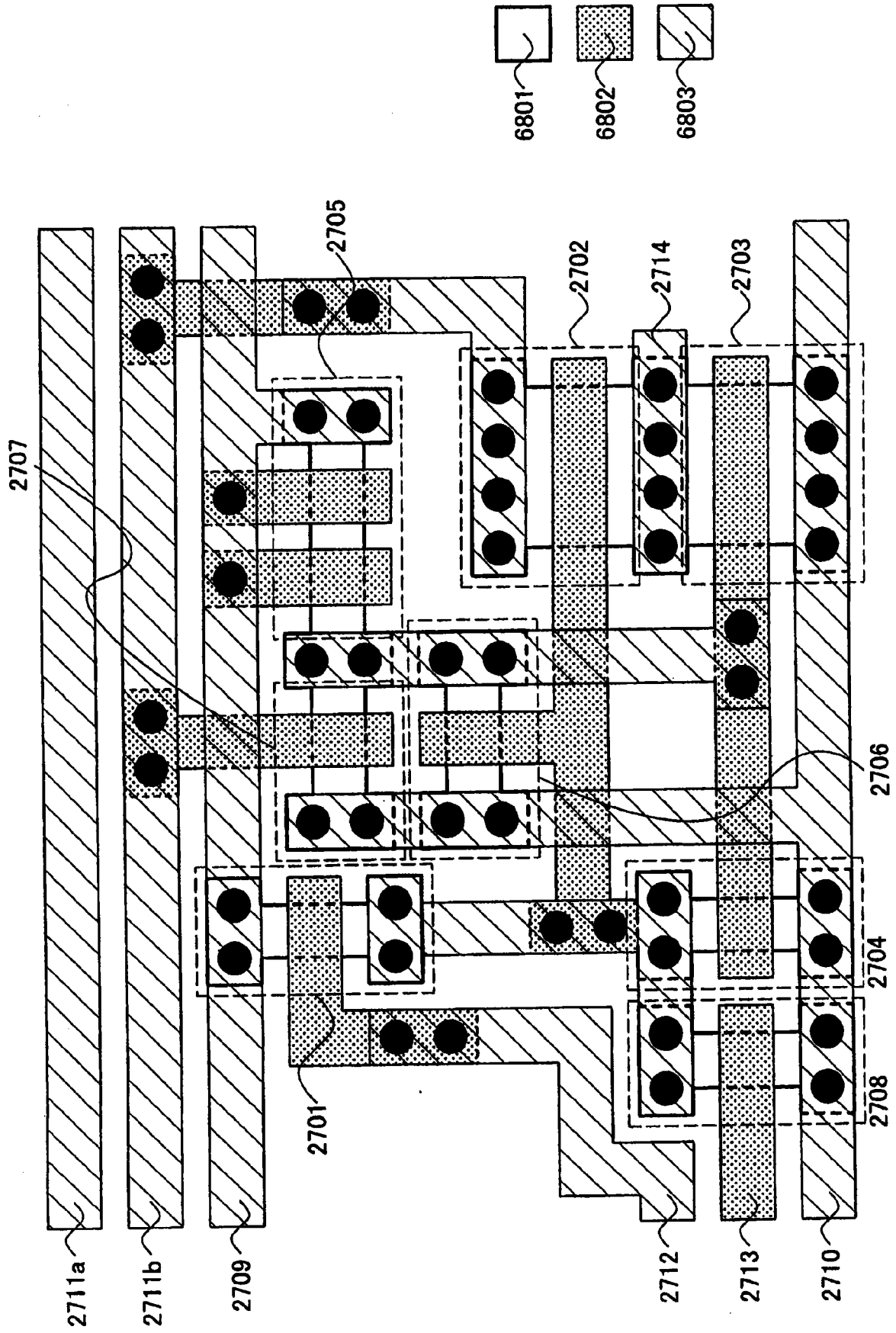


图 65

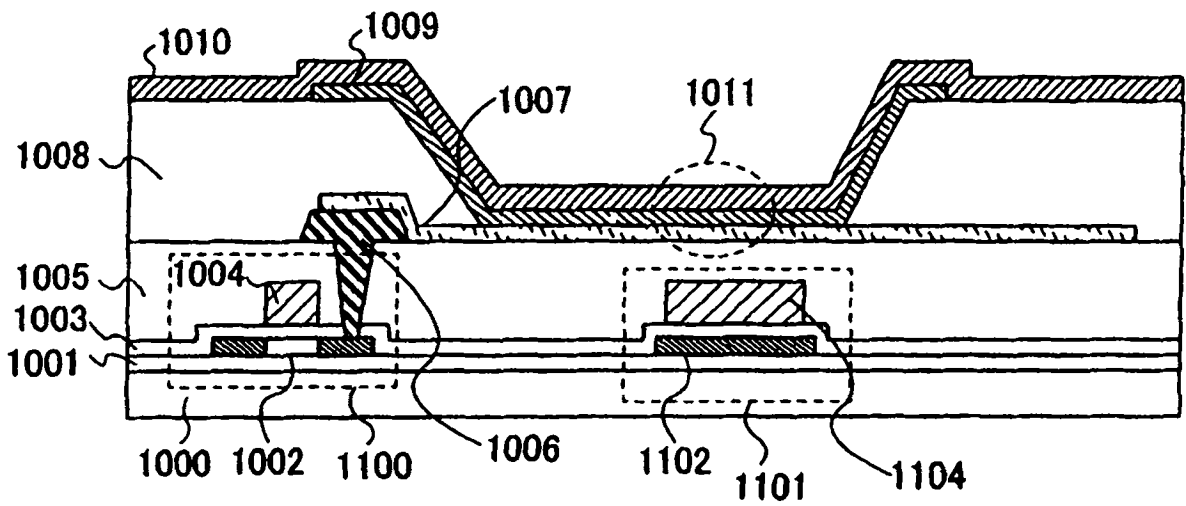


图 67A

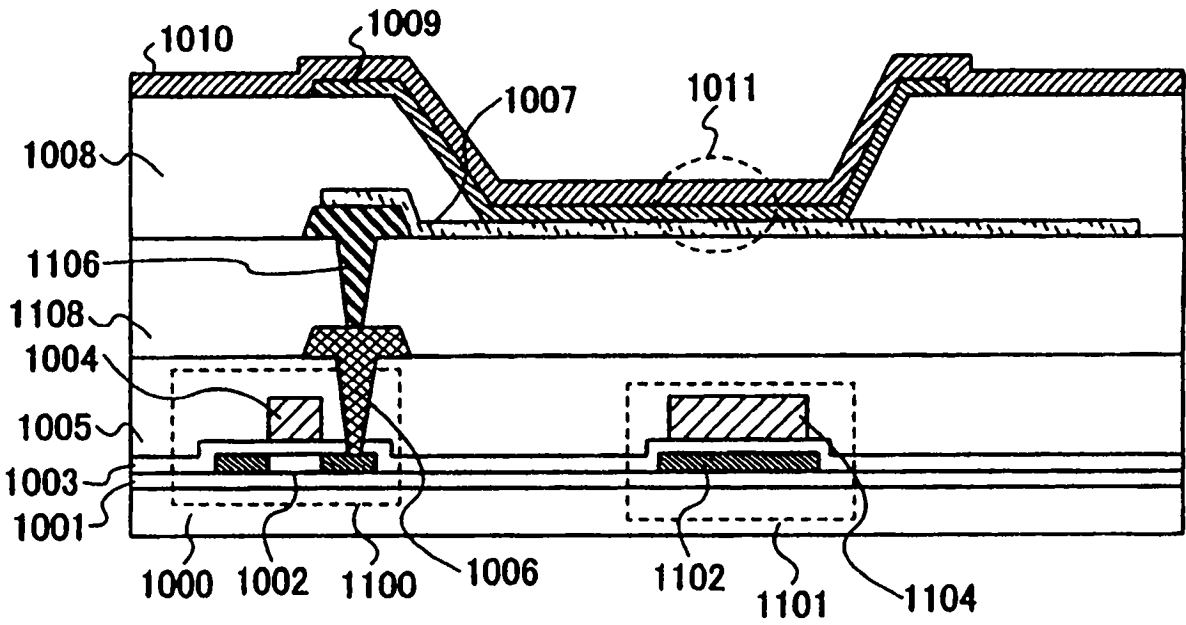


图 67B

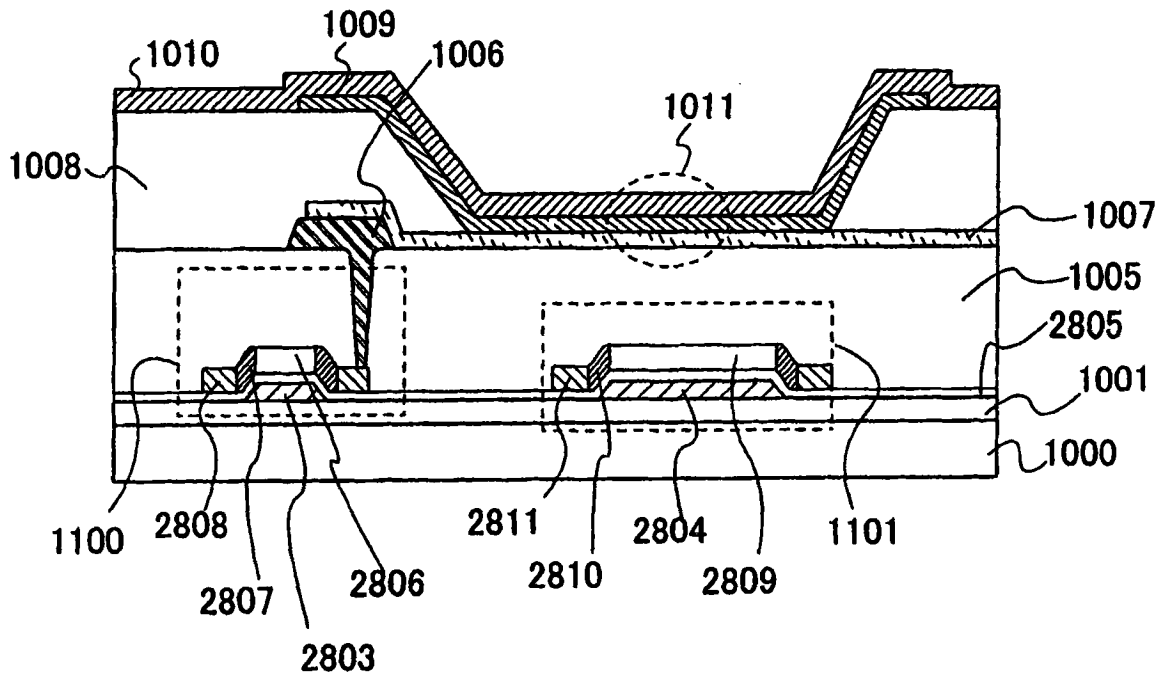


图 68

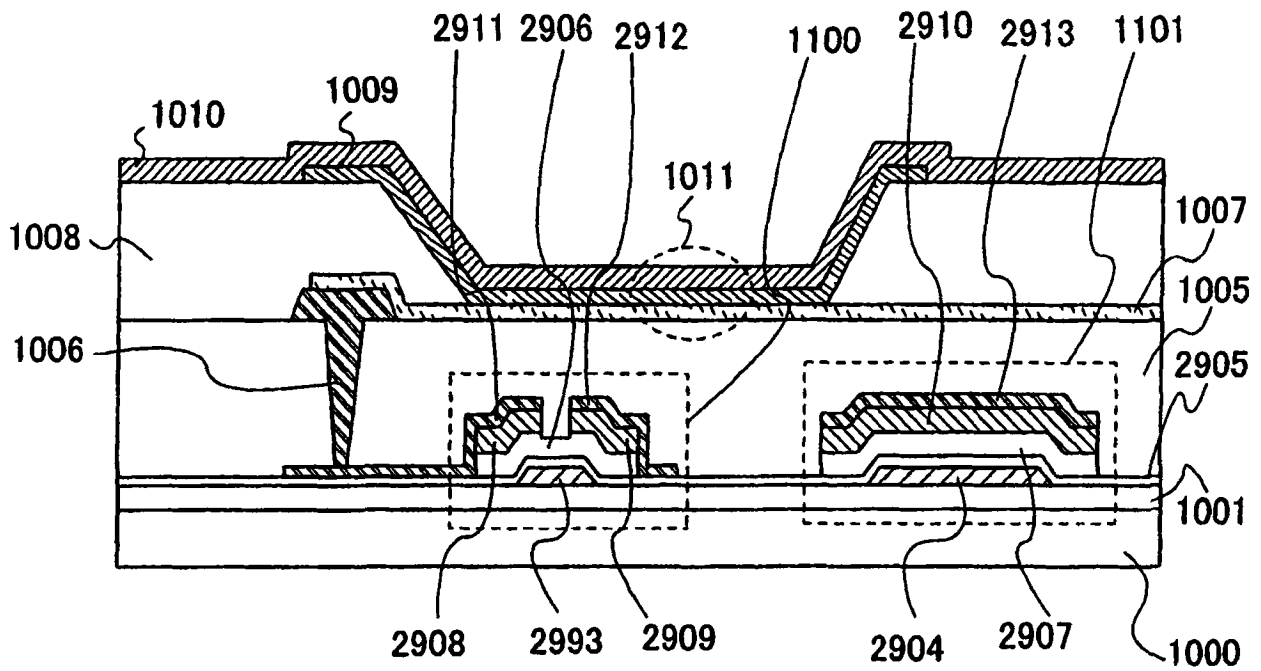


图 69A

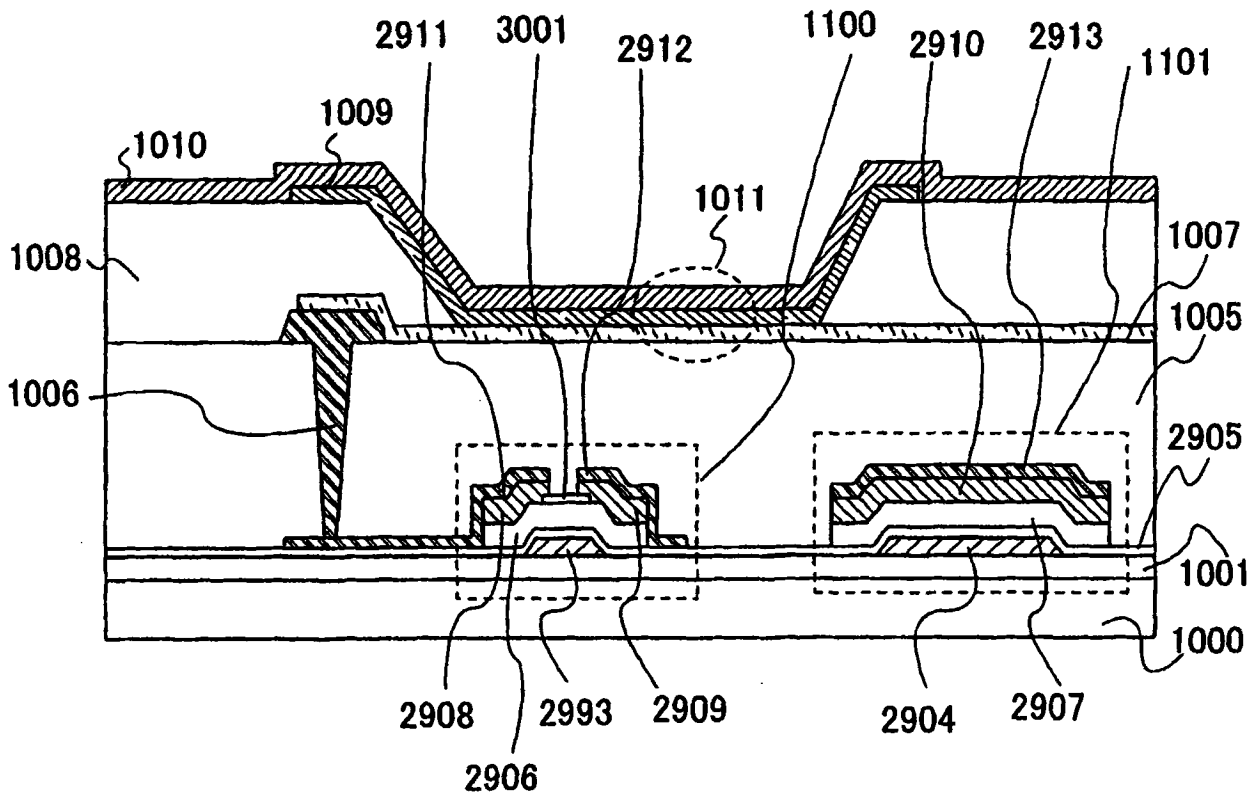


图 69B

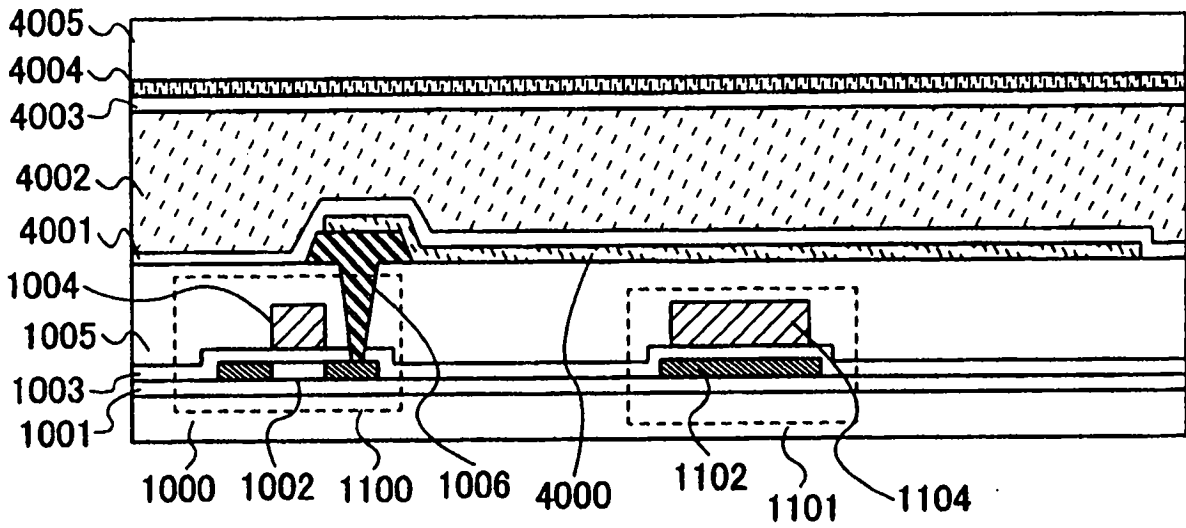


图 70A

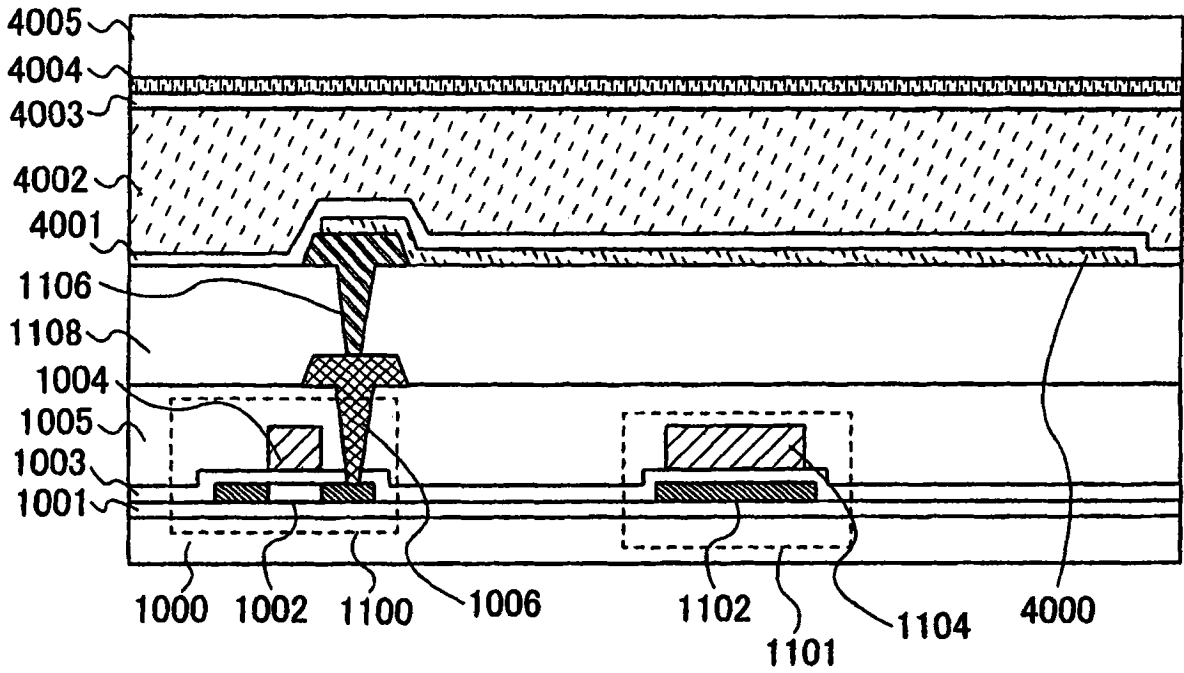


图 70B

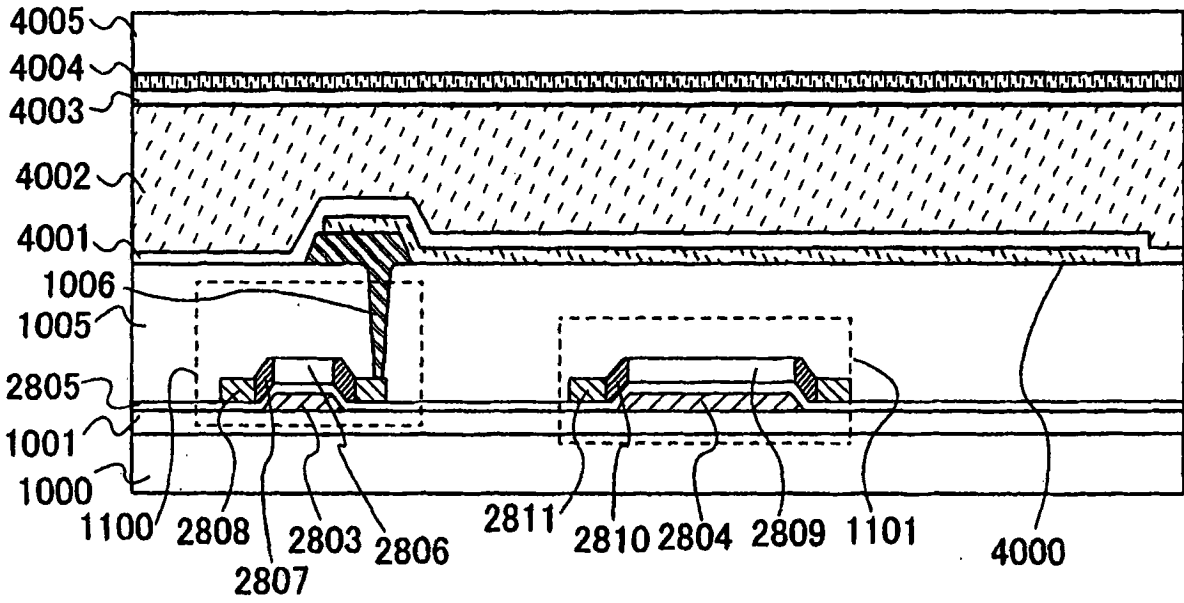


图 70C

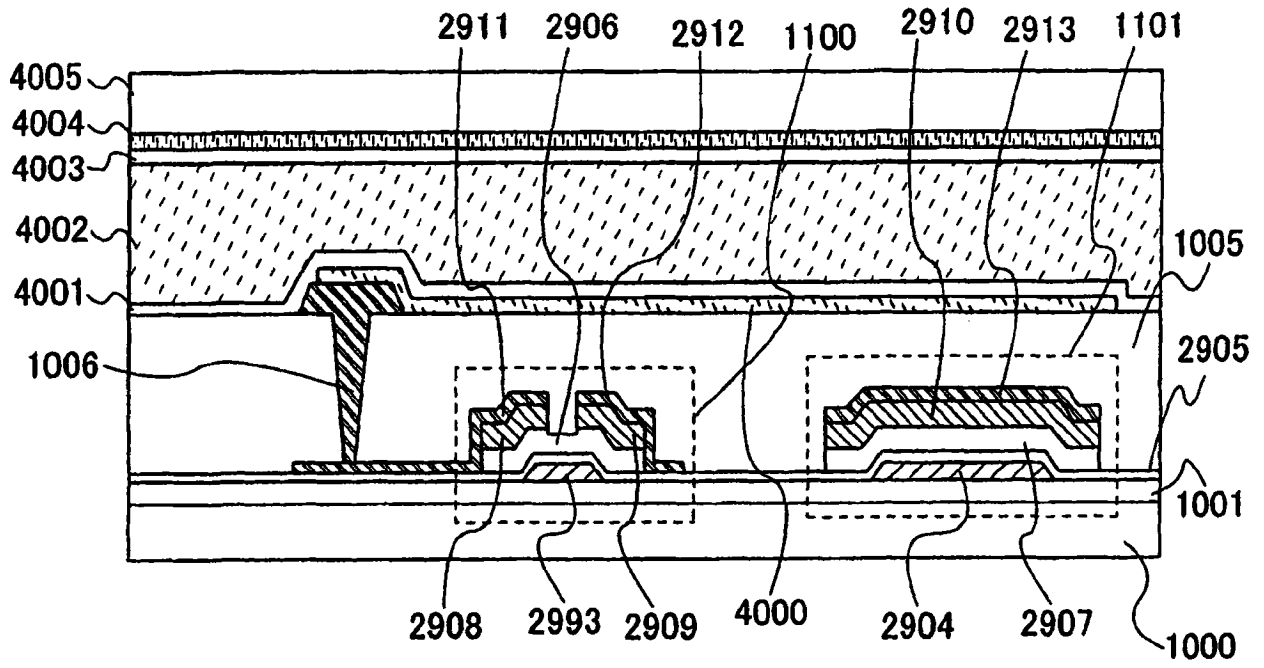


图 71A

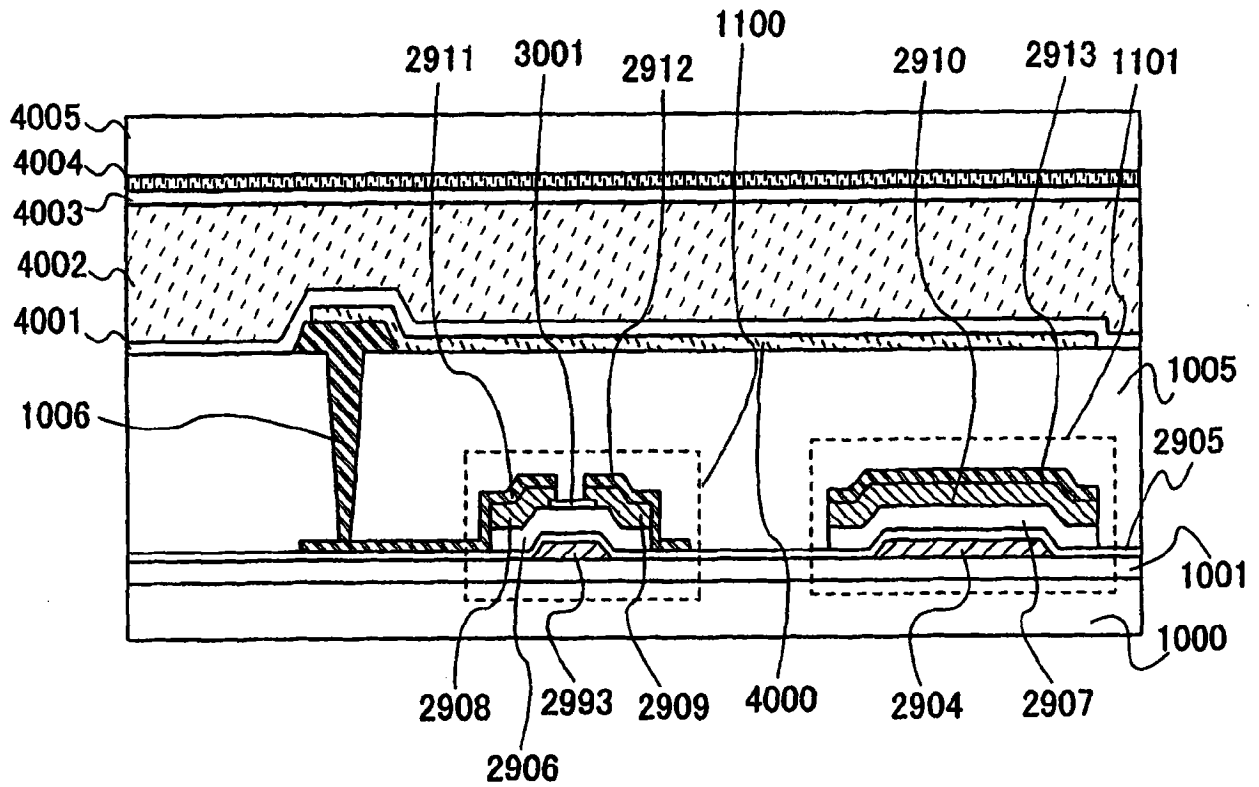


图 71B

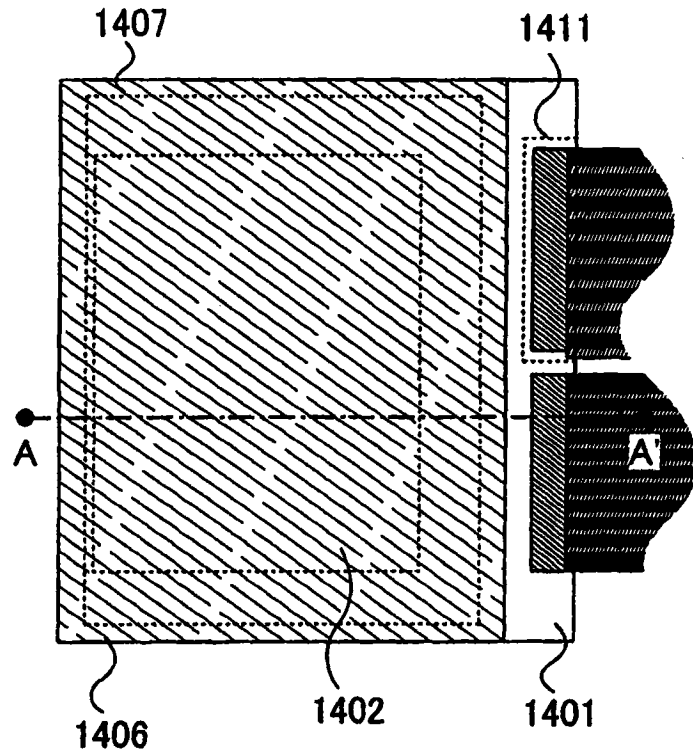


图 72A

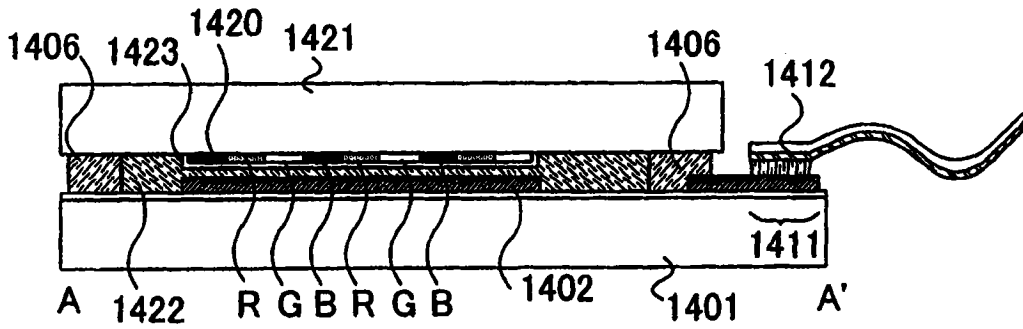


图 72B

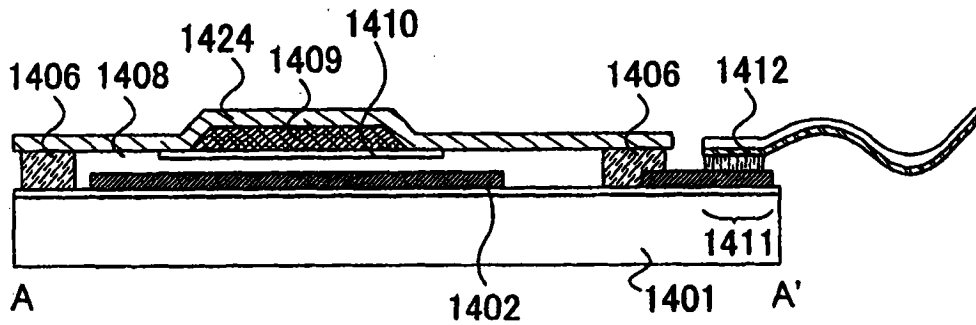


图 72C

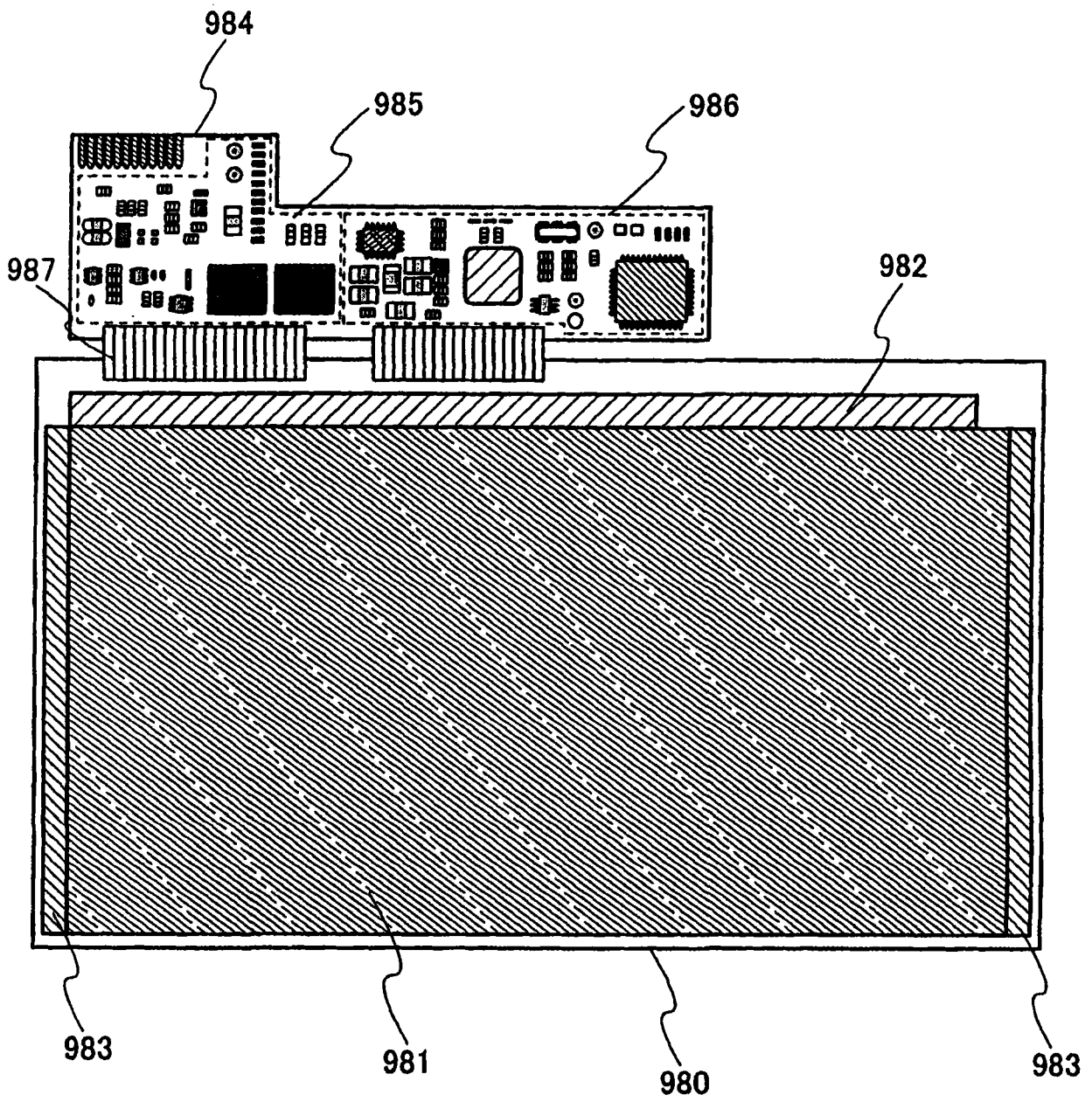


图 73

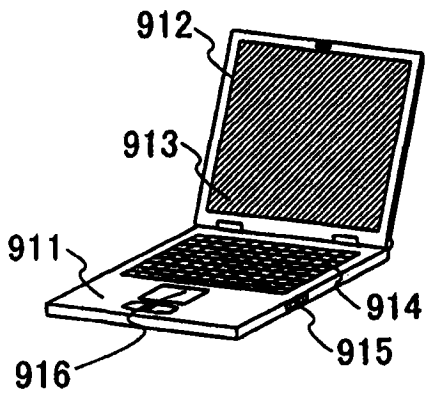


图 74A

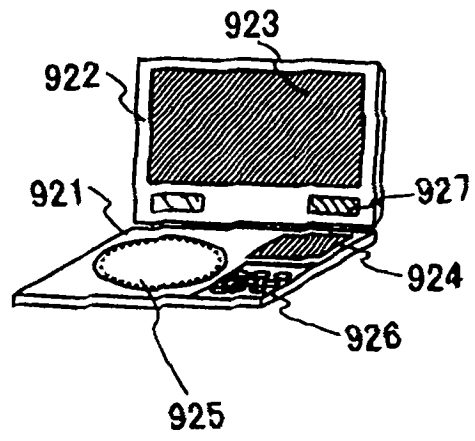


图 74B

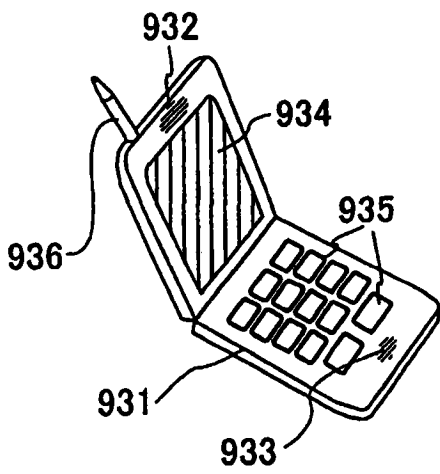


图 74C

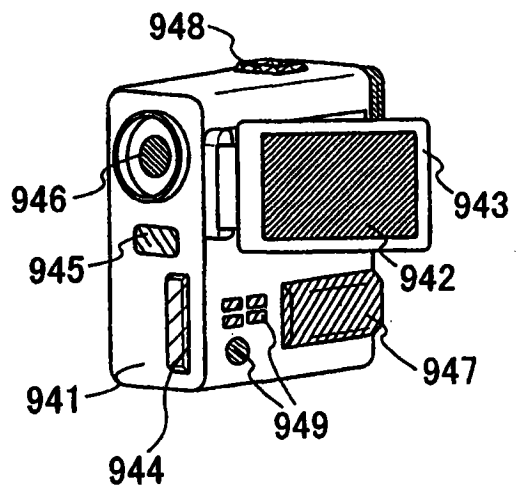


图 74D

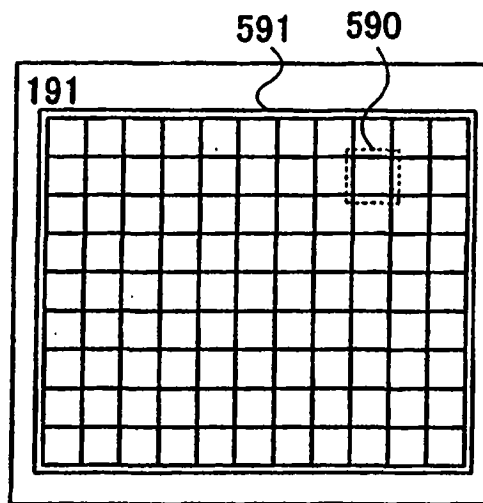


图 75A

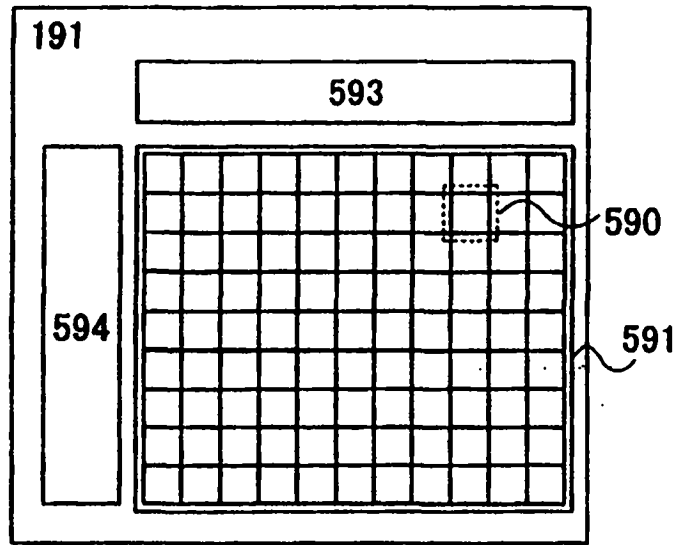


图 75B

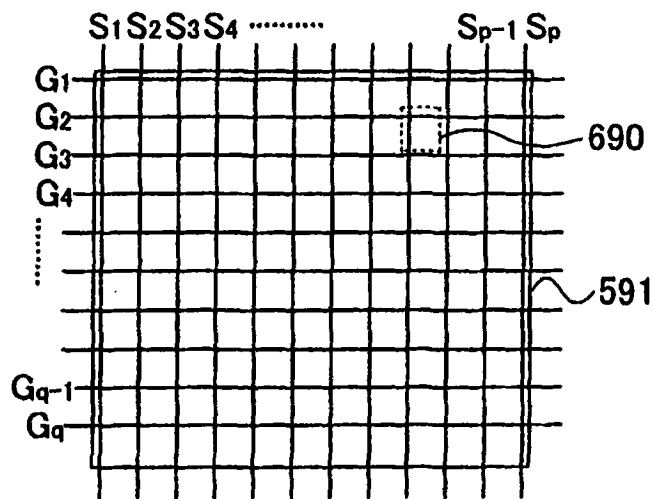


图 76A

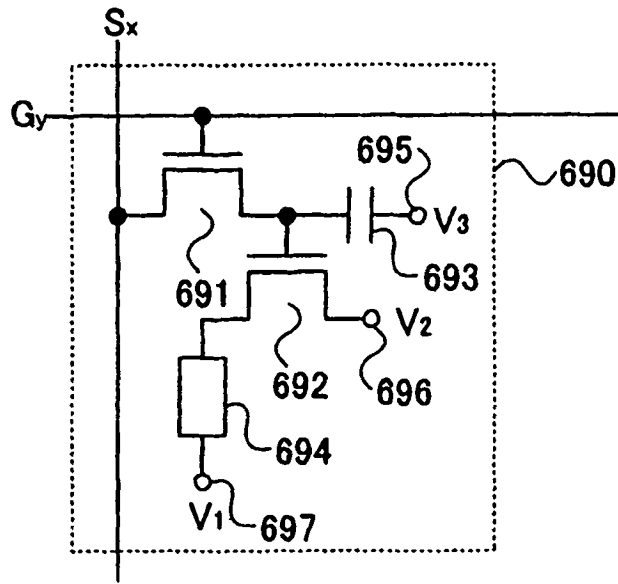


图 76B

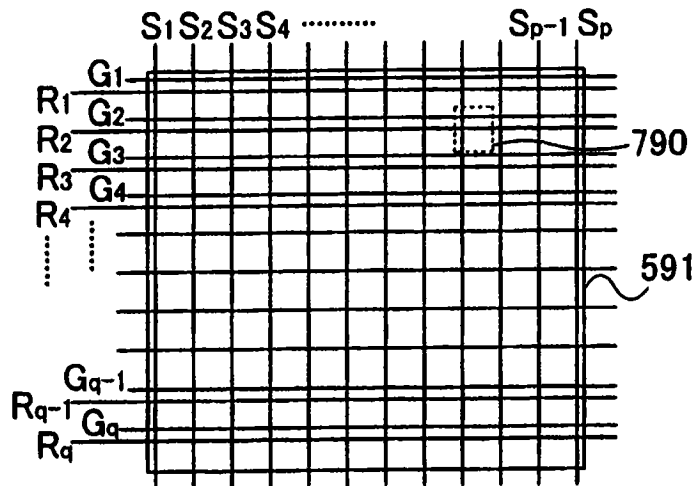


图 77A

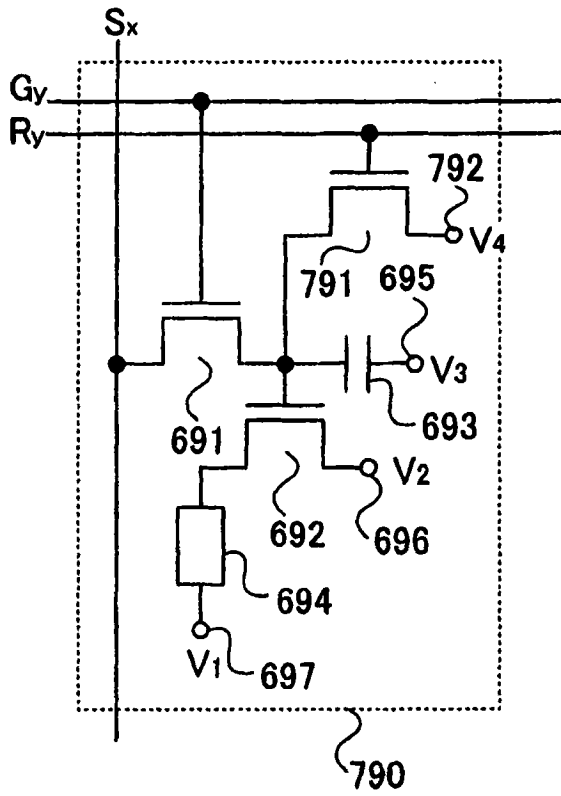


图 77B

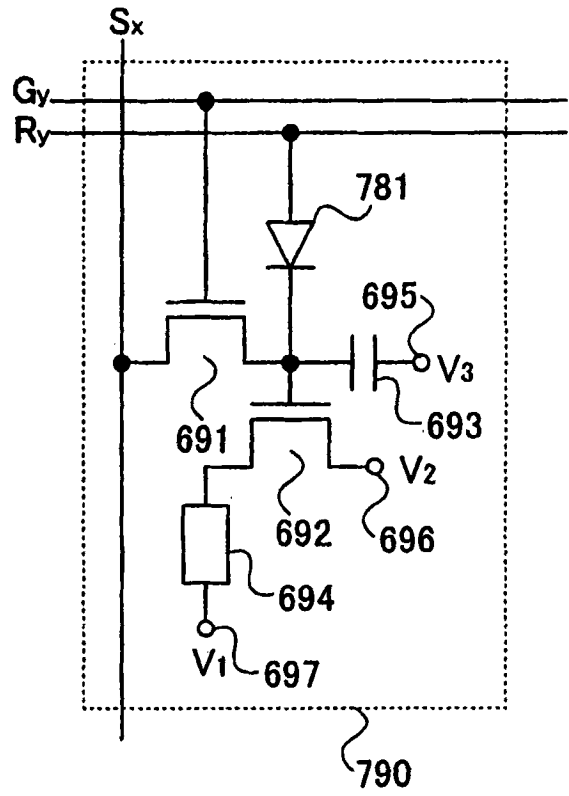


图 77C

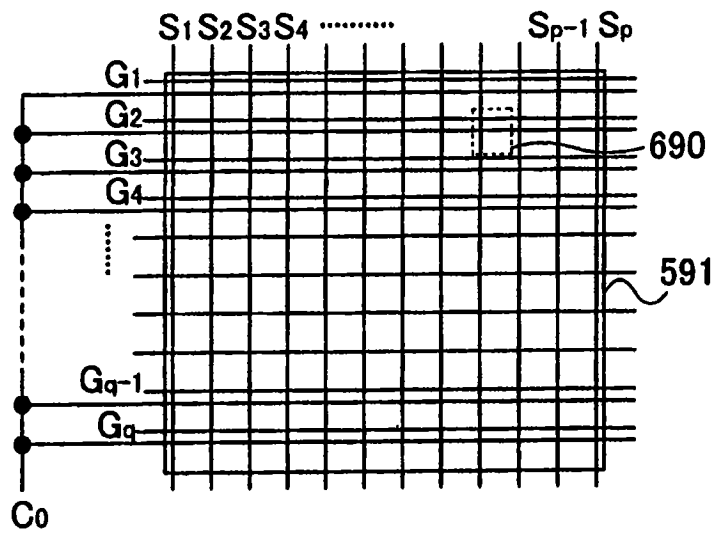


图 78A

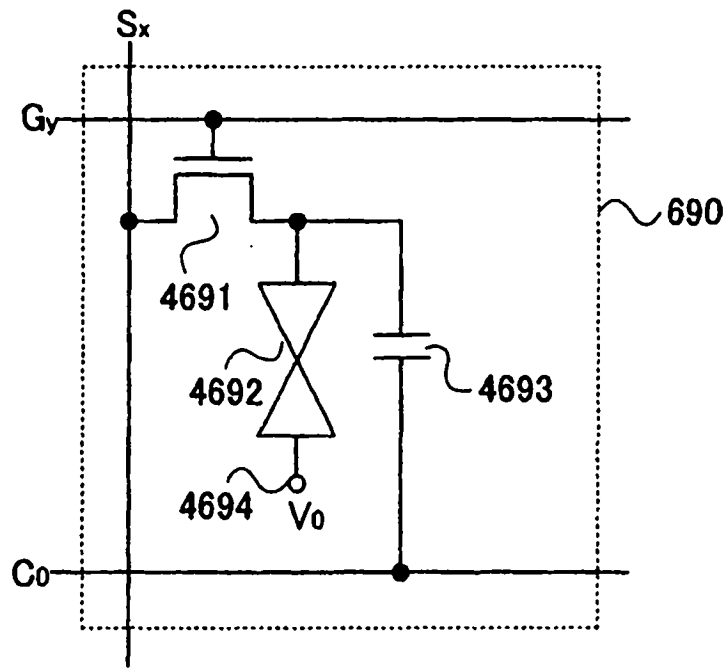


图 78B