

(43) 国際公開日
2009年1月29日 (29.01.2009)

PCT

(10) 国際公開番号
WO 2009/014144 A1

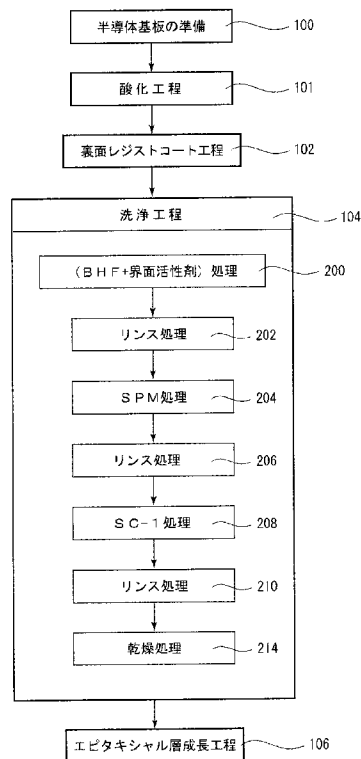
- (51) 国際特許分類:
H01L 21/304 (2006.01) H01L 21/205 (2006.01)
C23C 16/02 (2006.01)
- (21) 国際出願番号: PCT/JP2008/063198
- (22) 国際出願日: 2008年7月23日 (23.07.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-192235 2007年7月24日 (24.07.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 信越半
導体株式会社 (SHIN-ETSU HANDOTAI CO., LTD.)
- [JP/JP]; 〒1000004 東京都千代田区大手町二丁目6番
2号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 丸山 裕之
(MARUYAMA, Hiroyuki) [JP/JP]; 〒3790196 群馬県
安中市磯部二丁目13番1号 信越半導体株式会社
磯部工場内 Gunma (JP).
- (74) 代理人: 石原 詔二, 外 (ISHIHARA, Shoji et al.); 〒
1700013 東京都豊島区東池袋3丁目7番8号 若井ビ
ル302号 石原国際特許事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

[続葉有]

(54) Title: SEMICONDUCTOR SUBSTRATE MANUFACTURING METHOD

(54) 発明の名称: 半導体基板の製造方法

[図1]



- 100 PREPARATION OF SEMICONDUCTOR SUBSTRATE
101 OXIDIZING STEP
102 REAR SURFACE RESIST COATING STEP
104 CLEANING STEP
200 (BHF+SURFACTANT) TREATMENT
202 RINSE TREATMENT
204 SPM TREATMENT
206 RINSE TREATMENT
208 SC-1 TREATMENT
210 RINSE TREATMENT
214 DRYING TREATMENT
106 EPITAXIAL LAYER GROWING STEP

(57) Abstract: Provided is a semiconductor substrate manufacturing method wherein adhesion of heavy metals such as Fe, Ni, Cr and Cu and adhesion of particles are eliminated and generation of liquid contamination is also eliminated. The semiconductor substrate manufacturing method includes a step of forming an oxide film over the entire surface of a semiconductor substrate; a step of coating an oxide film on the rear surface and the side surface of the semiconductor substrate with a resist film; a cleaning step of cleaning the semiconductor substrate; and a step of growing an epitaxial layer by vapor phase epitaxy on the front surface of the semiconductor substrate after the cleaning step. The cleaning step includes a treatment of removing the semiconductor substrate front surface oxide film by using buffered hydrofluoric acid added with a surfactant, a treatment of removing the semiconductor substrate rear surface resist film by sulfuric acid hydrogen peroxide cleaning without drying the semiconductor substrate, a treatment of cleaning the semiconductor substrate by SC-1 cleaning without drying the semiconductor substrate, and a treatment of drying the semiconductor substrate.

(57) 要約: Fe、Ni、Cr、Cu等の重金属やパーティクルの付着を防止し、かつ液汚れの発生を防止することを可能とした半導体基板の製造方法を提供する。半導体基板の全面に酸化膜を形成する工程と、前記半導体基板の裏面および側面の酸化膜をレジスト膜でコートする工程と、前記半導体基板を洗浄する洗浄工程と、前記洗浄工程を経た半導体基板の表面に気相成長法によりエピタキシャル層を成長させる工程と、を含む半導体基板の製造方法であって、前記洗浄工程が、界面活性剤を添加したバッファードフッ酸により前記半導体基板表面酸化膜を除去する処理と、前記半導体基板を乾燥させることなく硫酸過酸化水素洗浄により該半導体基板裏面レジスト膜を除去する処理と、前記半導体基板を乾燥させずに該半導体基板に対してSC-1洗浄を行う処理と、前記半導体基板を乾燥する処理と、を有するようにした。



BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

半導体基板の製造方法

技術分野

[0001] 本発明は、Fe、Ni、Cr、Cu等の重金属やパーティクルの付着を防止し、かつ液汚れの発生を防止することを可能とした半導体基板の製造方法に関する。

背景技術

[0002] 気相エピタキシャル成長技術は、バイポーラトランジスタやMOSLSI等の集積回路の製造に用いられる単結晶薄膜層を気相成長させる技術であり、清浄な半導体単結晶基板上に基板の結晶方位に合せて均一な単結晶薄膜を成長させたり、ドーパント濃度差が大きい接合の急峻な不純物濃度勾配を形成することができるので、極めて重要な技術である。気相エピタキシャル成長装置としては、縦型(パンケーキ型)、バレル型(シリンダー型)、さらに横型の3種類が一般的である。これらの成長装置の原理は共通している。

[0003] エピタキシャル成長のプロセスの一例としては、まず単結晶引上げ法等により成長させたシリコン単結晶からシリコン半導体単結晶基板を切り出し、表面を研磨する。この基板を、気相エピタキシャル成長装置の内のサセプタと呼ばれる載置台の上に載置し、前記基板を所定の反応温度に加熱してSiを含んだ原料ガスの熱分解によってエピタキシャル層を成長させ、シリコンエピタキシャルウェーハを得る。

[0004] 例えば、各種の回路素子を形成する場合、P型またはN型の半導体基板を用い、その半導体基板の上にP⁻型またはN⁻型のエピタキシャル層を形成し、このエピタキシャル層に各種回路素子を形成することが行われている。

[0005] ところで、このように半導体基板上にエピタキシャル層を形成する場合、オートドーピングの問題を生じる。このオートドーピング現象は、半導体基板からエピタキシャル層への熱による固相拡散にもよるが、半導体基板における側面部および裏面部の不純物が気相中に一旦放出され、当該不純物がエピタキシャル層表面に搬送されることによって生じる。このようなオートドーピングが生じるとエピタキシャル層の不純物濃度が変化し、エピタキシャル層内において不純物濃度が不均一化してしまう。特に、

半導体基板とエピタキシャル層との界面近傍のエピタキシャル層中の不純物濃度が変動してしまい、所望のエピタキシャル層の不純物濃度までに到達するのに相当のエピタキシャル層が無駄になる。

[0006] つまり、半導体基板と同じ導電型のエピタキシャル層を形成する場合にあっては、その界面近傍のエピタキシャル層中の不純物濃度が高くなってしまい、一方、半導体基板と逆導電型のエピタキシャル層を形成する場合にあっては、その界面近傍のエピタキシャル層中の不純物濃度が低くなってしまふことから、所望の不純物濃度のエピタキシャル層を得るには該エピタキシャル層を必要以上に厚くしなければならない。

[0007] そこで、従来、上記のような不都合を回避するため、エピタキシャル層を形成する前に半導体基板の側面および裏面に酸化膜からなる保護膜を形成し、当該酸化膜によって不純物の気相への放出を抑止し、その状態で半導体基板の表面にエピタキシャル層を形成するようにしていた。このような技術については、例えば、特許文献1や特許文献2に記載されている。

特許文献1:特開昭58-95819

特許文献2:特公平6-80634

発明の開示

発明が解決しようとする課題

[0008] 従来のエピタキシャルウェーハの製造方法は図11に示す工程順によって行われていた。図11において、まず半導体基板を準備する(図11のステップ100)。次いで、半導体基板の裏面または側面の酸化膜を形成するため、まず半導体基板全面に熱酸化またはCVDで酸化膜を形成する(図11のステップ101)。その後、半導体基板の裏面と側面の酸化膜を保護のためレジストでコートする(図11のステップ102)。

[0009] 前記裏面及び側面の酸化膜をレジスト膜でコートした半導体基板は第1洗浄工程で洗浄処理される(図11のステップ104A)。この第1洗浄工程は次の複数の処理から構成されている。前記裏面及び側面の酸化膜をレジスト膜でコートした半導体基板の表面の酸化膜をバッファードフッ酸(以下、BHFともいう)によりエッチング除去する(図11のサブステップ300)。前記BHF処理された半導体基板はリンス処理され(図

11のサブステップ302)、その後、乾燥処理される(図11のサブステップ304)。この時、ウェーハ表面は撥水面が露出している為、乾燥工程や、その後のウェーハの取り扱い、環境などから、汚染を受けやすい状態にある。

[0010] 前記乾燥処理された半導体基板は次に第2洗浄工程で洗浄処理される(図11のステップ104B)。この第2洗浄工程は次の複数の処理から構成されている。まず前記乾燥された半導体基板に対して硫酸過酸化水素(以下、SPMともいう)処理を行い、当該半導体基板の裏面及び側面のレジスト膜を除去する(図11のサブステップ400)。

[0011] 前記SPM処理された半導体基板はリンス処理され(図11のサブステップ402)、その後、SC-1(アンモニア:過酸化水素:水の容積配合比=1:1~2:5~7の洗浄液)洗浄処理によって半導体基板の表面のパーティクル等の不純物が取り除かれる(図11のサブステップ404)。SC-1洗浄処理された半導体基板はリンス処理される(図11のサブステップ406)。次いで、必要に応じて、更なる金属レベルを上げる為に、SC-2(塩酸:過酸化水素:水の容積配合比=1:1~2:5~7の洗浄液)洗浄を行ってもよい(図11のサブステップ408)。SC-2洗浄処理された半導体基板はリンス処理される(図11のサブステップ410)。そして、このリンスされた半導体基板は乾燥される(図11のサブステップ412)。前記乾燥処理された半導体基板の表面に気相成長法によりエピタキシャル層を成長させる(図11のステップ106)。

[0012] 上記した従来方法によれば、一般的に言えば、半導体基板におけるSi表面の酸化膜を除去した表面は撥水性を示し、その状態では、Fe、Ni、Cr、Cuなどの重金属が付着しやすい問題があり、またパーティクルが付着する問題、更に撥水面を乾燥することで、洗浄後にウェーハ表面にくもりが発生する「液汚れ」と呼ばれる不良が発生しやすいという問題があった。

[0013] 本発明は、上記した従来技術の問題点に鑑みなされたもので、Fe、Ni、Cr、Cu等の重金属やパーティクルの付着を防止し、かつ液汚れの発生を防止することを可能とした半導体基板の製造方法を提供することを目的とする。

課題を解決するための手段

[0014] 上記課題を解決するために、本発明の半導体基板の製造方法の第1の態様は、パ

ターン付き又はパターン無し半導体基板の全面に酸化膜を形成する工程と、前記全面に酸化膜を形成した半導体基板の裏面および側面の酸化膜をレジスト膜でコートする工程と、前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板を洗浄する洗浄工程と、前記洗浄工程を経た半導体基板の表面に気相成長法によりエピタキシャル層を成長させる工程と、を含む半導体基板の製造方法であって、前記洗浄工程が、界面活性剤を添加したバッファードフッ酸により前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板の表面の酸化膜を除去する処理と、前記酸化膜を除去した半導体基板を乾燥させることなく硫酸過酸化水素洗浄により該半導体基板の裏面および側面のレジスト膜を除去する処理と、前記裏面および側面のレジスト膜を除去した半導体基板を乾燥させずに該半導体基板に対してSC-1洗浄を行う処理と、前記SC-1洗浄を行った半導体基板を乾燥する処理と、を有することを特徴とする。

[0015] 本発明の半導体基板の製造方法の第2の態様は、パターン付き又はパターン無し半導体基板の全面に酸化膜を形成する工程と、前記全面に酸化膜を形成した半導体基板の裏面および側面の酸化膜をレジスト膜でコートする工程と、前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板を洗浄する洗浄工程と、前記洗浄工程を経た半導体基板の表面に気相成長法によりエピタキシャル層を成長させる工程と、を含む半導体基板の製造方法であって、前記洗浄工程が、界面活性剤を添加したバッファードフッ酸により前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板の表面の酸化膜を除去する処理と、前記酸化膜を除去した半導体基板を乾燥させることなく硫酸過酸化水素洗浄により該半導体基板の裏面および側面のレジスト膜を除去する処理と、前記裏面および側面のレジスト膜を除去した半導体基板を乾燥させずに該半導体基板に対してSC-1洗浄を行う処理と、前記SC-1洗浄を行った半導体基板に対してSC-2洗浄を行う処理と、前記SC-2洗浄を行った半導体基板を乾燥する処理と、を有することを特徴とする。

[0016] 本発明の半導体基板の製造方法の第3の態様は、パターン付き又はパターン無し半導体基板の全面に酸化膜を形成する工程と、前記全面に酸化膜を形成した半導体基板の裏面および側面の酸化膜をレジスト膜でコートする工程と、前記裏面および

側面の酸化膜をレジスト膜でコートした半導体基板を洗浄する洗浄工程と、前記洗浄工程を経た半導体基板の表面に気相成長法によりエピタキシャル層を成長させる工程と、を含む半導体基板の製造方法であって、前記洗浄工程が、界面活性剤を添加したバッファードフッ酸により前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板の表面の酸化膜を除去する処理と、前記酸化膜を除去した半導体基板を乾燥させることなく硫酸過酸化水素洗浄により該半導体基板の裏面および側面のレジスト膜を除去する処理と、前記裏面および側面のレジスト膜を除去した半導体基板を乾燥させずに該半導体基板に対して第1のSC-1洗浄を行う処理と、界面活性剤を添加したバッファードフッ酸による前記SC-1洗浄を行った半導体基板の全面の処理と、前記界面活性剤を添加したバッファードフッ酸による処理を行った半導体基板に対し第2のSC-1洗浄を行う処理と、を有することを特徴とする。

- [0017] 本発明の半導体基板の製造方法の第4の態様は、パターン付き又はパターン無し半導体基板の全面に酸化膜を形成する工程と、前記全面に酸化膜を形成した半導体基板の裏面および側面の酸化膜をレジスト膜でコートする工程と、前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板を洗浄する洗浄工程と、前記洗浄工程を経た半導体基板の表面に気相成長法によりエピタキシャル層を成長させる工程と、を含む半導体基板の製造方法であって、前記洗浄工程が、界面活性剤を添加したバッファードフッ酸により前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板の表面の酸化膜を除去する処理と、前記酸化膜を除去した半導体基板を乾燥させることなく硫酸過酸化水素洗浄により該半導体基板の裏面および側面のレジスト膜を除去する処理と、前記裏面および側面のレジスト膜を除去した半導体基板を乾燥させずに該半導体基板に対して第1のSC-1洗浄を行う処理と、前記SC-1洗浄を行った半導体基板に対してSC-2洗浄を行う処理と、界面活性剤を添加したバッファードフッ酸による前記SC-2洗浄を行った半導体基板の全面の処理と、前記界面活性剤を添加したバッファードフッ酸による処理を行った半導体基板に対し第2のSC-1洗浄を行う処理と、を有することを特徴とする。

[0018] 前記半導体基板としてはシリコン単結晶基板が好適に用いられる。

[0019] そもそも、重金属の付着や、パーティクルの付着は、ウェーハ搬水面が露出した状

態で汚染物質に接触することで起こる。例えば、酸化膜や界面活性剤膜で覆われていれば、仮に汚染物質に触れても容易に落とすことができる。そこで、本発明においては、BHF洗浄後に露出するウェーハ撥水面を保護被覆するために、BHFに界面活性剤を添加した。

[0020] また、本発明においては、撥水面露出時間を短縮する為に、洗浄工程中に一旦乾燥させることをやめ、連続的にSPM洗浄、SC-1洗浄まで実施したことにより、パーティクル汚染や液汚れという問題が解決した。更に、SC-2(塩酸:過酸化水素:水の容積配合比=1:1~2:5~7の洗浄液)洗浄を実施すれば、金属物質も除去できる利点がある。

[0021] 更に、本発明方法の第1の態様及び第2の態様の構成を1歩進めて、本発明方法の第3及び第4の態様に示したように、第1段の洗浄工程(BHF+界面活性剤→リンス→SPM→リンス→SC-1→リンス→SC-2(任意)→リンス)で処理された半導体基板に対して第2段の洗浄工程(BHF+界面活性剤→リンス→SC-1→リンス→SC-2(任意)→リンス)による処理を行うことで、半導体基板の裏面酸化膜厚さをコントロールすることが可能である。

発明の効果

[0022] 本発明の半導体基板の製造方法によれば、Fe、Ni、Cr、Cu等の重金属やパーティクルの付着を防止し、かつ液汚れの発生を防止することができるという大きな効果が達成される。

図面の簡単な説明

[0023] [図1]本発明方法の第1の態様の工程順を示すフローチャートである。

[図2]本発明方法の第2の態様の工程順を示すフローチャートである。

[図3]本発明方法の第3の態様の工程順を示すフローチャートである。

[図4]本発明方法の第4の態様の工程順を示すフローチャートである。

[図5]実施例1及び比較例1におけるパーティクル($0.2\mu\text{m}$)個数推移を示すグラフである。

[図6]実施例1及び比較例1におけるパーティクル($0.3\mu\text{m}$)個数推移を示すグラフである。

[図7]実施例1及び比較例1において作製したエピタキシャルウェーハにおける金属不純物(Fe)レベルを示すグラフである。

[図8]実施例1及び比較例1において作製したエピタキシャルウェーハにおける金属不純物(Cu)レベルを示すグラフである。

[図9]実施例1及び比較例1において作製したエピタキシャルウェーハにおける金属不純物(Cr)レベルを示すグラフである。

[図10]実施例1及び比較例1において作製したエピタキシャルウェーハにおける金属不純物(Ni)レベルを示すグラフである。

[図11]従来のエピタキシャルの製造方法の工程順を示すフローチャートである。

発明を実施するための最良の形態

[0024] 以下、本発明の実施の形態について添付図面に基づいて説明するが、図示例は本発明の好ましい実施の形態を示すもので、本発明の技術思想から逸脱しない限り、種々の変形が可能であることはいうまでもない。

[0025] 図1は本発明方法の第1の態様の工程順を示すフローチャートである。図1において、パターン付き又はパターン無しの半導体基板を準備する(図1のステップ100)。次いで、酸化工程において前記半導体基板の全面に酸化膜を形成する(図1のステップ101)。この酸化工程は横型炉、縦型炉、枚葉炉等の炉を用い、半導体基板の全面に酸化膜を成長する。次に、裏面レジストコート工程において前記酸化膜を全面に形成した半導体基板の裏面及び側面の酸化膜をレジスト膜で塗布(コート)する(図1のステップ102)。このレジストコートは、例えばスピン式裏面レジストコーターを使用できるが、その他の如何なる塗布方法でも採用できる。

[0026] 前記裏面及び側面の酸化膜をレジスト膜でコートした半導体基板を洗浄工程で洗浄する(図1のステップ104)。この洗浄工程は次の複数の処理から構成されている。前記裏面及び側面の酸化膜をレジスト膜でコートした半導体基板の表面の酸化膜を界面活性剤を添加したBHFによりエッチング除去する(図1のサブステップ200)。BHFの濃度は得たいエッチングレートに応じて適宜設定すればよい。BHFに添加する界面活性剤は、ノニオン系、アニオン系、カチオン系何れも使用可能であり、界面活性剤の添加量としては0.1～10wt%が好適である。このBHF+界面活性剤処理

によって、半導体基板の表面酸化膜がエッチングされるが、半導体基板の裏面及び側面はレジスト膜に覆われているのでエッチングされない。

[0027] 前記BHF＋界面活性剤処理された半導体基板はリンス処理され(図1のサブステップ202)、その後、SPM処理によって半導体基板の裏面及び側面のレジスト膜が除去される(図1のサブステップ204)。このSPM処理用の槽は、レジスト膜を十分に落とす為には2槽以上が望ましい。

[0028] 前記SPM処理された半導体基板はリンス処理され(図1のサブステップ206)、その後、SC－1洗浄処理によって半導体基板の表面のパーティクル等の不純物を取り除かれる(図1のサブステップ208)。このSC－1洗浄処理用の槽は、SPM処理の場合と同様にパーティクルを十分に落とす為には2槽以上が望ましい。SC－1洗浄処理された半導体基板はリンス処理される(図1のサブステップ210)。

[0029] 各薬液槽間のリンス処理(図1のサブステップ202、206、210)用の槽は、薬液を十分洗い流す為2槽以上必要である。なお、BHF後のウェーハは撥水面の為、リンスについては一気に純水を排出する。また純水シャワーを伴ったQDR(クイックダンプリンス)は、液汚れやパーティクル付着の原因に成りえるので、適切ではなく、オーバーフローリンスが適切である。

[0030] 前記リンス処理された半導体基板は続いて乾燥処理される(図1のサブステップ214)。乾燥処理はスピン乾燥、IPA乾燥、IR乾燥、真空乾燥等如何なる乾燥方法も採用できる。

[0031] 次に前記乾燥処理された半導体基板の表面に気相成長法によりエピタキシャル層を成長させる(図1のステップ106)。

[0032] 図1に示した工程順の例では、SC－1洗浄処理のみを行う場合を示したが、SC－1洗浄処理に続いてSC－2洗浄処理を導入することもできる。SC－2洗浄処理を導入する場合について図2によって説明する。図2は本発明方法の第2の態様の工程順を示すフローチャートである。図2の工程順においては、SC－1洗浄処理(図2のサブステップ208)及びリンス処理(図2のサブステップ210)の後に、SC－2洗浄処理(図2のサブステップ212)及びリンス処理(図2のサブステップ213)が追加されている点が図1の工程順と相違するだけであり、その他の工程は同じであるので再度の

説明は省略する。SC-2洗浄処理は金属不純物を落とす為に導入されるものであるが、高い不純物レベルが要求されていない場合には削除することもできる。

[0033] 前述したように、図1及び図2に示したような、第1段の洗浄工程(BHF+界面活性剤→リンス→SPM→リンス→SC-1→リンス→SC-2(任意)→リンス)で処理された半導体基板に対して第2段の洗浄工程(BHF+界面活性剤→リンス→SC-1→リンス→SC-2(任意)→リンス)による処理を行うことで、半導体基板の裏面酸化膜厚さをコントロールすることが可能である。この半導体基板の裏面酸化膜厚さをコントロールする場合について、図3～図4を用いて説明する。図3は本発明方法の第3の態様の工程順を示すフローチャートである。図3の工程順において、SC-1洗浄処理(図3のサブステップ208)及びリンス処理(図3のサブステップ210)までは図1の工程順と同じであるので、再度の説明は省略する。前記リンス処理(図3のサブステップ210)の後に、乾燥処理を行うことなく次の複数の処理が行われる。前記リンスされた半導体基板の酸化膜を界面活性剤を添加したBHFによりエッチング除去する(図3のサブステップ200a)。この場合、BHFのエッチングレートは $10 \text{ \AA} / \text{min} \sim 6000 \text{ \AA} / \text{min}$ 程度の範囲でコントロールできる為、所望のエッチングレートとなるようにBHFの濃度を調整すればよい。

[0034] 前記BHF+界面活性剤処理された半導体基板はリンス処理される(図3のサブステップ202a)。

[0035] 前記リンス処理された半導体基板は、その後、SC-1洗浄処理によって半導体基板の表面のパーティクル等の不純物が取り除かれる(図3のサブステップ208a)。このSC-1洗浄処理された半導体基板はリンス処理される(図3のサブステップ210a)。前記リンス処理された半導体基板は続いて乾燥処理される(図3のサブステップ214)。残りの処理及び工程は図1の場合と同様であるので再度の説明は省略する。

[0036] 図3に示した工程順の例では、SC-1洗浄処理のみを行う場合を示したが、SC-1洗浄処理に続いてSC-2洗浄処理を導入することもできる。SC-2洗浄処理を導入する場合について図4によって説明する。図4は本発明方法の第4の態様の工程順を示すフローチャートである。図4の工程順においては、SC-1洗浄処理(図4のサブステップ208)及びリンス処理(図4のサブステップ210)の後に、SC-2洗浄処

理(図4のサブステップ212)及びリンス処理(図4のサブステップ213)が追加されている点が図3の工程順と相違するだけであり、その他の工程は同じであるので再度の説明は省略する。前述したように、SC-2洗浄処理は金属不純物を落とす為に導入されるものであるが、高い不純物レベルが要求されていない場合には削除することもできる。

- [0037] 図3～図4の工程順は更に半導体基板の裏面の酸化膜の膜厚をコントロールしたい場合のプロセスを示したものである。第1段の洗浄工程におけるSC-1洗浄処理および場合に応じてSC-2洗浄処理までは、図1又は図2と同様であるが、その後、半導体基板の裏面の酸化膜厚さを任意にエッチングしたい場合は乾燥させずに第2段の洗浄工程において、BHF+界面活性剤処理及びSC-1洗浄処理および場合に応じてSC-2洗浄処理を繰り返して行う。なお、BHFのエッチングレートは $10\text{ \AA}/\text{min}$ ～ $6000\text{ \AA}/\text{min}$ 程度の範囲でコントロールできる為、所望のエッチングレートとなるようにBHFの濃度を調整する。

実施例

- [0038] 以下に本発明の実施例を挙げてさらに詳細に説明するが、これらの実施例は例示的に示されるもので、限定的に解釈されるべきでないことはいうまでもない。

[0039] (実施例1)

図1に示した工程順に従ってシリコンウェーハを処理しエピタキシャルウェーハを作製した。作製した1バッチにつき、金属汚染測定用モニターとして1枚のウェーハを、パーティクル測定用モニターとして2枚のウェーハを抜き取り、検査した。BHF槽について、BHFエッチングレートは $600\text{ \AA}/\text{min}$ に設定し、ノニオン系界面活性剤を添加した(濃度は2wt%)。SPM槽は2槽とした。SC-1槽は2槽使用し、温度は 75°C とした。乾燥方法はスピン乾燥を採用した。

- [0040] なお、実験は環境からの汚染を考慮して、クラス100のクリーンルーム内で実施し、洗浄機上部には更なるクリーンユニットを設置した。得られたエピタキシャルウェーハについてパーティクルの測定及び金属不純物濃度の測定を行った。パーティクル測定は、光学式パーティクル測定器を使用して行い、ウェーハ上の金属汚染評価は、化学分析法を用いた。液汚れ評価を含む測定結果の一覧表を表1に示した。パーテ

ィクルレベル(ウェーハ1及び2)の測定結果を図5($0.2\mu\text{m}$ 以上)及び図6($0.3\mu\text{m}$ 以上)に示した。金属不純物レベルの測定結果を図7(Fe)、図8(Cu)、図9(Cr)及び図10(Ni)に示した。従来工程(比較例1)と比較して本発明工程によれば何れの項目も改善していることが判明した。

[0041] [表1]

評価項目			比較例 1	実施例 1
金属汚染 (10^{10} atoms/cm ²)	Fe	範囲	0.13～4.50	0.01～0.016
		n	6	11
	Cu	範囲	0.01～0.049	0.008～0.013
		n	6	11
	Cr	範囲	0.01～0.09	0.01～0.022
		n	6	11
	Ni	範囲	0.01～0.023	0.009～0.015
		n	6	11
パーティクル (個/ウェーハ)	≧0.2μm	平均	23.4	3.2
		標準偏差	17.9	3.7
		n	14	32
	≧0.3μm	平均	7.8	2.4
		標準偏差	7.4	3.5
		n	14	32
液汚れ発生率		測定結果	8.40%	0.70%
		n	50	50

(n : データ数)

[0042] (比較例1)

図11に示した工程順に従ってシリコンウェーハを処理しエピタキシャルウェーハを作製し、実施例1と同様にパーティクルレベル及び金属不純物レベルを測定し、図5～図10に示した。

請求の範囲

- [1] パターン付き又はパターン無し半導体基板の全面に酸化膜を形成する工程と、前記全面に酸化膜を形成した半導体基板の裏面および側面の酸化膜をレジスト膜でコートする工程と、前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板を洗浄する洗浄工程と、前記洗浄工程を経た半導体基板の表面に気相成長法によりエピタキシャル層を成長させる工程と、を含む半導体基板の製造方法であって、前記洗浄工程が、界面活性剤を添加したバッファードフッ酸により前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板の表面の酸化膜を除去する処理と、前記酸化膜を除去した半導体基板を乾燥させることなく硫酸過酸化水素洗浄により該半導体基板の裏面および側面のレジスト膜を除去する処理と、前記裏面および側面のレジスト膜を除去した半導体基板を乾燥させずに該半導体基板に対してSC-1洗浄を行う処理と、前記SC-1洗浄を行った半導体基板を乾燥する処理と、を有することを特徴とする半導体基板の製造方法。
- [2] パターン付き又はパターン無し半導体基板の全面に酸化膜を形成する工程と、前記全面に酸化膜を形成した半導体基板の裏面および側面の酸化膜をレジスト膜でコートする工程と、前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板を洗浄する洗浄工程と、前記洗浄工程を経た半導体基板の表面に気相成長法によりエピタキシャル層を成長させる工程と、を含む半導体基板の製造方法であって、前記洗浄工程が、界面活性剤を添加したバッファードフッ酸により前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板の表面の酸化膜を除去する処理と、前記酸化膜を除去した半導体基板を乾燥させることなく硫酸過酸化水素洗浄により該半導体基板の裏面および側面のレジスト膜を除去する処理と、前記裏面および側面のレジスト膜を除去した半導体基板を乾燥させずに該半導体基板に対してSC-1洗浄を行う処理と、前記SC-1洗浄を行った半導体基板に対してSC-2洗浄を行う処理と、前記SC-2洗浄を行った半導体基板を乾燥する処理と、を有することを特徴とする半導体基板の製造方法。
- [3] パターン付き又はパターン無し半導体基板の全面に酸化膜を形成する工程と、前記全面に酸化膜を形成した半導体基板の裏面および側面の酸化膜をレジスト膜でコ

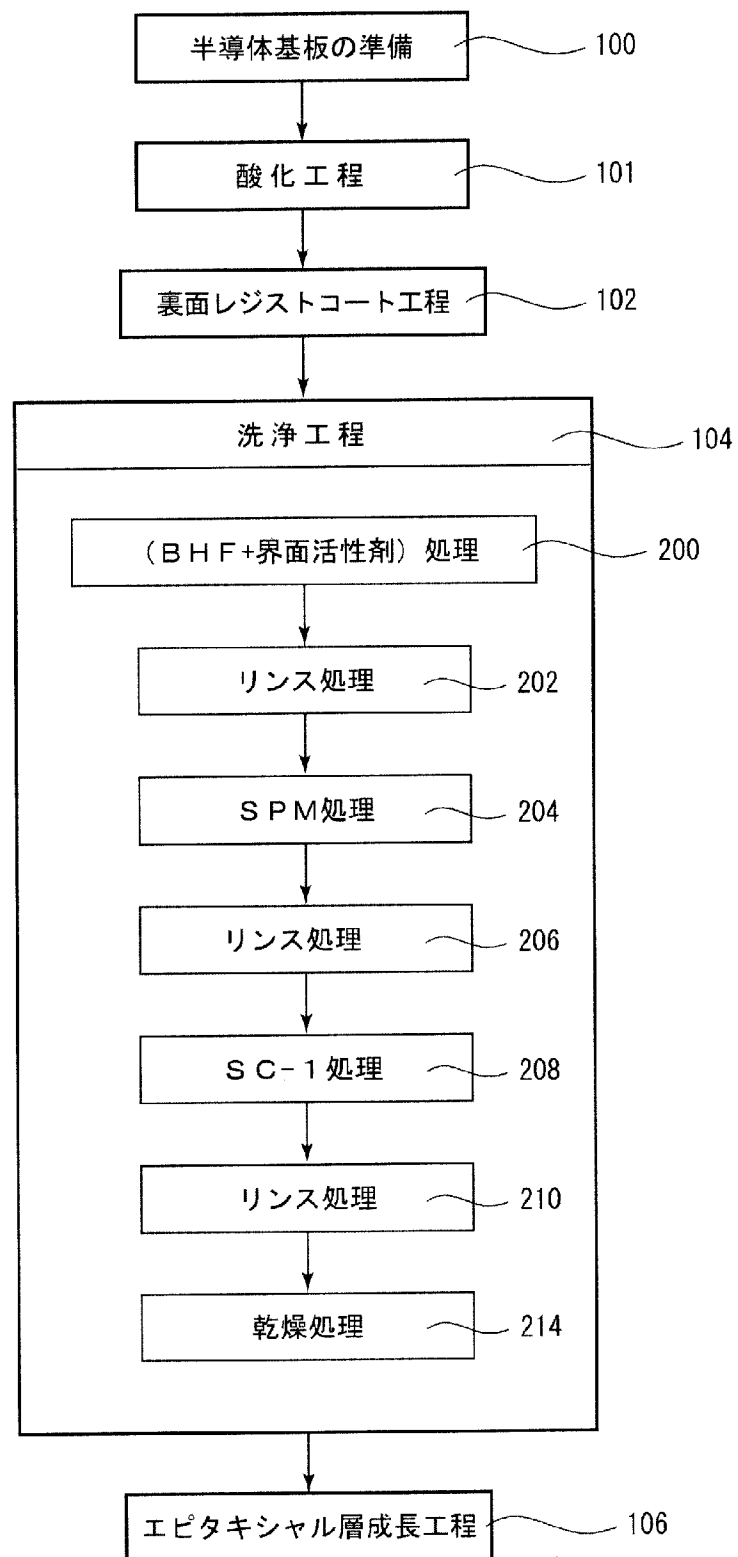
ートする工程と、前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板を洗浄する洗浄工程と、前記洗浄工程を経た半導体基板の表面に気相成長法によりエピタキシャル層を成長させる工程と、を含む半導体基板の製造方法であって、前記洗浄工程が、界面活性剤を添加したバッファードフッ酸により前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板の表面の酸化膜を除去する処理と、前記酸化膜を除去した半導体基板を乾燥させることなく硫酸過酸化水素洗浄により該半導体基板の裏面および側面のレジスト膜を除去する処理と、前記裏面および側面のレジスト膜を除去した半導体基板を乾燥させずに該半導体基板に対して第1のSC-1洗浄を行う処理と、界面活性剤を添加したバッファードフッ酸による前記SC-1洗浄を行った半導体基板の全面の処理と、前記界面活性剤を添加したバッファードフッ酸による処理を行った半導体基板に対し第2のSC-1洗浄を行う処理と、を有することを特徴とする半導体基板の製造方法。

- [4] パターン付き又はパターン無し半導体基板の全面に酸化膜を形成する工程と、前記全面に酸化膜を形成した半導体基板の裏面および側面の酸化膜をレジスト膜でコートする工程と、前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板を洗浄する洗浄工程と、前記洗浄工程を経た半導体基板の表面に気相成長法によりエピタキシャル層を成長させる工程と、を含む半導体基板の製造方法であって、前記洗浄工程が、界面活性剤を添加したバッファードフッ酸により前記裏面および側面の酸化膜をレジスト膜でコートした半導体基板の表面の酸化膜を除去する処理と、前記酸化膜を除去した半導体基板を乾燥させることなく硫酸過酸化水素洗浄により該半導体基板の裏面および側面のレジスト膜を除去する処理と、前記裏面および側面のレジスト膜を除去した半導体基板を乾燥させずに該半導体基板に対して第1のSC-1洗浄を行う処理と、前記SC-1洗浄を行った半導体基板に対してSC-2洗浄を行う処理と、界面活性剤を添加したバッファードフッ酸による前記SC-2洗浄を行った半導体基板の全面の処理と、前記界面活性剤を添加したバッファードフッ酸による処理を行った半導体基板に対し第2のSC-1洗浄を行う処理と、を有することを特徴とする半導体基板の製造方法。

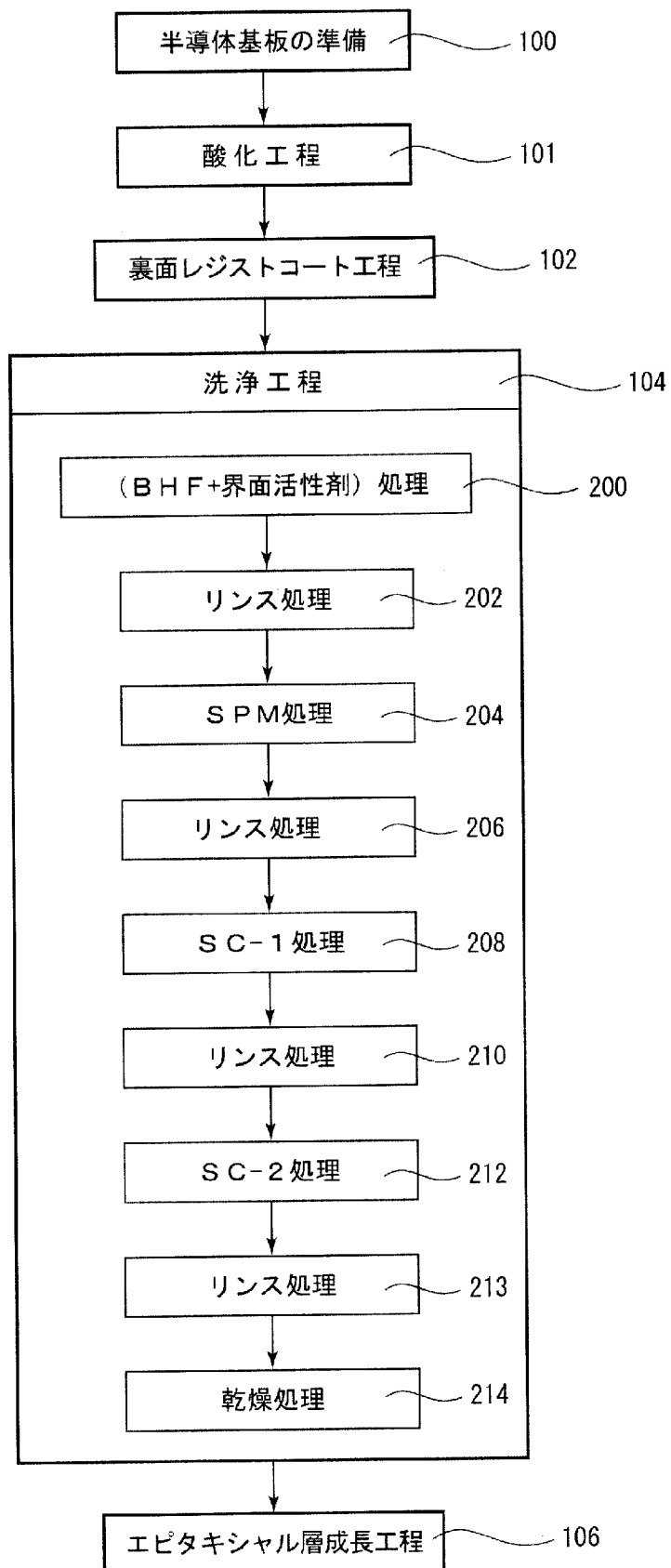
- [5] 前記半導体基板がシリコン単結晶基板であることを特徴とする請求項1～4のいずれ

れか1項記載の半導体基板の製造方法。

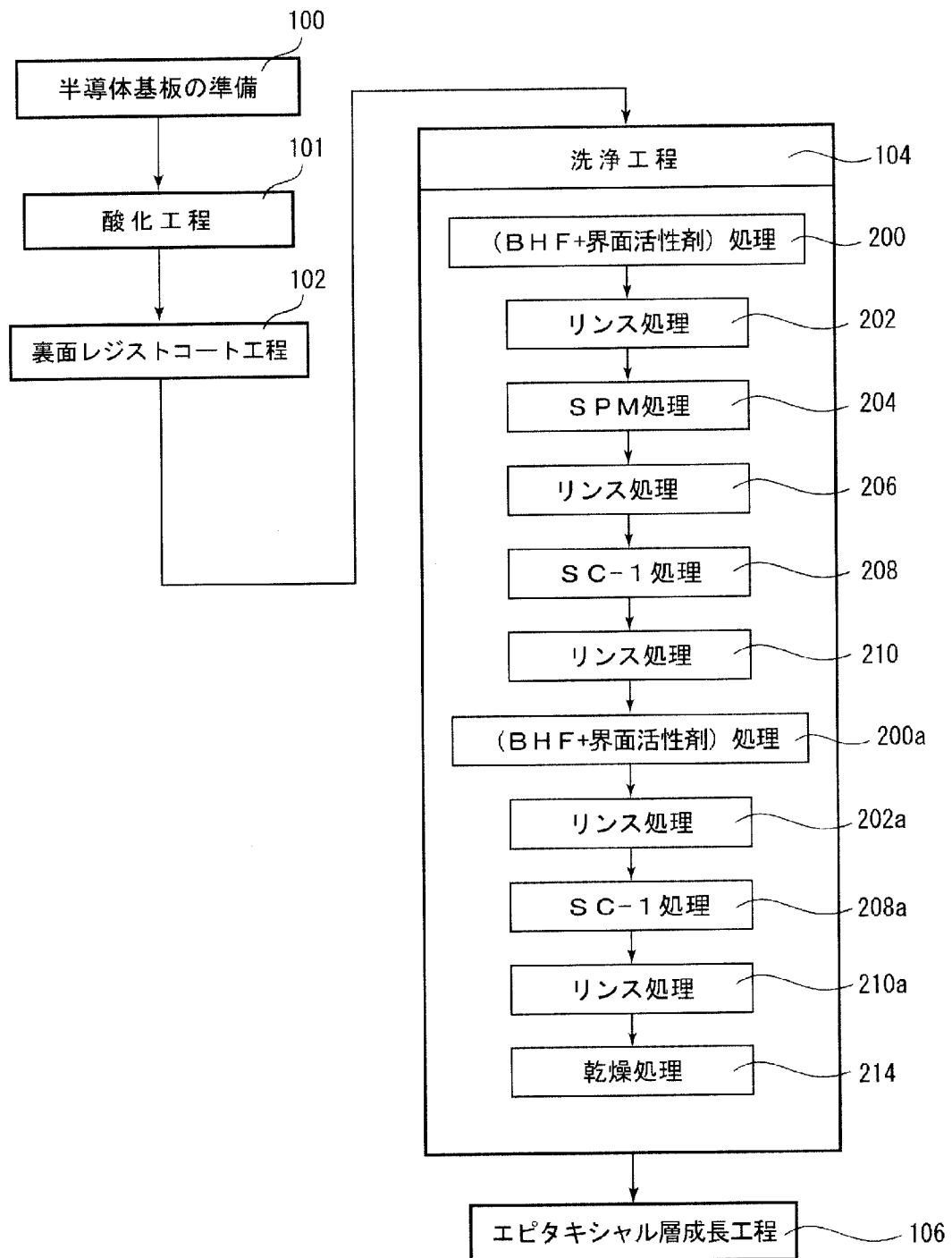
[図1]



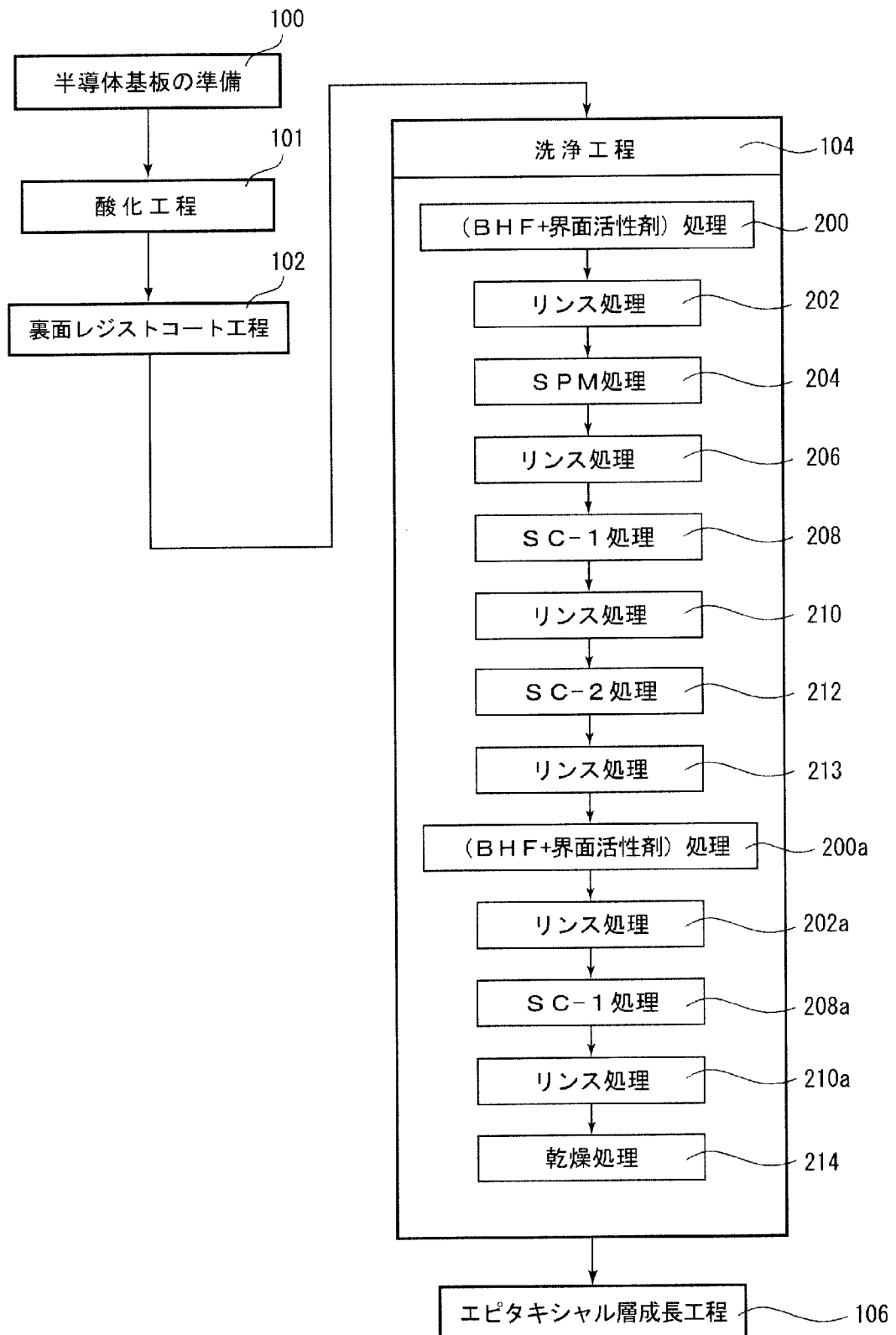
[図2]



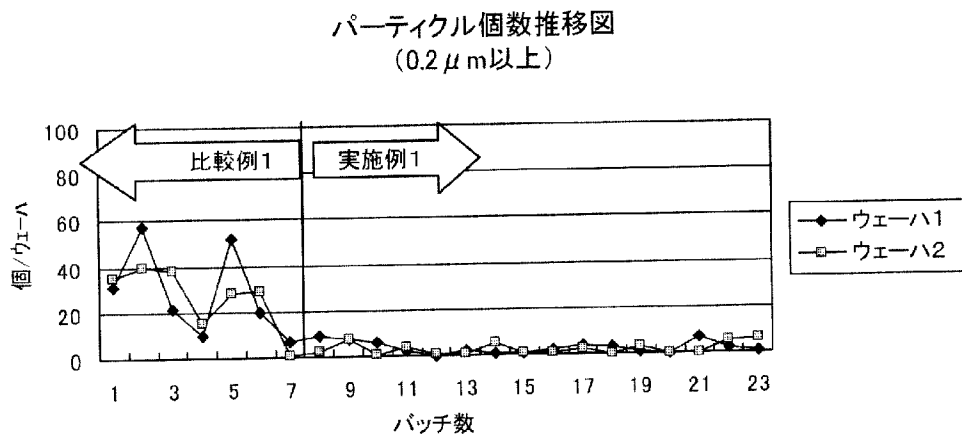
[図3]



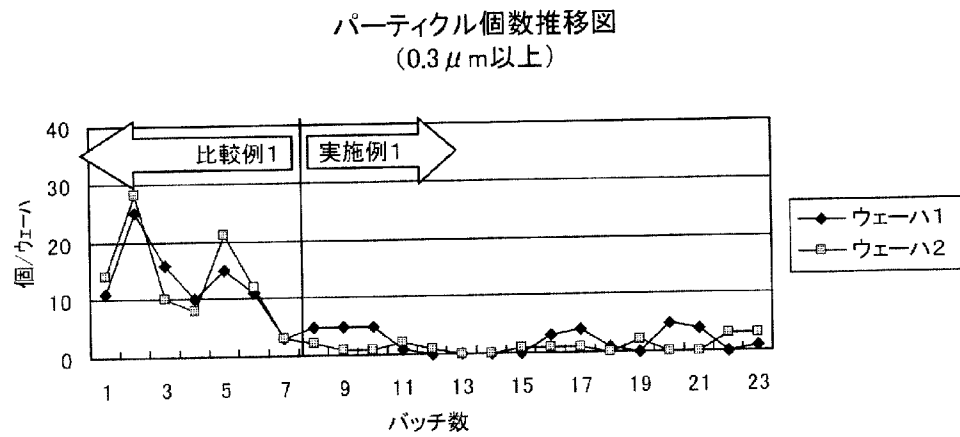
[図4]



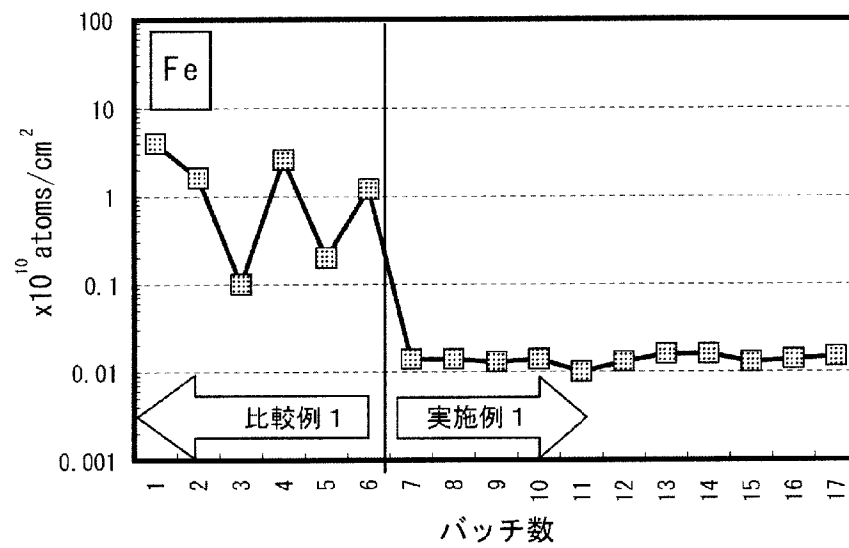
[図5]



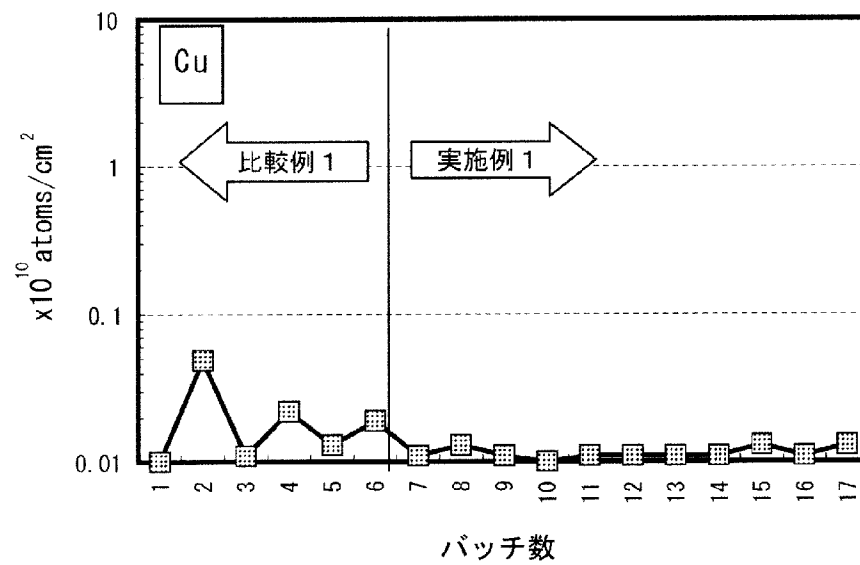
[図6]



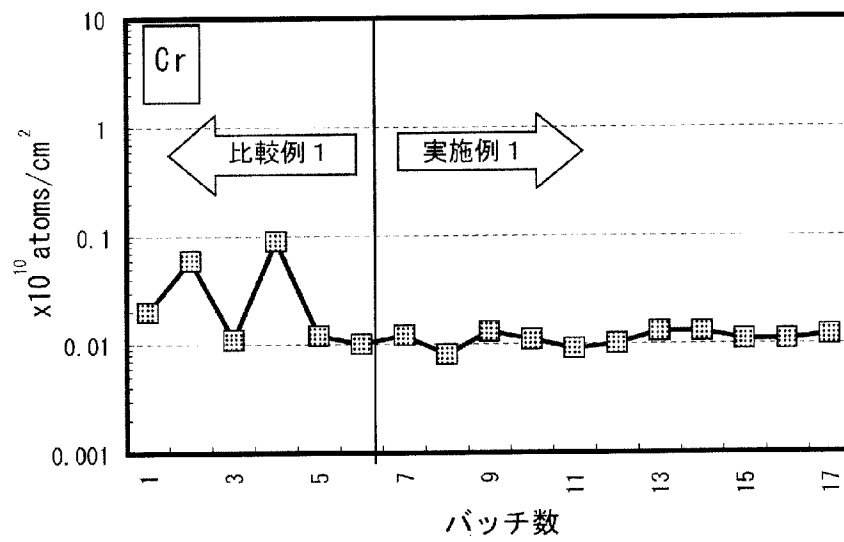
[図7]



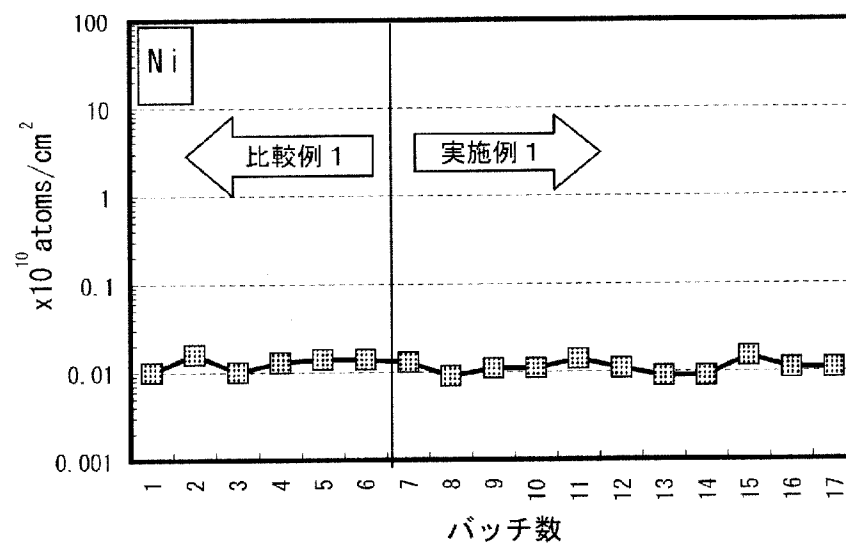
[図8]



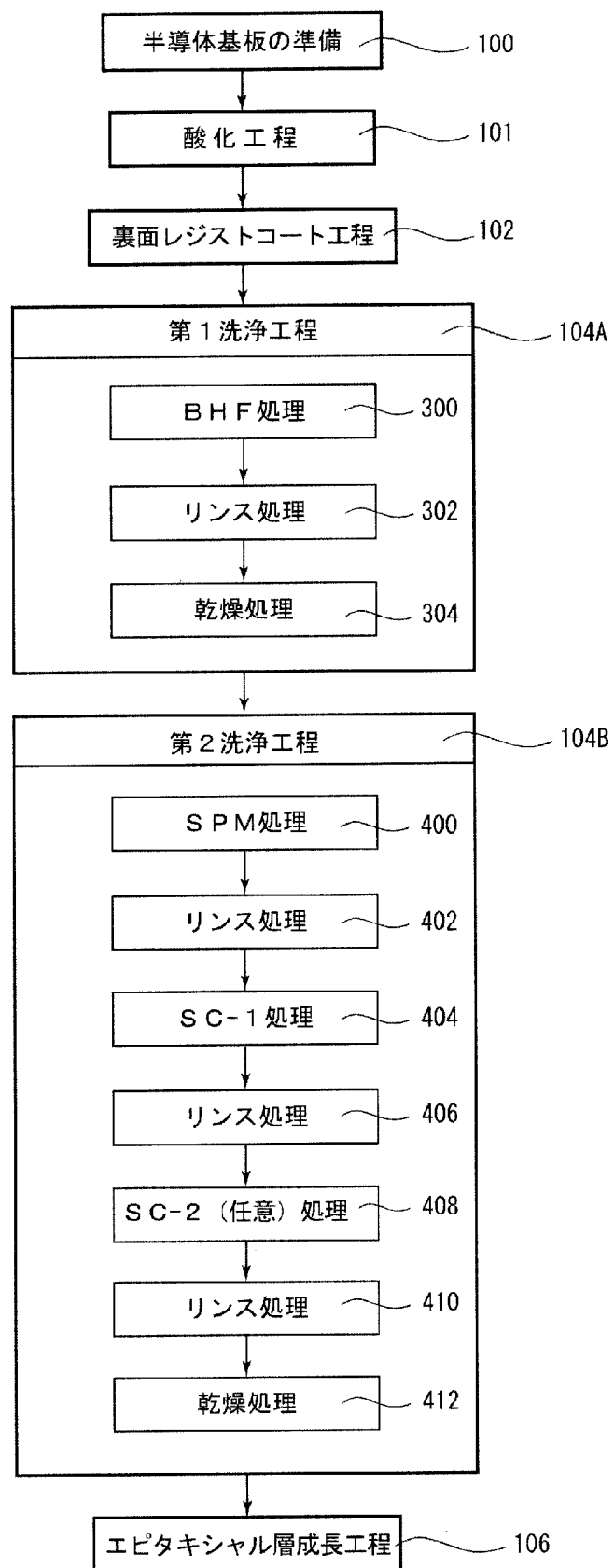
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/063198

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/304(2006.01)i, C23C16/02(2006.01)i, H01L21/205(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/304, C23C16/02, H01L21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 58-095819 A (Tokyo Shibaura Electric Co., Ltd.), 07 June, 1983 (07.06.83), Full text; all drawings (Family: none)	1-5
Y	JP 07-037796 A (Shin-Etsu Handotai Co., Ltd.), 07 February, 1995 (07.02.95), Par. Nos. [0002] to [0005] (Family: none)	1-5
Y	JP 11-087281 A (Shin-Etsu Handotai Co., Ltd.), 30 March, 1999 (30.03.99), Full text; all drawings (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 October, 2008 (16.10.08)

Date of mailing of the international search report
28 October, 2008 (28.10.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/063198

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 08-264500 A (Sony Corp.), 11 October, 1996 (11.10.96), Par. Nos. [0012], [0013]; Fig. 1 & US 5679171 A1 & CN 1144399 A	1-5
Y	WO 2005/095567 A1 (3M Innovative Properties Co.), 13 October, 2005 (13.10.05), Page 9, line 13 to page 11, line 9 & JP 2007-526944 A & US 2005/0197273 A1 & EP 1743014 A & KR 2007/0004022 A & CN 1926227 A	1-5

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/304 (2006.01)i, C23C16/02 (2006.01)i, H01L21/205 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/304, C23C16/02, H01L21/205

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 5 8 - 0 9 5 8 1 9 A (東京芝浦電気株式会社) 1 9 8 3 . 0 6 . 0 7, 全文, 全図 (ファミリーなし)	1 - 5
Y	J P 0 7 - 0 3 7 7 9 6 A (信越半導体株式会社) 1 9 9 5 . 0 2 . 0 7, 段落【0 0 0 2】 - 【0 0 0 5】 (ファミリーなし)	1 - 5
Y	J P 1 1 - 0 8 7 2 8 1 A (信越半導体株式会社) 1 9 9 9 . 0 3 . 3 0, 全文, 全図 (ファミリーなし)	1 - 5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 1 0 . 2 0 0 8

国際調査報告の発送日

2 8 . 1 0 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

早房 長隆

3 K

3 5 2 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 3 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 08-264500 A (ソニー株式会社) 1996. 10. 11, 段落【0012】, 【0013】, 第1図 & US 5679171 A1 & CN 1144399 A	1-5
Y	WO 2005/095567 A1 (スリーエム イノベイティブ プロパティズ カンパニー) 2005. 10. 13, 第9頁第13行-第11頁第9行 & J P 2007-526944 A & US 2005/0197273 A1 & EP 1743014 A & KR 2007/0004022 A & CN 1926227 A	1-5