

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5262533号
(P5262533)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int.Cl. F I
H O 1 L 33/36 (2010.01) H O 1 L 33/00 2 0 0

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2008-255007 (P2008-255007)	(73) 特許権者	000241463 豊田合成株式会社 愛知県清須市春日長畑1番地
(22) 出願日	平成20年9月30日(2008.9.30)	(74) 代理人	100095577 弁理士 小西 富雅
(65) 公開番号	特開2010-87264 (P2010-87264A)	(74) 代理人	100100424 弁理士 中村 知公
(43) 公開日	平成22年4月15日(2010.4.15)	(74) 代理人	100114362 弁理士 萩野 幹治
審査請求日	平成22年11月29日(2010.11.29)	(72) 発明者	五所野尾 浩一 愛知県西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内
		(72) 発明者	守山 実希 愛知県西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

導電性基板の一方の側に p 側電極と該 p 側電極上に形成される厚さ 3 ~ 20 μm の第 1 金属層とを備え、前記導電性基板の他方の側に n 側電極と該 n 側電極上に形成される厚さ 3 ~ 20 μm の第 2 金属層とを備える半導体素子、を準備するステップと、

第 1 パッド及び第 2 パッドを有する所定パターンが形成された実装基板上に、前記第 1 金属層が前記第 1 パッド上に位置するとともに、前記第 2 金属層が前記第 2 パッド上に位置するように、前記半導体素子を載置するステップと、

前記実装基板上に載置した前記半導体素子の前記第 1 金属層と前記第 1 パッドとを固相接合し、前記第 2 金属層と前記第 2 パッドとを固相接合するステップと、

を含む、半導体装置の製造方法であって、

前記固相接合するステップは、前記半導体素子のうち、前記第 1 金属層と前記第 2 金属層のみを治具により押圧する、半導体装置の製造方法。

【請求項2】

前記半導体素子を準備するステップが、

導電性基板の上面側に、n 型半導体層、活性層、p 型半導体層を順次形成するステップと、

前記 p 型半導体層上に p 側電極を形成し、前記導電性基板の裏面側に n 側電極を形成するステップと、

前記 p 側電極に厚さ 3 ~ 20 μm の第 1 金属層を形成し、前記 n 側電極に厚さ 3 ~ 20

μmの第2金属層を形成するステップと、

前記導電性基板をダイシングして個々の半導体素子を形成するステップと、を含む、請求項1に記載の製造方法。

【請求項3】

前記固相结合は圧着又はかしめにより行われることを特徴とする、請求項1又は2に記載の製造方法。

【請求項4】

前記半導体素子を載置する前記ステップにおいて、前記第1金属層と前記第1パッドとの間、及び前記第2金属層と前記第2パッドとの間に金属バンプをそれぞれ設け、

前記固相接合するステップにおいて、前記金属バンプを介して前記第1金属層と前記第1パッドとを固相接合し、前記第2金属層と前記第2パッドとを固相接合する、ことを特徴とする、請求項1～3のいずれか一項に記載の製造方法。

10

【請求項5】

前記第1金属層、前記第2金属層、及び前記金属バンプの材質は、Au、Ag、Al、及び主成分としてこれらを含む合金からなる群より少なくとも一つ選択される、ことを特徴とする、請求項4に記載の製造方法。

【請求項6】

前記固相接合するステップは、前記第1金属層及び前記第2金属層それぞれの、前記治具により押圧される部位と、前記半導体素子の前記第1金属層及び前記第2金属層を除く部分とが、押圧の方向において重ならないようにする、請求項1～5のいずれか一項に記載の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法の改良に関する。

【背景技術】

【0002】

従来、半導体素子を実装する際にワイヤーボンディングを不要とするために、半導体素子を横倒した状態、即ち、両電極が半導体素子の両側面に位置した状態で、実装基板上に実装することが行われている。例えば、特許文献1には、次のようなLEDチップの実装方法が開示されている。即ち、まず、一方の側面にp側電極を、他方の側面にn側電極をそれぞれ有するLEDチップの両電極の表面にハンダをコーティングしてハンダ層を設ける。その後、このハンダ層を有するLEDチップを実装基板の所定パターン上に載置し、リフロー炉でハンダの熔融温度以上に加熱するものである。これにより、ハンダ層の一部が熔融して流れ落ち、LEDチップの両電極がそれぞれ所定パターン上に電氣的に接続されるとともに機械的にも固定されて、当該LEDチップが実装基板に実装される。

30

他の例として、特許文献2には、導電性ペーストを介して実装基板上にLEDチップを横倒した状態で実装するとともに、実装基板に設けられたスルーホールを利用して、電極を実装基板の裏面に引き出す方法が開示されている。さらに、特許文献3には、LEDチップにその端面から側面に回り込むL字型の電極を設けて、当該LEDチップを横倒した状態で実装基板に実装する方法が開示されている。この方法によれば、L字型の電極に沿ってハンダや銀ペースト等の導電性ペーストがLEDチップの端面から側面に回り込んで接着面積が増す。これにより、両電極の接着強度が向上するとともに、熱引き等の面でも有利となる。

40

【0003】

【特許文献1】特開平6-332365号

【特許文献2】特開平8-213660号公報

【特許文献3】特開2007-305829号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 4 】

特許文献 1 ~ 3 に開示の方法では、両電極間において、ハンダ等の導電性ペーストの漏出による短絡を防止するために、半導体素子（LEDチップ）の側面に絶縁体でコーティングする必要がある。そのため、製造工程が複雑化していた。また、ハンダの溶融接合や導電性ペーストの硬化接合により半導体素子を固定するため、取り付けの位置精度に問題が生じる場合がある。

そこで、本発明は、電極を両側面に有する半導体素子を回路基板上に横倒しした状態実装する半導体装置の製造方法において、製造工程を簡略化することを目的とする。さらに、半導体素子の取り付け位置精度を向上することを目的とする。

【課題を解決するための手段】

10

【 0 0 0 5 】

上記課題を解決するため、本発明は次の構成からなる。即ち、

導電性基板の一方の側に p 側電極と該 p 側電極上に形成される厚さ 3 ~ 20 μm の第 1 金属層とを備え、前記導電性基板の他方の側に n 側電極と該 n 側電極上に形成される厚さ 3 ~ 20 μm の第 2 金属層とを備える半導体素子、を準備するステップと、

第 1 パッド及び第 2 パッドを有する所定パターンが形成された実装基板上に、前記第 1 金属層が前記第 1 パッド上に位置するとともに、前記第 2 金属層が前記第 2 パッド上に位置するように、前記半導体素子を載置するステップと、

前記実装基板上に載置した前記半導体素子の前記第 1 金属層と前記第 1 パッドとを固相接合し、前記第 2 金属層と前記第 2 パッドとを固相接合するステップと、
を含む半導体装置の製造方法である。

20

【発明の効果】

【 0 0 0 6 】

本発明の半導体装置の製造方法では、まず、導電性基板を挟んで p 側電極と n 側電極を備える pn 接合型の半導体素子であって、p 側電極上に肉厚の第 1 金属層を備え、n 側電極上に肉厚の第 2 金属層を備える半導体素子を準備する。そして、この半導体素子の第 1 金属層が第 1 パッド上に位置するとともに、第 2 金属層が第 2 パッド上に位置するように、この半導体素子を実装基板上に載置する。これにより、半導体素子は横倒しした状態で実装基板上に載置されることとなる。その後、第 1 金属層を第 1 パッドに固相接合するとともに、第 2 金属層を第 2 パッドに固相接合する。このように固相接合することにより、半導体素子の側面に第 1 金属層や第 2 金属層の一部が回り込まないため、半導体素子に短絡防止用のコーティングを施す必要がなく、接合の工程が簡略化される。さらに、第 1 金属層と第 2 金属層とが実装基板上の第 1 パッド及び第 2 パッド上にそれぞれ位置するように、半導体素子を横倒しした状態で実装基板上に載置するため、それぞれの固相接合を同一工程で行うことができる。これにより、接合の工程をさらに簡略化することができる。また、ワイヤーボンディングで接合する場合に比べて、実装基板のパッドと電極との接合面積が広いと、熱引きが良く、電流密度の面でも有利である。また、電流拡散性も向上する。さらに、高い電流密度で駆動しても V f 増加が少なく、発熱量も少なくなる。

30

【発明を実施するための最良の形態】

【 0 0 0 7 】

40

本発明は半導体装置、例えば、LED ランプ、IC、LSI などの製造方法に関する。

本発明の製造方法の第 1 のステップでは、導電性基板の一方の側に p 側電極と該 p 側電極上に形成される厚さ 3 ~ 20 μm の第 1 金属層とを備え、導電性基板の他方の側に n 側電極と該 n 側電極上に形成される厚さ 3 ~ 20 μm の第 2 金属層とを備える半導体素子を準備する。半導体素子として III 族窒化物系化合物半導体素子を挙げることができる。ここで、III 族窒化物系化合物半導体とは、一般式として $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0 < x < 1$, $0 < y < 1$, $0 < x + y < 1$) の四元系で表され、 AlN 、 GaN 及び InN のいわゆる 2 元系、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 、 $\text{Al}_x\text{In}_{1-x}\text{N}$ 及び $\text{Ga}_x\text{In}_{1-x}\text{N}$ (以上において $0 < x < 1$) のいわゆる 3 元系を包含する。III 族元素の少なくとも一部をボロン (B)、タリウム (Tl) 等で置換しても良く、また、窒素 (N) の少なくとも

50

一部もリン(P)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)等で置換できる。III族窒化物系化合物半導体は任意のドーパントを含むものであっても良い。n型不純物として、Si、Ge、Se、Te、C等を用いることができる。p型不純物として、Mg、Zn、Be、Ca、Sr、Ba等を用いることができる。かかるIII族窒化物系化合物半導体を積層して発光素子(LEDチップ)を構成することができる。発光のための層構成として量子井戸構造(多重量子井戸構造若しくは単一量子井戸構造)を採用することができる。そのほか、シングルヘテロ型、ダブルヘテロ型、ホモ接合型を採用することもできる。

【0008】

本発明では半導体素子は以下のステップで形成することができる。即ち、導電性基板の上面側に、n型半導体層、活性層、p型半導体層を順次形成するステップと、p型半導体層上にp側電極を形成し、導電性基板の裏面側にn側電極を形成するステップと、p側電極に厚さ3~20 μm の第1金属層を形成し、n側電極に厚さ3~20 μm の第2金属層を形成するステップと、導電性基板をダイシングして個々の半導体素子を形成するステップである。

導電性基板の材質は特に限定されず、GaN(窒化ガリウム)、SiC、Ga₂O₃などを採用できる。導電性基板の厚さは厚い方が好ましい。光の取り出し効率が向上するからである。また、半導体素子の実装もしやすくなる。導電性基板の厚さは例えば100 μm ~500 μm 、好ましくは200 μm ~400 μm 、とすることができる。

p側電極及びn側電極は高反射性の電極であることが好ましい。ここでいう「高反射性の電極」とは、半導体素子内部(半導体層及び基板)と電極の界面に入射する光に対して、高い反射率を有する電極を指す。高反射性の電極の材料は半導体素子から放出される光の波長に応じて適切なものを選択できる。高反射性の電極の材料として、例えば、Al、Ag、又はこれらを含む合金を選択することができる。

n型半導体層、活性層、p型半導体層、p側電極及びn側電極は、周知の有機金属気相成長法(MOCVD法)、分子線結晶成長法(MBE法)、ハライド系気相成長法(HVPE法)、スパッタ法、イオンプレーティング法等によって形成することができる。p型不純物をドーパした後にIII族窒化物系化合物半導体を電子線照射、プラズマ照射若しくは炉による加熱にさらすことも可能である。なお、n型半導体層と活性層との間にnクラッド層を設けても良い。また、p型半導体層と活性層との間にpクラッド層を設けても良い。p型半導体層上にさらにn型半導体層を形成してnpn接合(トンネル接合)とすることもできる。また、p型半導体層とp側電極との間、又はn型半導体層とn側電極との間に、各電極の反射率を大きく低下させない程度の金属製の薄層を設けることとしてもよい。薄層の材質としては、Ti、TiN、Ni、Ptなどを採用することができる。このような薄層を設けることにより、電極と半導体層との密着性が向上するとともに接触抵抗が低減する。また、薄層の代わりに透明導電性酸化層を設けても良い。p型半導体層と酸化層との屈折率で決まる臨界角以上の光を全反射するため更なる反射率の向上を見込め、また密着性の向上及び接触抵抗の低減が図れるからである。さらに、透明導電性酸化物を多層として導電性DBR層とすることで、更なる反射率の向上を図っても良い。

p型半導体層の一部をエッチングして、当該エッチングした面のうちp型半導体層からn型半導体層にかかる領域に保護膜を形成してもよい。保護膜の材質は、SiO₂など公知のものを採用できる。

【0009】

第1金属層及び第2金属層は、メッキ、蒸着、スパッタリング、金属微粒子ペーストの塗布、など、公知の方法で形成することができる。金属層の材質は、Au、Ag、Al及び主成分としてこれらを含む合金から選択することができる。なかでもAuを選択することが好ましい。Auは高導電性を有するとともに、延性・展性に富むため、後述の実装基板上のパッドとの固相接合において高い接着性と安定性を発揮するからである。第1金属層及び第2金属層の厚さは3~20 μm とするが、好ましくは3~18 μm 、さらに好ましくは5~15 μm である。第1金属層及び第2金属層の厚さが薄いと、後述の実装基板

10

20

30

40

50

上のパッドと接する面積が少なくなるため、本発明の効果が十分に奏されない。また、第1金属層及び第2金属層の厚さが必要以上に大きいと、実装領域が不要に拡大するため、好ましくない。また、コスト面でも不利となり、好ましくない。p側電極と第1金属層との間、又はn側電極と第2金属層との間に、バリア層を設けても良い。バリア層は公知の方法で形成することができる。

【0010】

導電性基板のダイシングは、ダイシングブレードによる切削、スクライピング、レーザー照射による分割など、公知の方法により行うことができる。ダイシングにより半導体素子を任意の大きさに形成することができる。半導体素子の側面に凹凸が形成することが好ましい。中でも実装した状態、即ち半導体素子を横倒した状態で上面となる面に凹凸が形成することが好ましい。半導体素子(LEDチップ)の光の取り出し効率が向上するからである。半導体素子の側面に凹凸を形成する方法は特に限定されない。例えば、ダイシングによる分離面を劈開面からずらすことにより、ダイシングと同時に半導体素子の側面の凹凸を形成することができる。さらに、横倒した状態で上面となる面のみ凹凸が出来るように、レーザーの照射条件などのダイシング条件を調節することも出来る。

10

【0011】

本発明の第2のステップでは、第1パッド及び第2パッドを有する所定パターンが形成された実装基板に、第1金属層が第1パッド上に位置するとともに、第2金属層が第2パッド上に位置するように、半導体素子を載置する。実装基板の材質は特に限定されないが、信頼性を考慮して例えば、アルミナ、AlNなど経時劣化の少ない材質が好ましい。半導体素子(LEDチップ)の放出光の利用率が向上するからである。第1パッド及び第2パッドの材質は、第1金属層及び第2金属層と同一の材質であることが好ましい。第1パッド(第2パッド)と第1金属層(第2金属層)の接着性が高まるからである。第1パッド及び第2パッドの大きさ及び形状は第1金属層及び第2金属層の厚さ及びチップの長辺の長さを考慮して決定することができる。例えば、第1パッド及び第2パッドを約20 μm ×600 μm の矩形とすることが出来る。

20

【0012】

本発明の第3のステップでは、実装基板に載置した半導体素子の第1金属層と第1パッドとを固相接合し、第2金属層と第2パッドとを固相接合する。固相接合は例えば、治具により第1金属層(第2金属層)を第1パッド(第2パッド)に押し当てて圧着したり、所定形状の治具に沿って第1金属層(第2金属層)の一部を変形して第1パッド(第2パッド)にかしめることにより行うことができる。

30

既述の第2のステップ(半導体素子を載置するステップ)において、第1金属層と第1パッドとの間、及び第2金属層と第2パッドとの間に金属バンプをそれぞれ設け、第3のステップ(固相接合するステップ)において、当該金属バンプを介して第1金属層と第1パッドとを固相接合し、第2金属層と第2パッドとを固相接合することとしてもよい。これにより、第1金属層と第1パッド(及び第2金属層と第2パッド)の接合がより安定する。また、半導体素子を載置する際の位置決めが容易となる。金属バンプの材質は、第1金属層及び第2金属層と同一であることが好ましい。第1金属層と第1パッド(及び第2金属層と第2パッド)の接着性が良好となるからである。金属バンプは、公知の方法で形成することができる。例えば、当該実装基板にフォトリソグラフィにより所定のパターンのレジスト層を設けた後に、メッキにより金属バンプを形成することができる。なお、固相結合を行う際の温度は700以下が好ましい。温度がこれよりも高いとチップの活性層などにダメージを与える恐れがあるからである。

40

【0013】

半導体素子と実装基板の間に空間部が形成されるように、第1金属層と第1パッド、第2金属層と第2パッドをそれぞれ固相接合してもよい。半導体素子(LEDチップ)の屈折率に比べて空間部の屈折率が小さいため、空間部を形成することにより、実装基板へのLEDチップの光の入射が少なくなると、実装基板での光の吸収が減り、光の取り出し効率が相対的に大きくなるからである。また、当該空間部を絶縁体で充填しても良い。これ

50

により絶縁性が確保されるとともに半導体素子の放熱性が向上し、信頼性が高まる。また、半導体素子と実装基板との接着領域が増すため、安定性が増す。ところで、LEDチップを横倒ししない通常の実装方法では、「発光面積 実装基板との接触面積」となるが、本発明ではLEDチップを横倒しして実装するため、「側面の面積 実装基板との接触面積」となる。そのため、発光面積を変えずに、実装基板との接触面積を大きくできるため、LEDチップの放熱性が一層向上し、信頼性がさらに高まる。

【0014】

半導体素子の封止部材の材質は任意のものを採用できる。中でも、低融点ガラスを採用することが好ましい。熱や光による封止部材の劣化が抑えられるからである。なお、封止工程は既述の固相接合の工程と同時に行うこともできる。

以下、実施例に基づき本発明をより詳細に説明する。

【実施例1】

【0015】

本発明の半導体装置の製造方法1のフロー図を図1に示す。本発明の半導体装置の製造方法1は、導電性基板の上面側に、n型半導体層、活性層、p型半導体層を順次形成するステップ(第1のステップ11)と、p型半導体層上にp側電極を形成し、導電性基板の裏面側にn側電極を形成するステップ(第2のステップ12)と、p側電極に厚さ3~20 μm の第1金属層を形成し、n側電極に厚さ3~20 μm の第2金属層を形成するステップ(第3のステップ13)と、導電性基板をダイシングして個々の半導体素子(LEDチップ)を形成するステップ(第4のステップ14)と、第1パッド及び第2パッドを有する所定パターンが形成された実装基板上に、第1金属層が第1パッド上に位置するとともに、第2金属層が第2パッド上に位置するように、半導体素子を載置するステップ(第5のステップ15)と、実装基板上に載置した半導体素子の第1金属層と第1パッドとを固相接合し、第2金属層と第2パッドとを固相接合するステップ(第6のステップ16)と、を含む。なお、第2ステップ12と第3ステップ13を同時に行うこととしてもよい。

【0016】

図2(A)~(E)に第1ステップ11から第4ステップ14までの工程を示す模式図を示す。まず、図2(A)に示すように、導電性基板であるGaN(窒化ガリウム)基板17を準備する。GaN基板17の厚さは約300 μm である。次に図2(B)に示すように、GaN基板17の上面側にn型半導体層18、活性層19、p型半導体層20をMOCVDにより順次積層する(図1の第1ステップ11)。

n型半導体層18として、GaN基板17の上にシリコン(Si)を $1 \times 10^{18} \text{ cm}^{-3}$ ドープしたGaNから成る膜厚約4 μm のnコンタクト層が形成される。さらにこのnコンタクト層の上に、Si濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のInGaN層とSi濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のGaN層とを20回繰り返し積層したnクラッド層が形成される。

【0017】

活性層19として、InGaN層と膜厚3nmのアンドープAlGaN層とを6回繰り返し積層した多重量子井戸構造が形成される。

【0018】

p型半導体層20として、膜厚2nmのMg濃度 $1 \times 10^{19} \text{ cm}^{-3}$ の $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 層と膜厚2nmのMg濃度 $1 \times 10^{19} \text{ cm}^{-3}$ の $\text{In}_{0.03}\text{Ga}_{0.97}\text{N}$ 層とを7回繰り返し積層したpクラッド層が形成される。

pクラッド層の上には、Mg濃度 $4 \times 10^{19} \text{ cm}^{-3}$ のp-GaN層から成る膜厚50nmのpコンタクト層が形成され、その上には、Mg濃度 $2 \times 10^{20} \text{ cm}^{-3}$ のp-GaN層から成る膜厚15nmのp+コンタクト層が形成される。

【0019】

その後、図2(C)に示すように、p型半導体層20上にp側電極21を形成し、導電性基板の裏面側にn側電極22を形成する(図1の第2ステップ12)。p側電極21及びn側電極22は蒸着により積層する。

次に図2(D)に示すように、p側電極21に第1金属層25を形成し、n側電極22に第2金属層26を形成する。第1金属層25及び第2金属層26はAuをメッキして形成する。第1金属層25及び第2金属層26の厚さはいずれも約20 μ mである(図1の第3ステップ13)。

次に図2(E)に示すように、GaN基板17をダイシングして個々のLEDチップ27を形成する(図1の第4ステップ14)。LEDチップ27の大きさは高さ約300 μ m、幅約150 μ m、奥行き約600 μ mで縦長の直方体である。

【0020】

図3(F)、(G)に第5ステップ15及び第6ステップ16の工程を示す模式図を示す。図3(F)に示すように、上記第4ステップ14で形成したLEDチップ27を横倒しして、第1パッド28及び第2パッド29を有する所定パターンが形成された実装基板30上に、第1金属層25が第1パッド28上に位置するとともに、第2金属層26が第2パッド29上に位置するように載置する(図1の第5ステップ15)。実装基板30はアルミナ製であって、熱などによる経時劣化が少なく、また光の吸収が少ないため、LEDチップ27の放出光の利用率が向上する。第1パッド28及び第2パッド29は実装基板30上に設けられ、配線(図示せず)とともに、LEDチップ27に電力を供給するための所定パターン(図示せず)を形成している。第1パッド28及び第2パッド29の形状は、約20 μ m \times 約600 μ mの矩形となっている。図3(F)に示すように、横倒した状態のLEDチップ27において、実装基板30側となる面(横倒し状態の下面)の内、第1金属層25(第2金属層26)と第1パッド28(第2パッド29)とが当接する領域を除く領域と、実装基板30との間には空間部31が形成されており、絶縁状態が確保されている。

【0021】

次に図3(G)に示すように、第5ステップ15で載置したLEDチップ27の第1金属層25及び第2金属層26を、治具32により実装基板30の方向(矢印Aで示す方向)に押圧して、第1金属層25と第1パッド28を固相接合し、第2金属層26と第2パッド29を固相接合(圧着)する(図1の第6ステップ16)。当該第6ステップ16は約200 $^{\circ}$ Cの温度下で行う。圧着後、エポキシ樹脂製の封止樹脂によりLEDチップ27を封止する。なお、ヒーターなどを用いて実装基板30を加熱してもよいが、実装基板30を加熱せず、治具32を加熱して固相结合することもできる。この方法によれば接合に最低限必要な熱を加えられるため、基板や素子への熱によるダメージを低減させることができる。接合には超音波を併用してもよい。

【0022】

以上のように、本発明の半導体装置の製造方法では、第1金属層25及び第2金属層26の厚さはいずれも約20 μ mであって、肉厚に形成されているため、第1パッド28及び第2パッド29との接する面積が十分確保される。そのため、治具32による圧着を容易かつ確実に行うことができる。これのように圧着(固相接合)によりLEDチップ27が実装されるため、LEDチップ27の側面(横倒した状態の下面)にハンダなどの接合材が回り込むことがない。その結果、リークや短絡の発生が防止される。さらに、このように、接合材が回り込むことがないため、LEDチップ27の側面に短絡防止用のコーティングを施す必要がなく、接合の工程が簡略化される。さらに、LEDチップ27はGaN基板17を挟んで電極が設けられる、いわゆる上下電極タイプであるにもかかわらず、実装基板30への実装を一つの工程で行うことができる。これにより、接合工程がさらに簡略化される。また、ワイヤーボンディングで接合する場合に比べて、p側電極21は第1金属層25を介して、第1パッド28と広い面積で接合することとなる。同様に、ワイヤーボンディングで接合する場合に比べて、n側電極22は第2金属層26を介して、第2パッド29と広い面積で接合することとなる。これにより、熱引きが良く、電流密度の面でも有利である。また、電流拡散性も向上する。さらに、従来のLEDチップよりも高い電流密度で駆動してもVf増加が少なく、発熱量も少なくなる。

なお、本実施例では空間部31を空気層としたが、空間部31に絶縁体を充填しても良

10

20

30

40

50

い。これにより空間部 31 での絶縁性が一層確保され、リークの発生がさらに防止される。

【実施例 2】

【0023】

本発明の他の実施例である半導体装置の製造方法 2 のフロー図を図 4 に示す。なお、以下の説明において、半導体装置の製造方法 1 と同一の工程及び部材には同一の符号をしてその説明を省略する。

図 4 に示すように、第 1 ステップ 11 から第 4 ステップ 14 は半導体装置の製造方法 1 と同一である。その後、第 1 パッド 28 及び第 2 パッド 29 を有する所定パターンが形成された実装基板 30 の第 1 パッド 28 及び第 2 パッド 29 上にそれぞれ金属バンプを設ける (第 4 a ステップ 140)。金属バンプは Au 製で、フォトリソグラフィにより第 1 パッド 28 及び第 2 パッド 29 の所定位置に形成する。次に、第 1 金属層 25 が金属バンプを介して第 1 パッド 28 上に位置するとともに、第 2 金属層 26 が金属バンプを介して第 2 パッド 29 上に位置するように、LED チップ 27 を載置する (第 5 ステップ 150)。そして、実装基板 30 上に載置した LED チップ 27 の第 1 金属層 25 と第 1 パッド 28 を金属バンプを介して固相接合し、第 2 金属層 26 と第 2 パッド 29 を金属バンプを介して固相接合する (第 6 ステップ 160)。

【0024】

図 5 (F')、(G') に第 5 ステップ 150 及び第 6 ステップ 160 の工程を示す模式図を示す。図 5 (F') に示すように、LED チップ 27 の上記第 4 ステップ 14 で形成した LED チップ 27 を横倒しして、第 1 金属層 25 が第 1 パッド 28 上に設けられた金属バンプ 33 と接し、かつ、第 2 金属層 26 が第 2 パッド 29 上に設けられた金属バンプ 34 と接するように実装基板 30 上に載置する。金属バンプ 33、34 の形状は、実装基板 30 から離れる程に径が小さくなる部分円錐形状であって、その大きさは底部 (第 1 パッド 28 及び第 2 パッド 29 との接合部) の直径が約 20 μm 、頂部 (底部と反対側の端部) の直径が約 5 μm となっている。その後、図 5 (G') に示すように、治具 320 により LED チップ 27 全体を実装基板 30 の方向 (矢印 B で示す方向) に押圧する。これにより、第 1 金属層 25 と第 1 パッド 28 が金属バンプ 33 を介して固相接合される。同時に第 2 金属層 26 と第 2 パッド 29 が金属バンプ 34 を介して固相接合される。

【0025】

以上のような半導体装置の製造方法 2 では、金属バンプ 33、34 は部分円錐形状であって、その底部の直径が約 20 μm であり、頂部に向かって細くなっている。一方、第 1 金属層 25 及び第 2 金属層 26 の厚さは約 20 μm である。そのため、接合時において、金属バンプ 33、34 が第 1 金属層 25 及び第 2 金属層 26 からはみ出さない。これにより、リークの発生が防止される。さらに、金属バンプ 33、34 により LED チップ 27 を載置する際の位置決めが容易となり、実装が容易となる。また、半導体装置の製造方法 2 においても、半導体装置の製造方法 1 と同様の効果を奏する。

【実施例 3】

【0026】

以上の二つの実施例では半導体素子として LED チップ 27 を実装する半導体装置の製造方法をあげたが、さらに他の実施例として、図 6 に示す LED チップ 270 を実装する半導体装置の製造方法を以下に説明する。なお、半導体装置の製造方法 1、2 と同一の工程及び部材には同一の符号をしてその説明を省略する。

図 6 (A) に示すように、LED チップ 270 は GaN 基板 17、n 型半導体層 18、活性層 19、p 型半導体層 20、p 側電極 21、n 側電極 22、第 1 金属層 25、第 2 金属層 26、保護層 35、第 1 バリア層 36、第 2 バリア層 37 を備える。LED チップ 270 の形成方法は以下の通りである。LED チップ 27 と同様に n 型半導体層 18、活性層 19 及び p 型半導体層 20 を形成する (図 1 において示す第 1 ステップ)。続いて、n 型半導体層 18、活性層 19 及び p 型半導体層 20 の一部をエッチングする。その後、p 型電極 21 及び n 型電極 22 を形成する (図 1 において示す第 2 ステップ)。その後、上

10

20

30

40

50

記エッチングにより形成された側面を覆い且つ p 型電極が露出するように SiO₂ を、PECVD、蒸着、スパッタ、塗布法などの通常の成膜法とリソグラフィ、エッチングにより形成して保護層 35 とする。その後、p 型電極 21 の上に TiN からなる第 1 バリア層 36 を形成し、n 型電極 22 の上に TiN からなる第 2 バリア層 37 を形成する。第 1 バリア層 36、第 2 バリア層 37 には、TiN の他、W、Pt、Ni、Ti などの金属またはこれらの窒化物や炭化物を用いることができる。これらのバリア材により p 側電極と第 1 金属層、あるいは n 側電極と第 2 金属層の間の拡散を防止したり、密着性を向上させることができる。そして、第 1 バリア層 36 の上に第 1 金属層 25 を形成し、第 2 バリア層 37 の上に第 2 金属層 26 を形成する。このように形成した LED チップ 270 も LED チップ 27 と同様に、金属バンプ 33、34 を介して実装基板 30 に実装する。このように本発明の半導体装置の製造方法では、保護層 35、第 1 バリア層 36 及び第 2 バリア層 37 を備える LED チップ 270 であっても、本発明の半導体装置の製造方法 2 と同様の効果を奏する。

10

【産業上の利用可能性】

【0027】

本発明の様々な半導体装置を製造する方法として適用することができる。

【0028】

この発明は、上記発明の実施の形態及び実施例の説明に何ら限定されるものではない。特許請求の範囲の記載を逸脱せず、当業者が容易に想到できる範囲で種々の変形態様もこの発明に含まれる。本明細書の中で明示した論文、公開特許公報、及び特許公報などの内容は、その全ての内容を援用によって引用することとする。

20

【図面の簡単な説明】

【0029】

【図 1】図 1 は本発明の半導体装置の製造方法 1 のフロー図である。

【図 2】図 2 (A) ~ (E) は第 1 ステップ 11 から第 4 ステップ 14 までの工程を示す模式図である。

【図 3】図 3 (F)、(G) は第 5 ステップ 15 及び第 6 ステップ 16 の工程を示す模式図である。

【図 4】図 4 は本発明の他の実施例である半導体装置の製造方法 2 のフロー図である。

【図 5】図 5 (F')、(G') は第 5 ステップ 150 及び第 6 ステップ 160 の工程を示す模式図である。

30

【図 6】図 6 は LED チップ 270 の構成を示す模式図である。

【符号の説明】

【0030】

1、2 半導体装置の製造方法

17 GaN 基板

18 n 型半導体層

19 活性層

20 p 型半導体層

21 p 側電極

40

22 n 側電極

25 第 1 金属層

26 第 2 金属層

27、270 LED チップ

28 第 1 パッド

29 第 2 パッド

32、320、321 治具

33、34 金属バンプ

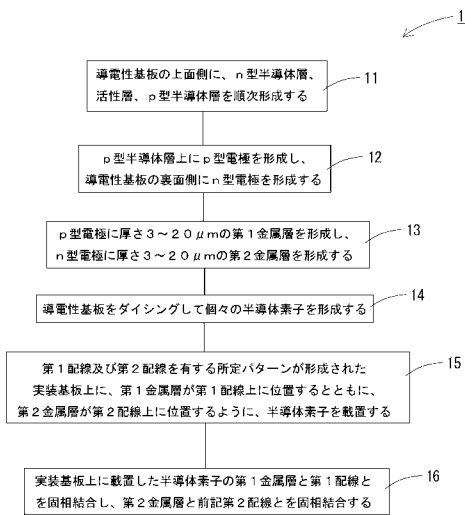
35 保護層

36 第 1 バリア層

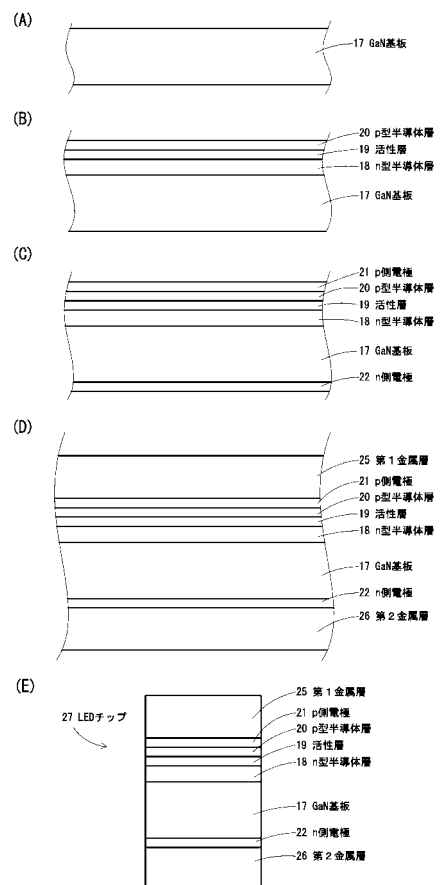
50

3 7 第 2 バリア層

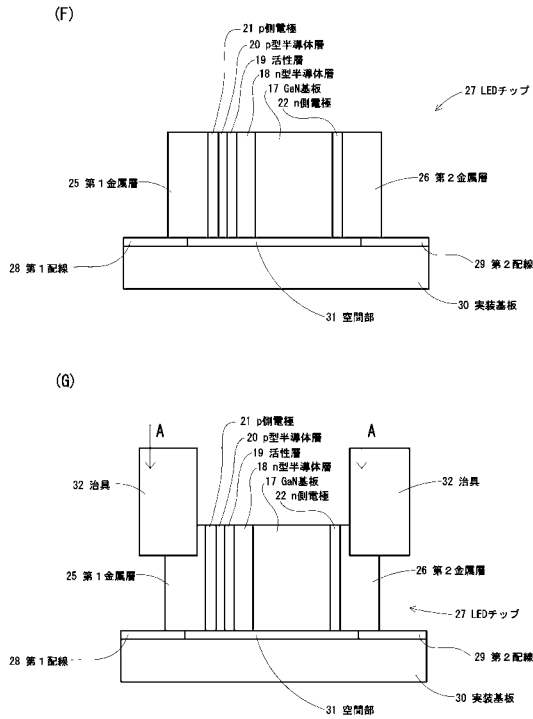
【 図 1 】



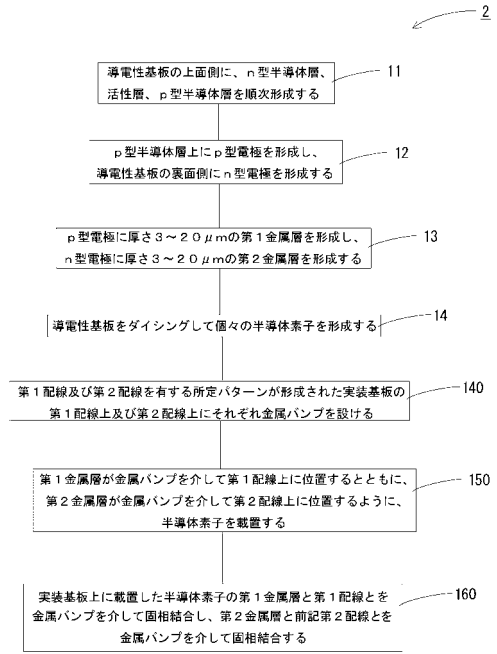
【 図 2 】



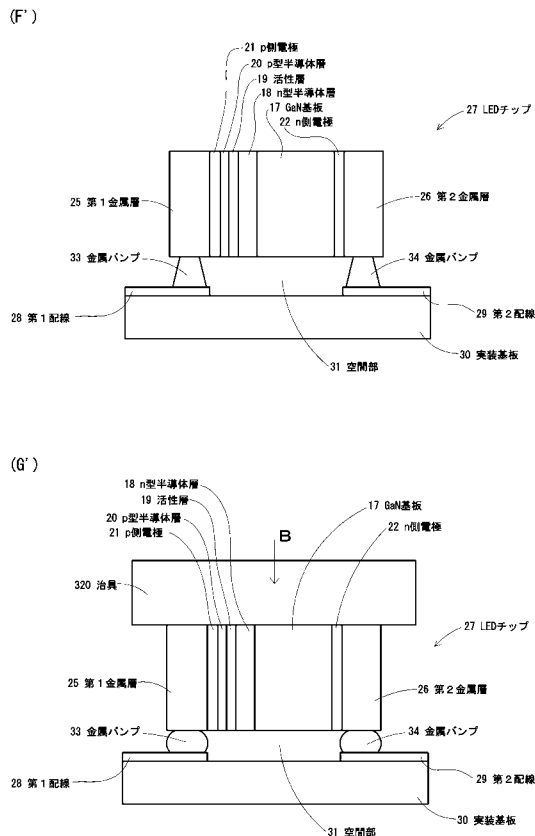
【図3】



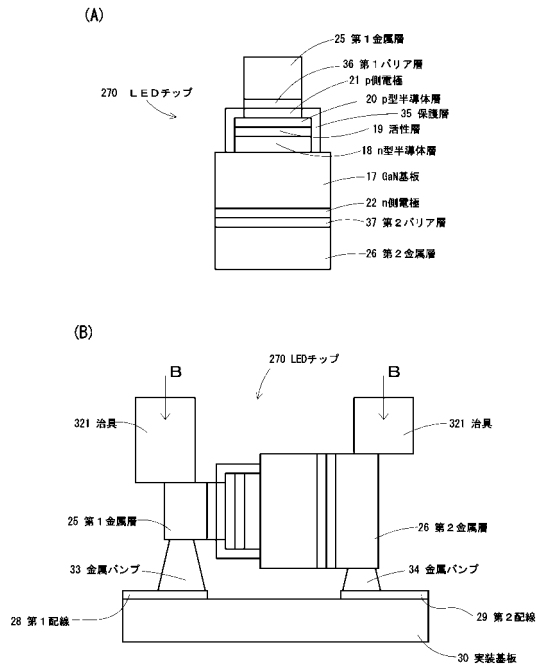
【図4】



【図5】



【図6】



フロントページの続き

審査官 下村 一石

- (56)参考文献 特開2007-305829(JP,A)
米国特許第04136351(US,A)
特開平07-169875(JP,A)
特開2005-019939(JP,A)
特開2000-349341(JP,A)
特開2007-123913(JP,A)
特開2003-234452(JP,A)
特開平08-172219(JP,A)
米国特許第06018167(US,A)
特開昭52-152186(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L33/00-33/64
H01L21/28