

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成 17 年 4 月 21 日 (2005.4.21)

【公開番号】特開 2003-22690 (P2003-22690A)  
 【公開日】平成 15 年 1 月 24 日 (2003.1.24)  
 【出願番号】特願 2002-189456 (P2002-189456)  
 【国際特許分類第 7 版】

G 1 1 C 17/00

G 0 6 K 19/07

【F I】

G 1 1 C 17/00 C

G 0 6 K 19/00 N

【手続補正書】

【提出日】平成 16 年 6 月 9 日 (2004.6.9)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリ装置であって、

それぞれがメモリアレイを含む、複数のメモリ層と、

前記メモリアレイのそれぞれに結合される複数の信号変調回路と、

前記複数のメモリ層のそれぞれに結合されるライン低減回路

を備える、メモリ装置。

【請求項 2】

前記複数の信号変調回路のそれぞれが、整流回路と直列に結合されたバンドパスフィルタ回路を含む、請求項 1 のメモリ装置。

【請求項 3】

インターフェース接続を介して、前記ライン低減回路に結合されたインターフェースおよび制御回路をさらに含む、請求項 1 のメモリ装置。

【請求項 4】

前記メモリアレイが、交点メモリアレイである、請求項 3 のメモリ装置。

【請求項 5】

前記ライン低減回路が、多重化 / 逆多重化回路である、請求項 1 のメモリ装置。

【請求項 6】

前記ライン低減回路が、薄い非半導体基板上に実装される、請求項 1 のメモリ装置。

【請求項 7】

第 1 の組の横断電極と第 2 の組の横断電極とアドレス指定回路を有する交点メモリアレイと、

直列に接続されたフィルタ及び整流回路と、

ライン低減回路

を備え、前記フィルタ及び整流回路は、ある周波数スペクトルにわたって所定の信号を拡散することからなる、メモリ装置。

【請求項 8】

前記ライン低減回路は、マルチプレクサ回路およびデマルチプレクサ回路から構成される、請求項 7 のメモリ装置。

**【請求項 9】**

少なくとも 1 つのフィルタ及び高抵抗性の回路が電源に結合される、請求項 7 のメモリ装置。

**【請求項 10】**

前記フィルタはバンドパスフィルタであり、前記整流回路はダイオードを備える、請求項 7 のメモリ装置。

**【請求項 11】**

前記第 1 の組の横断電極と第 2 の組の横断電極は、前記第 1 の組の電極と第 2 の組の電極の交点において形成されたそれぞれのメモリエlementと共に形成される、請求項 7 のメモリ装置。

**【請求項 12】**

第 1 の接続部は、前記第 1 の組内の各メモリアレイ電極を第 1 の組のアドレス線の固有の各サブセットに結合し、第 2 の接続部は、前記第 2 の組内の各メモリアレイ電極を前記第 2 の組のメモリアレイ電極の固有の各サブセットに結合する、請求項 7 のメモリ装置。

**【請求項 13】**

複数のメモリ層回路の各々に結合されるインターフェース回路をさらに備える、請求項 7 のメモリ装置。

**【請求項 14】**

メモリモジュールとメモリコントローラとの間で相互配線の数低減するための方法であって、

第 1 および第 2 の組の所定の線に所定の電気信号を加え、メモリエlement置の状態をイネーブルにすることにより、メモリアレイ内の前記メモリエlementをアドレス指定するステップと、

所定の周波数スペクトルにわたって多数のメモリエlementのアドレスを拡散することにより、前記アドレスを前記メモリアレイからインターフェースおよび制御回路に伝送するステップ

とからなる、方法。

**【請求項 15】**

前記多数のメモリエlementのアドレスを拡散するステップが、直列に接続されたフィルタおよび整流回路を用いて実行される、請求項 14 の方法。

**【請求項 16】**

前記フィルタがバンドパスフィルタである、請求項 15 の方法。

**【請求項 17】**

前記拡散されたアドレスを多重化し、インターフェースを介して、前記インターフェースおよび制御回路に前記アドレスを伝送するステップをさらに含む、請求項 14 の方法。