(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G01C 11/407

(11) 공개번호 특1997-0016535
(43) 공개일자 1997년04월28일

(21) 출원번호 특1996-0042398
(22) 출원일자 1996년09월25일
(30) 우선권주장 95-271700 1995년09월26일 일본(JP)
(71) 출원인 텍사스 인스트루먼츠 인코포레이티드 윌리엄 이. 힐러
미합중국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500
(72) 발명자 문유준
일본국 이바라끼껭 우시꾸시 6-6-14 미나미 어반 아사히 에이 #202
스게가와 순이치
일본국 이바라끼껭 쯔꾸바시 마쯔시로 4-22-2-405
이찌무라 야스히또
일본국 이바라끼껭 가사마시 이나다 676
사에끼 마꼬또
일본국 도꾜도 하무라시 미도리가까 2-1-16
(74) 대리인 주성민, 김성택

심사청구 : 없음

(54) 어드레스 디코더

요약

본 발명은 피드쓰루 전류, 누설 전류 등이 전력 소모가 적은 어드레스 디코더에 관한 것이다. 어드레스 비트 AYO_0-AYO_7는 CMOS 전송 게이트 C_0-C_7의 n형 게이트 단자 및 PMOS 트랜지스터 P_0-P_7의 게이트 단자에 각각 공급된다. 반전된 어드레스 비트 AYO_0__AYO_7__는 CMOS 전송 게이트 C_0-C_7의 P형 게이트 단자에 공급된다. 인에이블 신호 $AY3_b$, $AY6_a$는 NAND 회로(10)의 양 입력 단자에 각각 입력된다. NAND 회로(10)의 출력 단자는 CMOS 전송 게이트 C_0-C_7의 입력 단자에 접속된다. CMOS 전송게이트 C_0-C_7의 출력 단자는 드라이브 D_0-D_7의 입력단자 및 노드 F_0-F_9을 통해 PMOS 트랜지스터 P_0-P_7의 드레인 단자에 접속된다. PMOS 트랜지스터 P_0-P_7의 소스 단자는 예를 들면 3.3V의 전원 전압 Vcc에 접속된다. 드라이버 D_0-D_7의 출력 단자에 Y-어드레스 라인 YS_0-YS_7에 접속된다.

대표도

도1

명세서

[발명의 명칭]

어드레스 디코더

[도면의 간단한 설명]

제1도는 본 발명의 일실시예에 따른 칼럼 디코더의 개략도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1

유닛들 중 규정된 다수의 행 중의 대응하는 하나의 유닛을 나타내는 복수의 어드레스 비트를 가진 제1어드레스 신호와, 상기 유닛들 중 다수의 칼럼 내의 하나의 유닛을 나타내는 제2어드레스 신호에 응답하고, 선택적으로 표시된 행 및 열을 인에이블하는 어드레스 디코더에 있어서, 제1어드레스 신호가 공급되는 입력 단자를 가진 복수의 전송 게이트; 상기 제2어드레스 신호 중의 각 대응하는 어드레스 비트 혹은

대향 논리 레밸의 반전된 어드레스 비트가 공급되는 게이트 단자; 기준 전압 단자에 결합된 제1단자, 상기 전송 게이트의 각각에 대응하는 출력 단자에 결합된 제2단자, 및 상기 제2어드레스 신호 중의 각 대응하는 어드레스 비트 혹은 대향 논리 레벨의 반전된 어드레스 비트가 공급되는 제어 단자를 가진 복수의 트랜지스터; 및 상기 대응하는 전송 게이트 각각의 출력 단자와 상기 대응하는 트랜지스터 각각의 제2단자에 결합된 복수의 입력 단자, 및 상기 대응하는 행 또는 열 각각에 결합된 출력 단자를 가진 다수의 드라이버 회로를 포함하는 것을 특징으로 하는 어드레스 디코더.

청구항 2

규정된 다수의 행 또는 열 중의 대응하는 하나의 유닛에 대하여 선택 혹은 선택되지 않은 정보를 포함하는 다수의 어드레스 비트를 포함하는 제1어드레스 신호와, 상기 다수의 행 또는 열 내의 하나의 유닛 내의 각 행 또는 열에 대하여 선택 혹은 선택되지 않은 정보를 포함하는 제2어드레스 신호에 응답하여 동작하고, 선택적으로 다수의 행 또는 열을 인에이블하는 에드레스 디코더에 있어서, 제1어드레스 신호가 공급되는 입력단자, 및 상기 제2어드레스 신호 중의 각 대응하는 어드레스 비트 혹은 대향 논리 레벨의 반전된 어드레스 비트가 공급되는 게이트 단자를 가진 다수의 CMOS 전송 게이트; 기준 전압 단자에 전기적으로 접속된 제1단자, 상기 CMOS 전송 게이트 각각에 대응하는 출력 단자에 전기적으로 접속된 제2단자, 및 상기 제2어드레스 신호 중의 각 대응하는 어드레스 비트 혹은 대향 논리 레벨의 반전된 어드레스 비트가 공급되는 제어 단자를 가진 다수의 트랜지스터; 및 상기 대응하는 CMOS 전송 게이트 각각의 출력 단자와 상기 대응하는 트랜지스터 각각의 제2단자에 전기적으로 접속된 입력 단자, 및 상기 대응하는 행 또는 열의 각각에 전기적으로 접속된 출력 단자를 가진 다수의 드라이버 회로를 구비하는 것을 특징으로 하는 어드레스 디코더.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

