



(12)发明专利

(10)授权公告号 CN 104835475 B

(45)授权公告日 2017.03.29

(21)申请号 201510309520.5

(22)申请日 2015.06.08

(65)同一申请的已公布的文献号

申请公布号 CN 104835475 A

(43)申请公布日 2015.08.12

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 北京京东方光电科技有限公司

(72)发明人 李金钰 曹雪

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 彭瑞欣 陈源

(51)Int.Cl.

G09G 3/36(2006.01)

G11C 19/28(2006.01)

(56)对比文件

US 2011/0122988 A1,2011.05.26,全文.

CN 102867543 A,2013.01.09,全文.

CN 102915714 A,2013.02.06,全文.

CN 103474017 A,2013.12.25,全文.

CN 103996370 A,2014.08.20,说明书

[0040-[0064]段,图1-2.

审查员 金浩

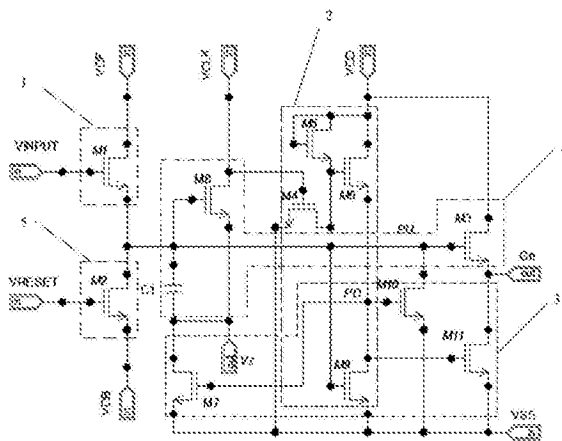
权利要求书3页 说明书7页 附图4页

(54)发明名称

移位寄存器单元及其驱动方法、栅极驱动电路和显示装置

(57)摘要

本发明属于显示技术领域,具体涉及一种移位寄存器单元及其驱动方法、栅极驱动电路和显示装置。该移位寄存器单元中:输入模块用于根据第一直流电压信号以及开启信号向上拉模块输出上拉控制信号;上拉模块用于根据第二直流电压信号和时钟信号,通过第一输出端输出本级移位寄存信号,通过第二输出端输出下一级移位寄存器单元的开启信号;下拉控制模块用于根据第二直流电压信号、第三直流电压信号和时钟信号,向下拉模块输出下拉控制信号;下拉模块用于向上拉模块输出第一输出端、第二输出端和上拉点的下拉信号;复位模块用于根据第四直流信号和复位信号向上拉模块输出复位信号。其使用直流电压做上拉模块和下拉控制模块的输入信号,稳定且功耗小。



1. 一种移位寄存器单元,其特征在于,包括输入模块、下拉控制模块、下拉模块、上拉模块和复位模块,其中:

所述输入模块,与所述上拉模块连接,用于根据第一直流电压信号以及开启信号向所述上拉模块输出上拉控制信号;

所述上拉模块,用于根据第二直流电压信号和时钟信号,通过第一输出端输出本级移位寄存信号,通过第二输出端输出下一级所述移位寄存器单元的开启信号;

所述下拉控制模块,与所述下拉模块和所述上拉模块连接,用于根据第二直流电压信号、第三直流电压信号和时钟信号,向所述下拉模块输出下拉控制信号;

所述下拉模块,与所述上拉模块连接,用于向所述上拉模块输出所述第一输出端、所述第二输出端和上拉点的下拉信号;

所述复位模块,与所述上拉模块连接,用于根据第四直流信号和复位信号向所述上拉模块输出复位信号;

其中,第一直流电压信号和第四直流电压信号为极性相反的直流电压,第二直流电压信号为正电压信号,第三直流电压信号为负电压信号。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输入模块包括第一晶体管,其控制极与开启信号输入端连接,第一极与第一直流电压信号输入端连接,第二极与所述上拉模块连接形成上拉点。

3. 根据权利要求2所述的移位寄存器单元,其特征在于,所述上拉模块包括第三晶体管、第八晶体管和第一电容,其中:

所述第三晶体管,其控制极与所述第一晶体管的第二极连接,第一极与第二直流电压信号输入端连接,第二极与所述下拉模块连接,其中,该第二极形成所述第一输出端;

所述第八晶体管,其控制极与所述第一晶体管的第二极连接,第一极与时钟信号输入端连接,第二极与所述第一电容的第二端连接,其中,该第二极与所述第一电容的第二端连接形成所述第二输出端;

所述第一电容,其第一端与所述第一晶体管的第二极连接;

其中,所述第一晶体管的第二极与所述第三晶体管的控制极、所述第八晶体管的控制极和所述第一电容的第一端的连接点形成上拉点。

4. 根据权利要求3所述的移位寄存器单元,其特征在于,所述下拉控制模块包括第四晶体管、第五晶体管、第六晶体管和第九晶体管,其中:

所述第四晶体管,其控制极与时钟信号输入端连接,第一极与所述第六晶体管的控制极连接,第二极与第三直流电压信号输入端连接;

所述第五晶体管,其控制极与其第一极连接、且与第二直流电压输入端连接,第二极与所述第六晶体管的控制极连接;

所述第六晶体管,其第一极与第二直流电压信号输入端连接,第二极与所述下拉模块连接;

所述第九晶体管,其控制极与所述第一晶体管的第二极连接,第一极与所述下拉模块连接,第二极与第三直流电压输入端连接。

5. 根据权利要求4所述的移位寄存器单元,其特征在于,所述下拉模块包括第七晶体管、第十晶体管和第十一晶体管,其中:

所述第七晶体管,其控制极与所述第六晶体管的第二极连接,第一极与所述第一电容的第二端连接,第二极与第三直流电压输入端连接;

所述第十晶体管,其控制极与所述第六晶体管的第二极连接,第一极与所述第三晶体管的控制极连接,第二极与第三直流电压信号的输入端连接;

所述第十一晶体管,其控制极与所述第六晶体管的第二极连接,第一极与所述第三晶体管的第二极连接,第二极与第三直流电压信号输入端连接;

其中,所述第七晶体管的控制极与所述第九晶体管的第一极、所述第六晶体管的第二极、所述第十晶体管的控制极和所述第十一晶体管的控制极的连接点形成下拉点。

6. 根据权利要求5所述的移位寄存器单元,其特征在于,所述复位模块包括第二晶体管,其控制极与复位信号输入端连接,第一极与所述第三晶体管的控制极连接,第二极与第四直流电压信号输入端连接。

7. 根据权利要求6所述的移位寄存器单元,其特征在于,所述第一晶体管至所述第十一晶体管均为N型晶体管;

或者,所述第一晶体管至所述第十一晶体管均为P型晶体管;

或者,所述第一晶体管至所述第十一晶体管部分为P型晶体管,部分为N型晶体管。

8. 一种栅极驱动电路,其特征在于,包括权利要求1-7任一项所述的移位寄存器单元,多个所述移位寄存器单元级联连接,其中:上一级所述移位寄存器单元的第二输出端的输出信号连接该所述移位寄存器单元的输入模块,下一级所述移位寄存器单元的第二输出端的输出信号连接该所述移位寄存器单元的复位模块。

9. 一种显示装置,其特征在于,包括权利要求8所述的栅极驱动电路。

10. 一种权利要求1-7任一项所述的移位寄存器单元的驱动方法,其特征在于,包括预输出阶段、输出阶段、复位阶段和保持阶段,其中:

在预输出阶段,开启信号有效,输入模块对上拉点充电,下拉点为低电平,第一输出端输出渐升的本级移位信号;

在输出阶段,时钟信号有效,上拉点充电完成,下拉点维持低电平,第一输出端输出高电平的本级移位信号以及第二输出端输出高电平的下一级开启信号;

在复位阶段,复位信号有效,上拉点为低电平,下拉点为高电平,第二输出端复位为低电平,第一输出端输出低电平的本级移位信号;

在保持阶段,下拉点为高电平,使第一输出端的本级移位信号维持在低电平。

11. 根据权利要求10所述的移位寄存器单元的驱动方法,其特征在于,

在预输出阶段,开启信号为高电平,时钟信号为低电平,第一晶体管开启,对上拉点充电,第九晶体管开启,拉低下拉点电压,第八晶体管开启,第二输出端输出低电平,第一输出端输出渐升的高电平;

在输出阶段,开启信号为低电平,时钟信号为高电平,第八晶体管输入高电平并通过第一电容的自举效应,上拉点高电平继续拉升,继而第三晶体管开启,第一输出端和第二输出端均输出高电平,同时第九晶体管继续开启,使下拉点维持低电平;

在复位阶段,时钟信号和开启信号均为低电平,复位信号为高电平,上拉点电压被拉低,第三晶体管和第九晶体管关闭,下拉点由于第二直流电压信号的作用变为高电平,第七晶体管、第十晶体管和第十一晶体管开启,第七晶体管拉低第二输出端的电压,第十晶体管

进一步拉低上拉点的电压,第十一晶体管拉低第一输出端的电压,第一输出端输出低电平;
在保持阶段,时钟信号为高电平,此时下拉点为高电平,第七晶体管、第十晶体管和第十一晶体管保持开启,稳定上拉点电平,使第一输出端的输出信号维持为低电平。

12. 根据权利要求11所述的移位寄存器单元的驱动方法,其特征在于,第一直流电压信号和第四直流电压信号为极性相反的直流电压,第二直流电压信号为正电压信号,第三直流电压信号为负电压信号。

移位寄存器单元及其驱动方法、栅极驱动电路和显示装置

技术领域

[0001] 本发明属于显示技术领域,具体涉及一种移位寄存器单元及其驱动方法、栅极驱动电路和显示装置。

背景技术

[0002] 传统显示装置的驱动方式是利用外部驱动芯片来驱动显示面板上的像素以显示影像,为了减少元件数目并降低制造成本,近年来将驱动电路的结构直接制作于显示面板上已成为主流技术,例如应用将栅极驱动电路整合于液晶面板(Gate On Array,简称GOA)的技术。

[0003] 目前,驱动电路通常采用交流信号驱动,不可避免的存在一定的信号延迟效应,还增大了驱动电路的功耗,减小了驱动能力,难以适用大尺寸液晶显示装置。

发明内容

[0004] 本发明所要解决的技术问题是针对现有技术中存在的上述不足,提供一种移位寄存器单元及其驱动方法、栅极驱动电路和显示装置,其使用直流电压做主晶体管的输入信号,输出稳定且驱动能力强,可大大降低电路在上拉阶段和下拉阶段的功耗。

[0005] 解决本发明技术问题所采用的技术方案是该移位寄存器单元,包括输入模块、下拉控制模块、下拉模块、上拉模块和复位模块,其中:

[0006] 所述输入模块,与所述上拉模块连接,用于根据第一直流电压信号以及开启信号向所述上拉模块输出上拉控制信号;

[0007] 所述上拉模块,用于根据第二直流电压信号和时钟信号,通过第一输出端输出本级移位寄存信号,通过第二输出端输出下一级所述移位寄存器单元的开启信号;

[0008] 所述下拉控制模块,与所述下拉模块和所述上拉模块连接,用于根据第二直流电压信号、第三直流电压信号和时钟信号,向所述下拉模块输出下拉控制信号;

[0009] 所述下拉模块,与所述上拉模块连接,用于向所述上拉模块输出所述第一输出端、所述第二输出端和上拉点的下拉信号;

[0010] 所述复位模块,与所述上拉模块连接,用于根据第四直流信号和复位信号向所述上拉模块输出复位信号。

[0011] 优选的是,所述输入模块包括第一晶体管,其控制极与开启信号输入端连接,第一极与第一直流电压信号输入端连接,第二极与所述上拉模块连接形成上拉点。

[0012] 优选的是,所述上拉模块包括第三晶体管、第八晶体管和第一电容,其中:

[0013] 所述第三晶体管,其控制极与所述第一晶体管的第二极连接,第一极与第二直流电压信号输入端连接,第二极与所述下拉模块连接,其中,该第二极形成所述第一输出端;

[0014] 所述第八晶体管,其控制极与所述第一晶体管的第二极连接,第一极与时钟信号输入端连接,第二极与所述第一电容的第二端连接,其中,该第二极与所述第一电容的第二端连接形成所述第二输出端;

- [0015] 所述第一电容,其第一端与所述第一晶体管的第二极连接;
- [0016] 其中,所述第一晶体管的第二极与所述第三晶体管的控制极、所述第八晶体管的控制极和所述第一电容的第一端的连接点形成上拉点。
- [0017] 优选的是,所述下拉控制模块包括第四晶体管、第五晶体管、第六晶体管和第九晶体管,其中:
- [0018] 所述第四晶体管,其控制极与时钟信号输入端连接,第一极与所述第六晶体管的控制极连接,第二极与第三直流电压信号输入端连接;
- [0019] 所述第五晶体管,其控制极与其第一极连接、且与第二直流电压输入端连接,第二极与所述第六晶体管的控制极连接;
- [0020] 所述第六晶体管,其第一极与第二直流电压信号输入端连接,第二极与所述下拉模块连接;
- [0021] 所述第九晶体管,其控制极与所述第一晶体管的第二极连接,第一极与所述下拉模块连接,第二极与第三直流电压输入端连接。
- [0022] 优选的是,所述下拉模块包括第七晶体管、第十晶体管和第十一晶体管,其中:
- [0023] 所述第七晶体管,其控制极与所述第六晶体管的第二极连接,第一极与所述第一电容的第二端连接,第二极与第三直流电压输入端连接;
- [0024] 所述第十晶体管,其控制极与所述第六晶体管的第二极连接,第一极与所述第三晶体管的控制极连接,第二极与第三直流电压信号的输入端连接;
- [0025] 所述第十一晶体管,其控制极与所述第六晶体管的第二极连接,第一极与所述第三晶体管的第二极连接,第二极与第三直流电压信号输入端连接;
- [0026] 其中,所述第七晶体管的控制极与所述第九晶体管的第一极、所述第六晶体管的第二极、所述第十晶体管的控制极和所述第十一晶体管的控制极的连接点形成下拉点。
- [0027] 优选的是,所述复位模块包括第二晶体管,其控制极与复位信号输入端连接,第一极与所述第三晶体管的控制极连接,第二极与第四直流电压信号输入端连接。
- [0028] 优选的是,所述第一晶体管至所述第十一晶体管均为N型晶体管;
- [0029] 或者,所述第一晶体管至所述第十一晶体管均为P型晶体管;
- [0030] 或者,所述第一晶体管至所述第十一晶体管部分为P型晶体管,部分为N型晶体管。
- [0031] 一种栅极驱动电路,包括上述的移位寄存器单元,多个所述移位寄存器单元级联连接,其中:上一级所述移位寄存器单元的第二输出端的输出信号连接该所述移位寄存器单元的输入模块,下一级所述移位寄存器单元的第二输出端的输出信号连接该所述移位寄存器单元的复位模块。
- [0032] 一种显示装置,包括上述的栅极驱动电路。
- [0033] 一种移位寄存器单元的驱动方法,包括预输出阶段、输出阶段、复位阶段和保持阶段,其中:
- [0034] 在预输出阶段,开启信号有效,输入模块对上拉点充电,下拉点为低电平,第一输出端输出渐升的本级移位信号;
- [0035] 在输出阶段,时钟信号有效,上拉点充电完成,下拉点维持低电平,第一输出端输出高电平的本级移位信号以及第二输出端输出高电平的下一级开启信号;
- [0036] 在复位阶段,复位信号有效,上拉点为低电平,下拉点为高电平,第二输出端复位

为低电平,第一输出端输出低电平的本级移位信号;

[0037] 在保持阶段,下拉点为高电平,使第一输出端的本级移位信号维持在低电平。

[0038] 优选的是,在预输出阶段,开启信号为高电平,时钟信号为低电平,第一晶体管开启,对上拉点充电,第九晶体管开启,拉低下拉点电压,第八晶体管开启,第二输出端输出低电平,第一输出端输出渐升的高电平;

[0039] 在输出阶段,开启信号为低电平,时钟信号为高电平,第八晶体管输入高电平并通过第一电容的自举效应,上拉点高电平继续拉升,继而第三晶体管开启,第一输出端和第二输出端均输出高电平,同时第九晶体管继续开启,使下拉点维持低电平;

[0040] 在复位阶段,时钟信号和开启信号均为低电平,复位信号为高电平,上拉点电压被拉低,第三晶体管和第九晶体管关闭,下拉点由于第二直流电压信号的作用变为高电平,第七晶体管、第十晶体管和第十一晶体管开启,第七晶体管拉低第二输出端的电压,第十晶体管进一步拉低上拉点的电压,第十一晶体管拉低第一输出端的电压,第一输出端输出低电平;

[0041] 在保持阶段,时钟信号为高电平,此时下拉点为高电平,第七晶体管、第十晶体管和第十一晶体管保持开启,稳定上拉点电平,使第一输出端的输出信号维持为低电平。

[0042] 优选的是,第一直流电压信号和第四直流电压信号为极性相反的直流电压,第二直流电压信号为正电压信号,第三直流电压信号为负电压信号。

[0043] 本发明的有益效果是:

[0044] 该移位寄存器单元,使用直流电压信号(第二直流电压信号VDD)而非交流信号作为上拉模块(例如主晶体管M3)和下拉控制模块的输入信号,与现有技术采用交流电压信号作为输入信号相比:

[0045] 1) 交流信号在传输过程中会产生RC延迟(delay),而直流信号不存在RC延迟,因此可以减小信号延迟效应的影响;

[0046] 2) 由于交流信号存在RC延迟(delay),造成信号的衰减,而直流信号无衰减,因此驱动能力强于交流信号,能增强驱动能力;

[0047] 3) 交流信号驱动时,第三晶体管M3本身存在的很大的寄生电容会被反复充放电,造成功耗的损失,而直流信号的驱动不存在重复充放电,因此可大大降低驱动电路的功耗;同时,使用直流电压信号作为下拉控制模块的输入信号,减少作用于交流信号下的晶体管数量,可以进一步降低驱动电路的功耗,并可以增强下拉点PD的下拉作用,提供更好的下拉能力,提供稳定的移位输出信号;

[0048] 4) 另外,该移位寄存器单元还能实现预充电的效果(参见图3中上拉点PU的波形图);

[0049] 相应的,采用该移位寄存器单元的栅极驱动电路可实现双向扫描的功能,使驱动上更加灵活;

[0050] 采用该栅极驱动电路的显示装置具有较小的功耗,且具有良好的显示效果。

附图说明

[0051] 图1为本发明实施例1中移位寄存器单元的结构框图;

[0052] 图2为本发明实施例1中移位寄存器单元的结构示意图;

- [0053] 图3为本发明实施例1中移位寄存器单元的时序波形图；
- [0054] 图4为本发明实施例2中栅极驱动电路的结构示意图；
- [0055] 图中：
- [0056] 1—输入模块；2—下拉控制模块；3—下拉模块；4—上拉模块；5—复位模块。

具体实施方式

[0057] 为使本领域技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明移位寄存器单元及其驱动方法、栅极驱动电路和显示装置作进一步详细描述。

[0058] 实施例1：

[0059] 本实施例提供一种移位寄存器单元，该移位寄存器单元使用直流电压做主晶体管的输入信号，输出稳定且驱动能力强；同时，直流信号控制输入模块及下拉控制模块的晶体管，可大大降低移位寄存器单元在上拉阶段和下拉阶段的功耗。

[0060] 该移位寄存器单元由输入端接收一输入电压，并由一输出端提供一移位输出电压。如图1所示，该移位寄存器单元，包括输入模块1、下拉控制模块2、下拉模块3、上拉模块4和复位模块5，下拉控制模块2作用于下拉模块3，下拉模块3作用于上拉模块4，上拉模块4通过下拉点作用于下拉控制模块2，其中：

[0061] 输入模块1，与上拉模块4连接，用于根据第一直流电压信号VDF以及开启信号Input向上拉模块4输出上拉控制信号；

[0062] 上拉模块4，用于根据第二直流电压信号VDD和时钟信号CLK，通过第一输出端out1输出本级移位寄存信号，通过第二输出端out2输出下一级移位寄存器单元的开启信号；

[0063] 下拉控制模块2，与下拉模块3和上拉模块4连接，用于根据第二直流电压信号VDD、第三直流电压信号VSS和时钟信号CLK，向下拉模块3输出下拉控制信号；

[0064] 下拉模块3，与上拉模块4连接，用于向上拉模块4输出第一输出端、第二输出端和上拉点的下拉信号；

[0065] 复位模块5，与上拉模块4连接，用于根据第四直流信号VDB和复位信号向上拉模块4输出复位信号Reset。

[0066] 具体的，如图2所示，输入模块1包括第一晶体管M1，其控制极与开启信号输入端VINP连接，第一极与第一直流电压信号输入端连接，第二极与上拉模块4连接。

[0067] 上拉模块4包括第三晶体管M3、第八晶体管M8和第一电容C1，其中：

[0068] 第三晶体管M3，其控制极与第一晶体管M1的第二极连接，第一极与第二直流电压信号输入端连接，第二极与下拉模块3连接，其中，该第二极形成第一输出端；

[0069] 第八晶体管M8，其控制极与第一晶体管M1的第二极连接，第一极与时钟信号输入端VCLK连接，第二极与第一电容C1的第二端连接，其中，该第二极与第一电容C1的第二端连接形成第二输出端；

[0070] 第一电容C1，其第一端与第一晶体管M1的第二极连接；

[0071] 其中，第一晶体管的第二极与第三晶体管的控制极、第八晶体管的控制极和第一电容的第一端的连接点形成上拉点PU。

[0072] 下拉控制模块2包括第四晶体管M4、第五晶体管M5、第六晶体管M6和第九晶体管M9，其中：

[0073] 第四晶体管M4,其控制极与时钟信号输入端VCLK连接,第一极与第六晶体管M6的控制极连接,第二极与第三直流电压信号输入端连接;

[0074] 第五晶体管M5,其控制极与其第一极连接、且与第二直流电压输入端连接,第二极与第六晶体管M6的控制极连接;

[0075] 第六晶体管M6,其第一极与第二直流电压信号输入端连接,第二极与下拉模块3连接;

[0076] 第九晶体管M9,其控制极与第一晶体管M1的第二极连接,第一极与下拉模块3连接,第二极与第三直流电压输入端连接。

[0077] 下拉模块3包括第七晶体管M7、第十晶体管M10和第十一晶体管M11,其中:

[0078] 第七晶体管M7,其控制极与第六晶体管的第二极连接,第一极与第一电容C1的第二端连接,第二极与第三直流电压输入端连接;

[0079] 第十晶体管M10,其控制极还与第六晶体管M6的第二极连接,第一极与第三晶体管M3的控制极连接,第二极与第三直流电压信号VSS的输入端连接;

[0080] 第十一晶体管M11,其控制极与第六晶体管M6的第二极连接,第一极与第三晶体管M3的第二极连接,第二极与第三直流电压信号输入端连接;

[0081] 其中,第七晶体管的控制极与第九晶体管的第一极、第六晶体管的第二极、第十晶体管的控制极和第十一晶体管的控制极的连接点形成下拉点PD。

[0082] 复位模块5包括第二晶体管M2,其控制极与复位信号输入端VRESET连接,第一极与第三晶体管M3的控制极连接,第二极与第三直流电压信号输入端连接。

[0083] 优选的是,第一晶体管M1至第十一晶体管M11均为N型晶体管;或者,第一晶体管M1至第十一晶体管M11均为P型晶体管;或者,第一晶体管M1至第十一晶体管M11部分为P型晶体管,部分为N型晶体管,只要将晶体管的相应端正确连接即可。在本实施例提供的移位寄存器单元中,所有晶体管均以N型晶体管为例进行说明,可以想到的是采用P型晶体管代替N型晶体管是本领域技术人员可在没有做出创造性劳动前提下轻易想到的,因此也是在本发明的实施例保护范围内的。

[0084] 相应的,本实施例还提供一种移位寄存器单元的驱动方法,包括预输出阶段、输出阶段、复位阶段和保持阶段,如图3所示,其中:

[0085] 在预输出阶段,开启信号Input有效,输入模块1对上拉点PU充电,下拉点PD为低电平,第一输出端输出渐升的本级移位信号Gn;

[0086] 在输出阶段,时钟信号CLK有效,上拉点PU充电完成,下拉点PD维持低电平,第一输出端输出高电平的本级移位信号Gn以及第二输出端输出高电平的下一级开启信号Input;

[0087] 在复位阶段,复位信号Reset有效,下拉点PD为高电平,上拉点PU为低电平,第二输出端复位为低电平,第一输出端输出低电平的本级移位信号Gn;

[0088] 在保持阶段,下拉点PD为高电平,使第一输出端的本级移位信号Gn维持在低电平。

[0089] 具体的,该移位寄存器单元的驱动方法中:

[0090] 初始时刻,开启信号Input和时钟信号CLK均为低电平,第一输出端和第二输出端均输出低电平;

[0091] 在预输出阶段,开启信号Input为高电平,时钟信号CLK为低电平,第一晶体管M1开启,对上拉点PU充电,上拉点PU高电压时,第九晶体管M9开启,拉低下拉点PD的电压,第八晶

晶体管M8开启,第一输出端输出渐升的高电平,第二输出端输出低电平;

[0092] 在输出阶段,开启信号Input为低电平,时钟信号CLK为高电平,第八晶体管M8输入高电平并通过第一电容C1的自举效应,上拉点PU高电压继续拉升,继而第三晶体管M3开启,第一输出端和第二输出端均输出高电平;同时由于上拉点PU为高电压,第九晶体管M9继续开启,使下拉点PD维持低电平;

[0093] 在复位阶段,时钟信号CLK和开启信号Input均为低电平,复位信号Reset为高电平,第二晶体管M2开启,第四直流电压信号VDB为直流负电压,上拉点PU电压被拉低;第三晶体管M3和第九晶体管M9关闭,下拉点PD由于第二直流电压信号VDD的作用变为高电平;第十晶体管M10和第十一晶体管M11开启,第十晶体管M10进一步拉低上拉点PU的电压,第十一晶体管M11拉低第一输出端的电压,第一输出端输出低电平;第七晶体管M7开启,第七晶体管M7拉低第二输出端的电压即下一级移位寄存器单元的开启信号Input的电压,即Vz;

[0094] 在保持阶段,时钟信号CLK为高电平,此时第六晶体管M6并没有截止,第四晶体管M4的开启只能使第六晶体管M6的栅极电压有所下降,但第六晶体管M6并不会关闭,下拉点PD为高电平,第七晶体管M7、第十晶体管M10和第十一晶体管M11保持开启,稳定上拉点PU的电压,使第一输出端的输出信号维持为低电平。

[0095] 在上述过程中,除了在输出阶段,下拉点PD一直保持高电平。

[0096] 该移位寄存器单元通过以上顺序完成移位寄存功能。

[0097] 其中,在上述移位寄存器单元的驱动方法中,第一直流电压信号VDF和第四直流电压信号VDB为极性相反的直流电压,第二直流电压信号VDD为正电压信号,第三直流电压信号VSS为负电压信号。例如,VDF为直流正压、VDB为直流负压时,VDF作为开启电压,VDB作为复位电压;VDF为直流负压、VDB为直流正压时,VDF作为复位电压,VDB作为开启电压。

[0098] 上述移位寄存器单元,使用直流电压信号(第二直流电压信号VDD)而非交流信号作为主晶体管M3的输入信号,与现有技术采用交流电压信号作为输入信号相比:

[0099] 1) 交流信号在传输过程中会产生RC延迟(delay),而直流信号不存在RC延迟,因此可以减小信号延迟效应的影响;

[0100] 2) 由于交流信号存在RC延迟(delay),造成信号的衰减,而直流信号无衰减,因此驱动能力强于交流信号,能增强驱动能力;

[0101] 3) 交流信号驱动时,第三晶体管M3本身存在的很大的寄生电容会被反复充放电,造成功耗的损失,而直流信号的驱动不存在重复充放电,因此可大大降低驱动电路的功耗;同时,使用直流电压信号作为下拉控制模块的输入信号,减少作用于交流信号下的晶体管数量,可以进一步降低驱动电路的功耗,并可以增强下拉点PD的下拉作用,提供更好的下拉能力,提供稳定的移位输出信号;

[0102] 4) 另外,该移位寄存器单元还能实现预充电的效果(参见图3中上拉点PU的波形图)。

[0103] 该移位寄存器单元可为多个,且设置为级联连接,特别适用于大尺寸液晶显示装置的栅极驱动电路。

[0104] 实施例2:

[0105] 本实施例提供一种栅极驱动电路,包括实施例1中的移位寄存器单元。

[0106] 该栅极驱动电路中,各级移位寄存器单元的输入模块依据开启电压的电位来控制

信号导通路径,并且通过上拉点PU的电位来控制直流信号和输出端之间的信号导通路径以提供移位输出电压。具体的,如图4所示,该栅极驱动电路中,多个移位寄存器单元级联连接,其中:上一级移位寄存器单元的第二输出端的输出信号连接该移位寄存器单元的输入模块,下一级移位寄存器单元的第二输出端的输出信号连接该移位寄存器单元的复位模块;或者说,本级移位寄存器单元的第二输出端与上一级移位寄存器单元的复位端VRESET连接,与下一级移位寄存器单元的输入端VINPUT连接。即第二输出端的输出电压Vz作为传递信号,上一级移位寄存器单元的Vz连接本级移位寄存器单元的输入端VINPUT,本级移位寄存器单元的Vz连接下一级移位寄存器单元的输入端VINPUT,下一级移位寄存器单元的Vz连接本级移位寄存器单元的复位端VRESET,以此类推。

[0107] 其中,第一晶体管M1的第二极与第二晶体管M2的第一极连接,改变扫描顺序时,输入模块中第一晶体管M1和复位模块中第二晶体管M2的作用互换。即若要反转扫描顺序,只需改变开启信号和复位信号,即改变Input信号首先触发的GOA单元;并将第一直流电压信号VDF与第四直流电压信号VDB的高低电平互换,即可实现反向扫描的功能。例如,正向扫描时VDF为直流正压、VDB为直流负压,反向扫描时互换为VDF为直流负压、VDB为直流正压。

[0108] 本实施例中的栅极驱动电路具有如下优点:

[0109] 1. 其中的各移位寄存器单元使用直流电压做主晶体管的输入信号,输出稳定且驱动能力强,可适用于大尺寸液晶显示装置的驱动;

[0110] 2. 直流信号控制各移位寄存器单元的输入模块及下拉控制模块的晶体管,可大大降低电路在上拉阶段和下拉阶段的功耗;

[0111] 3. 可实现双向扫描的功能,使驱动上更加灵活。

[0112] 实施例3:

[0113] 本实施例提供一种显示装置,包括实施例2中的栅极驱动电路。

[0114] 该显示装置可以为:液晶面板、电子纸、OLED面板、手机、平板电脑、电视机、显示装置、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0115] 该显示装置可为大尺寸显示面板,其具有较小的功耗,且具有良好的显示效果。

[0116] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

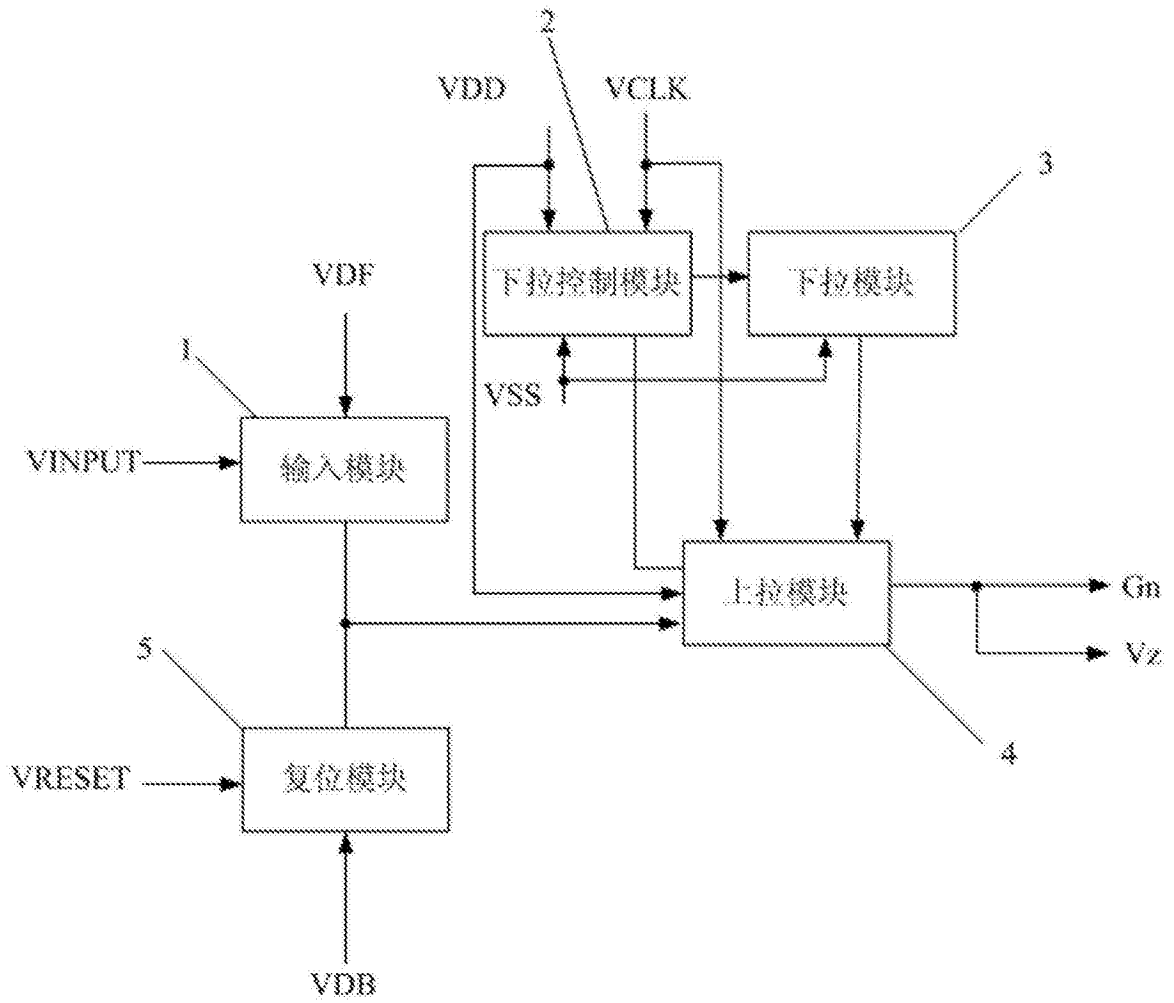


图1

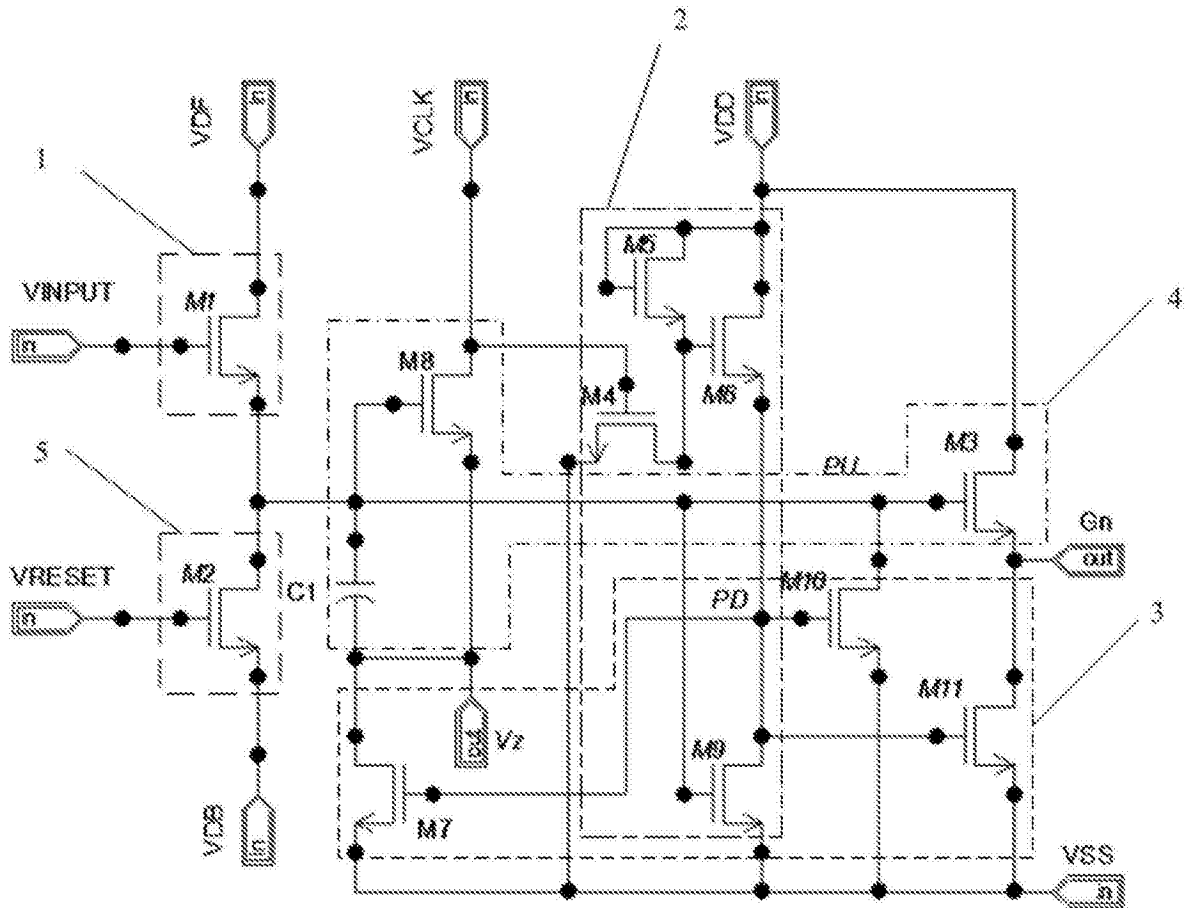


图2

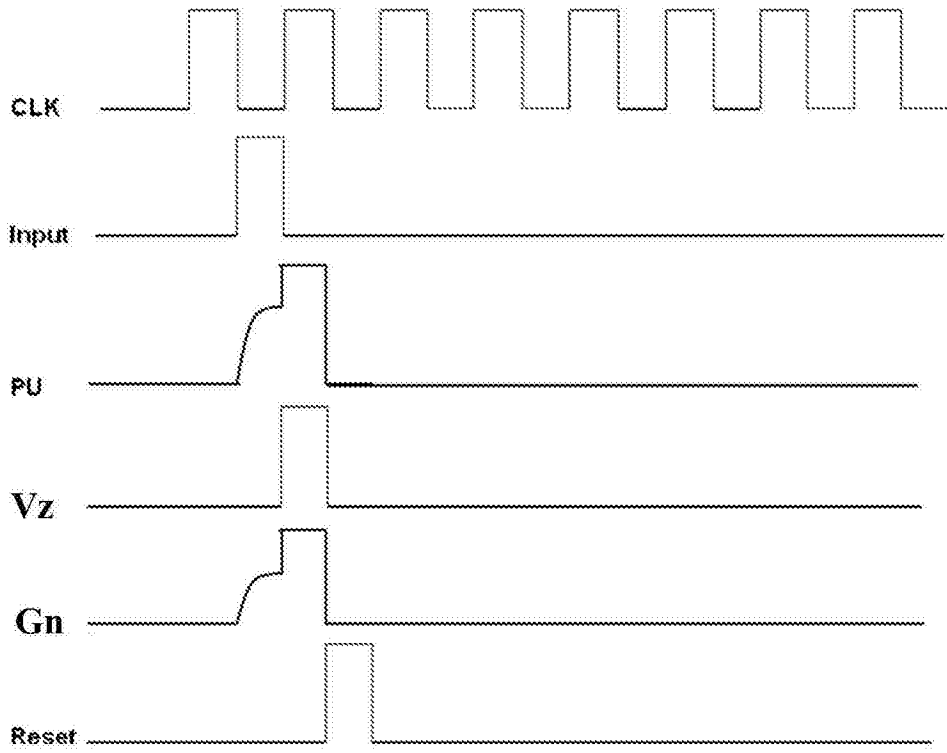


图3

