

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成25年7月11日(2013.7.11)

【公開番号】特開2013-33589(P2013-33589A)

【公開日】平成25年2月14日(2013.2.14)

【年通号数】公開・登録公報2013-008

【出願番号】特願2012-205438(P2012-205438)

【国際特許分類】

G 11 C 11/413 (2006.01)

G 05 F 1/56 (2006.01)

【F I】

G 11 C 11/34 3 3 5 A

G 05 F 1/56 3 1 0 E

G 11 C 11/34 A

【手続補正書】

【提出日】平成25年5月28日(2013.5.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

外部端子と、

上記外部端子から供給された外部電源電圧を受けて上記外部電源電圧より低い第1内部電圧を第1出力端子から出力する第1降圧回路と、

上記外部電源電圧を受けて上記外部電源電圧より低い第2内部電圧を第2出力端子から出力する第1モードと、上記第2出力端子から上記第1及び第2内部電圧より低い第3内部電圧を出力する第2モードとが切替えられる第2降圧回路と、

上記第1出力端子に接続され、低位電源電圧として接地電圧が供給される第1スタティック型RAMを含む第1内部回路と、

上記第2出力端子に接続され、低位電源電圧として上記接地電圧が供給される第2スタティック型RAMを含む第2内部回路とを備え、

スタンバイ時に、上記第2降圧回路は上記第2モードに制御され、上記第1内部回路の高位電源電圧として上記第1降圧回路から上記第1内部電圧が供給されて上記第1スタティック型RAMの記憶内容は保持され、上記第2内部回路の高位電源電圧として上記第2降圧回路から上記第3内部電圧が供給されて上記第2スタティック型RAMの記憶内容は消失されることを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

通常動作時に、上記第2降圧回路は上記第1モードに制御され、上記第1内部回路の高位電源電圧として上記第1降圧回路から上記第1内部電圧が供給されて上記第1スタティック型RAMの記憶内容は保持され、上記第2内部回路の高位電源電圧として上記第2降圧回路から上記第2内部電圧が供給されて上記第2スタティック型RAMの記憶内容は保持されることを特徴とする半導体装置。

【請求項3】

請求項1に記載の半導体装置において、

上記第3内部電圧は上記接地電圧であることを特徴とする半導体装置。

【請求項 4】

請求項 1 又は 2 に記載の半導体装置において、

上記第 1 出力端子に接続され、上記外部電源電圧を受けて上記第 1 内部電圧を第 3 出力端子から出力する第 3 モードと、上記第 3 出力端子をハイインピーダンス状態にする第 4 モードとが切替えられる第 3 降圧回路を備え、

上記通常動作時に、上記第 3 降圧回路は上記第 3 モードに制御され、上記第 1 内部回路の高位電源電圧として上記第 1 及び第 3 降圧回路から上記第 1 内部電圧が供給され、上記第 2 内部回路の高位電源電圧として上記第 2 降圧回路から上記第 2 内部電圧が供給され、

上記スタンバイ時に、上記第 3 降圧回路は上記第 4 モードに制御され、上記第 1 内部回路の高位電源電圧として上記第 1 降圧回路から上記第 1 内部電圧が供給され、上記第 2 内部回路の高位電源電圧として上記第 2 降圧回路から上記第 3 内部電圧が供給されることを特徴とする半導体装置。

【請求項 5】

請求項 4 に記載の半導体装置において、

上記第 3 降圧回路の電流供給能力は、上記第 1 降圧回路の電流供給能力よりも高く設定されることを特徴とする半導体装置。

【請求項 6】

請求項 1 に記載の半導体装置において、

上記第 2 出力端子に接続され、上記外部電源電圧を受けて第 4 出力端子から上記第 2 内部電圧を出力する第 5 モードと、上記第 4 出力端子をハイインピーダンス状態にする第 6 モードとが切替えられる第 4 降圧回路を備え、

上記通常動作時に、上記第 4 降圧回路は上記第 5 モードに制御され、上記第 1 内部回路の高位電源電圧には上記第 1 降圧回路から上記第 1 内部電圧が供給され、上記第 2 内部回路の高位電源電圧には上記第 2 及び第 4 降圧回路から上記第 2 内部電圧が供給され、

上記スタンバイ時に、上記第 4 降圧回路は上記第 6 モードに制御され、上記第 1 内部回路の高位電源電圧には上記第 1 降圧回路から上記第 1 内部電圧が供給され、上記第 2 内部回路の高位電源電圧には上記第 2 降圧回路から上記第 3 内部電圧が供給されることを特徴とする半導体装置。

【請求項 7】

請求項 1 に記載の半導体装置において、

上記第 2 出力端子に接続され、上記外部電源電圧を受けて第 4 出力端子から上記第 2 内部電圧を出力する第 5 モードと、上記第 4 出力端子から上記第 3 内部電圧を出力する第 6 モードとが切替えられる第 4 降圧回路を備え、

上記通常動作時に、上記第 4 降圧回路は上記第 5 モードに制御され、上記第 1 内部回路の高位電源電圧には上記第 1 降圧回路から上記第 1 内部電圧が供給され、上記第 2 内部回路の高位電源電圧には上記第 2 及び第 4 降圧回路から上記第 2 内部電圧が供給され、

上記スタンバイ時に、上記第 4 降圧回路は上記第 6 モードに制御され、上記第 1 内部回路の高位電源電圧には上記第 1 降圧回路から上記第 1 内部電圧が供給され、上記第 2 内部回路の高位電源電圧には上記第 2 及び第 4 降圧回路から上記第 3 内部電圧が供給されることを特徴とする半導体装置。

【請求項 8】

請求項 6 又は 7 に記載の半導体装置において、

上記第 4 降圧回路の電流供給能力は、上記第 2 降圧回路の電流供給能力よりも高く設定されることを特徴とする半導体装置。

【請求項 9】

請求項 1 に記載の半導体装置において、

上記第 2 内部回路は、不揮発性メモリ及び論理回路を含むことを特徴とする半導体装置。

。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 つに記載の半導体装置において、

前記第1、第2、第3、第4降圧回路は、少なくとも電流減回路と差動増幅器とを備えることを特徴とする半導体装置。