

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY

62346

Patent dodatkowy
do patentu _____

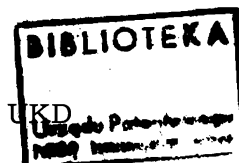
Zgłoszono: 23.X.1967 (P 123 165)

Pierwszeństwo: _____

Opublikowano: 31.III.1971

Kl. 42 t², 7/00

MKP G 11 c, 7/00



Współtwórcy wynalazku: Bohdan Wojtowicz, Andrzej Świtalski
Właściciel patentu: Instytut Maszyn Matematycznych, Warszawa
(Polska)

Układ sterowania pamięci ferrytowej

1

Przedmiotem wynalazku jest układ sterowania pamięci ferrytowej, zwany dalej centralną jednostką, przeznaczony do sterowania pamięci z blokiem ferrytowym o dowolnej ilości słów, lub też pamięci współpracującej z wieloma blokami rdzeni.

Dotychczasowe rozwiązania konstrukcyjne układów oparte są w większości na standardowych układach logicznych jak, inwertery, przerzutniki, elektroniczne układy opóźniające oraz linie długie.

Tego typu układy konstruowane są z uwzględnieniem ogólnej struktury systemu pamięci i układów elektroniki zastosowanych w poszczególnych jej podzespołach. W dotychczasowych stosowanych indywidualnych rozwiązaniach wadą jest to, że dla danego typu pamięci należy konstruować indywidualny system sterowania, co wiąże się ze zwiększonymi kosztami. Nieznane są natomiast układy, które określić można jako centralne jednostki sterowania, pozwalające na zastosowanie ich do dowolnego typu pamięci ferrytowych.

Celem wynalazku jest opracowanie układu, umożliwiającego sterowanie pamięci ferrytowej przy pomocy samodzielnego bloku, który zgodnie z odpowiednimi mikrooperacjami przyjętymi dla danego typu pamięci, generuje odpowiednie impulsy potrzebne dla zapewnienia właściwej kolejności działania i czasu pracy poszczególnych zespołów elektrowniki.

Cel ten według wynalazku został osiągnięty przez zaopatrzenie układu w dwa podzespoły, z których

2

pierwszy podzespół odczytu posiada trzy pamiętające układy przerzutnikowe i połączone od strony wejść z układem kontroli sterowania, a od strony wyjść trzeci układ pamiętający połączony jest 5 poprzez nadajnik linii podzespołu odczytu z linią opóźniającą podzespołu odczytu, natomiast drugi układ pamiętający z układami wyjściowymi podzespołu odczytu w postaci kluczy, a pierwszy układ pamiętający z kluczem podzespołu odczytu przy 10 czym z linią opóźniającą podzespołu odczytu połączone są separatory podzespołu odczytu, z których pierwszy separator połączony jest z trzecim układem pamiętającym a pozostałe separatory z przyporządkowanymi im układami wyjściowymi podzespołu odczytu, które z kolei połączone są z ukła- 15 dem kontroli sterowania, natomiast podzespół drugi zapisu, posiada czwarty przerzutnikowy układ pamiętający połączony od strony wejścia z układem kontroli sterowania i kluczem podzespołu odczytu, 20 a wyjście jego jest połączone poprzez nadajnik linii podzespołu zapisu z linią opóźniającą podzespołu zapisu, do której dołączone są separatory podzespołu zapisu, z czego separator pierwszy połączony jest z czwartym układem pamiętającym, a pozosta- 25 łe separatory podzespołu zapisu z układami wyjściowymi podzespołu zapisu, które są połączone z układem kontroli sterowania.

Układ centralnej jednostki sterowania, stanowiący przedmiot niniejszego wynalazku, odznacza się kilkoma szczególnie ważnymi i istotnymi korzyściami 30

technicznymi i zaletami. Układ ten umożliwia sterowanie układów elektroniki pamięci rozwiązanej na dowolnej technice tranzystorowej przez zastosowanie jako stopni wyjściowych kluczy transformatorowo-tranzystorowych sterowanych z układu o stałej wydajności prądowej. Specyfika własności użytego klucza pozwala na pracę układu wyjściowego w dowolnej konfiguracji przy różnych wartościach napięć polaryzacji emitera i kolektora co umożliwia generowanie wyjściowych impulsów sterujących na dowolnych poziomach.

Układ ten umożliwia sterowanie pamięci o różnej długości cyklu, przez zastosowanie układów umożliwiających generowanie impulsów o dowolnej szerokości i dowolnym rozmieszczeniu w czasie. Szerokość impulsu generowanego w linii wyznacza opóźnienie odcinka linii opóźniającej, objętego pętlą sprzężenia zwrotnego a kształtowanie impulsów wyjściowych dokonywane jest metodą odpowiedniego sumowania impulsów rozmieszczonych czasowo w linii opóźniającej. System ten umożliwia ponadto stosowanie jednej jednostki sterowania do pamięci z wieloma blokami rdzeni przez zwielokrotnienie ilości układów wyjściowych bez potrzeby rozbudowywania układów generujących, bowiem każdy z użytych bloków przyporządkowany jest osobnej grupie pobudzanych równolegle układów wyjściowych, przy czym wybór odpowiedniego bloku warunkuje dekodery adresu.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, który przedstawia układ blokowy centralnej jednostki sterowania, przeznaczony do pracy z pamięcią koincydencyjną z wieloma blokami rdzeni.

Układ sterowania zawiera dwa podzespoły, odczytu A i zapisu B, które sterowane są z układu kontroli sterowania UKS. Z chwilą gdy układy kontroli i sterowania UKS przyjmą rozkaz z maszyny na wykonanie mikrooperacji, zostaje wysłany impuls pobudzający centralny układ sterowania. Impulsy sterujące układami odczytu w pamięci generowane są w podzespole odczytu A, a impulsy sterujące układami zapisu w podzespole zapisu B.

Generację tych impulsów inicjują przerzutnikowe układy pamiętające, trzeci P_3 podzespołu odczytu i czwarty P_4 podzespołu zapisu, które pobudzają odpowiednie nadajniki linii, pierwszy N_1 podzespołu odczytu lub drugi N_2 podzespołu zapisu. Nadajniki te generują impuls w pierwszej linii opóźniającej L_1 podzespołu odczytu lub drugiej L_2 podzespołu zapisu. Czas trwania generowanego impulsu określa położenie odczepu na linii, z którego poprzez pierwsze separatory S_1 podzespołu odczytu lub $\bar{S}_1$ podzespołu zapisu utworzona jest pętla sprzężenia zwrotnego warunkująca wyłączenie przerzutnikowych układów pamiętających, trzeciego P_3 lub czwartego P_4 , co powoduje zakończenie generacji impulsu propagowanego w linii.

Kształtowanie impulsów wyjściowych o dowolnej długości dokonywane jest metodą sumowania impulsu rozmieszczonego czasowo w linii opóźniającej poprzez odpowiednie rozmieszczenie na odczepach linii bramek wejściowych poszczególnych pozostałych separatorów $S_2 - S_n$ i $\bar{S}_2 - \bar{S}_n$ podzespołu zapisu. Ukształtowane na separatorach im-

pulsy, pobudzają układy wyjściowe W_1 do W_m podzespołu odczytu $\bar{W}_1$ do $\bar{W}_m$ podzespołu zapisu, w postaci kluczy transformatorowo-tranzystorowych, które sterują odpowiednie moduły elektroniki pamięci.

W cyklu odczytu układy wyjściowe $W_1 - W_4$, sterowane z separatora S_2 generują impulsy, które uruchamiają klucze adresowe włączone na wyjścia układów $W_1 - W_4$, natomiast układy wyjściowe $W_2 - W_5$, sterowane z separatora S_3 generują impulsy, które uruchamiają generatory prądowe włączone na wyjścia układów $W_2 - W_5$. Układy wyjściowe $W_3 - W_m$, sterowane z separatora S_4 , uruchamiają wzmacniacze odczytu włączone na wyjścia układów $W_3 - W_m$.

W cyklu zapisu separatory $\bar{S}_2$ sterują układami wyjściowymi $\bar{W}_1 - \bar{W}_5$, które uruchamiają generatory włączone do ich wyjścia, separator $\bar{S}_3$ steruje układami $\bar{W}_2 - \bar{W}_7$, które uruchamiają klucze adresowe włączone do tych układów. Separatory $\bar{S}_4$ i $\bar{S}_5$ sterują odpowiednio układami wyjściowymi $\bar{W}_3 - \bar{W}_8$ i $\bar{W}_4 - \bar{W}_9$ przy czym na wyjściach układów $\bar{W}_3 - \bar{W}_8$ włączone są generatory prądowe, natomiast układy $\bar{W}_4 - \bar{W}_9$ generowane są impulsy dodatkowego pobudzania po zapisie. Układy wyjściowe $\bar{W}_5 - \bar{W}_m$, sterowane z separatora $\bar{S}_n$, dają na wyjściu impulsy sygnalizujące koniec operacji. Całość generowanych impulsów warunkowana jest następującymi mikrooperacjami „zapis”, „odczyt — regulacja”, „odczyt — czekaj”, „czekaj — zapis”. Generację impulsów dla odpowiedniej mikrooperacji warunkują przerzutnikowe układy pamiętające podzespołu odczytu, pierwszy układ pamiętający P_1 i drugi układ pamiętający P_2 .

Dla mikrooperacji zapis impuls warunkujący mikrooperację, włącza przerzutnikowe układy pamiętające, pierwszy P_1 i trzeci P_3 , oraz wyłącza drugi układ pamiętający P_2 . Układ trzeci P_3 , z chwilą włączenia wygeneruje impuls w pierwszej linii opóźniającej L_1 , a drugi układ pamiętający P_2 blokuje układy wyjściowe W_3 i W_m sterujące układami odczytu, zaś pierwszy układ pamiętający P_1 umożliwia pobudzenie drugiej linii L_2 impulsem końca mikrooperacji „odczyt”, poprzez układy separatorów S_n i klucza W_0 podzespołu odczytu uruchamiany zostaje czwarty układ pamiętający P_4 , co powoduje wygenerowanie wszystkich impulsów dla zapisu. W wyniku dla mikrooperacji „zapis”, cykl odczytu wyzerowuje odpowiednią komórkę pamięci, zaś w drugiej części cyklu zostaje wykonana właściwa mikrooperacja „zapis”.

Dla mikrooperacji „odczyt — regeneracja” impuls warunkujący mikrooperację włącza przerzutnikom układy pamiętające P_1 , P_2 , P_3 , które umożliwiają wygenerowanie wszystkich impulsów dla odczytu i otwierają przejście dla włączenia przerzutnikowego układu pamiętającego P_4 , który generuje impulsy zapisu co pozwala na odczytanie zapamiętanej w pamięci informacji i ponowny jej zapis.

Zastrzeżenie patentowe

Układ sterowania pamięci ferrytowej w zależności od wykonywanej mikrooperacji zgodnie z ustalo-

nym harmonogramem czasowym **znamienny tym**, że zawiera dwa podzespoły, z których pierwszy (**A**) podzespół odczytu posiada trzy pamiętające układy przerzutnikowe (P_1 , P_2) i (P_3) połączone od strony wejść z układem kontroli sterowania (**UKS**), a od strony wyjść trzeci układ pamiętający (P_3) połączony jest poprzez nadajnik linii (N_1) podzespołu odczytu z linią opóźniającą (L_1) podzespołu odczytu, natomiast drugi układ pamiętający (P_2) z układami wyjściowymi podzespołu odczytu ($W_1 - W_m$) w postaci kluczy, a pierwszy układ pamiętający (P_1) z kluczem (W_0) podzespołu odczytu, przy czym z linią opóźniającą (L_1) podzespołu odczytu połączone są separatory podzespołu odczytu ($S_1...S_n$), z których pierwszy separator (S_1) połączony jest z trzecim układem pamiętającym (P_3) a pozostałe separatory ($S_2...S_n$) z przyporządkowanymi im ukła-

dami wyjściowymi podzespołu odczytu ($W_1, W_2...W_m$), które z kolei połączone są z układem kontroli sterowania (**UKS**), natomiast podzespół drugi (**B**) zapisu, posiada czwarty przerzutnikowy układ pamiętający (P_4) połączony od strony wejścia z układem kontroli sterowania (**UKS**) i kluczem (W_0) podzespołu odczytu, a wyjście jego jest połączone poprzez nadajnik linii (N_2) podzespołu zapisu z linią opóźniającą (L_2) podzespołu zapisu, do której dołączone są separatory ($\bar{S}_1...S_n$) podzespołu zapisu, z czego separator pierwszy ($\bar{S}_1$) połączony jest z czwartym układem pamiętającym (P_4), a pozostałe separatory ($\bar{S}_2...S_n$) podzespołu zapisu z układami wyjściowymi ($\bar{W}_1...W_m$) podzespołu zapisu, które są połączone z układem kontroli sterowania (**UKS**).

