

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成31年2月21日(2019.2.21)

【公表番号】特表2018-506232(P2018-506232A)

【公表日】平成30年3月1日(2018.3.1)

【年通号数】公開・登録公報2018-008

【出願番号】特願2017-540862(P2017-540862)

【国際特許分類】

H 04 L 7/00 (2006.01)

G 06 F 13/38 (2006.01)

G 06 F 13/42 (2006.01)

【F I】

H 04 L 7/00 370

G 06 F 13/38 350

G 06 F 13/42 350A

H 04 L 7/00 140

【手続補正書】

【提出日】平成31年1月8日(2019.1.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

マスタデバイス上で動作する方法であって、

シリアルバスのシリアルクロックライン(SCLライン)上にクロック信号を供給するステップであって、前記クロック信号が、前記シリアルバスのシリアルデータライン(SDAライン)上のデータ送信を制御する、ステップと、

スレーブデバイスが前記SDAライン上でデータを送信しているとき、前記SCLライン上の遷移から受信クロックを生成するステップと、

前記SCLライン上に供給される前記クロック信号のエッジと、前記クロック信号の前記エッジに応答してスレーブデバイスによって前記SDAライン上に生成される少なくとも1つの遷移との間で測定される期間に基づいて、遅延を較正するステップと、

前記受信クロックに前記遅延を加えることによってSDAクロックを供給するステップと、

前記SDAクロックを使用して前記SDAラインからデータを受信するステップと、
を備え、

少なくとも1つの時間期間の中で、前記SCLライン上に供給される前記クロック信号が、前記SDAライン上のダブルデータレート送信を制御する、
方法。

【請求項2】

前記受信クロックを生成するステップが、

第1の動作モードにおいて、前記SDAライン上または前記SCLライン上のシグナリング状態における遷移から第1の受信クロックを生成するステップと、

第2の動作モードの間、前記SDAラインをマスクするステップと、

第2の動作モードにおいて、前記SCLライン上のシグナリング状態における遷移から第2の受信クロックを生成するステップと、

を備える、請求項1に記載の方法。

【請求項3】

前記SDAクロックが、前記第2の受信クロックから生成される、
請求項2に記載の方法。

【請求項4】

前記受信クロックを生成するためにクロックおよびデータ復元回路を使用するステップ
をさらに備える、請求項1に記載の方法。

【請求項5】

前記シリアルバス上の送信が、集積回路間(I2C)動作モードと互換性がある、
請求項1に記載の方法。

【請求項6】

第1の時間期間の間、前記シリアルバスに結合されたI2CスレーブデバイスとI2Cプロト
コルに従って通信するステップをさらに備え、

前記SCLライン上に供給される前記クロック信号が前記SDAライン上のダブルデータレー
ト送信を制御するとき、前記SCLライン上に供給される前記クロック信号が、第2の時間期
間の間、前記I2Cスレーブデバイスによって無視される、

請求項1に記載の方法。

【請求項7】

第1の時間期間の間、I2Cスレーブデバイスと通信するステップと、
第2の時間期間の間、I2Cスレーブデバイス以外のスレーブデバイスと通信するステップ
と、

をさらに備え、

前記第2の時間期間の間、ダブルデータレートクロック信号が前記SCLライン上で送信さ
れる、

請求項1に記載の方法。

【請求項8】

シリアルデータリンクに結合されたとき、マスタデバイスとして機能するように構成さ
れた装置であって、

シリアルバスのシリアルクロックライン(SCLライン)上にクロック信号を供給するため
の手段であって、前記クロック信号が、前記シリアルバスのシリアルデータライン(SDAラ
イン)上のデータ送信を制御する、手段と、

スレーブデバイスが前記SDAライン上でデータを送信しているとき、前記SCLライン上の
遷移から受信クロックを生成するための手段と、

前記SCLライン上に供給される前記クロック信号のエッジと、前記クロック信号の前記
エッジに応答してスレーブデバイスによって前記SDAライン上に生成される少なくとも1つ
の遷移との間で測定される期間に基づいて、遅延を較正するための手段と、

前記受信クロックに前記遅延を加えることによってSDAクロックを供給するための手段
と、

前記SDAクロックを使用して前記SDAラインからデータを受信するための手段と、
を備え、

少なくとも1つの時間期間の中で、前記SCLライン上に供給される前記クロック信号が、
前記SDAライン上のダブルデータレート送信を制御する、
装置。

【請求項9】

前記供給するための手段が、前記シリアルデータリンクのシリアルクロックライン(SCL
ライン)上で第1のクロック信号を送信するように構成された送信回路であって、前記第1
のクロック信号が、前記シリアルデータリンクのシリアルデータライン(SDAライン)上の
データ送信を制御する、送信回路を備え、

生成するための手段が、前記スレーブデバイスが前記SDAライン上でデータを送信して
いるとき、前記クロック信号の遷移から第2のクロックを生成するように構成されたクロ

ック生成回路を備え、
較正するための手段が、

前記第1のクロック信号のエッジと、前記第1のクロック信号の前記エッジに応答して前記スレーブデバイスによって前記SDAライン上に生成される前記少なくとも1つの遷移との間で測定される前記期間に基づいて、前記遅延を較正し、

前記第2のクロックに前記遅延を加えることによって第3のクロックを供給する、

ように構成された較正論理を備え、

受信回路が前記第3のクロックを使用して前記SDAラインからデータを受信するように構成され、

前記少なくとも1つの時間期間の中で、前記第1のクロック信号が、前記SDAライン上のダブルデータレート送信を制御する、

請求項8に記載の装置。

【請求項10】

前記第1のクロック信号が、クロックパルスの列を備え、

クロックパルスの前記列の中の各パルスが、第1の動作モードにおいて、しきい値持続時間を越える持続時間を伴うハイ状態を有し、

クロックパルスの前記列の中の各パルスが、第2の動作モードにおいて、前記しきい値持続時間よりも短い持続時間を伴うハイ状態を有し、

前記第1の動作モードにおいて、前記スレーブデバイスが、前記シリアルデータリンクを介してI2Cプロトコルに従って通信するように構成され、

前記第2の動作モードにおいて、前記第1のクロック信号が、前記スレーブデバイスによって無視される、

請求項9に記載の装置。

【請求項11】

前記しきい値持続時間が50ナノ秒である、

請求項10に記載の装置。

【請求項12】

スレーブデバイス上で動作する方法であって、

シリアルバスのシリアルクロックライン(SCLライン)からクロック信号を受信するステップであって、前記クロック信号が、マスタデバイスによって生成され、前記シリアルバスのシリアルデータライン(SDAライン)上のデータ送信を制御する、ステップと、

ピアなスレーブデバイスが前記SDAライン上でデータを送信しているとき、前記SCLライン上の遷移から受信クロックを生成するステップと、

前記SCLライン上に供給される前記クロック信号のエッジと、前記クロック信号の前記エッジに応答してスレーブデバイスによって前記SDAライン上に生成される少なくとも1つの遷移との間で測定される期間に基づいて、遅延を較正するステップと、

前記受信クロックに前記遅延を加えることによってSDAクロックを供給するステップと、

前記SDAクロックを使用して前記SDAラインからデータを受信するステップと、
を備え、

少なくとも1つの時間期間の中で、前記SCLライン上に供給される前記クロック信号が、前記SDAライン上のダブルデータレート送信を制御する、

方法。

【請求項13】

前記受信クロックを生成するステップが、

ダブルデータレートにおけるピアツーピア転送の間、前記SDAラインをマスクするステップ

を備える、請求項12に記載の方法。

【請求項14】

前記受信クロックを生成するためにクロックおよびデータ復元回路を使用するステップ

をさらに備える、請求項12に記載の方法。

【請求項 15】

前記シリアルバス上の送信が、集積回路間(I2C)動作モードと互換性がある、
請求項12に記載の方法。