

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4402143号
(P4402143)

(45) 発行日 平成22年1月20日(2010.1.20)

(24) 登録日 平成21年11月6日(2009.11.6)

(51) Int.Cl.		F I			
H03B	5/08	(2006.01)	H03B	5/08	B
H03B	5/12	(2006.01)	H03B	5/12	B

請求項の数 17 (全 28 頁)

<p>(21) 出願番号 特願2007-233853 (P2007-233853)</p> <p>(22) 出願日 平成19年9月10日 (2007.9.10)</p> <p>(65) 公開番号 特開2009-65599 (P2009-65599A)</p> <p>(43) 公開日 平成21年3月26日 (2009.3.26)</p> <p>審査請求日 平成19年9月10日 (2007.9.10)</p> <p>(出願人による申告) 平成18年度、総務省、「ミリ波帯無線装置の低コストの小型ワンチップモジュール化技術の研究開発」委託事業、産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(73) 特許権者 000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号</p> <p>(74) 代理人 110000350 ポレール特許業務法人</p> <p>(72) 発明者 和智 勇介 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内</p> <p>(72) 発明者 永作 俊幸 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内</p> <p>審査官 野元 久道</p>
--	--

最終頁に続く

(54) 【発明の名称】 発振器及びそれを用いた通信システム

(57) 【特許請求の範囲】

【請求項1】

共通接地された一対のトランジスタを有する差動増幅器と、各々第1の端子と第2の端子と第3の端子とを有する一対の共振器とを具備して成り、

前記各共振器は、前記第1の端子が前記差動増幅器の一方のトランジスタの出力端子に接続され、前記第2の端子が前記差動増幅器の他方のトランジスタの入力端子に接続されることにより、帰還ループが構成されて成り、

前記各共振器は、前記第1の端子と電源端子との間に、並列接続されたインダクタと容量とを有する並列共振器ユニットと、インダクタと容量とが直列接続された直列共振器ユニットとを備えて成り、

前記並列共振器ユニットと前記直列共振器ユニットとが、それぞれの一端にて前記第1の端子に共通に接続されると共に、それぞれの他端にて前記第3の端子に共通に接続されることで並列接続され、かつ、前記直列共振器ユニットの前記一端および前記他端とは異なる他の端子が前記第2の端子として構成されることによって、前記各共振器は、発振周波数において、前記一方のトランジスタの出力端子に接続された前記第1の端子から前記他方のトランジスタの入力端子に接続された前記第2の端子への伝達インピーダンスが、前記第1の端子の駆動点インピーダンスよりも大きいことを特徴とする発振器。

【請求項2】

請求項1において、

前記差動増幅器の共通接地された端子がグラウンド端子に直結されていることを特徴とする発振器。

【請求項 3】

請求項 1 において、
前記各共振器の前記第 3 の端子が前記電源端子に直結されていることを特徴とする発振器。

【請求項 4】

請求項 1 において、
前記各共振器の前記第 1 の端子、第 2 の端子のいずれかが、出力端子として構成されていることを特徴とする発振器。

10

【請求項 5】

請求項 1 において、
前記直列共振器ユニットの前記インダクタと前記容量との中点が前記第 2 の端子として構成されていることを特徴とする発振器。

【請求項 6】

請求項 1 において、
前記各共振器は、前記第 3 の端子として、前記並列共振器ユニットのインダクタを電源に直結する電源接続端子を備えて成ることを特徴とする発振器。

20

【請求項 7】

請求項 1 において、
前記各共振器は、
前記第 1 の端子と前記電源端子間において、前記第 1 の端子から見てインダクタ、容量の順に直列接続された前記直列共振器ユニットを備えて成ることを特徴とする発振器。

【請求項 8】

請求項 1 において、
前記各共振器は、
前記第 1 の端子と前記電源端子間において、前記第 1 の端子から見て容量、インダクタの順に直列接続された前記直列共振器ユニットを備えて成ることを特徴とする発振器。

30

【請求項 9】

請求項 1 において、
前記直列共振器ユニットのインダクタと前記並列共振器ユニットのインダクタが差動インダクタとして構成されており、
前記並列共振器ユニットのインダクタの中点が前記一対のトランジスタの入力端子に接続され、

前記直列共振器ユニットのインダクタの中点が前記電源端子に接続されていることを特徴とする発振器。

40

【請求項 10】

請求項 1 において、
前記各共振器の直列共振器ユニットのインダクタと前記並列共振器ユニットのインダクタが相互誘導結合されていることを特徴とする発振器。

【請求項 11】

請求項 10 において、
前記並列共振器ユニットのインダクタと前記直列共振器ユニットのインダクタの相互インダクタンスが負である

50

ことを特徴とする発振器。

【請求項 1 2】

請求項 1 0 において、

前記差動増幅器の逆相のドレイン端子に一方の共振器の前記直列共振器ユニットのインダクタが接続され、該インダクタが他方の共振器の前記並列共振器ユニットのインダクタと正の磁気結合されている

ことを特徴とする発振器。

【請求項 1 3】

共通接地された一对のトランジスタを有する差動増幅器と、各々第 1 の端子と第 2 の端子と第 3 の端子とを有する一对の共振器とを具備して成り、

前記各共振器は、前記第 3 の端子が電源端子に接続され、前記第 1 の端子が前記差動増幅器の一方のトランジスタの出力端子に接続され、前記第 2 の端子が前記差動増幅器の他方のトランジスタの入力端子に接続されることにより、帰還ループが構成されて成り、

前記各共振器は、

前記第 1 の端子と電源端子との間において、並列接続されたインダクタと容量とを有する並列共振器ユニットと、インダクタと容量とが直列接続された直列共振器ユニットとを備えて成り、

前記並列共振器ユニットと前記直列共振器ユニットとが、それぞれの一端にて前記第 1 の端子に共通に接続されると共に、それぞれの他端にて前記第 3 の端子に共通に接続されることで並列接続され、かつ、前記直列共振器ユニットの前記一端および前記他端とは異なる他の端子が前記第 2 の端子として構成され、

前記差動増幅器の共通接地された端子がグラウンド端子に接続され、

前記各共振器の直列共振器ユニットのインダクタと前記並列共振器ユニットのインダクタとが相互誘導結合されている

ことを特徴とする発振器。

【請求項 1 4】

請求項 1 3 において、

前記容量及び前記インダクタが、前記各共振器の伝送線路を構成するオ - プンスタブ及びビョ - トスタブにより構成されている

ことを特徴とする発振器。

【請求項 1 5】

請求項 1 3 において、

前記差動増幅器と前記各共振器とが IC チップ内に形成されており、

相互誘導結合された前記直列共振器ユニットのインダクタと前記並列共振器ユニットのインダクタとが前記 IC チップ内の同一のエリアに配置されている

ことを特徴とする発振器。

【請求項 1 6】

請求項 1 3 において、

前記各共振器は、発振周波数において、前記一方のトランジスタの出力端子に接続された前記第 1 の端子から、前記他方のトランジスタの入力端子に接続された前記第 2 の端子への伝達インピーダンスが、前記第 1 の端子の駆動点インピーダンスよりも大きい

ことを特徴とする発振器。

【請求項 1 7】

送信回路、受信回路、ベースバンド回路部及びアンテナを備えて成る通信システムであって、

前記送信回路及び前記受信回路の少なくとも一方が発振器を備えて成り、

前記発振器は、

共通接地された一对のトランジスタを有する差動増幅器と、各々第 1 の端子と第 2 の端子と第 3 の端子とを有する一对の共振器とを具備して成り、

前記各共振器は、前記第 3 の端子が電源端子に接続され、前記第 1 の端子が前記差動増

10

20

30

40

50

幅器の一方のトランジスタの出力端子に接続され、前記第2の端子が前記差動増幅器の他方のトランジスタの入力端子に接続されることにより、帰還ループが構成されて成り、

前記各共振器は、前記第1の端子と電源端子との間に、並列接続されたインダクタと容量とを有する並列共振器ユニットと、インダクタと容量とが直列接続された直列共振器ユニットとを備えて成り、

前記並列共振器ユニットと前記直列共振器ユニットとが、それぞれの一端にて前記第1の端子に共通に接続されると共に、それぞれの他端にて前記第3の端子に共通に接続されることで並列接続され、かつ、前記直列共振器ユニットの前記一端および前記他端とは異なる他の端子が前記第2の端子として構成されることによって、前記各共振器は、発振周波数において、前記一方のトランジスタの出力端子に接続された前記第1の端子から前記他方のトランジスタの入力端子に接続された前記第2の端子への伝達インピーダンスが、前記第1の端子の駆動点インピーダンスよりも大きく、

前記差動増幅器の共通接地された端子がグラウンド端子に接続され、

前記差動増幅器と前記各共振器とがICチップ内に形成されており、

相互誘導結合された前記直列共振器ユニットのインダクタと前記並列共振器ユニットのインダクタとが前記ICチップ内の同一のエリアに配置されている

ことを特徴とする通信システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発振器及びそれを用いた通信システムに係り、特に、共振器マイクロ波、ミリ波周波数帯の通信システム及びレダシステムの搬送波信号を発生するために組込まれるのに適したLCクロスカップル型の発振器及びそれを用いた通信システムに関する。

【背景技術】

【0002】

インダクタ、容量からなる共振器を持つLCクロスカップル型発振器の一例として、特許文献1に記載のものが知られている。また、非特許文献1には、小信号モデルにおける発振器の位相雑音電力について記載されている。さらに、非特許文献2には、大信号モデルにおける位相雑音電力について記載されている。一方、非特許文献3には、LCクロスカップル型発振器からテール電流源を取除き、差動増幅器の共通接地点を回路グラウンドに直結した発振器の例が記載されている。非特許文献4にも、テール電流源の無いLCクロスカップル型発振器の例が記載されている。

【0003】

【特許文献1】特開2004-260301号公報

【非特許文献1】D. B. Leeson, "A Simple Model of Feedback Oscillator Noise Spectrum," Proc. IEEE, vol. 54, pp. no.2, 329-330, Feb. 1966

【非特許文献2】A. Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillators," IEEE J. Solid-State Circuits, vol. 33, pp. 179-194, Feb. 1998

【非特許文献3】P. -C. Huang, "A 131 GHz Push-push VCO in 90-nm CMOS Technology", IEEE RFIC, 2005

【非特許文献4】T. Song, "A 5GHz Transformer-Coupled CMOS VCO Using Bias-Level Shifting Technique", IEEE RFIC 2004

【発明の開示】

【発明が解決しようとする課題】

【0004】

発振器の性能を表す重要な指標として位相雑音がある。理想的な発振器の出力スペクトルは線スペクトルで示されるのに対して、実際の発振器のスペクトルは発振周波数の両側に広がるスカト特性を持つ。位相雑音は発振周波数における発振出力レベルと、発振周波数からある一定の周波数離れた周波数における雑音レベルとの比によって定義される。

10

20

30

40

50

位相雑音の特性は、通信システムの品質を保ち、誤り無く情報を伝達するために最重要視される特性である。

【 0 0 0 5 】

非特許文献 1 によると、小信号モデルにおける発振器の位相雑音電力は次式 (1) で表される。

【 0 0 0 6 】

【 数 1 】

$$S(\Delta f) \approx 10 \text{Log} \left[1 + \frac{1}{\Delta f^2} \left(\frac{f_0}{2Q} \right)^2 + \frac{fc}{\Delta f^3} \left(\frac{f_0}{2Q} \right)^3 \right] + 10 \text{Log} \frac{FvKT}{P_o} \quad (1)$$

10

ここで、 f_c 、 f 、 Q 、 P_o 、 Fv はそれぞれ、発振周波数、 f_c からの離調周波数、共振器のクオリティファクタ、発振電力、発振器の雑音指数を表している。雑音指数は発振器内で発生する雑音成分の大きさを表し、熱雑音を発生するトランジスタ、抵抗成分などがその原因となる。基本的には Fv は回路内のトランジスタ数、抵抗数に依存する。集積回路内に実装される発振器においては、トランジスタから発生するチャンネル熱雑音が Fv に關与する雑音成分では主要因となる。

【 0 0 0 7 】

一方、非特許文献 2 では、大信号モデルにおける位相雑音電力は次式 (2) で表される。

20

【 0 0 0 8 】

【 数 2 】

$$S(\Delta \omega) = 10 \text{Log} \left(\frac{\overline{i_n^2} \sum_{n=0}^{\infty} C_n^2}{4q_{\max}^2 \Delta \omega^2} \right) \quad (n \text{ は整数}) \quad (2)$$

ここで、 q_{\max} 、 i_n 、 C_n はそれぞれ発振ノードにおける最大電荷蓄積量、雑音電流注入量、発振波形をフーリエ級数展開した際のフーリエ係数を表している。

30

【 0 0 0 9 】

上記 q_{\max} 、 i_n は前述の式 (1) における P_o と Fv に關連するパラメータであり、 q_{\max} が大きいほど、 i_n が小さいほど位相雑音は改善する。ここで、 C_n は発振波形の歪み成分を表す係数であり、歪みの無い理想的な正弦波においては $n > 1$ の場合に零となる。現実の電子式の発振器においてはトランジスタの非線形性等の影響により、 $n > 1$ において C_n は零にならない。 C_n が小さい、つまり発振波形の歪みが小さい場合は位相雑音が改善されることが式 (2) より明らかである。

【 0 0 1 0 】

式 (1)、(2) より、位相雑音低減のためには、(1) 発振振幅の増加、(2) 共振器の Q の増加、(3) トランジスタ、抵抗の熱雑音に起因する雑音指数の低減、(4) 発振波形を低歪み化という 4 つの要素が重要となることがわかる。

40

【 0 0 1 1 】

図 1 8 は、従来の LC クロスカップル型発振器の一例を示す回路図である。この発振器は、 $Q1$ 、 $Q2$ からなる差動増幅回路と、LC 共振器 1 からなる負荷から構成される。差動回路の出力信号はドレイン端子から取り出され所望の発振周波数に調節された共振周波数をもつ LC 共振器 1 により、周波数選択されて増幅されたのち、他方のトランジスタのゲート端子へ入力される。この動作を繰り返すことで所望の周波数において発振動作を発生し、維持することができる。差動増幅回路の共通接地部分に接続されたテール電流源 $I1$ は、発振動作時において発振信号の振幅を一定値に抑え、発振波形を低歪みにする効果を持つ。

【 0 0 1 2 】

50

一方、図19は、図18のLCクロスカップル型発振器からテ-ル電流源を取除き、差動増幅器の共通接地点を回路グラウンドに直結した発振器である。この発振器の構成は、テ-ル電流源の電圧降下が無いいため、図18の発振器と比較して大振幅を得ることが可能となる。また、テ-ル電流源を構成するトランジスタ、抵抗素子を除去したため発振器の雑音指数を下げる効果がある。これにより、上記位相雑音低減への4要素の内、(1)発振振幅の増加、(3)雑音源の低減による位相雑音の低減の効果がある。

【0013】

しかし、図19の発振器には、2つの問題点が存在する。図20を用いて、この問題点を説明する。図20は、発振器の発振動作時におけるゲートドレイン間電圧及びドレイン電流を模式的に表したものである。図20中の点線10はトランジスタの抵抗動作領域と飽和動作領域との境界をあらわしたものであり、その条件は下式(3)で示される。

【0014】

【数3】

$$V_{DS} \geq V_{GS} - V_{TH} \quad (3)$$

飽和動作領域は、ドレイン電流がドレイン-ソース間電圧にほとんど依存しない領域であり、そのため出力抵抗が高いことが特徴である。一方、抵抗領域はドレイン電流がドレイン-ソース間電圧に対してほぼ線形に比例する領域であり、そのため出力抵抗が低いという特徴を持つ。図20中の実線11はドレイン電圧-ドレイン電流特性を示すものであり、aはV_{gs}が小、bはV_{gs}が中、cはV_{gs}が大の各状態を示している。

【0015】

図20中の符号40は、図18のクロスカップル型発振器の発振動作時におけるトランジスタのゲートドレイン間電圧対ドレイン電流の特性を模式的に表した図である。図18の発振器は、前述の通りテ-ル電流源I1の一定電流と、テ-ル電流の電圧降下分のために特性40で示したように発振振幅が小さく、その結果低歪みな発振波形が得られている。一方、図19の発振器は、テ-ル電流源I1が存在しないために、ドレイン電流を制御するゲートソース間電圧が発振振幅電圧の大きさそのものとなり、特性30として示したように、MOSトランジスタの飽和動作領域を満たせなくなり、抵抗動作領域に入る。図21に、図19の発振器におけるゲート端子とドレイン端子の電圧過渡波形V_G、V_Dおよびドレイン電流I_Dの過渡波形を示す。トランジスタの出力抵抗は、前述の通り出力電圧の変化におけるドレイン電流の変化分で表すことができる。この変化分が小さいほど出力抵抗は大きくなる。図20に示すドレイン電圧-ドレイン電流特性11からも見て取れるように、抵抗動作領域(図21の線形動作領域)のMOSトランジスタの出力抵抗は、飽和動作領域における出力抵抗と比較して、著しく低下する。LCクロスカップル型発振器においてトランジスタの出力抵抗は、共振器1に並列接続された形となる。抵抗動作領域における出力抵抗は、共振周波数つまり発振周波数における共振器1のインピ-ダンスと比較しても一般的に小さいため、共振インピ-ダンスを低下させQ値を劣化させる。また、周期的なインピ-ダンスの変動により発振波形に歪みを発生させる結果となる。この結果、図19の発振器は、位相雑音改善のための(1)発振振幅の増加、(3)雑音指数F_vの低減による効果はあるものの、(2)共振器のQの劣化と(4)発振波形の歪みを劣化させる結果となり、位相雑音低減効果は低い。

【0016】

図22は、図18のLCクロスカップル型発振器のテ-ル電流源I1を電源電圧V_{DD}側に配置した発振器である。この発振器は、差動対の共通ソース端子が直接グラウンドに接続されているが、トップ電流源により一定電流を供給されているために、動作原理そのものは図18の発振器と同様の問題を有している。

【0017】

図23は、図19のテ-ル電流源の無いLCクロスカップル型発振器において、トランジスタのドレイン出力端子から容量C3を介して直流成分をカットしてから他方のトランジスタのゲート端子に入力し、上記ゲート端子にドレイン出力端の直流電圧より低い直流電圧

10

20

30

40

50

にバイアスシフトする発振器である。また、上記容量C3とゲート端子間に信号減衰回路7を挿入する構成もある。このような発振器の例としては非特許文献4に記載のものがある。

【0018】

上記図23の例によれば、ゲート端子のバイアス電圧を下げることで、図20の特性40に示すように、ドレイン端の振幅電圧が大きく振れても、式3の飽和領域条件を満たすことができトランジスタの抵抗領域動作をすることを防ぐ効果がある。

【0019】

前述した図23のLCクロスカップル型発振器は、共振器が接続されるドレイン端子から容量素子C3もしくは減衰器7を介して他方のトランジスタのゲート部に接続している。そのためゲート端子の発振振幅はドレイン端子の発振振幅より小さくなる。

10

【0020】

しかし、ゲート端振幅を小振幅化した(つまりゲートソース間電圧を小さくした)図23のLCクロスカップル型発振器は、テ-ル電流源I1を除去して、かつQ値の劣化させずに出力振幅の低歪み化することによる位相雑音の改善効果を得ることができるが、大振幅に伴う位相雑音効果は得ることができないという問題がある。つまり、図23の発振器は前記位相雑音の改善要素のうち、(3)雑音指数Fvの低減、(4)発振波形を低歪み化は解決できたものの、一方で、(1)発振振幅が減少しているというトレ-ドオフの関係を有している。

【0021】

本発明の課題は、差動対の共通ソース端子がグラウンドに直結されているLCクロスカップル型発振器において、共振器のQ値の劣化無しに、ゲート端子の発振振幅の増大化と低歪み化を両立させて、発振振幅の増加、雑音指数Fvの低減、発振波形の低歪み化を図り、これにより、良好な低位相雑音特性を有する発振器及びそれを用いた通信システムを提供することである。

20

【課題を解決するための手段】

【0022】

本発明の代表的なもの一例を示せば以下の通りである。即ち、本発明の発振器は、共通接地された一対のトランジスタを有する差動増幅器と、各々第1の端子と第2の端子と第3の端子とを有する一対の共振器とを具備して成り、前記各共振器は、前記第1の端子が前記差動増幅器の一方のトランジスタの出力端子に接続され、前記第2の端子が前記差動増幅器の他方のトランジスタの入力端子に接続されることにより、帰還ル-プが構成されて成り、前記各共振器は、発振周波数において、前記一方のトランジスタの出力端子に接続された前記第1の端子から前記他方のトランジスタの入力端子に接続された第2の端子への伝達インピーダンスが、前記第1の端子の駆動点インピーダンスよりも大きいことを特徴とする。

30

【発明の効果】

【0023】

本発明によれば、共振器のQ値を劣化させることなく、発振振幅の大振幅化、雑音源となるテ-ル電流源(もしくはトップ電流源)の除去、発振波形の低歪み化という従来技術ではトレ-ドオフとなっていた要素を同時に満たし、低位相雑音特性を持つ発振器及びそれを用いた通信システムを実現することができる。

40

【発明を実施するための最良の形態】

【0024】

以下、本発明の好適な実施形態について、図面を参照しながら詳細に説明する。

【実施例1】

【0025】

図1は、本発明の第1の実施例になる発振器の回路構成を示す図である。本実施例の発振器は、共通接地された2つのトランジスタQ1、Q2からなる差動増幅器2と、一対の共振器3(3A, 3B)で構成されている。一対の共振器3A, 3Bは、容量Cとインダ

50

クタLから構成される。各共振器3A、3Bは、第1、第2、第3の少なくとも3つの端子を有する。本実施例では、第1の端子は差動増幅器2からの出力電流を入力するための入力端子n-d1、n-d2であり、第2の端子は差動増幅器2を電圧駆動するための出力端子n-g1、n-g2である。第3の端子は、共振器の電源等への接続端子であり、差動増幅器2の少なくとも一部の要素を電源VDDに直接接続する電源直結端子n-p1、n-p2と、差動増幅器2の他の要素を電源やACグランドその他に接続する電源等接続端子n-a1、n-a2とを含んでいる。

【0026】

本発明の発振器は、差動増幅器2を構成する一方のトランジスタ(例えばQ1)の出力を一方の共振器(例えば3A)の入力端子(例えばn-d1)に接続し、この共振器の出力端子(例えばn-g1)を、この差動増幅器のもう一方のトランジスタ(例えばQ2)に入力するという、帰還ループを持っている。

10

【0027】

上記の差動増幅器を構成するトランジスタQ1、Q2をCMOSプロセスで実現した場合、差動増幅器2の出力はドレイン端子となり、入力はゲート端子、共通接地点はソース端子となる。

【0028】

上記の発振器を構成する差動増幅器2の共通ソース端子は、グラウンドに直結されている。電源直結端子n-p1、n-p2は、途中でテ-ル電流源等が介在せず電源VDDに直結されている。一方、電源等接続端n-a1、n-a2は、電源等に接続される端子であるが、電源VDDに直接接続される必要は無く、途中で他の部材が介在しても良く、あるいはまた、交流接地点に接続され電源VDDとは異なる電圧が印加されても良い。

20

【0029】

本発明の発振器は、発振周波数において、差動増幅器2の出力であるQ1、Q2のドレイン端子が接続される共振器3の入力端子n-d1、n-d2から、差動増幅器2の入力(Q1、Q2のゲート端子)が接続される共振器3の出力端子n-g1、n-g2への伝達インピーダンスを、n-d1、n-d2の駆動点インピーダンスより大きくした構成に特徴を有している。そのため、発振動作中において、トランジスタQ1、Q2のゲート端子の発振電圧振幅Vgが大きく、ドレイン端子の発振電圧振幅Vdが小さくなる。また、雑音源となるテ-ル電流源(もしくはトップ電流源)の除去のために、上記共振器の電源への接続端子として、途中でテ-ル電流源等が介在せず直接電源VDDに接続される電源直結端子n-p1、n-p2を備えている。

30

【0030】

これらの特徴により、本発明の発振器は、発振動作中においてQ1、Q2のゲート端子の発振電圧振幅が、ドレイン端子の発振電圧振幅より大きくなる。

【0031】

この特徴を有することより、本発明の発振器は、所定の発振周波数において、差動増幅器を構成するトランジスタQ1、Q2のゲート端子電圧振幅を、ドレイン端子電圧振幅と比較して大きくすることができ、これにより、発振動作中のトランジスタが抵抗領域動作になるのを防止し、Q値の劣化を抑えることができる。また、ゲート端子電圧振幅をテ-ル電流源の無いLCクロスカップル型発振器と同等の大きさに保つことができる。以上のことから、本実施例の発振器は良好な位相雑音特性を得ることができる。

40

【0032】

本発明の発振器によれば、前述した従来技術における差動回路を構成するトランジスタの発振動作中における抵抗領域動作を減少させることが可能となる。この原理について図2を用いて説明する。図2の特性50は、本発明の発振器のドレイン端子の電圧波形と大きさを表している。本発明の発振器は、ドレイン端子の電圧振幅を小さくすることで、ゲート端子の直流電圧レベルの調整をせずに、トランジスタの抵抗領域動作時間を低減させることが可能となる。

【0033】

50

上記の動作原理により、抵抗動作領域時のトランジスタの出力抵抗の減少に起因する、Q値の劣化を抑えることが可能となる。

【0034】

これにより、発振動作中のトランジスタが抵抗領域動作になるのを防止し、Q値の劣化を抑えるとともに、ゲート端子の振幅をテ - ル電流源の無いLCクロスカップル型発振器と同等にすることができる。以上の結果から、本発明の発振器は良好な位相雑音特性を得ることができる。

【0035】

さらに、上記のQ値劣化を抑えつつ差動増幅器の両ゲート端子の発振電圧振幅を、テ - ル電流源の無い構成のLCクロスカップル型発振器と同等の大きさにでき、ドレイン電流のSNRを増加できる。また、雑音源となるテ - ル電流源及びトップ電流源が存在しないためにLeesonの式(1)中の雑音指数Fvも低減が可能である。

【0036】

これらの点について、以下説明する。

LCクロスカップル型発振器において、ゲート電圧VGSに対する信号電流とトランジスタのチャネル熱雑音の二乗平均電流Inoiseは、それぞれ下式のように示される。

【0037】

【数4】

$$I_{signal} = K_0 \frac{W}{L} (V_{gs} - V_{th})^2 \quad (4)$$

【0038】

【数5】

$$\overline{I_{noise}} = 2\sqrt{kT\gamma g_m} \quad (5)$$

ここでK0, W, L, K, T, gm、はそれぞれトランスコンダクタンスパラメ - タ、総ゲート幅、ゲート長、ボルツマン定数、絶対温度、トランスコンダクタンスを表している。 はチャネル熱雑音の係数であり長チャネルデバイスでは2/3程度となる。ここでトランスコンダクタンスgmは次式で表される。

【0039】

【数6】

$$g_m = 2K_0 \frac{W}{L} (V_{gs} - V_{th}) \quad (6)$$

ここで、式(6)を式(5)に代入すると、Inoiseは次式で表される。

【0040】

【数7】

$$\overline{I_{noise}} = 2\sqrt{2kT\gamma K_0 \frac{W}{L} (V_{gs} - V_{th})} \quad (7)$$

式(4)と式(7)の比を取り、信号対雑音比(SNR: Signal to Noise Ratio)を導出すると次式となる。

【0041】

【数8】

$$SNR = \frac{I_{signal}}{I_{noise}} = \frac{1}{2} \sqrt{\frac{K_0}{2KT\gamma}} \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})^2 \quad (8)$$

式(8)より、MOSトランジスタのSNRはVGSの3/2乗に従って改善していく。

【0042】

図3の特性400は、ある素子値におけるMOSトランジスタのゲート電圧に対するSNRを

10

20

30

40

50

とったシミュレーションの結果を示している。特性400のシミュレーション結果からも、ゲート電圧の上昇に従いSNRが改善されていることが確認できる。

【0043】

このように、本実施例によれば、共振器のQ値を劣化させることなく、発振振幅の大振幅化、雑音源となるテール電流源の除去、発振波形の低歪み化を同時に満たし、低位相雑音特性を持つ発振器を実現することができる。

【0044】

なお、本発明の発振器に用いる共振器3は、容量CとインダクタLから構成されるが、この容量とインダクタは、マイクロストリップ線路やコプレナ線路などの伝送線路のインピーダンス整合等のために設けられるオプスタブ、ショトスタブから構成しても良い。また、上記容量とインダクタの少なくとも一部は、トランジスタなどの素子や素子間、回路配線に起因する寄生成分を用いて構成しても良い。

【0045】

また、本発明による発振器の出力は、発振器を構成する差動増幅器のドレイン端子、ゲート端子のいずれか、もしくはその両方としてよい。

本発明の発振器はMOSトランジスタで構成しているが、バイポーラトランジスタで構成してもよい。

本発明に係る発振器のより具体的な実施形態について、以下に図を用いて説明する。

【実施例2】

【0046】

図4は、本発明の第2の実施例になる発振器を示す回路図である。本実施例の発振器は、差動増幅器2と、インダクタ $L(L_s, L_p)$ と容量 $C(C_s, C_p)$ の要素を有する一対の共振器3(3A, 3B)で構成されている。共振器3は、端子101d(1, 2)と端子101c(1, 2)間にインダクタ L_p と容量 C_p からなる並列共振器60(A, B)と、端子101dから見てインダクタ L_s 、容量 C_s の順番の順に並ぶ直列共振器ユニット70(A, B)を備えている。直列共振器ユニットのインダクタ L_s と容量 C_s との中点を端子101g(1, 2)としている。端子101c(1, 2)は図1における第3の端子の1つであり、発振器の電源VDDまたはACグラウンドに接続される。差動増幅器2を構成するトランジスタQ1の出力端子は共振器3Aの入力端子101d1に接続され、共振器3Aの出力は端子101g1から出力され他方のトランジスタQ2の入力端子に入力される。トランジスタQ2の出力は、トランジスタQ1と同様に共振器3Bの入力端子101d2に接続され、共振器3Bの出力は端子101g2から出力されトランジスタQ1の入力端子に入力される。並列共振器ユニット60(A, B)には、電源VDDへの接続端子として電源直結端子101p1, 101p2と第2の電源接続端子101a1, 101a2とが設けられている。直列共振器ユニット70(A, B)には、VDDへの接続端子として第3の端子の1つである接続端子101b1, 101b2が設けられている。電源直結端子101p1, 101p2は、途中でテール電流源等が介在せず、少なくとも並列共振器ユニット60のインダクタ L_p を直接、電源VDDに直結するための接続端子である。これによりインダクタ L_p に供給される電流が制限されず、従って、テール電流源等により共振器の出力を制限することを回避できる。一方、第2の電源接続端子101a1, 101a2や他の接続端子101b1, 101b2には、電源電圧とは異なる電圧、例えばバイアス電圧が印加されても差し支えない。

【0047】

上記の共振器3の周波数特性について図5(5A, 5B, 5C)を用いて説明する。図5Aは、実施例2に記載されている共振器3の交流特性を示すための検証回路図である。下式は、図5Aの端子101dから交流電流 I_{in} を入力したときの端子101dと端子101gの交流電圧振幅 V_d, V_g を示している。

【0048】

つまり、下式(9)は、共振器3の端子101dと端子101c間に交流電流源を接続した時の、端子101dの駆動点インピーダンスを示し、式(10)は同じく端子101dから端子10

10

20

30

40

50

1gへの伝達インピーダンスを表している。

【 0 0 4 9 】

【 数 9 】

$$V_d = \frac{\left| \left(\frac{1}{\omega C_s} - \omega L_s \right) \cdot \frac{L_p}{C_p} \right|}{j \left(\frac{L_p}{C_p} + \frac{L_p}{C_s} + \frac{L_s}{C_p} \right) - j \left(\omega^2 L_p L_s + \frac{1}{\omega^2 C_p C_s} \right)} \cdot I_{in} \quad (9)$$

10

【 0 0 5 0 】

【 数 1 0 】

$$V_g = \frac{\left| \frac{1}{\omega C_s} \right| \cdot \frac{L_p}{C_p}}{j \left(\frac{L_p}{C_p} + \frac{L_p}{C_s} + \frac{L_s}{C_p} \right) - j \left(\omega^2 L_p L_s + \frac{1}{\omega^2 C_p C_s} \right)} \cdot I_{in} \quad (10)$$

ここで、式(9)、(10)においては式の簡潔化のためにインダクタ、容量の抵抗成分は無視しているが、本発明の本質を覆すものではない。

20

【 0 0 5 1 】

上記共振器3の共振周波数は、2つの並列共振周波数と1つの直列共振周波数を有し、上記並列共振周波数は、式(9)、(10)の分母の虚数成分が0になる時の周波数で与えられ下式(11)に示すとおりである。

【 0 0 5 2 】

【 数 1 1 】

$$f_{reson.,parallel} = \frac{1}{2\pi} \sqrt{\frac{1}{2L_p L_s} \left(\left(\frac{L_p}{C_p} + \frac{L_s}{C_s} + \frac{L_p}{C_s} \right) - \left(\left[\frac{L_p}{C_p} + \frac{L_s}{C_s} + \frac{L_p}{C_s} \right]^2 \pm \frac{4L_p L_s}{C_p C_s} \right)^{\frac{1}{2}} \right)} \quad (11)$$

30

一方、直列共振周波数は式(9)、(10)の分子が0となる周波数で与えられ、下式(12)に示すとおりである。

【 0 0 5 3 】

【 数 1 2 】

$$f_{reson.,series} = \frac{1}{2\pi \sqrt{L_s C_s}} \quad (12)$$

ここで注目すべきことは、式(9)の端子101dの交流電圧にはLsとCsによって決定される直列共振点を有しているのに対して、端子101gには直列共振点を有していないことである。これにより端子101dのリアクタンス成分は、逆極性をもつリアクタンス成分により減衰作用を受ける。以上より、直列共振周波数以前の全周波数領域に渡って、端子101gの電圧振幅は常に端子101dの電圧振幅より大きくなるのがわかる。

40

【 0 0 5 4 】

図5B、図5Cは、図5Aの検証回路を用いたときの、実施例2の共振器の周波数に対する交流電圧特性と位相特性の変遷について示したものである。なお、図5Bにおいて、符号201gは図5Aの端子1(101g)、符号201dは図5Aの端子2(101d)の各交流電圧の振幅特性を示している。また、図5Cの符号201pは図5Aの端子1(101g)の位相特性を示している。

【 0 0 5 5 】

50

図5Bの低周波における領域では、 C_p 、 C_s は高インピーダンスであるため L_p のリアクタンスのみが見えるため、共振器3の極性は誘導性となる。 C_s と L_s から構成される直列共振器ユニット70は直列共振点の前後で容量性から誘導性と変化するが、この領域では容量性として働く。

【0056】

周波数が増加していくと、 L_p の誘導性インピーダンスと C_p 、直列共振部からなる合成容量によるインピーダンスが等しくなるために、共振器は1回目の並列共振を起こす。上記の並列共振周波数は、図5Bの(a)、(b)中の破線300で示す周波数(第1の並列共振点300)である。

【0057】

上記並列共振の状態から、さらに周波数が上昇すると、 C_s 、 L_s のからなる直列共振器ユニットのリアクタンスが等しくなる周波数において直列共振を起こす。この直列共振周波数の後、直列共振器ユニット70及び共振器3は誘導性として働く。上記の直列共振周波数は、図5Bの(a)、(b)中の破線301で示す周波数(直列共振点301)である。

【0058】

そして最後に、 C_p の容量性インピーダンスと誘導性となった直列共振器ユニット70と L_p の合成誘導インピーダンスが等しくなる周波数で2回目の並列共振を起こす。上記の並列共振周波数は図5Bの(a)、(b)中の破線302で示す周波数(第2の並列共振点302)である。第2の並列共振周波数以降の周波数において、共振器3は常に容量性となる。

【0059】

上記の共振器に現れる誘導性、容量性の極性の変遷する順序は、共振器3を構成する各素子をいかなる値にしても固定である。つまり、第1の並列共振点300で示される上記の第1の並列共振周波数は、常に、直列共振点301で示される直列共振周波数より低い周波数になることがわかる。よって上記共振器3を有する実施例2の発振器は、第1の並列共振周波数において発振させた時に、ゲート端子の発振電圧振幅201gをドレイン端子の発振電圧振幅201dよりも大きくすることが可能となる。

【0060】

このような作用により、従来技術の発振器のようにゲート端子の直流電圧レベルの調整をせずに、トランジスタの抵抗領域動作時間を低減させることが可能となる。よって、抵抗動作領域時のトランジスタの出力抵抗の減少に起因する、Q値の劣化を抑えることが可能となる。

【0061】

以上の結果より、共振器のQ値を劣化させることなく、発振振幅の大振幅化、雑音源となるテール電流源(もしくはトップ電流源)の除去、発振波形の低歪み化という従来技術ではトレードオフとなっていた要素を同時に満たし、低位相雑音特性を持つ発振器を実現することができる。

【0062】

また、以下の方法をとれば、本実施例の効果をさらに高めることが可能となる。上記共振器3の共振点が、並列共振点-直列共振点-並列共振点の順番に固定されるという特性を利用して、インダクタ L_s 、 L_p 及び容量 C_s 、 C_p の素子値を調整し、直列共振点301を第1の並列共振点300に近接することができる。上記の結果、ゲート端子の発振電圧振幅201gとドレイン端子の発振電圧振幅201dとの振幅比をさらに上げることが可能となる。

【0063】

また、上記素子値を調整することで、第1並列共振点300と第2共振点302を遠ざけることができる。第2共振周波数302を、差動増幅器を構成するトランジスタの遮断周波数の近傍以上に設定することで、第2並列共振周波数における発振器のループゲインを十分1より小さくすることができ、第1共振周波数300において、発振器を安定に発振

10

20

30

40

50

させることができる。

【0064】

図5Cは、実施例2の発振器において、上記した共振器の一例として素子値をCs=70fF, Cp=70fF, Ls=125pH, Lp=75pH,としたときの、共振器の端子201dから端子201gへの伝達インピーダンス、端子201dの駆動点インピーダンスをそれぞれ示している。なお、図5Cにおいて、符号211gは図5Aの端子1(101g)、符号211dは図5Aの端子2(101d)の各交流電圧の振幅特性を示している。この例でも、第1の並列共振周波数において発振させた時に、ゲート端子の発振電圧振幅211gをドレイン端子の発振電圧振幅211dよりも大きくすることが可能となっている。

【0065】

また、図6は、実施例2の発振器について上記の素子値の共振器3を用いたときのドレイン端子の発振電圧波形221d、ゲート端子の発振電圧波形221g、及びドレイン端子電流波形231dのシミュレーション結果である。本実施例の発振器は、ドレイン端子の電圧振幅を小さくすることで、ゲート端子の直流電圧レベルの調整をせずに、トランジスタの抵抗領域動作時間を低減させることが可能となる。そのため、共振器のQ値を劣化させることが無い。

【0066】

このように、本実施例によれば、共振器のQ値を劣化させることなく、発振振幅の大振幅化、雑音源の除去、発振波形の低歪み化を同時に満たし、低位相雑音特性を持つ発振器を実現することができる。

【実施例3】

【0067】

図7は、本発明の発振器の第3の実施例を示す回路図である。本実施例の発振器は、差動増幅器2と、インダクタLp、Lsと容量Cp、Csからなる共振器3(3A, 3B)から構成されている。共振器3は、端102d(d1, d2)と端子102g(g1, g2)間にインダクタLpと容量Cpからなる並列共振器ユニット60(A, B)と、端子102d側から見て容量Cs, インダクタLsの順番の順に並ぶ直列共振器ユニット80(A, B)を備えている。直列共振器ユニット80の容量CsとインダクタLsとの中点を端子102gとしている。差動増幅器を構成するトランジスタQ1の出力端子は、共振器3Aの入力端子102d1に接続され、共振器3Aの直列共振器ユニット80Aの端子102g1から出力され、他方のトランジスタQ2の入力端子に接続される。トランジスタQ2の出力は、前記トランジスタQ1と同様に、共振器3Bに接続され、共振器3Bの出力は直列共振器ユニット80Bの端子102g2から出力され、トランジスタQ1の入力端子に接続される。並列共振器ユニット60(A, B)には、電源VDDへの接続端子として電源直結端子102p1, 102p2と第2の電源接続端子102a1, 102a2とが設けられている。直列共振器ユニット80(A, B)には、電源VDDへの接続端子として接続端子102b1, 102b2も設けられている。

【0068】

本実施例の発振器を構成する共振器3の伝達特性を示すために、実施例2の図5で示したものと同様の検証を行う。下式(13), (14)は、実施例3の共振器端子102dから交流電流Iinを入力したときの端子102dと端子102gの交流電圧振幅を示している。

【0069】

【数13】

$$V_d = \frac{\left| \left(\frac{1}{\omega C_s} - \omega L_s \right) \right| \cdot \frac{L_p}{C_p}}{j \left(\frac{L_p}{C_p} + \frac{L_p}{C_s} + \frac{L_s}{C_p} \right) - j \left(\omega^2 L_p L_s + \frac{1}{\omega^2 C_p C_s} \right)} \cdot I_{in} \quad (13)$$

10

20

30

40

50

【 0 0 7 0 】

【 数 1 4 】

$$V_g = \frac{|\omega L_s| \cdot \frac{L_p}{C_p}}{j \left(\frac{L_p}{C_p} + \frac{L_p}{C_s} + \frac{L_s}{C_p} \right) - j \left(\omega^2 L_p L_s + \frac{1}{\omega^2 C_p C_s} \right)} \cdot I_{in} \quad (14)$$

式(13)より、上記共振器の端子102dは、式(9)と同式となり、また分母は実施例2の共振器3と同様のため、上記共振器は2つの並列共振点と1つの直列共振点を持ち、その周波数とインピーダンスの容量性、誘導性の現れる順番はそれぞれ実施例2の共振器3と同じになる。

10

【 0 0 7 1 】

式(13)、(14)より、直列共振周波数以降は、端子102gの電圧振幅が、常に端子102dの電圧振幅より大きくなる。つまり、上記共振器3を有する実施例3の発振器は、第2並列共振点において発振させた時に、ゲート端子の発振電圧振幅をドレイン端子の発振電圧振幅よりも大きくすることが可能となる。よって、本実施例の回路構成においても、低位相雑音化の効果がある。

【 0 0 7 2 】

実施例2と同様に、上記共振器の共振点が、並列共振点、直列共振点、並列共振点の順番に固定されるという特性を利用して、共振器3を構成するインダクタ L_s 、 L_p 及び容量 C_s 、 C_p の素子値を調整し、図5Bの直列共振点301を第2の並列共振点302に近接させることができる。上記の結果、ゲート端子の発振電圧振幅とドレイン端子の発振電圧振幅との振幅比をさらに上昇させることが可能となる。

20

【 0 0 7 3 】

また、上記素子値を調整することで、第1並列共振点300と第2並列共振点302を遠ざけることができる。上記共振器3の端子102gの交流電圧値は、 L_s の値に比例し、また低周波領域では小さく高周波になるに従い大きくなっていくという特性を有している。そのため、上記共振器3の第1並列共振周波数300と L_s を、上記の第1並列共振周波数300において発振器のループゲインが十分1より小さくなるような値にすることで、第2共振周波数302において発振器を安定に発振させることができる。

30

【 0 0 7 4 】

図8は、実施例3の発振器において上記した共振器の素子値の調整を行った一例として $C_s=100\text{fF}$ 、 $C_p=300\text{fF}$ 、 $L_s=250\text{pH}$ 、 $L_p=150\text{pH}$ 、としたときのドレイン端子の交流電圧振幅212dとゲート端子の交流電圧振幅212gの周波数特性のシミュレーション結果である。実施例2の場合(図5C)と比較すると、交流電圧振幅212dとゲート端子の交流電圧振幅212gの関係が逆になっており、第2の並列共振周波数(図の例では40GHz付近)において発振させた時に、ゲート端子の発振電圧振幅212gをドレイン端子の発振電圧振幅212dよりも大きくすることが可能となっている。

【 0 0 7 5 】

40

また、図9は上記の発振器におけるドレイン端子の発振電圧波形222dとゲート端子の発振電圧波形222g、およびドレイン端子の発振電流波形232dのシミュレーション結果である。本実施例の発振器でも、ドレイン端子の電圧振幅を小さくすることで、ゲート端子の直流電圧レベルの調整をせずに、トランジスタの抵抗領域動作時間を低減させることが可能となる。そのため、共振器のQ値を劣化させることが無い。

【 0 0 7 6 】

このように、本実施例によれば、共振器のQ値を劣化させることなく、発振振幅の大振幅化、雑音源の除去、発振波形の低歪み化を同時に満たし、低位相雑音特性を持つ発振器を実現することができる。

[変形例 1]

50

次に、図10は、第3の実施例の発振器を变形し、並列共振器ユニットのインダクタ L_p と直列共振器ユニットのインダクタ L_s を差動インダクタにした共振器8を有する発振器の例を示す図である。この発振器は、直列共振器ユニットのインダクタ L_s の midpoint に接続された端子 $n - b$ からトランジスタ $Q1, Q2$ のゲートバイアス電圧を掛けること、並列共振器ユニットのインダクタ L_p の midpoint に接続された端子 $n - p$ から電源電圧 VDD を掛けることを特徴としている。上記構成により、ゲートバイアス電圧を電源電圧 VDD 等に対して独立に設定することが可能となるため、発振器の発振周波数、消費電流の設計をより容易にすることができる。

【実施例4】

【0077】

10

図11は、本発明の発振器の第4の実施例を示す回路図である。発振器を構成する共振器4(4A, 4B)は、実施例2の発振器の共振器3を構成するインダクタ L_p と L_s に相互誘導結合を持たせた構成となっている。

【0078】

差動増幅器2を構成するトランジスタ $Q1$ の出力端子は、共振器4Aの入力端子103d1に接続され、共振器4Aの出力は端子103g1から出力され他方のトランジスタ $Q2$ の入力端子に接続される。トランジスタ $Q2$ の出力は、トランジスタ $Q1$ と同様に共振器4Bの入力端子103d2に接続され、共振器4Bの出力は端子103g2から出力されトランジスタ $Q1$ の入力端子に接続される。並列共振器ユニット(A, B)には、電源 VDD への接続端子として電源直結端子103p1, 103p2と第2の電源接続端子103a1, 103a2とが設けられている。直列共振器ユニット(A, B)には、電源 VDD への接続端子として接続端子103b1, 103b2が設けられている。

20

【0079】

上記の共振器3の周波数特性について図12(12A, 12B, 12C)を用いて説明する。図12Aは、上記共振器4の交流特性を示すための検証回路図である。なお、図12Bにおいて、符号103gは図12Aにおける相互インダクタンス M の大きさを変えた時の端子103dの交流電圧振幅値を示している。また、図12Cの符号213gは図12Aの端子1(103g)、符号213dは図12Aの端子2(103d)の各交流電圧の振幅特性を示している。

【0080】

30

下式(15), (16)は、図12Aの端子103dから交流電流 I_{in} を入力したときの端子103dと端子103gの交流電圧振幅を示している。

【0081】

【数15】

$$V_D = \frac{\frac{L_p}{C_p} \left\{ \frac{1}{j\omega C_s} + j\omega \left(L_s - \frac{M^2}{L_p} \right) \right\}}{-\omega^2 (L_s L_p - M^2) + \left\{ \frac{L_p}{C_s} + \frac{L_p}{C_p} \left(1 - \frac{M}{L_p} \right) + \frac{L_s - M}{C_p} \right\} - \frac{1}{\omega^2 C_s C_p}} \cdot I_{in} \quad (15)$$

40

【0082】

【数16】

$$V_G = \frac{\frac{L_p}{C_p} \left\{ \frac{1}{j\omega C_s} \left(1 - \frac{M}{L_p} \right) \right\}}{-\omega^2 (L_s L_p - M^2) + \left\{ \frac{L_p}{C_s} + \frac{L_p}{C_p} \left(1 - \frac{M}{L_p} \right) + \frac{L_s - M}{C_p} \right\} - \frac{1}{\omega^2 C_s C_p}} \cdot I_{in} \quad (16)$$

50

ここで、式(15)、(16)中のMはLsとLpの相互インダクタンスを表し、結合係数Kを用いると下式(17)で示される。結合係数KはLsとLpの磁界の結合度を示す係数であり、磁界の結合方向により正負の両方の極性をとる。

【0083】

【数17】

$$M = K\sqrt{L_s L_p} \quad (\text{ただし } K \leq \pm 1) \quad (17)$$

式(17)より、相互インダクタMの値が負である場合、つまり結合係数が負の場合において上記共振器4の端子103gの交流電圧値は、共振器4を構成する容量Cp、Cs、インダクタLp、Lsが同じ値の場合、実施例2の共振器3の端子101gの電圧値よりも常に増加する。一方、端子103dの交流電圧値は、上記相互インダクタMの正負に関わらず、常に実施例2の共振器3の端子101dの電圧値よりも減少する。

10

【0084】

つまり、実施例2と同様の素子値を持つ実施例4の共振器4を持つ発振器は、本発明の作用であるゲート電圧振幅値とドレイン端子電圧振幅値の比をさらに高めることができる。

【0085】

上記の端子103gの電圧値の増加は、端子103gにおけるQ値の増加を意味している。つまり、実施例4の発振器は、式(1)、(2)から導出された低位相雑音化への要素である(1)発振振幅の増加、(2)共振器のQの増加、(3)トランジスタ、抵抗の熱雑音に起因する雑音指数の低減、(4)発振波形を低歪み化の4つの要素をすべて満たす発振器である。

20

【0086】

さらに、図12Bに示すように、負の相互インダクタを持つ上記の共振器は、同様のLs、Lp、Cs、Cpの素子値を持つ実施例2の共振器と比較して、第1並列共振点と第2並列共振点との互いの共振周波数間の周波数を広げる効果がある。上記の効果により、第2並列共振点をトランジスタの遮断周波数より高周波領域に持っていくことがより容易になり、第1並列共振周波数にて発振器をより安定に発振させることが可能となる。

【0087】

また、本実施例の共振器はLpとLsを近接させることによる相互インダクタMを用いているため、LpとLsの2つのインダクタを、ほぼ1つのインダクタ実装面積内への搭載が可能である。これにより、1つ分のインダクタ面積を低減することができ、特にインダクタをICチップ内に集積化する場合は低コスト化に繋がる。

30

【0088】

図12Cは、実施例4の発振器について共振器の素子値をCs=60fF、Cp=70fF、Ls=60pH、Lp=60pH、結合係数Kを-0.6としたときの共振器の端子103dから端子103gへの伝達インピーダンス、端子103dの駆動点インピーダンスの周波数特性のシミュレーション結果をそれぞれ示している。図から、本実施例の発振器は、本発明の作用であるゲート電圧振幅値とドレイン端子電圧振幅値の比をさらに高めることができることがわかる。

40

【0089】

次に、図13(図13A、図13B)を用いて、本実施例に関し、一对の共振器のインダクタLpとLsを近接させ相互インダクタMを用いることによるICチップ内での面積低減の効果について説明する。まず、図13Aは、図10に示した発振器をICチップ内に集積化した場合のレイアウトの一例を示す図である。図13Aに示すように、ICチップの上部に共振器のインダクタLp、下部にインダクタLsが配置されている。共振器の素子やトランジスタQ1、Q2はインダクタLpとLsの間やそれらの周囲に配置されている。一例として、ICチップの長さL1=670μm、幅W1=210μmである。

【0090】

次に、図13Bは、図11に示した発振器(機能的には図10に示した発振器と同じも

50

の)をICチップ内に集積化した場合のレイアウトの一例を示す図である。一对の共振器のインダクタ L_p と L_s を図のように同一のエリアに配置することで、使用面積を低減している。なお、 C_s は、トランジスタ Q_1 の寄生容量 C_{gs} にて実現している。一例として、ICチップの長さ $L_2 = 120\ \mu\text{m}$ 、幅 $W_2 = 105\ \mu\text{m}$ である。相互インダクタ M を用いた図13Bのレイアウトによれば、図13Aのレイアウトに対して面積が $1/11$ に減少している。すなわち、ICチップ内での大きな面積低減の効果が得られる。

[変形例2]

次に、本発明の第4の実施例の変形例について説明する。第4の実施例における一对の共振器のインダクタ L_p と L_s の負極性をもつ相互インダクタンス M を含む共振器5は、図14に示すように、差動増幅器2の逆相のドレイン端子と一方の共振器のインダクタ L_p を接

10

【0091】

すなわち、図11に示した共振器4Aに対応するインダクタ及び容量を夫々 L_{sa} 、 L_{pa} 、 C_{sa} 、 C_{pa} とし、共振器4Bに対応するインダクタ及び容量を夫々 L_{sb} 、 L_{pb} 、 C_{sb} 、 C_{pb} とすると、図14において、共振器5は横方向に順に配列された L_{pa} 、 L_{sb} 、 L_{sa} 、 L_{pb} の各インダクタ、その下に横方向に順に配列された C_{pa} 、 C_{pb} の各容量、さらにその下に横方向に順に配列された C_{sb} 、 C_{sa} の各容量で構成され、インダクタ L_{pa} と L_{sb} 、インダクタ L_{sa} と L_{pb} を夫々正の磁気結合させている。さらに、各端子 $n-p1$ 、 $n-p2$ 、 $n-a1$ 、 $n-a2$ 、 $n-d1$ 、 $n-d2$ 、 $n-g1$ 、 $n-g2$ 、 $n-b1$ 、 $n-b2$ を図示のように電源等に接続している。

20

【0092】

この実施例の場合も、電源直結端子 $n-p1$ 、 $n-p2$ が電源 V_{DD} に接続され、差動増幅器2のトランジスタ Q_1 、 Q_2 の共通接地された端子がグラウンド端子に直結されている。そして発振周波数において、差動増幅器2の出力である Q_1 、 Q_2 のドレイン端子が接続される共振器3の入力端子 $n-d1$ 、 $n-d2$ から差動増幅器2の入力(Q_1 、 Q_2 のゲート端子)が接続される共振器3の出力端子 $n-g1$ 、 $n-g2$ への伝達インピーダンスを、前記入力端子 $n-d1$ 、 $n-d2$ の駆動点インピーダンスより大きくした構成と成っている。そのため、発振動作中において、トランジスタ Q_1 、 Q_2 のゲート端子の発振電圧振幅 V_g が大きく、ドレイン端子の発振電圧振幅 V_d が小さくなる。

30

【0093】

本実施例によれば、共振器のQ値を劣化させることなく、発振振幅の大振幅化、雑音源の除去、発振波形の低歪み化を同時に満たし、低位相雑音特性を持つ発振器を実現することができる。また、ICチップ内での大きな面積低減の効果が得られる。

【実施例5】

【0094】

図15は、本発明の発振器の第5の実施例を示す回路図である。上記発振器を構成する共振器6(6A、6B)は、実施例3の共振器3を構成するインダクタ L_p と L_s に相互誘導結合を持たせた構成となっている。

【0095】

差動増幅器2を構成するトランジスタ Q_1 の出力端子は共振器6Aの入力端子104d1に接続され、共振器6Aの出力は端子104g1から出力され他方のトランジスタ Q_2 の入力端子に入力される。トランジスタ Q_2 の出力は前記トランジスタ Q_1 と同様に、共振器6Bの入力端子104d2に入力され、共振器6Bの出力は端子104g2から出力され他方のトランジスタ Q_1 の入力端子に入力される。並列共振器ユニット(A、B)には、電源 V_{DD} への接続端子として電源直結端子103p1、103p2と第2の電源接続端子103a1、103a2とが設けられている。直列共振器ユニット(A、B)には、電源 V_{DD} への接続端子として接続端子103b1、103b2が設けられている。

40

【0096】

本実施例の発振器を構成する共振器6の伝達特性を示すため、実施例4の図12Aで示

50

したものと同様の検証を行う。下式(18)、(19)は、実施例5の共振器6の端子104dから交流電流 I_{in} を入力したときの端子104dと端子104gの交流電圧振幅を示している。

【0097】

【数18】

$$V_D = \frac{j \frac{L_p}{C_p} \left\{ \omega \left(L_s - \frac{M^2}{L_p} \right) - \frac{1}{\omega C_s} \right\}}{-\omega^2 (L_s L_p - M^2) + \left\{ \frac{L_p}{C_s} + \frac{L_p}{C_p} \left(1 - \frac{M}{L_p} \right) + \frac{L_s - M}{C_p} \right\} - \frac{1}{\omega^2 C_s C_p}} \cdot I_{in} \quad (18)$$

10

【0098】

【数19】

$$V_G = \frac{j \frac{L_p}{C_p} \left\{ \omega \left(L_s - \frac{M^2}{L_p} \right) - \frac{1}{\omega C_s} \cdot \frac{M}{L_p} \right\}}{-\omega^2 (L_s L_p - M^2) + \left\{ \frac{L_p}{C_s} + \frac{L_p}{C_p} \left(1 - \frac{M}{L_p} \right) + \frac{L_s - M}{C_p} \right\} - \frac{1}{\omega^2 C_s C_p}} \cdot I_{in} \quad (19)$$

20

ここで、Mは前述の実施例4と同様に L_p と L_s の相互インダクタを示している。

【0099】

相互インダクタMが負の極性を持つときは、式(19)の分子第2項の極性が正に変化するため、直列共振周波数より高い周波数領域において、常に端子104gの交流電圧値は端子104dの電圧値を上回る。

【0100】

また、前述の実施例4と同様に、負の相互インダクタを持つ上記の共振器6は、同様の L_s 、 L_p 、 C_s 、 C_p の素子値を持つ実施例3の共振器3と比較して、第1並列共振点300と第2並列共振点302との互いの共振周波数間の周波数を広げる作用がある。上記の作用より、第1並列共振周波数300を、上記の第1並列共振周波数300において発振器のル-プゲインが十分1より小さくなるような値にすることが実施例3と比較して容易となり、第2共振周波数302において発振器を安定に発振させることができる。

30

【0101】

一方、相互インダクタMが正の極性を持つとき、上記共振器6の端子104gに直列共振点が発生する。式(17)で示されるように、相互インダクタンスMは L_p および L_s のインダクタンスより大きくなり得ないため、式(19)の分子第二項の相互インダクタンスMとのインダクタンス L_p の比 M/L_p は常に1以下となる。つまり、式(19)の分子の値は、式(18)の分子よりも低周波側で0になる。これは端子104gのもつ直列共振周波数は端子104dの直列共振周波数より常に低くなることを意味する。

【0102】

上記、端子104gの直列共振点を実施例5の共振器6の第1並列直列共振周波数に近接させることで、第1並列共振点における式(19)の分子の値が0に近づき、端子104dの交流電圧を極めて小さな値にすることが可能となる。上記のように設定された共振器の素子値、及び相互インダクタMにより第1並列共振周波数において発振器のル-プゲインが十分1より小さくすることが可能となり、第2共振周波数において発振器を安定に発振させることができる。

40

【0103】

図16は、上記のように実施例5の共振器の素子値を設定したときの一例として $C_s=200$ fF、 $C_p=100$ fF、 $L_s=250$ pH、 $L_p=150$ pH、結合係数Kを0.3としたときの端子104gの交流電圧の周波数特性214gと端子104dの交流電圧の周波数特性214dを示して

50

いる。図16から、本実施例では、第1並列共振周波数と第2共振周波数の周波数差は広げられないが、周波数特性214gに着目したとき、第1並列共振周波数と第2共振周波数における交流電圧の発振振幅値の差を大きく出来、もって、第2共振周波数において発振器を安定に発振させることが出来ることが明らかである。

【0104】

このように、本実施例は、共振器のQ値を劣化させることなく、発振振幅の大振幅化、雑音源となるテ-ル電流源の除去、発振波形の低歪み化を同時に満たし、低位相雑音特性を持つ発振器を実現するものである。

【実施例6】

【0105】

図17は、本発明の発振器の第6の実施例を示す回路図である。本実施例の共振器を構成する容量とインダクタは、共振器を構成する部材のマイクロストリップ線路やコプレーナ線路などの伝送線路に設けられるオ-プスタブ、ショ-トスタブなどから構成される。共振器7(7A, 7B)は、入力端子n-d1, n-d2と差動増幅器を電圧駆動するための出力端子n-g1, n-g2と、これらの入出力端子間に接続されたインダクタLpと容量Cpからなる並列共振器ユニットと、入力端子n-d1, n-d2側から見て容量Cs, インダクタLsの順に並ぶ直列共振器ユニットとを備えている。直列共振器ユニットの容量CsとインダクタLsとの中点を出力端子としている。各共振器7A, 7B、は、電源VDDに直接に接続される電源直結端子n-p1, n-p2、電源VDDに接続される他の接続端子n-b1, n-b2と、交流接地点などに接続される電源等接続端n-a1, n-a2も有している。

【0106】

本実施例の発振器は、差動増幅器2を構成する一方のトランジスタ(例えばQ1)の出力を一方の共振器(例えば7A)の入力端子(例えばn-d1)に接続し、この共振器の出力端子(例えばn-g1)を、この差動増幅器のもう一方のトランジスタ(例えばQ2)に入力するという、帰還ル-ブを持っている。

【0107】

なお、Lp, Lsは、 $\lambda/4$ 以下の長さの伝送線路によるショートスタブでインダクタを実現する。一方、Cpは $\lambda/4$ 以下の長さの伝送線路によるオープンスタブでキャパシタを実現する。また、上記容量とインダクタは、トランジスタなどの素子や素子間、回路配線に起因する寄生成分を用いて構成しても良い。

【0108】

本実施例でも、発振器は、発振周波数において、差動増幅器2の出力であるQ1, Q2のドレイン端子が接続される共振器3の入力端子n-d1, n-d2から、差動増幅器2の入力(Q1, Q2のゲート端子)が接続される共振器3の出力端子n-g1, n-g2への伝達インピーダンスを、前記の端子n-d1, n-d2の駆動点インピーダンスよりも大きくした構成に特徴を有している。また、雑音源となるテ-ル電流源(もしくはトップ電流源)の除去のために、並列共振器ユニットのインダクタLpを電源へ直接に接続するための端子として、電源VDDとの間にテ-ル電流源等が介在しない電源直結端子n-p1, n-p2を備えている。

【0109】

これらの特徴により、本実施例は、共振器のQ値を劣化させることなく、発振振幅の大振幅化、雑音源の除去、発振波形の低歪み化を同時に満たし、低位相雑音特性を持つ発振器を実現するものである。

【実施例7】

【0110】

以上述べた各実施例のLCクロスカップル発振器は、送信回路、受信回路、ベースバンド回路部及びアンテナを備えた通信システムにおいて、送信回路や受信回路の発振器として用いるのに適している。特に、並列共振器ユニットのインダクタLpと直列共振器ユニットのインダクタLsの負極性をもつ相互インダクタンスMを含む共振器を有する発振器を備え

10

20

30

40

50

た送信回路や受信回路をICチップ内に集積化することで、小型で低消費電力、低コストの通信システムを実現することができる。また、良好な低位相雑音特性による通信距離の向上（特にミリ波帯域）も図ることができる。

【図面の簡単な説明】

【0111】

【図1】本発明の第1の実施例になる発振器の回路構成を示す回路図である。

【図2】本発明の発振器におけるゲートドレイン電圧とドレイン電流との対応を示す図である。

【図3】本発明の発振器におけるトランジスタのゲートソース間電圧に対する出力電流のSNRを説明する図である。

10

【図4】本発明の第2の実施例になる発振器の回路構成を示す回路図である。

【図5A】本発明の第2の実施例を構成する共振器の検証用の回路図である。

【図5B】図5Aに示した共振器における周波数特性を示す図である。

【図5C】図5Aに示した共振器における周波数特性を示す図である。

【図6】本発明の第2の実施例における過渡波形を示す図である。

【図7】本発明の第3の実施例になる発振器の回路構成を示す回路図である。

【図8】本発明の第3の実施例における共振器の周波数特性を示す図である。

【図9】本発明の第3の実施例における共振器の過渡波形を示す図である。

【図10】本発明第3の実施例の変形例になる発振器を示す回路図である。

【図11】本発明の第4の実施例になる発振器の回路構成を示す回路図である。

20

【図12A】本発明の第4の実施例になる発振器の検証用の回路図である。

【図12B】図12Aに示した共振器の検証用の回路図における、周波数特性を示す図である。

【図12C】図12Aに示した共振器における周波数特性を示す図である。

【図13A】図10に示した発振器をICチップ内に集積化した場合のレイアウトの一例を示す図である。

【図13B】図11に示した発振器をICチップ内に集積化した場合のレイアウトの一例を示す図である。

【図14】本発明の第4の実施例の変形例になる発振器を示す回路図である。

【図15】本発明の第5の実施例になる発振器の回路構成を示す回路図である。

30

【図16】本発明の第5の実施例における共振器の周波数特性を示す図である。

【図17】本発明の第6の実施例になる発振器の回路構成を示す回路図である。

【図18】第1の従来の発振器を示す回路図である。

【図19】第2の従来の発振器を示す回路図である。

【図20】従来の発振器におけるゲートドレイン電圧とドレイン電流との対応を示す図である。

【図21】図19の発振器におけるゲート端子とドレイン端子の電圧過渡波形、およびドレイン電流の過渡波形を示す図である。

【図22】第3の従来の発振器を示す回路図である。

【図23】第4の従来の発振器を示す回路図である。

40

【符号の説明】

【0112】

1, 3, 4, 5, 6 ... 共振器、2 ... 差動増幅器、7 ... ロ - パスフィルタ、10 ... MOSトランジスタの動作領域境界線、11 ... Vgs対ドレイン電流特性、12 ... 電源電圧V_{dd}、30, 40, 50 ... ドレイン端子の動作点変化の軌跡、60 ... 並列共振器ユニット、70 ... 直列共振器ユニット、101d, 102d, 103d, 104d, 500 ... 共振器の入力端子、101g, 102g, 103g, 104g ... 共振器の出力端子、101c, 502 ... 共振器の電源側の接続端子、211g, 212g, 213g, 214g ... 共振器の出力端子における交流電圧の周波数特性、211d, 212d, 213d, 214d ... 共振器の入力端子における交流電圧の周波数特性、221g, 222g ... 発振器のゲート端子に

50

おける発振電圧波形、2 2 1 d , 2 2 2 d ... 発振器のドレイン端子における発振電圧波形、2 3 1 d , 2 3 2 d ... 発振器の発振時におけるドレイン電流波形、2 0 1 p ... 共振器の周波數位相特性、3 0 0 ... 共振器の第1直列共振周波数、3 0 1 ... 共振器の直列共振周波数、3 0 2 ... 共振器の第2直列共振周波数、4 0 0 ... ゲートソース間電圧対SNRの特性図、Q 1 , Q 2 ... 差動増幅器を構成するMOSトランジスタ、L p , L s ... インダクタ、C s , C p ... 容量、M ... 相互インダクタ、K ... 相互インダクタの結合係数、I 1 ... テール、トップ電流源、I i n ... 交流電流源、VDD ... 電源電圧、GND ... グラウンド、n - d 1 , n - d 2 ... 入力端子、n - g 1 , n - g 2 ... 出力端子、n - p 1 , n - p 2 ... 電源直結端子、n - a 1 , n - a 2 ... 電源等接続端子。

【 図 1 】

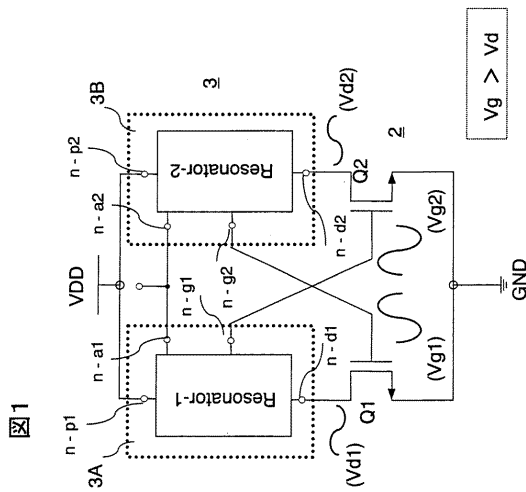


図1

【 図 2 】

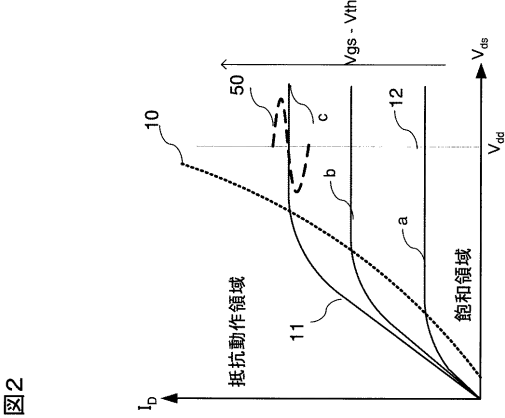


図2

【 図 3 】

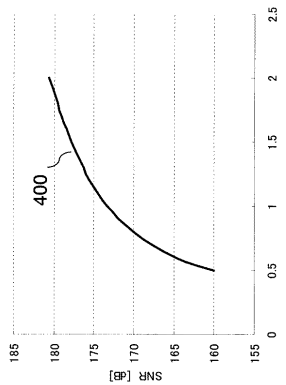


図 3

【 図 4 】

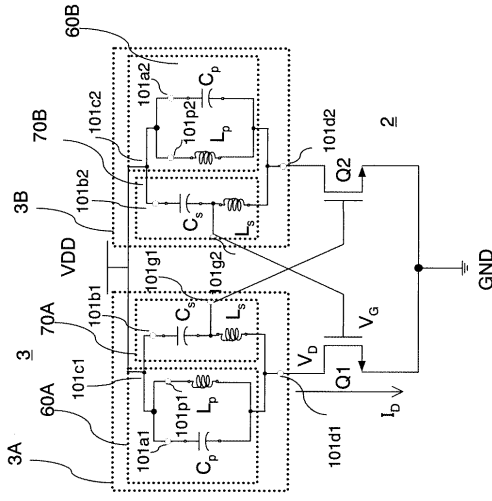


図 4

【 図 5 A 】

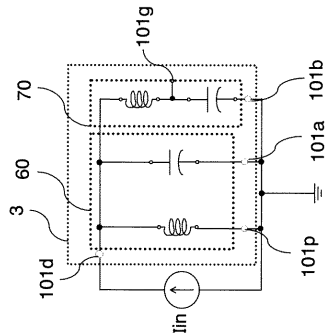


図 5A

【 図 5 B 】

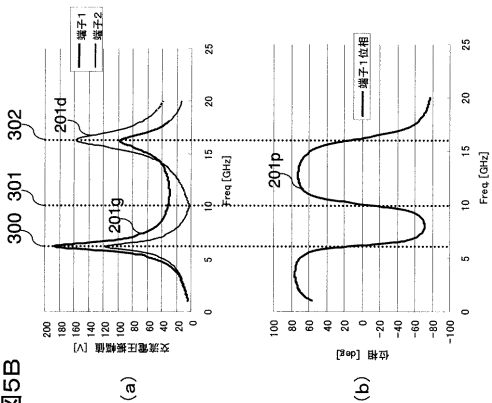


図 5B

【 図 5 C 】

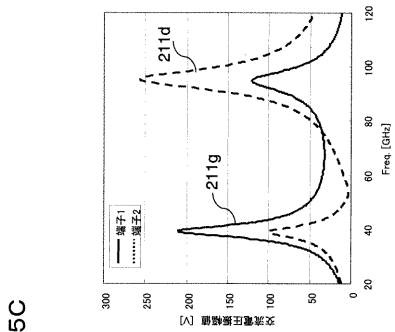


図 5C

【 図 6 】

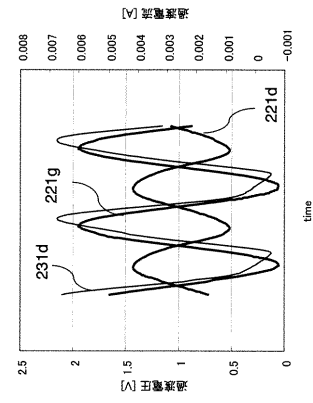


図 6

【 図 7 】

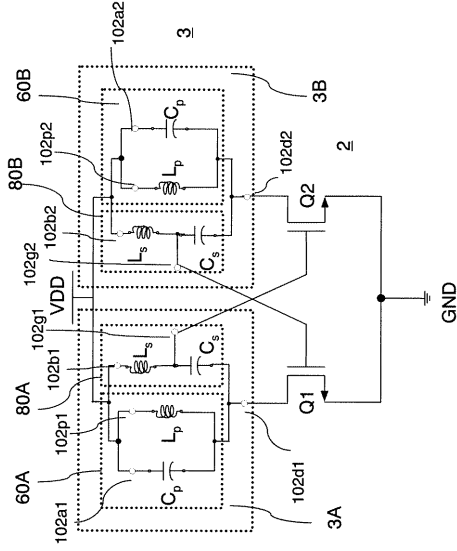


図 7

【 図 10 】

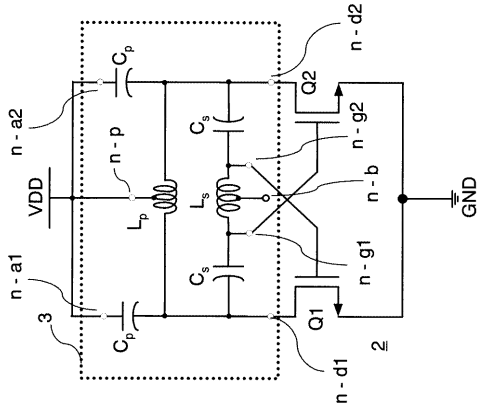


図 10

【 図 8 】

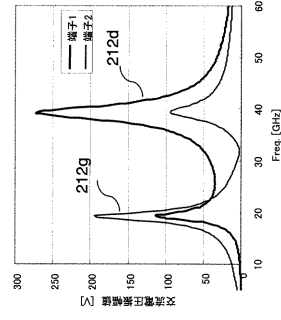


図 8

【 図 9 】

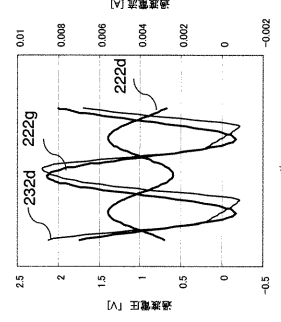


図 9

【 図 11 】

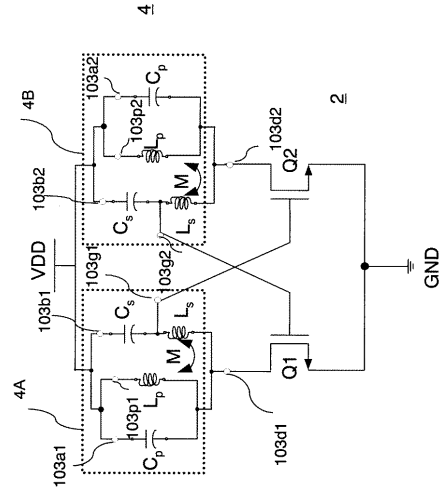


図 11

【 図 1 2 A 】

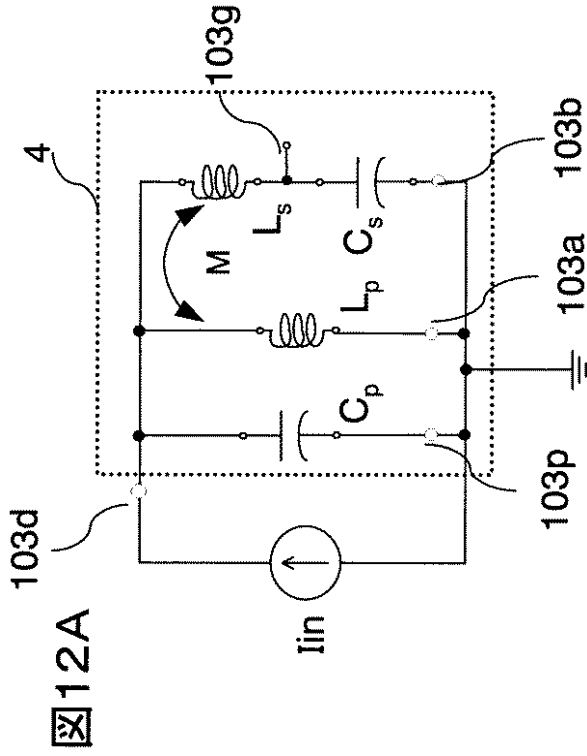


図12A

【 図 1 2 B 】

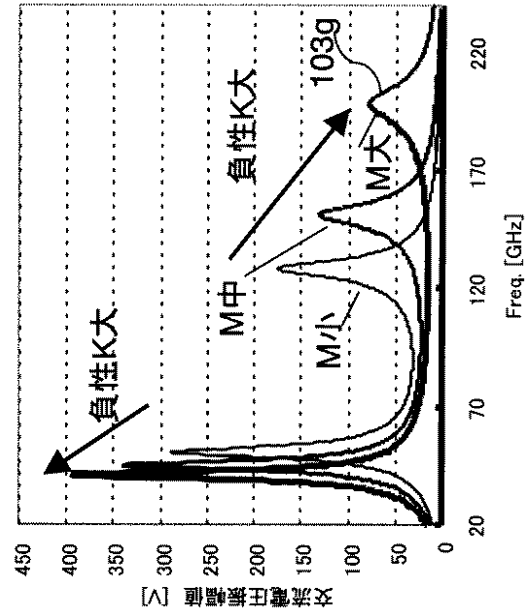


図12B

【 図 1 2 C 】

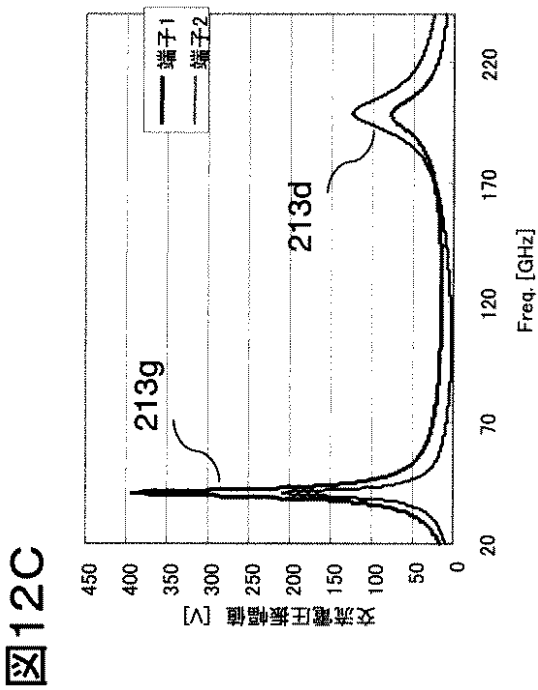


図12C

【 図 1 3 A 】

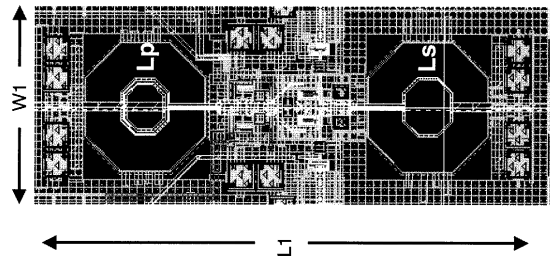


図13A

【 図 1 3 B 】

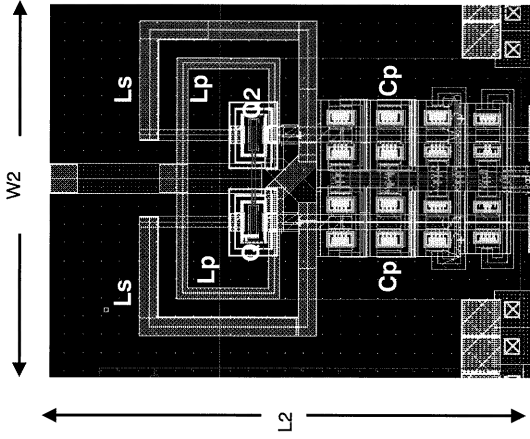


図13B

【 図 1 4 】

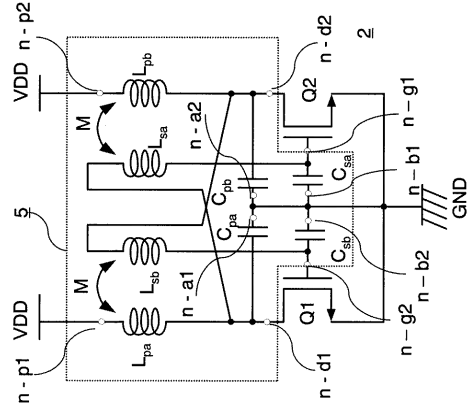


図14

【 図 1 5 】

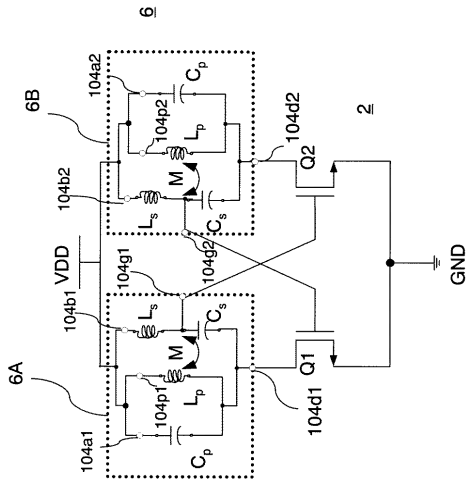


図15

【 図 1 6 】

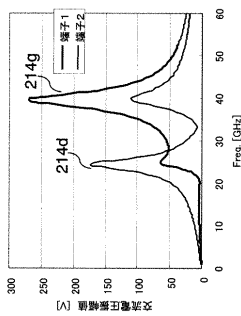


図16

【 図 1 7 】

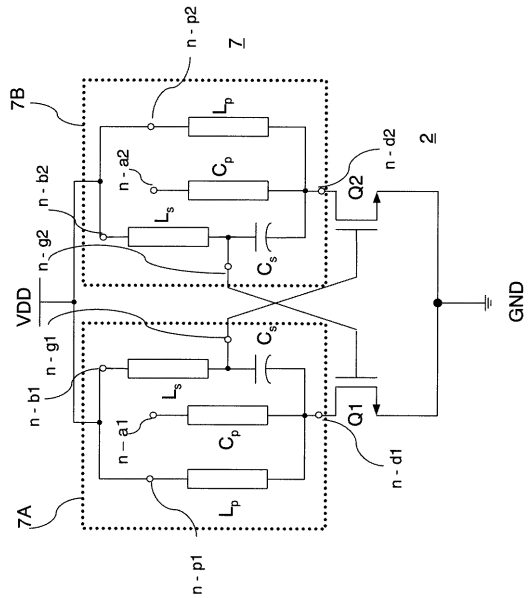
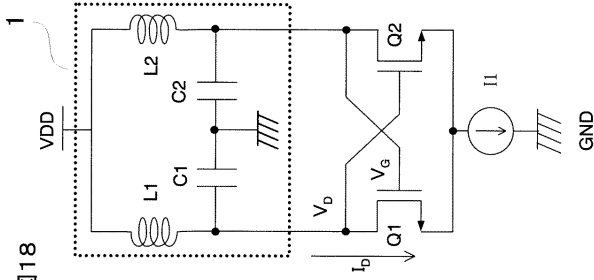
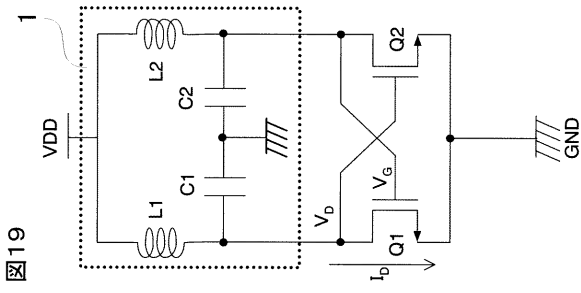


図17

【 図 18 】



【 図 19 】



【 図 20 】

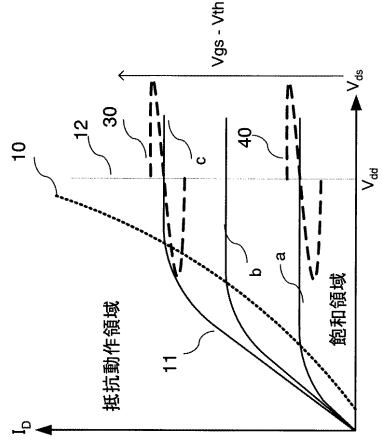


図20

【 図 21 】

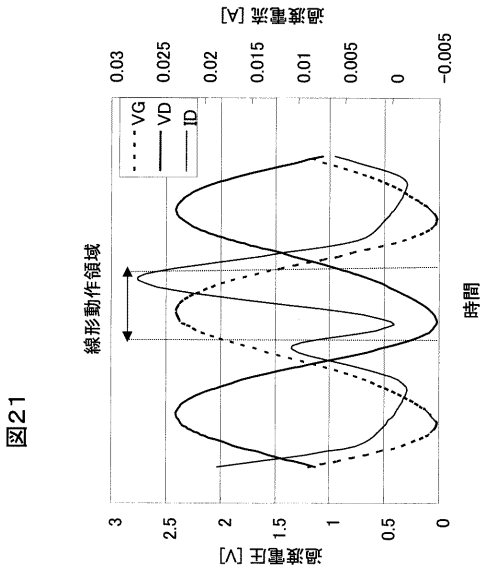


図21

【 図 22 】

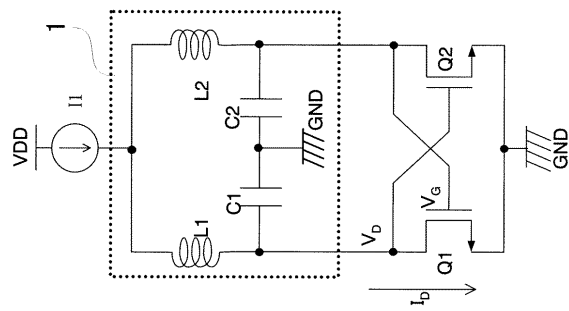


図22

フロントページの続き

(56)参考文献 特開2000-307423(JP,A)
特公昭62-17884(JP,B1)