



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년09월10일

(11) 등록번호 10-2154789

(24) 등록일자 2020년09월04일

(51) 국제특허분류(Int. Cl.)  
G06F 11/10 (2006.01) G06F 12/00 (2016.01)  
(21) 출원번호 10-2014-0010968  
(22) 출원일자 2014년01월29일  
심사청구일자 2019년01월29일  
(65) 공개번호 10-2014-0098702  
(43) 공개일자 2014년08월08일  
(30) 우선권주장  
13/755,717 2013년01월31일 미국(US)  
(56) 선행기술조사문헌  
W02010039874 A1\*  
(뒷면에 계속)

(73) 특허권자  
엘에스아이 코퍼레이션  
미국 캘리포니아 95131, 새너제이, 라이더 파크  
드라이브 1320  
(72) 발명자  
알루시엔 압텔 하킴 에스  
미국 캘리포니아주 95131 산 호세 에메랄드 힐즈  
서클 2288  
리 종왕  
미국 캘리포니아주 94568 더블린 발렌타노 드라이브  
2486  
(뒷면에 계속)  
(74) 대리인  
특허법인 남앤남

전체 청구항 수 : 총 10 항

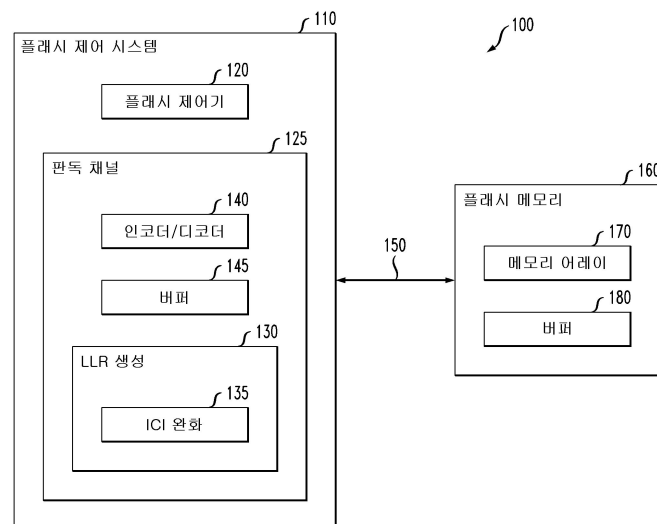
심사관 : 김계준

(54) 발명의 명칭 선택적 이진 및 비-이진 디코딩을 이용한 플래시 메모리에서의 검출 및 디코딩

### (57) 요약

선택적 이진 및 비-이진 디코딩을 이용한 플래시 메모리에서의 검출 및 디코딩을 위한 방법 및 장치가 제공된다. 플래시 메모리 장치로부터의 데이터는 플래시 메모리 장치의 하나 이상의 페이지로부터 복수의 비트에 대한 하나 이상의 관독 값을 획득하고, 특정 패턴이 복수의 비트로부터 관독될 때 주어진 데이터 패턴이 복수의 비트로 기록되는 확률에 기초하여 복수의 비트에 대한 하나 이상의 관독 값을 비-이진 로그 우도비로 변환하며, 비-이진 로그 우도비를 이용하여 복수의 비트를 공동으로 디코딩 - 페이지는 독립적으로 인코딩됨 - 함으로써 처리된다.

### 대표도



(72) 발명자

**하라츠슈 에리히 에프**

미국 펜실베이니아주 18017 베들레헴 바바리 스트리트 5105

**단장 루도비크**

미국 캘리포니아주 95132 산 호세 레이크우드 드라이브 2136

(56) 선행기술조사문헌

JP2010123236 A\*

KR1020110097446 A

WO2013006579 A2

KR1020110135349 A

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

플래시 메모리 장치로부터 데이터를 처리하는 방법으로서,

상기 플래시 메모리 장치의 하나 이상의 페이지로부터 복수의 비트에 대한 하나 이상의 판독 값을 획득하는 단계와,

특정 패턴이 상기 복수의 비트로부터 관측되었을 때 주어진 데이터 패턴이 상기 복수의 비트로 기록되었을 확률에 기초하여 상기 복수의 비트에 대한 상기 하나 이상의 판독 값을 비-이진 로그 우도비(a non-binary log likelihood ratio)로 변환하는 단계와,

상기 비-이진 로그 우도비를 이용하여 상기 복수의 비트를 공동으로 디코딩하는 단계 - 상기 페이지는 독립적으로 인코딩됨 - 를 포함하는

데이터 처리 방법.

#### 청구항 2

제 1 항에 있어서,

신뢰도 값은 로그 우도비, 로그 우도비의 근사치, 및 비트 결정의 신뢰도를 측정하는 신뢰도 값 중 하나 이상을 포함하는

데이터 처리 방법.

#### 청구항 3

제 1 항에 있어서,

상기 페이지는 동일한 이진 생성 행렬(binary generator matrix)을 이용하여 독립적으로 인코딩되는

데이터 처리 방법.

#### 청구항 4

제 1 항에 있어서,

상기 비-이진 로그 우도비는 셀 내 상관 관계(intra-cell correlations)를 캡처하는 메모리 셀 기반 갈루아 필드 값(Galois Field value)을 포함하는

데이터 처리 방법.

#### 청구항 5

제 1 항에 있어서,

상기 데이터 처리 방법은 정상 동작 모드(a normal operating mode)가 주어진 페이지에 대한 상기 복수의 비트 중 하나 이상을 성공적으로 디코딩하지 않은 경우에 개시되는 복구 모드를 포함하는

데이터 처리 방법.

## 청구항 6

제 1 항에 있어서,

상기 특정 패턴이 상기 복수의 비트로부터 판독되었을 때 상기 주어진 데이터 패턴이 상기 복수의 비트로 기록되었을 상기 확률은, 하나 이상의 기준 셀(reference cells), 하나 이상의 이전의 디코딩된 결정, 및 상기 플래시 메모리 장치의 하나 이상의 성능 요소에 기초하여 하나 이상의 테이블로부터 획득되는

데이터 처리 방법.

## 청구항 7

제 1 항에 있어서,

상기 데이터 처리 방법은 정상 모드에서의 개개의 페이지의 이진 디코딩 및 복구 모드에서의 워드라인의 페이지의 비-이진 공동 디코딩을 수행하는 디코딩 시스템 및 하이브리드 검출에 의해 수행되는

데이터 처리 방법.

## 청구항 8

특정 패턴이 복수의 비트로부터 판독되었을 때 주어진 데이터 패턴이 상기 복수의 비트로 기록되었을 확률에 기초하여 플래시 메모리 장치의 하나 이상의 페이지로부터의 상기 복수의 비트에 대한 하나 이상의 판독 값을 비-이진 로그 우도비로 변환하는 신뢰도 유닛과,

상기 비-이진 로그 우도비를 이용하여 상기 복수의 비트를 공동으로 디코딩하는 비-이진 디코더 - 상기 페이지는 독립적으로 인코딩됨 - 를 포함하는

플래시 메모리 시스템.

## 청구항 9

제 8 항에 있어서,

하나 이상의 이진 LLR에 기초하여 하나 이상의 복구된 페이지를 생성하는 하나 이상의 이진 LDPC 디코더를 더 포함하는

플래시 메모리 시스템.

## 청구항 10

제 8 항에 있어서,

하나 이상의 하드웨어 요소를 서로 공유하는 복수의 이진 인코더를 더 포함하는

플래시 메모리 시스템.

## 발명의 설명

## 기술 분야

관련 출원에 대한 교차 참조

[0001]

[0002] 본 출원은 2010년 8월 31일자로 출원되고 발명의 명칭이 “크로스 페이지 섹터, 멀티 페이지 코딩 및 페이지당 코딩을 이용하여 멀티 레벨 셀 플래시 메모리 장치에 데이터를 저장하기 위한 방법 및 장치(Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device With Cross-Page Sectors, Multi-Page Coding And Per-Page Coding)” 인 미국 특허 출원 제12/920,407호, 2011년 3월 14일자로 출원되고 발명의 명칭이 “플래시 메모리에서의 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation in Flash Memories)” 인 미국 특허 출원 제13/063,888호, 2011년 3월 14일자로 출원되고 발명의 명칭이 “참조 셀을 이용한 메모리 장치용 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation for Memory Devices Using Reference Cells)” 인 미국 특허 출원 제13/063,895호, 2011년 3월 14일자로 출원되고 발명의 명칭이 “디코더 성능 피드백을 이용한 메모리 장치용 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation for Memory Devices Using Decoder Performance Feedback)” 인 미국 특허 출원 제13/063,899호, 2011년 3월 14일자로 출원되고 발명의 명칭이 “성능 계수 조정 에 기초한 메모리 장치용 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation for Memory Devices Based on Performance Factor Adjustment)” 인 미국 특허 출원 제13/063,874호, 및 2012년 12월 31일자로 출원되고 발명의 명칭이 “플래시 메모리에서의 다층 검출 및 디코딩(Multi-Tier Detection and Decoding in Flash Memories)” 인 미국 특허 출원 제13/731,551호의 부분 계속 특허 출원이며, 이의 각각은 참조로서 본 명세서에 통합된다.

[0003] 발명의 분야

[0004] 본 발명은 일반적으로 플래시 메모리 장치에 관한 것으로서, 특히 적은 전체 처리 지연으로 플래시 메모리 장치에서 잡음, 셀간 간섭(inter-cell interference(ICI)) 및 다른 왜곡의 영향을 완화하기 위한 개선된 기법에 관한 것이다.

## 배경 기술

[0005] 플래시 메모리 장치와 같은 다수의 메모리 장치는 데이터를 저장하기 위해 아날로그 메모리 셀을 사용한다. 각각의 메모리 셀은 또한 저장 값으로 지칭되는 전하 또는 전압과 같은 아날로그 값을 저장한다. 저장 값은 셀에 저장된 정보를 나타낸다. 플래시 메모리 장치에서, 예를 들어 각 아날로그 메모리 셀은 통상적으로 특정 전압을 저장한다. 각 셀에 대한 가능한 아날로그 값의 범위는 통상적으로 임계 영역으로 분할되며, 각각의 영역은 하나 이상의 데이터 비트 값에 대응한다. 데이터는 원하는 하나 이상의 비트에 대응하는 명목상의 아날로그 값을 기록함으로써 아날로그 메모리 셀에 기록된다.

[0006] 메모리 셀에 저장된 아날로그 값은 종종 왜곡된다. 왜곡은 통상적으로 예를 들어 BPD(back pattern dependency), 잡음 및 셀간 간섭(ICI) 때문이다. 셀 사이의 용량성 결합을 감소시킴으로써 ICI의 영향을 완화하기 위한 다수의 기법이 제안되거나 제시되었다. ICI의 영향을 감소시키기 위한 이용 가능한 방법이 있지만, 이러한 ICI 완화 기법은 플래시 판독 채널에 대한 기록-판독 속도를 불필요하게 손상시키지 않는다는 것이 중요하다. 따라서, 많은 효과적인 신호 처리 및 디코딩 기법은 상당한 고유 처리 지연(inherent processing delay)이 회피된다. 그러나, 상술한 이러한 복잡한 신호 처리 기법은 플래시 장치의 구조가 축소될 때 충분한 디코딩 정확도를 유지하기 위해 판독 채널 디자이너의 능력을 감소시킨다.

[0007] 플래시 메모리 장치에서의 최소 기록 가능한 데이터 단위는 페이지로 지칭된다. 페이지는 최소 판독 가능한 데이터 단위인 판독 채널 에러 정정 코드(ECC)의 몇몇 코드워드를 포함할 수 있다. 메모리 셀 전압으로의 페이지 비트의 매핑에 따라, 동일한 워드라인에 매핑된 페이지에는 보통 여러 간의 중요한 통계적 상관 관계가 있다. 따라서, 다수의 페이지에 걸친 코딩에 대한 이점이 있다는 것이 인식되었다. 그러나, 플래시 메모리 장치에서 높은 기록 및 판독 속도를 유지하기 위해, 페이지는 통상적으로 다른 페이지와는 무관하게 즉석에서(on-the-fly) 기록되고 디코딩된다.

## 발명의 내용

### 해결하려는 과제

[0008] 따라서, 페이지가 독립적으로 인코딩되고, 또한 페이지 실패(page failure)가 실패 페이지를 복구하는 확률을 향상시키기 위해 일어날 경우에 다수의 페이지로 구성되는 워드라인의 디코딩을 지원하면서, 페이지가 정상 동

작 모드에서 즉시 디코딩되는 ECC 설계의 필요성이 존재한다.

### 과제의 해결 수단

- [0009] 일반적으로, 선택적 이진 및 비-이진 디코딩을 이용한 플래시 메모리에서의 검출 및 디코딩을 위한 방법 및 장치가 제공된다. 본 발명의 일 실시예에 따르면, 플래시 메모리 장치로부터의 데이터는 플래시 메모리 장치의 하나 이상의 페이지로부터 복수의 비트에 대한 하나 이상의 관측 값을 획득하고, 특정 패턴이 복수의 비트로부터 관측될 때 주어진 데이터 패턴이 복수의 비트로 기록되는 확률에 기초하여 복수의 비트에 대한 하나 이상의 관측 값을 비-이진 로그 우도비(non-binary log likelihood ratio)로 변환하며, 비-이진 로그 우도비를 이용하여 복수의 비트를 공동으로 디코딩함으로써 처리되며, 페이지는 독립적으로 인코딩된다.
- [0010] 본 발명의 추가의 특징, 양태, 실시예 및 이점뿐만 아니라 본 발명의 더욱 완전한 이해는 다음의 상세한 설명, 청구 범위 및 도면을 참조하여 획득될 것이다.

### 도면의 간단한 설명

- [0011] 도 1은 본 발명에 따른 검출 및 디코딩 기법을 통합하는 예시적인 플래시 메모리 시스템의 개략적인 블록도이다.
- 도 2는 멀티 레벨 셀(MLC) 플래시 메모리 장치에서의 예시적인 플래시 셀 어레이를 더욱 상세히 도시한다.
- 도 3은 다수의 어그레스어(aggressor) 셀로부터의 기생 커패시턴스로 인해 타겟 셀에 존재하는 ICI를 도시한다.
- 도 4는 본 발명의 양태에 따른 검출 및 디코딩 기법을 통합한 플래시 메모리 시스템의 예시적인 구현의 개략적인 블록도이다.
- 도 5는 예시적인 정상 모드의 검출 및 디코딩 프로세스를 설명하는 흐름도이다.
- 도 6은 예시적인 이진 복구 모드 검출 및 디코딩 프로세스를 설명하는 흐름도이다.
- 도 7은 예시적인 대안적 비-이진 복구 모드 검출 및 디코딩 프로세스를 설명하는 흐름도이다.
- 도 8은 본 발명의 양태를 통합하는 예시적인 하이브리드 검출 및 디코딩 시스템의 블록도이다.
- 도 9는 본 발명의 양태를 통합하는 예시적인 하이브리드 인코딩 및 디코딩 시스템의 간략화된 블록도이다.
- 도 10은 각 워드라인 내에 예시적인 LSB 및 MSB 페이지를 가진 예시적인 2 레벨 셀 메모리 장치를 도시한다.
- 도 11은 주어진 셀 값에 대한 전이 확률(transition probability)을 나타내는 수집된 인트라 워드라인 통계를 기록하는 예시적인 비트 전이 확률 테이블을 도시한다.
- 도 12(a) 및 12(b)는 LLR을 매핑하는 데 사용하기 위한 심볼 독립 매핑 및 심볼 의존 매핑을 나타낸다.

### 발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명의 다양한 양태는 신호 처리 기법, 특히 단일 레벨 셀 또는 멀티 레벨 셀(MLC) NAND 플래시 메모리 장치와 같은 메모리 장치에서 ICI 및 다른 왜곡을 완화하기 위한 검출 및 코딩 기법에 대한 것이다. 본 명세서에서 사용되는 바와 같이, 멀티 레벨 셀 플래시 메모리는 각각의 메모리 셀이 2 이상의 비트를 저장하는 메모리를 포함한다. 통상적으로, 하나의 플래시 셀에 저장된 다수의 비트는 서로 다른 페이지에 속한다. 본 발명이 아날로그 값을 전압으로서 저장하는 메모리 셀을 이용하여 본 명세서에 예시되지만, 본 발명은 당업자에게는 자명하듯이 저장된 데이터를 나타내기 위한 전압 또는 전류의 사용과 같이 플래시 메모리에 대한 어떤 저장 메커니즘으로 사용될 수 있다.
- [0013] 본 발명의 양태는 플래시 관측 채널에 대한 관측 속도를 불필요하게 손상시키지 않는 에러 처리를 검출 및 디코딩 기법에 제공한다. 본 발명의 일 양태에 따르면, 이웃하는 비트 사이의 에러 상관 관계에 대해 설명하는 검출 및 디코딩 기법이 제공된다. 주어진 비트에 대한 로그 우도비(LLR)는 특정 패턴이 관측될 때 주어진 데이터 패턴이 하나 이상의 비트로 기록되는 확률에 기초하여 정상 모드에서 생성된다. 로그 우도비는 특정 패턴이 복수의 비트로부터 관측될 때 주어진 데이터 패턴이 복수의 비트로 기록되는 확률에 기초하여 정상 모드에서 생성

된다. 본 명세서에서 사용되는 바와 같이, 용어 "ICI 완화"는 ICI 및 다른 왜곡의 완화를 포함한다. 또한, 용어 "LLR"는 또한 LLR의 근사치, 신뢰도 값 또는 신뢰도에 대한 다른 측정치를 포함한다.

- [0014] 본 발명의 일 양태에 따르면, 플래시 장치에서 실패된 페이지는 개개의 페이지가 독립적으로 인코딩될 지라도 주어진 워드라인에서 다수의 페이지의 공동 디코딩에 의해 복구될 수 있다. 아래에서 더 논의되는 바와 같이, 본 발명의 양태는 페이지가 동일한 이진 생성 행렬을 이용하여 인코딩하는 한, 0이 아닌 모든 요소가 단위 갈루아 필드 요소(unity Galois field element)임을 고려하면 디코딩을 위해 대응하는 개개의 패리티 검사 행렬은 단일 비-이진 패리티 검사 행렬로 결합될 수 있다는 것을 인식한다. 더욱이, 워드라인 당 두 페이지에 대해서만 본 명세서에서 일례가 주어지지만, 동일한 접근 방식이 디코더의 수가 페이지의 수와 동일하도록 이진 LDPC 디코더를 복제함으로써 당업자에 의해 워드라인 당 많은 페이지에 적용될 수 있다. 게다가, 동일한 접근 방식이 어떤 측정 가능한 방식으로 상관되는 서로 다른 워드라인의 많은 페이지에 적용될 수 있다.
- [0015] 예시적인 일 실시예에서, 주어진 페이지는 주어진 페이지에 대응하는 패리티 검사 행렬을 이용하여 정상 동작 모드 동안에 즉석에서 독립적으로 디코딩된다. 페이지가 정상 모드 동안에 디코딩하는데 실패하면, 동일한 워드라인에서의 추가적인 페이지가 판독되고, 워드라인에 대한 심볼 신뢰도가 생성되어 LDPC 디코더로 전달된다. 다른 실시예에서, 페이지가 정상 모드에서 디코딩하는데 실패할 때, 현재 워드라인에서 ICI를 생성시키는 다른 워드라인에서의 추가적인 페이지가 또한 판독되고, 심볼 확률은 LDPC 디코더로 전달된다. 본 발명의 추가의 양태에 따르면, LDPC 디코더는 개시된 비-이진 패리티 검사 행렬의 구조로 인해 개개의 페이지 디코딩 및 공동 워드라인 디코딩의 둘 다를 지원하는 하이브리드 디코더이다.
- [0016] 도 1은 본 발명의 양태에 따라 잡음 및 ICI 완화 기법을 통합하는 예시적인 플래시 메모리 시스템(100)의 개략적인 블록도이다. 도 1에 도시된 바와 같이, 예시적인 플래시 메모리 시스템(100)은 인터페이스(150)에 의해 연결되는 플래시 제어 시스템(110) 및 플래시 메모리 블록(160)을 포함한다. 예시적인 플래시 제어 시스템(110)은 플래시 제어기(120) 및 판독 채널(125)을 포함한다. 더욱이, 판독 채널(125)은 추가로 인코더/디코더(140), 버퍼(145) 및 LLR 생성 블록(130)을 포함한다. 최종으로, LLR 생성 블록(130)은 추가로 ICI 완화 블록(135)을 포함한다.
- [0017] 도 4와 함께 아래에 더 논의되는 바와 같이, 예시적인 플래시 제어기(120)는 본 발명의 양태를 통합하는 (도 5-7과 함께 아래 더 논의되는) 하나 이상의 검출 및 디코딩 프로세스를 구현한다.
- [0018] 예시적인 판독 채널(125)은 인코더/디코더 블록(140) 및 하나 이상의 버퍼(145)를 포함한다. 용어 "판독 채널"은 또한 기록 채널을 포함할 수 있다는 것이 주목된다. 대안적인 실시예에서, 인코더/디코더 블록(140) 및 일부 버퍼(145)는 플래시 제어기(120) 내부에서 구현될 수 있다. 본 발명의 특징 및 기능을 제공하기 위해 본 명세서에서 수정되는 바와 같이, 인코더/디코더 블록(140) 및 버퍼(145)는 예를 들어 상업적으로 이용 가능한 잘 알려진 기법 및/또는 제품을 이용하여 구현될 수 있다.
- [0019] 일반적으로, 도 4-7과 함께 아래 더 논의되는 바와 같이, 예시적인 LLR 생성 블록(130)은 단일 비트 하드(hard) 값 및/또는 양자화된 멀티 비트 소프트(soft) 값과 같은 하나 이상의 판독 값을 플래시 메모리(160)로부터 처리하고, 예시적인 저밀도 패리티 검사(LDPC) 디코더와 같은 디코더(140)에 적용되는 LLR 값을 생성한다.
- [0020] 일반적으로, 도 4-7과 함께 아래 더 논의되는 바와 같이, 예시적인 ICI 완화 블록(135)은 LLR 시퀀스를 생성하는데 물리적으로 인접하는 셀 사이의 간섭을 설명하는 LLR 생성 블록(130)의 특화된 기능(specialized function)이다.
- [0021] 예시적인 플래시 메모리 블록(160)은 메모리 어레이(170) 및 하나 이상의 버퍼(180)를 포함하며, 이는 각각 상업적으로 이용 가능한 잘 알려진 기법 및/또는 제품을 이용하여 구현될 수 있다.
- [0022] 개시된 검출 및 디코딩 기법의 다양한 실시예에서, 예시적인 인터페이스(150)는 어그레서 셀과 관련된 정보를 나타내는 값과 같은 종래의 플래시 메모리 시스템에 대해 추가적인 정보를 전달하는데 필요할 수 있다. 따라서, 인터페이스(150)는 종래의 플래시 메모리 시스템의 인터페이스보다 더 높은 용량 또는 더 빠른 속도를 갖는데 필요할 수 있다. 한편, 다른 실시예에서, 이러한 추가적인 정보는 추가적인 지연을 초래하는 순차적인 방식으로 플래시 제어기(120)에 전달된다. 그러나, 이러한 추가적인 지연은 특히 드물게 발생하기 때문에 전체적인 지연을 증가시키지 않는다. 추가적인 용량을 원할 경우, 인터페이스(150)는 예를 들어 2009년 6월 30일 출원되고 발명의 명칭이 "플래시 메모리 컨트롤러 및 플래시 메모리 어레이 간의 인터페이싱을 위한 방법 및 장치(Methods and Apparatus for Interfacing Between a Flash Memory Controller and a Flash Memory Array)"인 PCT 국제 특허 출원 번호 PCT/US09/49328의 교시에 따라 선택적으로 구현될 수 있으며, 이는 참조로서 본 명



세서에 통합되고, 예를 들어 DDR(Double Data Rate) 기법을 이용하여 인터페이스(150)의 정보 반송 용량을 증대시킨다.

[0023] 기록 동작 동안, 인터페이스(150)는 통상적으로 페이지 또는 워드라인 레벨 액세스 기법을 이용하여 타겟 셀에 저장될 프로그램 값을 전송한다. 예시적인 페이지 또는 워드라인 레벨 액세스 기법의 더욱 상세한 논의를 위해, 예를 들어 2009년 3월 11일 출원되고 발명의 명칭이 "크로스 페이지 섹터, 멀티 페이지 코딩 및 페이지당 코딩을 이용하여 멀티 레벨 셀 플래시 메모리 장치에 데이터를 저장하기 위한 방법 및 장치(Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding and Per-Page Coding)"인 국제 특허 출원 번호 PCT/US09/36110를 참조하며, 이는 참조로서 본 명세서에 통합된다.

[0024] 판독 동작 동안, 인터페이스(150)는 타겟 및/또는 어그레서 셀에 대한 메모리 어레이(170)로부터 획득된 하드 및/또는 소프트 판독 값을 전송한다. 예를 들면, 타겟 셀을 이용한 페이지에 대한 판독 값 이외에, 이웃한 워드라인 또는 이웃한 짝수 또는 홀수 비트 라인에서 하나 이상의 이웃한 페이지에 대한 판독 값은 인터페이스(150)를 통해 전송된다. 도 1의 실시예에서, 개시된 검출 및 디코딩 기법은 통상적으로 가장 낮은 영역을 달성하기 위해 논리 회로에 최적화된 프로세스 기술로 플래시 메모리(160)의 외부에서 구현된다. 그러나, 그것은 인터페이스(150)상에서 전송되어야 하는 추가적인 어그레서 셀 데이터를 희생시킨다.

[0025] 도 2는 멀티 레벨 셀(MLC) 플래시 메모리 장치(160)에서의 예시적인 플래시 셀 어레이(200)를 더욱 상세히 도시한다. 도 2에 도시된 바와 같이, 예시적인 플래시 셀 어레이(200)는 플래시 셀( $c_i$ ) 당 3 비트를 저장한다. 도 2는 각 예시적인 셀이 통상적으로 3 비트를 저장하는 부동 게이트 트랜지스터에 대응하는 하나의 블록을 위한 플래시 셀 어레이 구조를 도시한다. 예시적인 셀 어레이(200)는  $m$  워드라인 및  $n$  비트라인을 포함한다. 통상적으로, 현재 멀티 페이지 셀 플래시 메모리에서, 단일 셀 내의 비트는 서로 다른 페이지에 속한다. 도 2의 예에서, 각 셀에 대한 3 비트는 3개의 서로 다른 페이지에 대응하고, 각 워드라인은 3 페이지를 저장한다. 다음의 논의에서, 페이지 0, 1, 2는 워드라인 내에서 하위, 중간 및 상위 페이지 레벨로 지칭된다.

[0026] 상술한 바와 같이, 플래시 셀 어레이는 짝수 및 홀수 페이지로 더 분할될 수 있으며, 여기서 예를 들어 (도 2에서 셀(2 및 4)과 같은) 짝수 번호를 가진 셀은 짝수 페이지에 대응하고, (도 2에서 셀(1 및 3)과 같은) 홀수 번호를 가진 셀은 홀수 페이지에 대응한다. 이 경우에, (페이지 0과 같은) 페이지는 짝수 셀에서의 짝수 페이지(짝수 페이지 0) 및 홀수 셀에서의 홀수 페이지(홀수 페이지 0)를 포함한다.

[0027] 예를 들어 2 레벨 셀에서, 각 셀은 2 비트를 저장한다. 예시적인 일 구현에서, 셀의 비트가 2개의 서로 다른 페이지에 속하는 Gray 매핑{11, 01, 00, 10}이 사용된다. 각 셀의 2개의 페이지에 대한 비트는 종종 최하위 비트(LSB) 및 최상위 비트(MSB)로 지칭된다. 예를 들면, 셀 당 2 비트 플래시 셀에 저장되는 패턴 01에 대해, "1"은 LSB 또는 하위 페이지를 나타내고, "0"은 MSB 또는 상위 페이지를 나타낸다. 플래시 메모리 장치의 실험 연구는 에러 이벤트 "01" → "10"가 장치 수명의 말기에 발생 확률이 높다는 것을 나타낸다. 게다가, 가산성 백색 가우스 잡음(AWGN) 모델에 기초하여, MSB 페이지는 종종 LSB 페이지에 비해 더 높은 비트 에러율(BER)을 나타낸다. 따라서, 한 페이지를 판독하는 것은 다른 페이지의 BER을 향상시킨다는 것이 발견되었다.

[0028] 따라서, MSB 및 LSB 에러는 새로운 플래시 메모리 장치에 대한 장치 수명의 끝에 통계적 상관 관계를 갖는 것으로 알려져 있다. 따라서, 본 발명의 양태는 또한 정상 모드의 이진 필드에서 독립적으로 LSB 및 MSB 페이지를 디코딩할 수 있으면서 복구 모드에서 주어진 워드라인의 LSB 및 MSB 페이지의 비-이진 필드에서 공동 디코딩을 제공한다.

[0029] 셀 간 간섭

[0030] ICI는 셀 사이의 기생 커패시턴스의 결과이고, 일반적으로 가장 눈에 띄는 왜곡의 소스 중 하나일 것으로 고려된다. 도 3은 다수의 예시적인 어그레서 셀(320)로부터의 기생 커패시턴스로 인해 타겟 셀(310)에 존재하는 ICI를 도시한다. 다음의 표기는 도 3에 사용된다.

[0031] WL: 워드라인,

[0032] BL: 비트라인,

[0033] BLo: 홀수 비트라인,

[0034] BLe: 짝수 비트라인, 및



[0035] C: 커패시턴스.

[0036] 본 발명의 양태는 타겟 셀(310)이 프로그래밍된 후에 프로그래밍되는 어그레서 셀(320)에 의해 ICI가 발생된다는 것을 인식한다. ICI는 타겟 셀(310)의 전압  $V_t$ 을 변경시킨다. 예시적인 일 실시예에서, "상향식(bottom up)" 프로그래밍 방식이 가정되고, 워드라인  $i$  및  $i+1$ 의 인접한 어그레서 셀은 타겟 셀(310)에 대해 ICI를 발생시킨다. 블록의 이러한 상향식 프로그래밍을 이용하여, 하위 워드라인  $i-1$ 으로부터의 ICI가 제거되고, 도 3에 도시된 바와 같이 최대 5개의 이웃한 셀이 어그레서 셀(320)로서 ICI에 기여한다. 그러나, 본 명세서에 개시된 기법은 당업자에게는 자명하듯이 워드라인  $i-1$ 과 같은 다른 워드라인으로부터의 어그레서 셀이 또한 ICI에 기여하는 케이스로 일반화될 수 있다는 것이 주목된다. 워드라인  $i-1$ ,  $i$  및  $i+1$ 으로부터의 어그레서 셀이 ICI에 기여할 경우, 최대 8개의 가장 가까운 이웃한 셀이 고려된다. ICI에 대한 기여가 무시할 수 있을 경우에 타겟 셀로부터 더 떨어진 다른 셀은 무시될 수 있다. 일반적으로, 어그레서 셀(320)은 주어진 타겟 셀(310) 후에 프로그래밍되는 어그레서 셀(320)을 식별하기 위해 (상향식 또는 짝수/홀수 기법과 같은) 프로그래밍 시퀀스 방식을 분석함으로써 식별된다.

[0037] 타겟 셀(310)에 대해 어그레서 셀(320)에 의해 발생된 ICI는 다음과 같은 예시적인 실시예에서 모델링될 수 있다:

$$\Delta V_{ICI}^{(i,j)} = k_x \Delta V_t^{(i,j-1)} + k_x \Delta V_t^{(i,j+1)} + k_y \Delta V_t^{(i+1,j)} + k_{xy} \Delta V_t^{(i+1,j-1)} + k_{xy} \Delta V_t^{(i+1,j+1)} \quad (1)$$

[0038]  $\Delta V_t^{(w,b)}$ 는 어그레서 셀(w,b)의  $V_t$  전압의 변화이고,  $\Delta V_{ICI}^{(i,j)}$ 는 ICI로 인한 타겟 셀(i,j)의  $V_t$  전압의 변화이며,  $k_x$ ,  $k_y$  및  $k_{xy}$ 는 x, y 및 xy 방향에 대한 용량성 결합 계수이다.

[0039] 일반적으로,  $V_t$ 는 셀에 저장되고 판독 동작 중에 획득된 데이터를 나타내는 전압이다.  $V_t$ 는 예를 들어 워드라인에서의 모든 페이지가 판독될 때 셀 당 저장된 비트의 수보다 더 정확하거나, 워드라인에서의 하나의 페이지만이 판독될 때 2 이상의 비트를 가진 소프트 전압 값, 또는 워드라인에서의 모든 페이지가 판독될 때 셀 당 저장된 비트의 수(예를 들어, 3 비트/셀 플래시에 대한 3 비트)와 동일한 해상도를 가진 하드 전압 레벨로 양자화된 값, 또는 워드라인에서의 하나의 페이지만이 판독될 때 하나의 하드 비트로 양자화된 값으로 판독 동작에 의해 획득될 수 있다.

[0040] 플래시 메모리 장치에서의 왜곡에 대한 더욱 상세한 논의를 위해, 예를 들어, J.D. Lee 등, "NAND 플래시 메모리 셀 동작에 대한 플로팅 게이트 인터페이스의 영향(Effects of Floating-Gate Interference on NAND Flash Memory Cell Operation)," IEEE Electron Device Letters, 264-266 (2002년 5월) 또는 Ki-Tae Park 등, "MLC NAND 플래시 메모리를 위한 임시 LSB 저장 및 병렬 MSB 프로그램 방안을 가진 제로잉 셀 대 셀 간섭 페이지 아키텍처(A Zeroing Cell-to-Cell Interference Page Architecture With Temporary LSB Storing and Parallel MSB Program Scheme for MLC NAND Flash Memories)," IEEE J. of Solid State Circuits, Vol. 43, No. 4, 919-928, (2008년 4월)를 참조하며, 이의 각각은 참조로서 본 명세서에 통합된다.

[0041] 도 4는 본 발명의 양태에 따른 검출 및 디코딩 기법을 통합한 플래시 메모리 시스템(400)의 예시적인 구현의 개략적인 블록도이다. 도 4에 도시된 바와 같이, 1 이상의 판독 값은 플래시 메모리(160)의 메모리 어레이(170)로부터 획득된다. 판독 값은 예를 들어 하드 값 또는 소프트 값일 수 있다. 예를 들면, 정상 모드에서, 판독 값은 주어진 페이지에서 적어도 하나의 비트에 대해 획득된다.

[0042] 정상 모드 또는 복구 모드와 같이 주어진 처리 모드에서, 예시적인 LLR 생성 블록(420)은 단일 비트 하드 값 및/또는 양자화된 멀티 비트 소프트 값과 같은 판독 값을 플래시 메모리(160)로부터 처리하고, 예시적인 LPDC 디코더(430)에 적용되는 LLR 값을 생성한다. 예시적인 검출 및 디코딩의 각 모드에 대한 예시적인 LLR 생성 블록(420)에 의해 수행된 LLR 생성은 명칭이 "LLR 생성"인 섹션에서 아래에 더 논의된다.

[0043] 예시적인 플래시 제어기(425)는 본 발명의 양태를 통합하는 (도 5-7과 함께 아래에 더 논의되는) 하나 이상의 검출 및 디코딩 프로세스를 구현한다. 게다가, 아래에 더 논의되는 바와 같이, 예시적인 LPDC 디코더(430)는 예시적인 LLR 생성 블록(420)에 의해 생성된 LLR을 처리하고, 하드 결정(hard decision) 버퍼(440)에 저장되는 하드 결정을 제공한다.

- [0045] 아래에 더 논의되는 바와 같이, 예를 들어 판독 값이 성공적으로 디코딩될 때까지 예시적인 LDPC 디코더(430)는 반복적으로 LLR 값을 디코딩할 수 있다. LDPC 디코더(430) 내부의 반복은 로컬 반복(local iteration)으로 지칭된다. 이러한 로컬 반복에서, LLR은 메시지 전달 알고리즘 중 하나 이상의 반복을 이용하여 LDPC 디코더 내부에서 업데이트된다. 게다가, 아래에 더 논의되는 바와 같이, 예시적인 복구 모드에서, 예시적인 LLR 생성 블록(420) 및 예시적인 LDPC 디코더(430)는 판독 값이 성공적으로 디코딩될 때까지 글로벌 반복할 수 있다. 글로벌 반복에서, LLR 생성 블록(420)은 LLR을 LDPC 디코더(430)에 제공한다. LDPC 디코더(430) 내의 로컬 반복 후, LDPC 디코더(430)는 업데이트된 LLR을 LLR 생성 블록(420)에 제공한다. LLR 생성 블록(420)은 LDPC 디코더(430)로부터 이러한 LLR을 이용하여 LDPC 디코더(430)에 제공되는 업데이트된 LLR을 계산한다. LLR의 한 루프는 LLR 생성 블록(420)을 통해 업데이트하고, LDPC 디코더(430)는 하나의 글로벌 반복이라 한다. 반복 검출 및 디코딩 시스템에서, 몇몇 로컬 및/또는 몇몇 글로벌 반복은 코드워드에 대응하는 데이터가 성공적으로 검출되고 디코딩되었을 때까지 수행된다. 로컬 및 글로벌 반복을 이용하여 반복 검출 및 디코딩에 대한 더욱 상세한 논의를 위해, 예를 들어 2011년 3월 14일 출원되고 발명의 명칭이 "플래시 메모리에서의 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation in Flash Memories)"인 미국 특허 출원 제 13/063,888호를 참조하며, 이는 참조로서 본 명세서에 통합된다.
- [0046] 도 5는 본 발명의 양태를 통합하는 예시적인 이진 정상 모드의 검출 및 디코딩 프로세스(500)를 설명하는 흐름도이다. 일반적으로, 정상 모드 동안에, 플래시 메모리(160)는 하드 출력만을 제공한다. 상술한 바와 같이, 페이지별 액세스 방식은 동일한 워드라인의 다른 페이지에 관한 추가적인 정보가 필요하지 않도록 정상 모드 동안에 사용된다. 게다가, LDPC 디코더(430)는 글로벌 반복을 사용하지 않는다. 따라서, 이하에서 논의되는 바와 같이, 이진 LLR은 현재 페이지의 관측된 데이터 또는 에러 통계에 기초한 계산을 이용하여 획득된다.
- [0047] 도 5에 도시된 바와 같이, 예시적인 정상 모드의 검출 및 디코딩 프로세스(500)는 처음에 단계(510) 동안에 메모리 어레이(170)로부터  $i$  번째 페이지에 대한 하드 출력을 획득한다. 그 후, 예시적인 정상 모드의 검출 및 디코딩 프로세스(500)는 단계(520) 동안에  $i$  번째 페이지에서  $j$  번째 비트에 대한 하드 출력을 LLR 값으로 매핑하기 위해 LLR 생성 블록(420)을 사용한다. 이러한 매핑 동작은 LLR이 하드 출력에 기초하여 계산되는 특정 테이블 또는 수학적 연산을 이용하여 구현된다. 정상 모드 동안에 LLR 생성에 적절한 기법에 대한 더욱 상세한 논의를 위해, 예를 들어 2012년 12월 31일 출원되고 발명의 명칭이 "플래시 메모리에서의 다층 검출 및 디코딩(Multi-Tier Detection and Decoding in Flash Memories)"인 미국 특허 출원 제 13/063,551호, 2012년 12월 31일 출원되고 발명의 명칭이 "이웃 비트의 정정을 이용한 플래시 메모리에서의 검출 및 디코딩(Detection and Decoding in Flash Memories Using Correlation of Neighboring Bits)"인 미국 특허 출원 제 13/731,766호, 및/또는 2011년 3월 14일 출원되고 발명의 명칭이 "플래시 메모리에서의 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation in Flash Memories)"인 미국 특허 출원 제 13/063,888호를 참조하며, 이는 참조로서 본 명세서에 통합된다.
- [0048]  $i$  번째 페이지에 대해 생성된 LLR 값은 단계(530) 동안 메시지 전달(MP) 디코딩을 위한 LDPC 디코더(430)에 적용된다. LDPC 디코더(430)는 선택적으로 로컬 반복(560)을 사용한다.
- [0049] 단계(540) 동안에, 테스트는 디코딩이 성공적인지를 판단하기 위해 수행된다. 단계(540) 동안, 디코딩이 성공적인 것으로 결정되면, 페이지 카운터  $i$ 는 단계(550) 동안에 다음 페이지를 처리하기 위해 증가된다. 그러나, 단계(540) 동안, 디코딩이 성공적이지 않은 것으로 결정되면, 예시적인 정상 모드의 검출 및 디코딩 프로세스(500)는 종료하거나, 이진 복구 모드(600)(도 6) 또는 비-이진 복구 모드(700)(도 7)를 개시한다.
- [0050] 플래시 장치(160)의 라이프 사이클의 시작에서나 플래시 장치(160) 내의 양호한 블록에 대해, 에러가 일반적으로 덜 심각할 때, 이진 복구 모드(600)는 더욱 빠르고 충분한 에러율 성능을 제공한다. 그러나, 플래시 장치(160)의 라이프 사이클의 끝에서나 플래시 장치(160) 내의 불량한 블록에 대해, 비트 에러는 더욱 심각하고 동일한 워드라인에서의 페이지 사이에 상당히 더 많은 상관 관계가 있다. 따라서, 에러 상관 관계가 검출 및 비-이진 디코딩의 둘 다에 대해 설명될 때 비-이진 복구 모드(700)는 이진 복구 모드(600)보다 더 바람직하다. 더욱이, 비-이진 복구 모드(700)는 동일한 워드라인에서 모든 페이지에 대한 하드 결정을 동시에 생성하며, 이는 동작의 모드를 순차적으로 판독하는데 유용하다. 플래시 메모리 장치(160)의 라이프 사이클의 끝에서나 플래시 메모리 장치 내의 불량한 블록에 대해서와 같은 어떤 상황의 경우, 플래시 제어 시스템은 먼저 정상 모드의 검출 및 디코딩 프로세스(500) 또는 이진 복구 모드의 검출 및 디코딩 프로세스(600)를 시도하지 않고 직접 비-이진 복구 모드(700)에 들어갈 수 있다.
- [0051] 도 6과 함께 아래에 더 논의되는 바와 같이, 복구 모드(600, 700)가 끝나면, 프로그램 제어는 다음 페이지를 처

리하기 위해 단계(550)로 복귀한다.

- [0052] 도 6은 본 발명의 양태를 통합하는 예시적인 이진 복구 모드의 검출 및 디코딩 프로세스(600)를 설명하는 흐름도이다. 일반적으로, 복구 모드 동안에, 플래시 메모리(160)는 워드라인의 다른 페이지가 관독되는 워드라인(셀) 액세스 기법을 이용하여 하드 출력만을 제공한다. LLR은 현재 페이지  $i$  및 동일한 워드라인의 하나 이상의 다른 페이지로부터의 하드 출력에 기초하여 계산된다. 이러한 LLR은 예시적인 이진 복구 모드의 검출 및 디코딩 프로세스(600)에 의해 이용된다. 게다가, LDPC 디코더(430)는 (선택적으로 프로그램 가능한) 하나 이상의 글로벌 반복을 사용한다.
- [0053] 도 6에 도시된 바와 같이, 예시적인 이진 복구 모드의 검출 및 디코딩 프로세스(600)는 처음에  $i$  번째 페이지(단계(605)) 및 동일한 워드라인의 하나 이상의 다른 페이지(단계(607))에 대한 하드 출력을 획득한다.  $i$  번째 페이지에 대한 하드 출력은 여전히 단계(510)에서 이용할 수 있으며, 따라서 재사용될 수 있다. 그 다음, 먼저 예시적인 복구 모드의 검출 및 디코딩 프로세스(600)는 단계(610) 동안에 현재  $i$  번째 페이지 및 동일한 워드라인의 하나 이상의 다른 페이지에 대한 하드 출력에 기초하여 현재 워드라인의  $i$  번째 페이지에 대한 LLR을 계산한다. 이진 복구 모드 동안에 LLR 생성에 적절한 기법에 대한 더욱 상세한 논의를 위해, 예를 들어 2012년 12월 31일 출원되고 발명의 명칭이 "플래시 메모리에서의 다층 검출 및 디코딩(Multi-Tier Detection and Decoding in Flash Memories)"인 미국 특허 출원 제13/063,551호, 2012년 12월 31일 출원되고 발명의 명칭이 "이웃 비트의 정정을 이용한 플래시 메모리에서의 검출 및 디코딩(Detection and Decoding in Flash Memories Using Correlation of Neighboring Bits)"인 미국 특허 출원 제13/731,766호, 및/또는 2011년 3월 14일 출원되고 발명의 명칭이 "플래시 메모리에서의 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation in Flash Memories)"인 미국 특허 출원 제13/063,888호를 참조하며, 이의 각각은 참조로서 본 명세서에 통합된다.
- [0054]  $i$  번째 페이지에 대한 LLR 값은 선택적으로 로컬 반복(650)을 이용하여 단계(620) 동안에 LDPC 디코더(430)에 적용된다.
- [0055] 단계(630) 동안, 융합 테스트(convergence test)는 디코딩이 성공적인지를 판단하기 위해 수행된다. 단계(630) 동안에 디코딩이 성공적인 것으로 결정되면, 페이지 카운터  $i$ 는 단계(640) 동안에 정상 모드(500)에서 다음 페이지를 처리하기 위해 증가된다. 그러나, 단계(630) 동안에 디코딩이 성공적이지 않은 것으로 결정되면, 추가적인 글로벌 반복(660)은 선택적으로 LLR 생성 블록(420)과 LDPC 디코더(430) 사이에서 수행된다. 글로벌 반복(660)은 상술한 융합 테스트가 디코딩이 지금 성공적이거나 글로벌 반복의 최대 허용치가 도달됨을 나타낼 때까지 수행된다.
- [0056] 그 다음, 단계(630) 동안에 디코딩이 성공적이지 않고, 글로벌 반복이 완료된 것으로 결정되면, 예시적인 이진 복구 모드의 검출 및 디코딩 프로세스(600)는 단계(670) 동안에 현재 페이지의 디코딩 실패를 선언한다. 그 다음, 프로그램 제어는 정상 모드(500)에서 다음 페이지를 처리하기 위해 단계(640)로 진행한다. 대안적으로, 예시적인 이진 복구 모드의 검출 및 디코딩 프로세스(600)는 프로세스(600) 동안에 디코딩 실패를 생성한 현재 페이지를 복구하기 위해 비-이진 복구 모드(700)(도 7)를 개시한다.
- [0057] 도 6은 본 발명의 양태를 통합하는 예시적인 비-이진 복구 모드의 검출 및 디코딩 프로세스(700)를 설명하는 흐름도이다. 일반적으로, 비-이진 복구 모드 동안에, 플래시 메모리(160)는 워드라인(셀) 액세스 기법을 이용하여 (MSB 및 LSB 페이지와 같은) 워드라인의 모든 페이지에 하드 또는 소프트 출력을 제공한다. 게다가, LDPC 디코더(430)는 (선택적으로 프로그램 가능한) 하나 이상의 글로벌 반복을 사용한다.
- [0058] 도 7에 도시된 바와 같이, 예시적인 비-이진 복구 모드의 검출 및 디코딩 프로세스(700)는 처음에 예시적인 2 레벨 셀에 대해 단계(710) 동안에 하드 또는 소프트 관독 값 중 어느 하나를 획득하는 현재 워드라인의 두 페이지를 관독한다. 그 후, 명칭이 "복구 모드를 위한 비-이진 LLR 생성(Non-Binary LLR Generation for Recovery Mode)"인 섹션에서 아래에 더 논의되는 바와 같이, 프로세스(700)는 단계(720) 동안에 셀 기반 Galois Field GF(4) LLR을 생성한다. 각 셀에 대한 예시적인 GF(4) 멀티 레벨 LLR은 워드라인 LPDC 디코더로 전달되는 셀간 상관 관계를 캡처한다.
- [0059] 예시적인 GF(4) 코드는 (4개의 별개의 심볼을 제공하는) 셀당 2비트 플래시 메모리에 적용되지만, GF(8) 코드는 (8개의 별개의 심볼을 제공하는) 셀당 3비트 플래시 메모리에 적용된다는 것이 주목된다. 일반적으로, GF( $2^n$ ) 코드는 ( $2^n$ 의 별개의 심볼을 제공하는) 셀당  $n$ 비트 플래시 메모리에 적용된다. 상술한 바와 같이, 본 발명의 양태는 복구 모드에서 주어진 워드라인의 LSB 및 MSB 페이지의 비-이진 필드에 공동 디코딩을 제공하면서, 또한

정상 모드의 이진 필드에서 LSB 및 MSB 페이지를 독립적으로 디코딩할 수 있다. 본 명세서에서 사용된 바와 같이, 용어 "비-이진"은 별개의 심볼의 수가 2 보다 큰 어떤 멀티 레벨 셀에 적용한다. 다른 실시예에서, 몇몇 어그레서 및 빅티(victim) 워드라인의 다수의 페이지의 비-이진 디코딩은 더욱 적극적인 복구 모드에서 수행되며, 여기서 현재 워드라인 외에도  $m$  어그레서 워드라인이 판독될 경우,  $GF(2^{n \times (m+1)})$  디코더는 왜곡을 발생시키는 ICI를 완화하기 위해 사용된다.

- [0060] 워드라인의 두 LSB 및 MSB 페이지에 대한 공동 LLR 값은 선택적으로 로컬 반복(770)을 이용하여 단계(730) 동안에 LDPC 디코더(430)에 적용된다. 아래에 더 논의되는 바와 같이, 예시적인 LDPC 디코더(430)는 (MP) 디코딩을 전달하는  $GF(4)$  비-이진 워드라인 메시지를 채용하거나, 일반적으로  $L$  페이지가 공동으로 디코딩될 때에는  $GF(2^L)$  MP 디코딩이 채용된다. 비-이진 MP 디코딩에 적절한 기법에 대한 더욱 상세한 논의를 위해, 예를 들어 M. C. Davey 및 D. J. C MacKay, "GF(q)에 대한 저밀도 패리티 체크 코드(Low Density Parity Check Codes over GF(q))," IEEE Communications Letters, vol. 2, 165-167 (1998년 6월)를 참조하며, 이는 참조로서 본 명세서에 통합된다.
- [0061] 단계(740) 동안, 융합 테스트는 디코딩이 성공적인지를 판단하기 위해 수행된다. 단계(740) 동안에 디코딩이 성공적인 것으로 결정되면, 페이지 카운터  $i$ 는 단계(760) 동안에 정상 모드(500)에서 다음 페이지를 처리하기 위해 증가된다. 그러나, 단계(740) 동안에 디코딩이 성공적이지 않은 것으로 결정되면, 추가적인 글로벌 반복(780)은 선택적으로 LLR 생성 블록(420)과 LDPC 디코더(430) 사이에서 수행된다. 글로벌 반복(780)은 상술한 융합 테스트가 디코딩이 지금 성공적이거나 글로벌 반복의 최대 허용치가 도달됨을 나타낼 때까지 수행된다.
- [0062] 그 다음, 단계(740) 동안에 디코딩이 성공적이지 않고, 글로벌 반복이 완료된 것으로 결정되면, 예시적인 비-이진 복구 모드의 검출 및 디코딩 프로세스(700)는 단계(750) 동안에 현재 페이지의 디코딩 실패를 선언한다. 그 다음, 프로그램 제어는 정상 모드(500)에서 다음 페이지를 처리하기 위해 단계(760)로 진행한다.
- [0063] 도 8은 본 발명의 양태를 통합하는 예시적인 하이브리드 검출 및 디코딩 시스템(800)의 블록도이다. 이하에서 논의되는 바와 같이, 예시적인 하이브리드 검출 및 디코딩 시스템(800)은 정상 모드에서의 개개의 페이지의 이진 디코딩 및 복구 모드의 워드라인에서의 페이지의 비-이진 공동 디코딩을 수행한다.
- [0064] 도 8에 도시된 바와 같이, 예시적인 하이브리드 검출 및 디코딩 시스템(800)은 LSB 및 MSB 페이지 하드 데이터(810-1, 810-2)를 처리한다. LSB 및 MSB 페이지 하드 데이터(810-1, 810-2)는 검출 및 디코딩에 사용될 뿐만 아니라 LLR 생성에 사용되는 여러 통계를 수집하기 위해 페이지/워드라인 여러 통계 수집 블록(820)에 의해 처리된다. LLR 생성 및 LDPC 디코딩에 대한 여러 통계의 수집에 관해 더욱 상세한 논의를 위해, 2011년 3월 14일 출원되며 발명의 명칭이 "플래시 메모리에서의 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation in Flash Memories)"인 미국 특허 출원 제13/063,888호를 참조하며, 이는 참조로서 본 명세서에 통합된다.
- [0065] 정상 모드에서, LSB 및 MSB 페이지 하드 데이터(810-1, 810-2)는 독립적으로 처리된다. 멀티플렉서(830)는 플래시 제어기(425)의 제어하에 LSB 및 MSB 페이지 하드 데이터(810-1, 810-2) 중 하나를 한번에 선택한다. 이진 LSB/MSB LLR 생성기(840)는 대응하는 이진 LLR을 생성하기 위해 정상 모드 동안에 하드 값(810-1, 810-2)을 처리한다. 디멀티플렉서(860)는 플래시 제어기(425)의 제어하에 LSB 및 MSB 페이지에 대한 이진 LLR을 분리하여, 이를 복구된 LSB 페이지를 생성하는 대응하는 LSB 이진 LDPC 디코더(870-1) 또는 복구된 MSB 페이지를 생성하는 대응하는 MSB 이진 LDPC 디코더(870-2)에 적용한다. 대안적인 실시예에서, 단일 LDPC 디코더는 대응하는 이진 LLR에 기초하여 복구된 LSB 또는 MSB 페이지를 생성하는 데 사용되며, 즉 LSB 페이지 및 MSB 페이지는 LDPC 디코더를 공유한다.
- [0066] 게다가, 비-이진 복구 모드 에서, 비-이진 워드라인 LLR 생성기(850)는 비-이진 LLR을 생성하기 위해 두 LSB 및 MSB 페이지에 대한 하드 및/또는 소프트 값을 공동으로 처리한다. 비-이진 LLR은 복구된 LSB 및 MSB 페이지를 생성하기 위해 워드라인의 두 페이지를 공동으로 처리하는 워드라인 비-이진 LDPC 디코더(880)에 적용된다. 대안적인 실시예에서, 이진 LDPC 디코더(870) 및 비-이진 LDPC 디코더(880)는 처리 기능 또는 처리 하드웨어를 공유할 수 있다.
- [0067] 도 8에 도시된 바와 같이, 글로벌 반복(890)은 이진 LSB/MSB LLR 생성기(840) 및/또는 비-이진 워드라인 LLR 생성기(850)와 LSB/MSB 이진 LDPC 디코더(870) 및/또는 워드라인 비-이진 LDPC 디코더(880) 사이에서 수행된다.
- [0068] 도 9는 본 발명의 양태를 통합하는 예시적인 하이브리드 인코딩 및 디코딩 시스템(900)의 간략화된 블록도이다.



이하에서 논의되는 바와 같이, 도 8과 유사한 방식으로, 예시적인 하이브리드 인코딩 및 디코딩 시스템(900)은 (i) 개개의 페이지의 독립적인 인코딩, 및 (ii) 도 8과 유사한 방식으로, 복구 모드에서 워드라인의 페이지의 독립적인 이진 디코딩 및/또는 공동 비-이진 디코딩을 수행한다.

[0069] 도 9에 도시된 바와 같이, 예시적인 하이브리드 인코딩 및 디코딩 시스템(900)은 각각 N 비트를 생성하는 대응하는 이진 LDPC 인코더(910-1 및 910-2)에 적용되는 K LSB 비트 및 K MSB 비트를 처리하며, LDPC 인코더(910-1 및 910-2)는 정확히 동일한 코드 생성기 행렬을 이용한다. 생성된 2N 비트는 N 심볼을 생성하는 비트 대 심볼(B/S) 변환기(920)에 적용된다. 예를 들면, 그레이 인코딩 방식에 따라, 다음의 예시적인 비트 매핑이 사용될 수 있다:

[0070]  $00 \rightarrow 0 \rightarrow 5 \beta V$

[0071]  $01 \rightarrow 1 \rightarrow 3 \beta V$

[0072]  $10 \rightarrow 2 \rightarrow \beta V$

[0073]  $11 \rightarrow 3 \rightarrow -\beta V$

[0074] 비-이진 복구 모드의 플래시 채널의 등가 통신 모델에서, N 심볼은 AWGN 채널(930)을 통해 전송되고, N 노이즈 심볼(noisy symbol)을 생성하기 위해 양자화된다. LLR 생성기(940)는 이러한 양자화된 N 심볼을 N GF(4) LLR로 매핑하며, 이는 N 추정된 심볼을 생성하기 위해 N GF(4) LLR을 처리하는 비-이진 LDPC 디코더(950)에 의해 디코딩된다.

[0075] N 추정된 심볼은 N 추정된 LSB 비트 및 N 추정된 MSB 비트를 생성하는 심볼 대 비트(S/B) 변환기(960)에 적용된다.

[0076] 도 9의 예시적인 실시예는 비-이진 코드를 셀당 2 비트 플래시에 효과적으로 적용하기 위해 2개의 이진 인코더를 이용하며, 각각의 심볼은 2 비트를 반송한다. 셀당 n 비트 플래시의 경우, n 인코더는 비-이진 코드를 적용하며, 여기서 각 심볼은 복구 모드(700)에서 디코딩될 때에는 n 비트를 효과적으로 반송하지만, 정상 모드(500)가 적용될 경우에는 n 비트의 각각이 개별적으로 디코딩된다.

[0077] 페이지가 이진 LDPC 인코더(910-1 및 910-2)에 의해 독립적으로 기록되므로, 큰 버퍼 또는 추가적인 지연은 페이지에 걸쳐 여러 정정 코드를 적용하는 경쟁 방식(competing scheme)의 유용성을 제한하는 것을 필요로 하지 않는다. 또한, 아래에 더 논의되는 LDPC 코드 구성 중에 Galois 필드 요소의 행렬 매핑의 방식 때문에 비-이진 LDPC 디코더는 대부분의 하드웨어를 개개의 이진 LDPC 디코더와 공유할 수 있다. 최종으로, 또한 이러한 하드웨어 공유로 인해, 디코더 영역은 이진 구성 디코더와 유사하다.

[0078] 비-이진 LDPC 코드의 Galois 필드 요소가 플래시에 기록된 이진 LDPC 코드에서 생성하는 방법을 예시하기 위해, 도 10은 각 워드라인 내에 예시적인 LSB 또는 하위 페이지(1010) 및 MSB 또는 상위 페이지(1020)를 가진 예시적인 셀당 2 비트 메모리 장치(1000)를 도시한다. 도 10에 도시된 바와 같이, 셀 a, b 및 c와 같은 각 셀은 LSB 비트  $a^L$ ,  $b^L$  및  $c^L$ 과 같은 LSB 비트, 및 MSB 비트  $a^M$ ,  $b^M$  및  $c^M$ 과 같은 MSB 비트를 포함한다.

[0079] 상술한 바와 같이, 본 발명의 양태는 페이지가 동일한 이진 생성 행렬에 의해 인코딩되는 한, 디코딩을 위해 대응하는 개개의 패리티 검사 행렬은 0이 아닌 모든 요소가 단위 갈루아 필드 요소임을 고려하면 단일 비-이진 패리티 검사 행렬에 결합될 수 있다는 것을 인식한다.

[0080] 도 10의 LSB 및 MSB 비트에 대해, 이진 LSB LDPC 패리티 검사식은 다음과 같이 표현될 수 있다:

[0081] 
$$a^L \oplus b^L = c^L$$

[0082] 이진 MSB LDPC 패리티 검사식은 다음과 같이 표현될 수 있다:

[0083] 
$$a^M \oplus b^M = c^M$$

[0084] 게다가, 대응하는 비-이진 셀 패리티 검사식은 다음과 같이 표현될 수 있다:

[0085] 
$$\begin{bmatrix} a^L \\ a^M \end{bmatrix} \oplus \begin{bmatrix} b^L \\ b^M \end{bmatrix} = \begin{bmatrix} c^L \\ c^M \end{bmatrix} \Leftrightarrow \bar{A} \oplus \bar{B} = \bar{C}$$

[0086] 여기서  $\bar{A}, \bar{B}, \bar{C}$  (2 바이(by) 1 어레이)와 같은 각 벡터는 GF 요소를 포함한다.

[0087] 도 10의 LSB 및 MSB 비트에 대해, LSB 페이지 LDPC 패리티 검사 행렬은 다음과 같이 표현될 수 있다:

[0088]

$$\begin{matrix} a^L & & b^L & & c^L \\ \begin{bmatrix} \bar{1} & \cdots & \bar{1} & \cdots & \bar{1} \\ \vdots & & \vdots & & \vdots \\ \dots & & \dots & & \dots \end{bmatrix} \end{matrix}$$

[0089] MSB 페이지 이진 LDPC 패리티 검사 행렬은 다음과 같이 표현될 수 있다:

[0090]

$$\begin{matrix} a^M & & b^M & & c^M \\ \begin{bmatrix} \bar{1} & \cdots & \bar{1} & \cdots & \bar{1} \\ \vdots & & \vdots & & \vdots \\ \dots & & \dots & & \dots \end{bmatrix} \end{matrix}$$

[0091] LSB 및 MSB LDPC 코드가 동일하면, 비-이진 셀 GF(4) LDPC 패리티 검사 행렬(모두 1 행렬)은 다음과 같이 표현될 수 있다:

[0092]

$$\begin{matrix} \bar{A} & & \bar{B} & & \bar{C} \\ \begin{bmatrix} \bar{1} & \cdots & \bar{1} & \cdots & \bar{1} \\ \vdots & & \vdots & & \vdots \\ \dots & & \dots & & \dots \end{bmatrix} \end{matrix}$$

[0093] 여기서 각 GF 요소 " $\bar{1}$ "는 이진 요소의 다음의 2 바이 2 어레이:  $\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$ 에 대응한다. 그래서, LSB 또는 MSB LDPC 코드 중 어느 하나의 패리티 검사 행렬의 크기가  $K \times N$ 이면, 생성된 비-이진 워드라인 매칭된 LDPC 코드의 이진 이미지는  $2K \times 2N$ 이다.

[0094] 이러한 방식으로, 워드라인을 보호하는 비-이진 LDPC 코드의 패리티 검사 행렬은 더욱 스페어 영역(spare are a)을 낭비하는 추가적인 패리티 비트를 필요로 하지 않고 페이지를 보호하는 이진 코드의 패리티 검사 행렬에서 자연스럽게 생성한다.

[0095] 복구 모드를 위한 비-이진 LLR 생성

[0096] 도 11은 워드라인에서 하나의 셀을 나타내는 주어진 쌍의 비트  $a_i b_i$ 에 대한 천이 확률을 나타내는 수집된 인트라 워드라인 통계를 기록하는 예시적인 비트 천이 확률 테이블(1100)을 도시한다.  $a_i$  및  $b_i$ 는 셀  $i$ 의 하위 (또는 LSB) 및 상위 (또는 MSB) 페이지 비트를 나타낸다. 천이 확률 테이블(1100)의 크기는 워드라인에서의 페이지의 수를 기하 급수적으로 증가시키거나, 일 실시예에서 그것은 (고려되는) 모든 어그레서 워드라인 및 현재 워드라인에서의 총 페이지의 수를 기하 급수적으로 증가시킨다. 예시적인 비트 천이 확률 테이블(1100)에서의 에러 통계는 플래시 셀의 4개의 가능한 상태에 대응하는 2 비트 공동 GF(4) LLR을 계산하는 데 사용된다. 비트 천이 확률 테이블에 대한 상세한 정보를 위해, 2012년 12월 31일 출원되고 발명의 명칭이 "이웃 비트의 정정을 이용한 플래시 메모리에서의 검출 및 디코딩(Detection and Decoding in Flash Memories Using Correlation of Neighboring Bits)"인 미국 특허 출원 제13/731,766호를 참조하며, 이는 참조로서 본 명세서에 통합된다.

[0097] 예시적인 비-이진 복구 모드 검출 및 디코딩 프로세스(700)는 워드라인에서의 다른 페이지가 대응하는 LLR을 생성하기 위해 판독되는 워드라인 (셀) 액세스 기법을 이용한다. 예시적인 실시예에서, LLR은 동일한 워드라인에서 인접한 비트의 데이터 또는 에러 통계, 또는 고려되는 다른 어그레서 워드라인의 데이터 또는 에러 통계에 기초하여 계산된다. 데이터 또는 에러 통계는 워드라인에서 기준 셀 또는 과거 LDPC 결정을 이용하여 수집될 수 있다. 적절한 에러 통계 수집 기법에 대한 논의를 위해, 예를 들어, 2011년 3월 14일 출원되고 발명의 명칭이 "참조 셀을 이용한 메모리 장치용 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation for Memory Devices Using Reference Cells)"인 미국 특허 출원 제13/063,895호, 및/또는 2011년 3월 14일 출원되고 발명의 명칭이 "디코더 성능 피드백을 이용한 메모리 장치용 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation for Memory Devices Using Decoder Performance Feedback)"인 미국 특허 출원 제13/063,899호를 참조하며, 이의 각각은 참조로서 본 명세서에 통합된다.

[0098] 천이 확률 테이블(1100)은 각각의 가능한 패턴이 판독됨을 고려하면 각각의 가능한 패턴이 셀  $i$ 에서 비트  $a_i b_i$ 에 기록된 확률(즉, 패턴이 정상 모드(500)에서 판독됨을 고려하면 패턴이 기록된 결정을 행하는 신뢰도)을 기록한다. 예를 들면, 용어 " $p(10/00)$ "는 패턴 '00'이 판독됨을 고려하면 패턴 '10'이 비트  $a_i b_i$ 에 기록된 확률(또는 '00'이 정상 모드에서 판독됨을 고려하면 결정 '10'을 행하는 신뢰도)을 나타낸다. 이러한 테이블은 또한 당업자에게는 자명하듯이 셀  $i+1$ 과 같은 다른 셀 내의 비트를 위해 사용될 수 있다. 워드라인에서의 두 페이지는 비-이진 복구 모드에서 판독된다는 것이 다시 주목된다.

[0099] 천이 확률 테이블(1100)에서의 통계는 다음과 같이 LLR을 계산하기 위해 사용될 수 있다. 특정 패턴이 '00'의 패턴과 같이 판독됨을 고려하면, 대응하는 심볼 LLR은 다음과 같이 계산될 수 있으며,  $C$ 는 어떤 정규화 상수(normalization constant)이다.

$$\lambda(a_i b_i = 00|00) = \log[p(00/00)] - C, \lambda(a_i b_i = 01|00) = \log[p(01/00)] - C;$$

$$\lambda(a_i b_i = 10|00) = \log[p(10/00)] - C, \lambda(a_i b_i = 11|00) = \log[p(11/00)] - C$$

[0101] 몇몇 지정된 이웃한 비트를 조건으로 하는 LLR 생성에 대한 논의를 위해, 2012년 12월 31일 출원되고 발명의 명칭이 "이웃 비트의 정정을 이용한 플래시 메모리에서의 검출 및 디코딩(Detection and Decoding in Flash Memories Using Correlation of Neighboring Bits)"인 미국 특허 출원 제13/731,766호를 참조하며, 이는 참조로서 본 명세서에 통합된다.

[0102] 다른 변형에서, 비트 천이 확률 테이블(1100)은 지구력(endurance), 프로그램/소거 사이클의 수, 판독 사이클의 수, 체류 시간, 온도, 온도 변화, 프로세스 코너, ICI 임팩트, 메모리 어레이(170) 내의 위치, 판독 값이 획득되는 워드라인 및/또는 페이지의 위치, 판독 값이 획득되는 워드라인 내의 페이지의 위치 및 어그레서 셀의 패턴과 같은 하나 이상의 성능 요소(performance factor)의 함수일 수 있다. 성능 요소 중 하나 이상은 셀 내의 하나 이상의 서로 다른 비트, 워드라인 내의 서로 다른 페이지, 서로 다른 비트 라인 또는 서로 다른 하드 판독 데이터 값에 대해 변화될 수 있다. 이러한 성능 요소 조정에 기초하여 메모리 장치에 대한 로그 우도비를 계산하기 위한 적절한 기법에 대한 더욱 상세한 논의를 위해, 예를 들어 2009년 9월 30일 출원되고 발명의 명칭이 "성능 계수 조정에 기초한 메모리 장치용 소프트 데이터 생성 방법 및 장치(Methods and Apparatus for Soft Data Generation for Memory Devices Based on Performance Factor Adjustment)"인 국제 특허 출원 번호 PCT/US09/59069를 참조하며, 이는 참조로서 본 명세서에 통합된다.

[0103] 다른 변형에서, 2 비트 공동 GF(4) LLR은 균일한 고정 또는 불균일한 고정 LLR 맵핑에 기초하여 계산될 수 있다. 일반적으로, LLR의 맵핑은 두 방식을 따른다. LLR 맵핑은 심볼 독립 맵핑(1200)(도 12(a)) 또는 심볼 종속 맵핑(1250)(도 12(b))에 기초할 수 있다. 상술한 바와 같이, 2 비트 셀 플래시 메모리를 위한 예시적인 그레이 인코딩 방식에서, 전압 상태에 대한 비트의 다음의 예시적인 맵핑은  $00 \rightarrow 0$ ;  $01 \rightarrow 1$ ;  $10 \rightarrow 2$ ; 및  $11 \rightarrow 3$ 으로 사용될 수 있다. 도 12(a) 및 12(b)에서, 셀  $j$ 의 하드 판독 결정은  $\lambda_j^a$ 로 표현되며,  $a$ 는 양의 상수이고,  $a$ 는 상태 라벨("11", "01", "00" 또는 "10")이며, 이는 또한 대안적 상태 라벨  $a(3, 1, 0$  또는  $2)$ 로 표현될 수 있다.

[0104] (도 12(a)의) 균일한 맵핑은 모든 가능한 에러가 균등할 가능성이 있을 때에 이용되지만, (도 12(b)의) 비균일한 맵핑은 에러가 인접한 셀 상태 사이에서 비대칭 방식으로 더 가능성이 있을 경우에 상응한다. 당업자는 디코더 수렴 확률을 하나의 가능한 메트릭으로 향상시키기 위해 기본 채널의 에러 동작에 가장 맞는 임의의 맵핑으로 고정된 맵핑을 수정할 수 있다.

[0105] 셀  $j$ (또는 비트  $a_i b_i$ )에 대한 4개의 예시적인 GF(4) LLR 값(즉, 심볼 LLR)은 소프트 결정, 또는 다음과 같이 (셀에 저장된 전압의 양자화된 추정치를 획득하기 위해) 서로 다른 기준 전압에서 몇몇 전압 판독 메트릭을 통해 획득되는 양자화된 소프트 결정을 이용하여 획득될 수 있다:



$$\begin{aligned}\lambda_j^{11} &= \log P(a = 11 | r_j) = -\frac{(r_j - \mu_{11})^2}{2\sigma^2} + K \\ \lambda_j^{00} &= \log P(a = 00 | r_j) = -\frac{(r_j - \mu_{00})^2}{2\sigma^2} + K \\ \lambda_j^{01} &= \log P(a = 01 | r_j) = -\frac{(r_j - \mu_{01})^2}{2\sigma^2} + K \\ \lambda_j^{10} &= \log P(a = 10 | r_j) = -\frac{(r_j - \mu_{10})^2}{2\sigma^2} + K\end{aligned}$$

[0106]

[0107]

여기서  $j$ 는 제  $j$  셀을 나타내고,  $a$ 는 상태("11", "01", "00" 또는 "10")를 나타내고,  $r_j$ 는 판독 소프트웨어 결정 (또는 양자화된 추정치)를 나타내고,  $\mu_a$ 는 상태  $a$ 에 대응하는 가우스 분포의 평균을 나타내고,  $\sigma^2$ 는 상태  $a$ 에 대응하는 가우스 분포의 분산(variance)을 나타내고,  $K$ 는 임의의 실제 상수를 나타내며,  $\lambda_j^a$ 는 상태  $a$ 에서 제  $j$  셀에 대한 LLR 값을 나타낸다. 서로 다른 기준 전압에서 판독 재시도(read retries)가 양자화된 소프트웨어 결정을 획득하기 위해 사용되는 방법에 대한 더욱 상세한 논의를 위해, 2012년 12월 31일 출원되고 발명의 명칭이 "플래시 메모리에서 다중 계층 검출 및 디코딩(Multi-Tier Detection and Decoding in Flash Memories)"인 미국 특허 출원 제13/063,551호를 참조하며, 이는 참조로서 본 명세서에 통합된다.

[0108]

프로세스, 시스템 및 제조 상세 사항의 물품

[0109]

본 명세서에서 다수의 흐름도는 단계의 예시적인 시퀀스를 나타내지만, 그것은 또한 시퀀스가 변화될 수 있는 본 발명의 실시예이다. 알고리즘의 다양한 순열(permutation)은 본 발명의 대안적인 실시예로서 고려된다. 당업자에게는 자명하듯이, 본 발명의 예시적인 실시예가 소프트웨어 프로그램의 처리 단계에 대해 설명되었지만, 다양한 기능은 소프트웨어 프로그램, 회로 소자 또는 상태 머신에 의한 하드웨어, 또는 소프트웨어 및 하드웨어의 둘 다의 조합에서의 처리 단계로서 디지털 도메인에서 구현될 수 있다. 이러한 소프트웨어는 예를 들어 디지털 신호 프로세서, 주문형 집적 회로, 마이크로 제어기 또는 범용 컴퓨터에 사용될 수 있다. 이러한 하드웨어 및 소프트웨어는 집적 회로 내에서 구현되는 회로 내에서 실시될 수 있다.

[0110]

따라서, 본 발명의 기능은 이러한 방법을 실시하기 위한 방법 및 장치의 형태로 실시될 수 있다. 본 발명의 하나 이상의 양태는 예를 들어 저장 매체에 저장되는지, 머신에 적재되고/되거나 머신에 의해 실행되는지, 또는 어떤 전송 매체를 통해 전송되는지 프로그램 코드의 형태로 실시될 수 있으며, 프로그램 코드가 컴퓨터와 같은 머신에 적재되고 머신에 의해 실행될 때, 머신은 본 발명을 실시하는 장치가 된다. 범용 프로세서 상에서 구현될 때, 프로그램 코드 세그먼트는 특정 논리 회로와 유사하게 동작하는 장치를 제공하기 위해 프로세서와 결합한다. 본 발명은 또한 집적 회로, 디지털 신호 프로세서, 마이크로 프로세서 및 마이크로 제어기 중 하나 이상에서 구현될 수 있다.

[0111]

본 기술 분야에 알려져 있는 바와 같이, 본 명세서에서 논의된 방법 및 장치는 그 자체가 그것에 대해 실시되는 컴퓨터 판독 가능한 코드 수단을 가진 컴퓨터 판독 가능한 매체를 포함하는 제조 물품으로 분배될 수 있다. 컴퓨터 판독 가능한 프로그램 코드 수단은 방법을 수행하기 위한 단계의 모두 또는 일부를 실행하거나 본 명세서에서 논의된 장치를 생성하기 위해 컴퓨터 시스템과 함께 동작 가능하다. 컴퓨터 판독 가능한 매체는 유형의(tangible) 기록 가능한 매체(예를 들어, 플로피 디스크, 하드 드라이브, 콤팩트 디스크, 메모리 카드, 반도체 장치, 칩, 주문형 집적 회로(ASIC))일 수 있거나, 전송 매체(예를 들어, 섬유 광학, 월드 와이드 웹, 케이블, 또는 시분할 다중 액세스, 코드 분할 다중 액세스 또는 다른 무선 주파수 채널을 이용한 무선 채널을 포함하는 네트워크)일 수 있다. 컴퓨터 시스템과 함께 사용하기에 적합한 정보를 저장할 수 있는 공지되거나 개발된 어떤 매체가 사용될 수 있다. 컴퓨터 판독 가능한 코드 수단은 컴퓨터가 자기 매체 상의 자기 변화 또는 콤팩트 디스크의 표면 상의 높이 변화와 같은 명령어 및 데이터를 판독하도록 하기 위한 어떤 메커니즘이다.

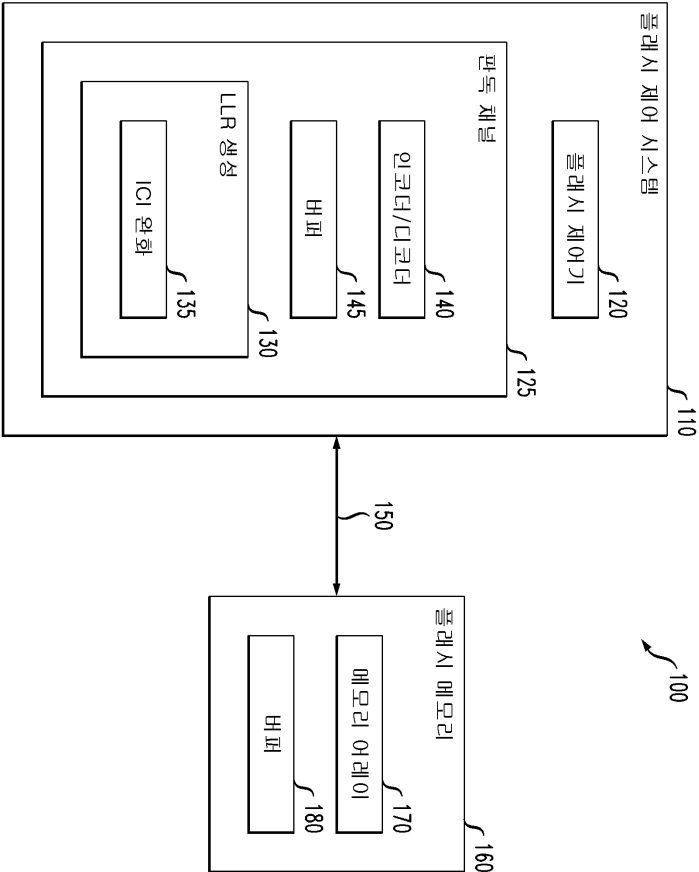
[0112]

본 명세서에서 설명된 컴퓨터 시스템 및 서버는 각각 본 명세서에서 개시된 방법, 단계 및 기능을 구현하기 위해 관련된 프로세서를 구성하는 메모리를 포함한다. 메모리는 분산형 또는 로컬 메모리일 수 있고, 프로세서는 분산형 또는 단수형 프로세서일 수 있다. 메모리는 전기적, 자기 또는 광학 메모리, 또는 이러한 또는 다른 타입의 저장 장치의 어떤 조합으로 구현될 수 있다. 더욱이, 용어 "메모리"는 관련된 프로세서에 의해 액세스되는 어드레스 가능한 공간 내의 어드레스로부터 판독되거나 어드레스에 기록될 수 있는 어떤 정보를 포함하기에 충분히 광범하게 해석되어야 한다. 이러한 정의에 의하면, 네트워크 상의 정보는 관련된 프로세서가 네트워크로부터 정보를 검색할 수 있기 때문에 여전히 메모리 내에 있다.

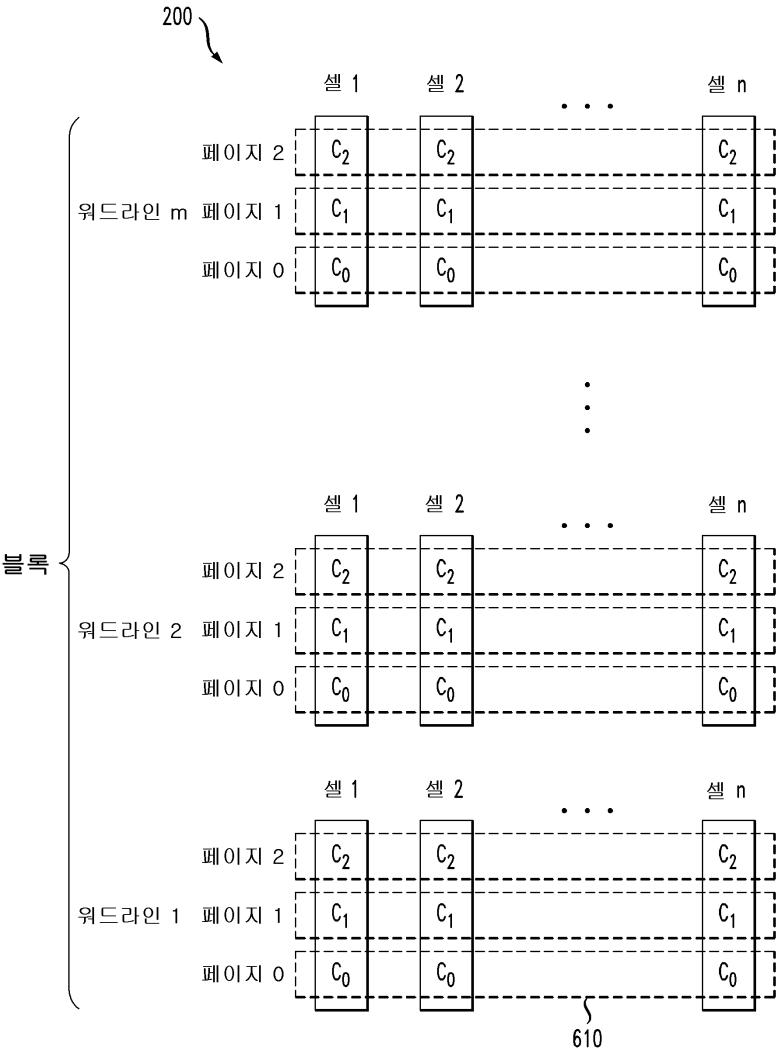
[0113] 본 명세서에 도시되고 설명된 실시예 및 변형은 단지 본 발명의 원리를 예시하고 다양한 수정이 본 발명의 범위 및 사상에서 벗어나지 않으면서 당업자에 의해 구현될 수 있다는 것이 이해되어야 한다.

도면

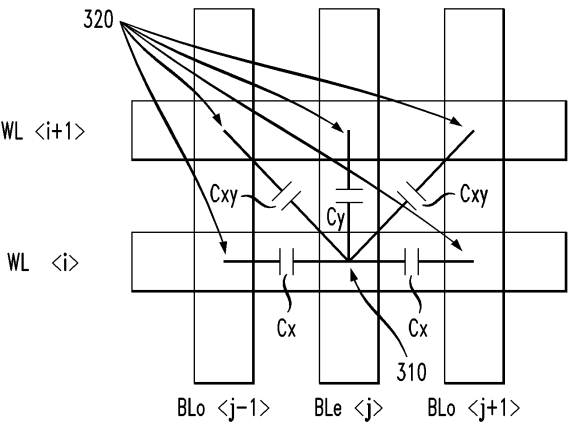
도면1



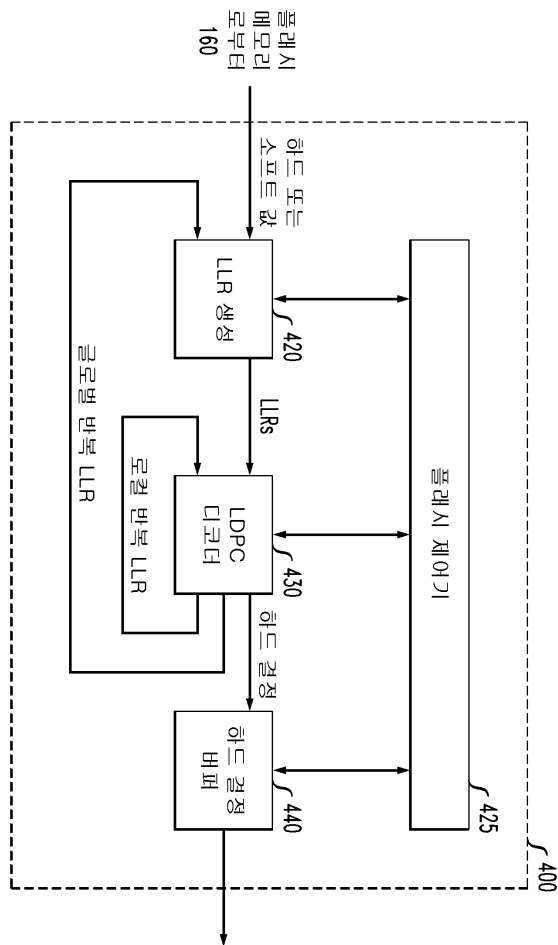
도면2



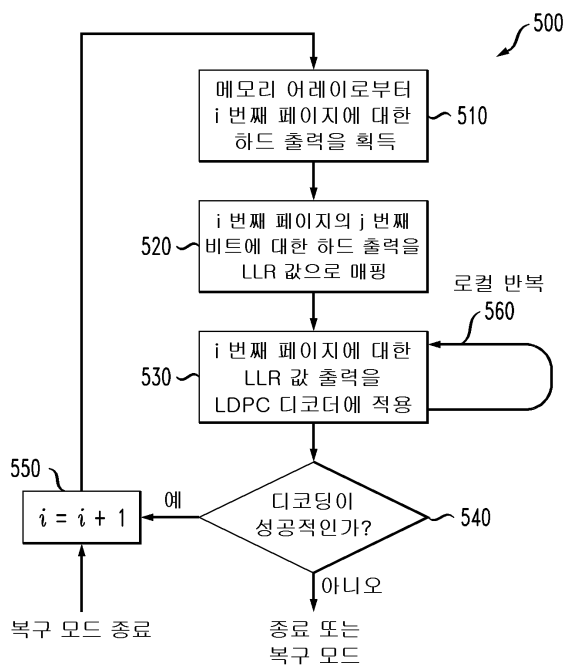
도면3



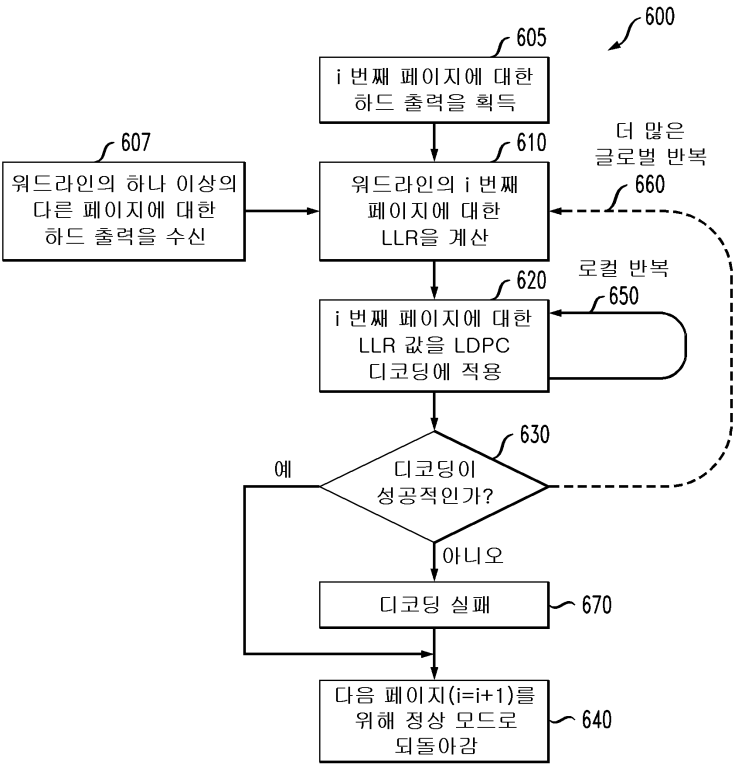
도면4



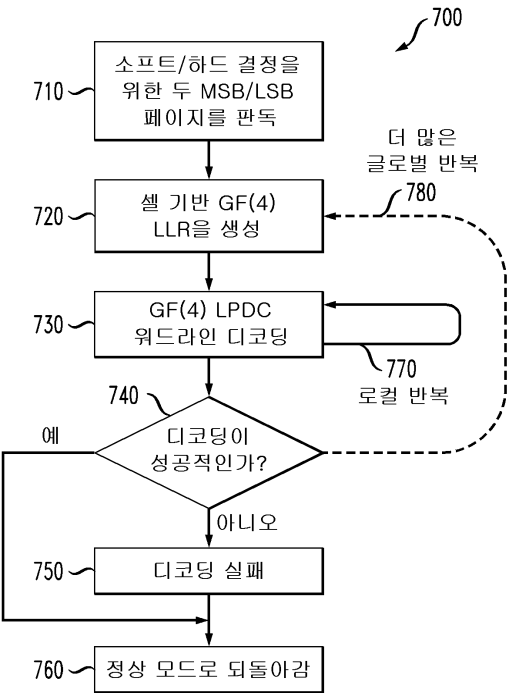
도면5



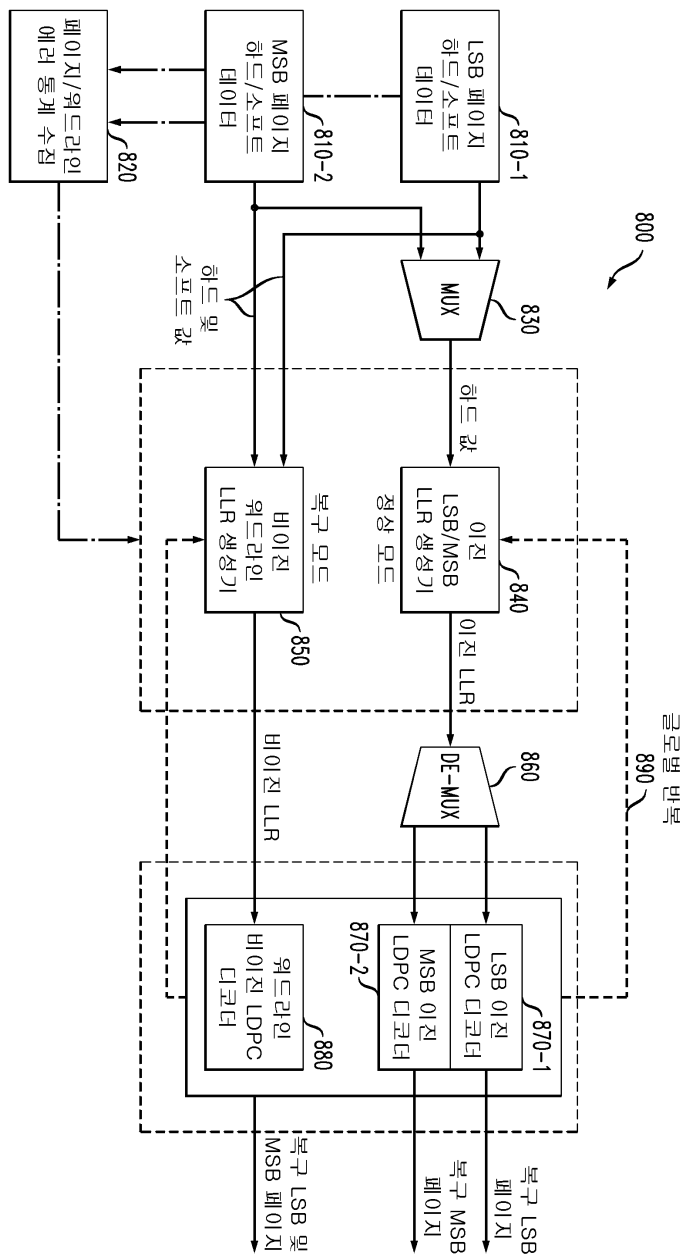
도면6



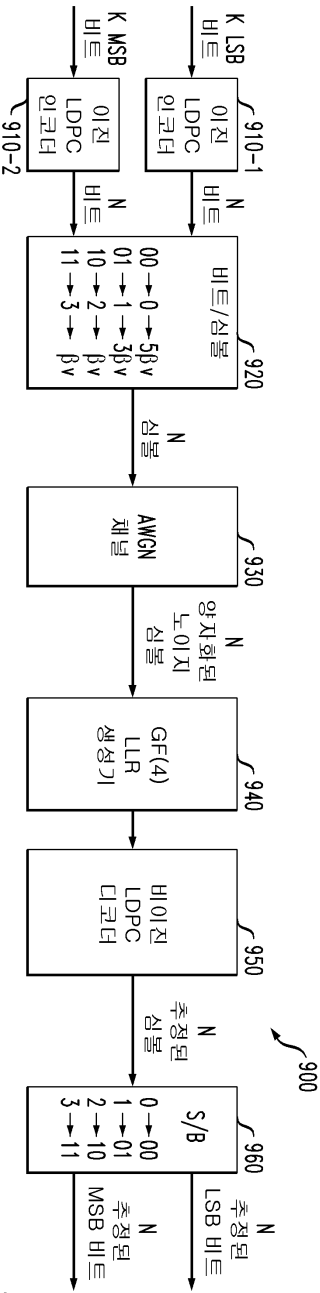
도면7



도면8

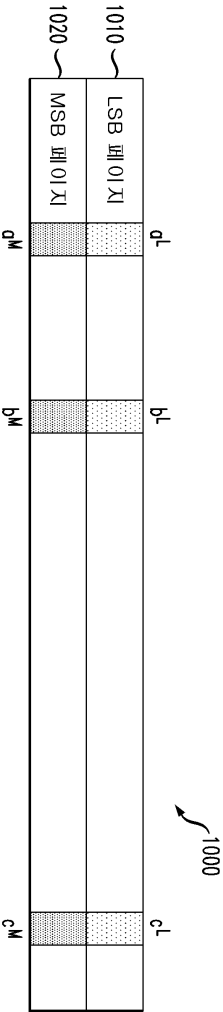


도면9

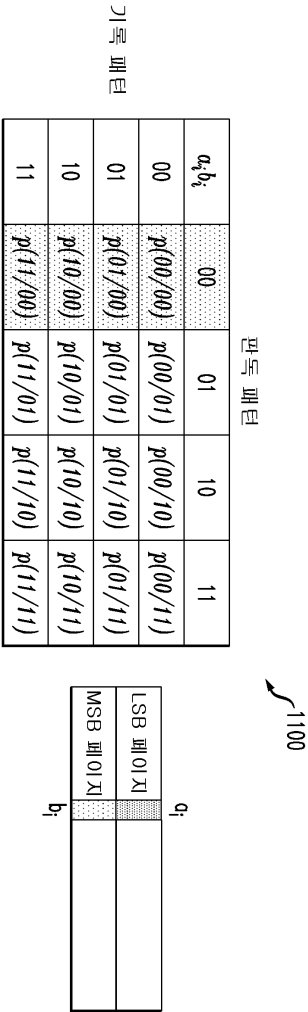




도면10



도면11



도면12

(a)

↘1200

$a \backslash r_j$	0	1	2	3
0	0	$-\alpha$	$-\alpha$	$-\alpha$
1	$-\alpha$	0	$-\alpha$	$-\alpha$
2	$-\alpha$	$-\alpha$	0	$-\alpha$
3	$-\alpha$	$-\alpha$	$-\alpha$	0

(b)

↘1250

$a \backslash r_j$	0	1	2	3
0	0	$-\alpha$	$-\alpha$	$-2\alpha$
1	$-\alpha$	0	$-2\alpha$	$-3\alpha$
2	$-\alpha$	$-2\alpha$	0	$-\alpha$
3	$-2\alpha$	$-3\alpha$	$-\alpha$	0