

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 7 月 3 日(03.07.2014)



(10) 国際公開番号

WO 2014/103541 A1

- (51) 国際特許分類:
H05K 3/18 (2006.01) H05K 3/00 (2006.01)
H05K 1/02 (2006.01)
- (21) 国際出願番号: PCT/JP2013/080526
- (22) 国際出願日: 2013 年 11 月 12 日(12.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-284787 2012 年 12 月 27 日(27.12.2012) JP
- (71) 出願人: 日本碍子株式会社(NGK INSULATORS, LTD.) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町 2 番 5 6 号 Aichi (JP).
- (72) 発明者: 杉原鷹雄(SUGIHARA Takao); 〒4678530 愛知県名古屋市瑞穂区須田町 2 番 5 6 号 日本碍子株式会社内 Aichi (JP). 野口卓(NOGUCHI Suguru); 〒4678530 愛知県名古屋市瑞穂区須田町 2 番 5 6 号 日本碍子株式会社内 Aichi (JP). 梅田勇治(UMEDA Yuhji); 〒4678530 愛知県名古屋市瑞

穂区須田町 2 番 5 6 号 日本碍子株式会社内 Aichi (JP).

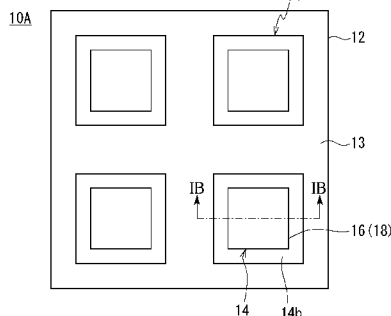
- (74) 代理人: 千葉剛宏, 外(CHIBA Yoshihiro et al.); 〒1510053 東京都渋谷区代々木 2 丁目 1 番 1 号 新宿マインズタワー 1 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: ELECTRONIC COMPONENT AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 電子部品及びその製造方法

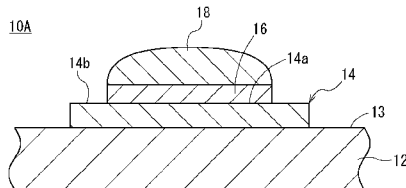
FIG. 1A



(57) Abstract: The present invention relates to an electronic component and a method for manufacturing the electronic component. The present invention has a substrate (12), an electrode layer (14) formed on the substrate (12), and a plating layer (16), which is formed on the upper surface (14a) of the electrode layer (14), and which has a smaller upper surface area than an upper surface area of the electrode layer (14). An upper surface (14a) portion of the electrode layer (14) is exposed from the plating layer (16), said portion including at least a part of an outer circumference of the electrode layer (14).

(57) 要約: 本発明は、電子部品及びその製造方法に関する。本発明は、基板(12)と、基板(12)上に形成された電極層(14)と、電極層(14)の上面(14a)に形成され、電極層(14)の上面面積よりも小さい上面面積を有するめっき層(16)とを有する。電極層(14)の上面(14a)のうち、該電極層(14)の外周の少なくとも一部を含む部分がめっき層(16)から露出している。

FIG. 1B





(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 電子部品及びその製造方法

技術分野

[0001] 本発明は、多数個取り基板から分離された電子部品及び多数個取り基板を分離して個々の電子部品を得る電子部品の製造方法に関する。

背景技術

[0002] 多数個取り基板に、電子部品単位にそれぞれ電極層を形成した後、電極層上に例えばめっき層を形成するようにしている。これは、個々の電子部品に分離した後に、これら電子部品の実装の際に用いられる導電材（半田等）の濡れ性を良好にするためである。

[0003] そして、電極層上にめっき層を形成する方法として、例えば特開平 10-265995 号公報に示す方法がある。この方法は、回路基板（例えば電子部品の電極）間に接続配線を形成して、全ての回路基板（例えば全ての電子部品の電極）を電気的に接続してからめっき処理を行う。

[0004] そのため、電子部品単位の特性検査を行う場合、多数個取り基板を分離して、多数の電子部品としてから特性検査を行うようにしている。

発明の概要

[0005] ところで、例えば電子部品の電極間に接続配線を形成して、全ての電子部品の電極を電気的に接続する方法としては、例えば図 15 に示す方法が考えられる。まず、電子部品 100 単位に 4 つの電極 102 がマトリクス状に配列形成された場合を想定する。この場合、電子部品 100 単位に四隅に隣接する電子部品 100 の電極 102 と導通をとるための例えば円形のパッドパターン 104（導通パターン）を形成することが考えられる。例えば多数個取り基板 106 に予め分離用の溝 108 を形成している場合は、これら分離用の溝 108 の交差部にパッドパターン 104 が形成される。分離用の溝 108 とは、電子部品 100 単位に分離するための溝である。

[0006] その後、電解めっきを行うと、めっき層は、各電極層全面に形成されると

共に、電極層につながるパッドパターン１０４全面にも形成される。つまり、本来、必要のない部分にも多量のめっき層が形成され、めっきの消費量が多くなる。これは、コスト増につながる。

[0007] また、電極１０２全面にめっき層が形成されると、その後の実装工程で以下のような問題が生じるおそれがある。例えばめっき層上に導電材（例えば半田層）を形成して、配線基板等を実装する場合、実装上の圧力によって導電材が横方向にはみ出し、導電材同士で接触し、短絡するおそれがある。特に、電極１０２間の隙間が狭い集積度の高い電子部品１００の場合、上述の問題が顕著に生じるものと思われる。従って、電子部品１００の小型化、高集積化には限界がある。もちろん、その後の工程で、導電材同士が接触した部分を分離する工程を追加することが考えられるが、さらなるコスト増となる。

[0008] また、電子部品１００単位に特性検査を行う場合、多数個取り基板１０６を分離して多数の電子部品１００に分離した後、検査工程に搬送して行うこととなる。しかし、分離された電子部品１００単位に特性検査を行うことは煩雑である。そこで、一旦、多数の電子部品１００をそれぞれ電子部品１００同士が導通しないように、例えば仕切り板を有する治具上に揃えて設置してから、個々の特性検査を行う。

[0009] そのため、上述した方法では、多数の電子部品１００を検査工程に搬送する手間と、多数の電子部品１００を治具上に設置する手間がかかり、工数が増え、コスト増につながるという問題がある。

[0010] 他の方法としては、電極１０２間を導通するためのパッドパターン１０４を形成せずに、電極１０２上に無電解めっきにてめっき層を形成することが考えられる。しかし、無電解めっきを適用した場合には、めっき硬度が高くなってしまうため、その後の工程で品質不具合が発生してしまう。この問題が回避困難であるため、電解めっきを選定することが主流となっている。

[0011] 本発明はこのような課題を考慮してなされたものであり、下記効果を奏する電子部品を提供することを目的とする。すなわち、本発明で提供される電

子部品は、導電材同士の接触による短絡を防止でき、しかも、めっきの消費量の低減を図ることができ、電子部品の小型化、高集積化、コストの低減化を実現させることができる。

[0012] また、本発明の他の目的は、下記効果を奏する電子部品の製造方法を提供する。すなわち、多数個取り基板の状態で、電子部品単位の特性検査を行うことが可能であるばかりでなく、導電材同士の接触による短絡を防止でき、しかも、めっきの消費量の低減を図ることができる。小型化、高集積化、コストの低減化を実現させることができる電子部品を作製することができる。

[0013] [1] 第1の本発明に係る電子部品は、基板と、前記基板上に形成された電極層と、前記電極層の上面に形成され、前記電極層の上面面積よりも小さい上面面積を有するめっき層と、を有し、前記電極層の上面のうち、該電極層の外周の少なくとも一部を含む部分が前記めっき層から露出していることを特徴とする。

[0014] [2] 第1の本発明において、前記めっき層から露出している前記部分は、前記電極層の外周全てを含んでもよい。

[0015] [3] 第1の本発明において、前記電極層の上面形状が多角形であって、前記めっき層から露出している前記部分は、前記電極層の外周のうち、少なくとも1つの辺を含んでもよい。

[0016] [4] 第1の本発明において、前記電極層の上面形状が多角形であって、前記めっき層から露出している前記部分は、前記電極層の外周のうち、1つの辺の一部を含んでもよい。

[0017] [5] 第1の本発明において、前記めっき層は、電子部品の実装の際に用いられる導電材の濡れ性が、前記電極層よりも優れていることが好ましい。

[0018] [6] 第2の本発明に係る電子部品の製造方法は、原板上に、電子部品単位にそれぞれ電極層を形成する電極層形成工程と、前記電極層間に、前記電極層間を電氣的に接続する導通部を有するマスクを形成するマスク形成工程と、前記マスクによって電氣的に接続された前記電極層上にめっき層を形成するめっき工程と、前記マスクを取り除くマスク除去工程と、前記原板の状

態で、特性検査を行う工程と、前記基板を分離して複数の電子部品とする分離工程と、を有することを特徴とする。

[0019] [7] 第2の本発明において、前記マスク形成工程は、前記マスクを前記電極層の一部にオーバーラップさせて形成してもよい。

[0020] [8] 第2の本発明において、前記マスク形成工程で形成される前記マスクは、前記導通部となる導電層と、前記導電層を被覆するマスク層と、を有し、前記マスク形成工程は、前記電極層間に、前記導電層を形成する工程と、前記導電層を被覆する前記マスク層を形成する工程と、を有してもよい。

[0021] [9] 第2の本発明において、前記マスク形成工程で形成される前記マスクは、マスク層と、該マスク層上に形成される前記導通部となる導電層と、を有し、前記マスク形成工程は、前記電極層間に、前記マスク層を形成する工程と、前記電極層間を電氣的に接続するように前記マスク層上に前記導電層を形成する工程と、を有し、前記マスク除去工程は、前記導電層上に形成された前記めっき層と共に、前記マスクを取り除いてもよい。

[0022] [1 0] 第2の本発明において、前記マスク形成工程で形成される前記マスクは、マスク層と、該マスク層上に形成される前記導通部となる導電層と、該導電層を被覆する絶縁層とを有し、前記マスク形成工程は、前記電極層間に、前記マスク層を形成する工程と、前記電極層間を電氣的に接続するように前記マスク層上に前記導電層を形成する工程と、前記導電層を被覆する前記絶縁層を形成する工程と、を有してもよい。

[0023] [1 1] 第2の本発明において、前記基板の一方又は両方の主面に、前記分離工程において前記複数の電子部品に分離するための複数の溝が予め形成されていてもよい。

[0024] [1 2] この場合、前記複数の溝は、前記基板の一方向に配列された複数の第1溝と、前記基板の前記一方向とは異なる他方向に配列された複数の第2溝とを有してもよい。

[0025] [1 3] 第2の本発明において、前記基板の他方の主面に、前記分離工程において前記複数の電子部品に分離するための溝が予め形成され、前記マス

ク形成工程は、前記基板の一方の主面上であって前記溝に対応した部分に前記マスクを形成してもよい。

[0026] [14] この場合、複数の前記溝は、前記基板の一方向に配列された複数の第1溝と、前記基板の前記一方向とは異なる他方向に配列された複数の第2溝とを有し、前記マスク形成工程は、前記基板の前記他方の主面における前記第1溝に対応した部分あるいは前記第2溝に対応した部分に前記マスクを形成してもよい。

[0027] 本発明に係る電子部品によれば、導電材同士の接触による短絡を防止でき、しかも、めっきの消費量の低減を図ることができ、電子部品の小型化、高集積化、コストの低減化を実現させることができる。

[0028] また、本発明に係る電子部品の製造方法によれば、多数個取り基板の状態で、電子部品単位の特性検査を行うことが可能であるばかりでなく、導電材同士の接触による短絡を防止でき、しかも、めっきの消費量の低減を図ることができる。小型化、高集積化、コストの低減化を実現させることができる電子部品を製造することができる。

図面の簡単な説明

[0029] [図1]図1Aは、第1の本実施の形態に係る電子部品（第1電子部品）を上面から見て示す図である。図1Bは、図1AにおけるI-B-I線上の断面図である。

[図2]第1電子部品を配線基板に実装した例を一部省略して示す断面図である。

[図3]図3Aは、第2の本実施の形態に係る電子部品（第2電子部品）を上面から見て示す図である。図3Bは、図3AにおけるI-I-B-I線上の断面図である。

[図4]図4Aは、第3の本実施の形態に係る電子部品（第3電子部品）を上面から見て示す図である。図4Bは、図4AにおけるI-V-B-I-V線上の断面図である。

[図5]図5Aは、第1の本実施の形態に係る電子部品の製造方法（第1製造方

法)において多数個取り基板上に電極を形成した状態を上面から見て示す図である。図5Bは、図5AにおけるVB-VB線上の断面図である。

[図6]図6Aは、第1製造方法においてブレイクラインに沿って第1導電層を形成した状態を上面から見て示す図である。図6Bは、図6AにおけるVIB-VIB線上の断面図である。

[図7]図7Aは、第1製造方法において第1導電層を第1マスク層で被覆して第1マスクを形成した状態を上面から見て示す図である。図7Bは、図7AにおけるVIB-VIB線上の断面図である。

[図8]図8Aは、第1製造方法において電極層上にめっき層を形成した状態を上面から見て示す図である。図8Bは、図8AにおけるVIB-VIB線上の断面図である。

[図9]図9Aは、第1製造方法において第1マスクを除去した状態を上面から見て示す図である。図9Bは、図9AにおけるIXB-IXB線上の断面図である。

[図10]図10Aは、第1製造方法において多数個取り基板の状態で作成した電子部品に対して特性検査を行っている状態を上面から見て示す図である。図10Bは、第1製造方法において多数個取り基板を分離して個々の電子部品とした状態を示す図である。

[図11]図11Aは、第2の本実施の形態に係る電子部品の製造方法(第2製造方法)においてブレイクラインに沿って第2マスク層を形成した状態を一部省略して示す断面図である。図11Bは、第2製造方法において第2マスク層を第2導電層で被覆して第2マスクを形成した状態を一部省略して示す断面図である。

[図12]図12Aは、第2製造方法において電極層上及び第2導電層上にめっき層を形成した状態を一部省略して示す図である。図12Bは、第2製造方法において第2マスクを除去した状態を一部省略して示す図である。

[図13]図13Aは、第3の本実施の形態に係る電子部品の製造方法(第3製造方法)においてブレイクラインに沿って第3マスク層を形成した状態を一部省略して示す図である。

部省略して示す断面図である。図 1 3 B は、第 3 製造方法において第 3 マスク層を第 3 導電層で被覆し、さらに第 3 導電層を絶縁層で被覆して第 3 マスクを形成した状態を一部省略して示す断面図である。

[図14]図 1 4 A は、第 3 製造方法において電極層上にめっき層を形成した状態を一部省略して示す図である。図 1 4 B は、第 3 製造方法において第 3 マスクを除去した状態を一部省略して示す図である。

[図15]全ての電極上にめっき層を形成するために、予め電極間にパッドパターン（導通パターン）を形成する例を示す図である。

発明を実施するための形態

[0030] 以下、本発明に係る電子部品及びその製造方法の実施の形態例を図 1 A ～ 図 1 4 B を参照しながら説明する。

[0031] 先ず、第 1 の本実施の形態に係る電子部品（以下、第 1 電子部品 1 0 A と記す）は、図 1 A 及び図 1 B に示すように、例えば立方体あるいは直方体等の立体形状を有する基板 1 2 と、該基板 1 2 の実装面 1 3（配線基板等実装される面）に形成された 1 以上の電極層 1 4 と、電極層 1 4 の上面 1 4 a に形成され、且つ、該電極層 1 4 の上面面積よりも小さい上面面積を有するめっき層 1 6 とを有し、電極層 1 4 の上面 1 4 a のうち、該電極層 1 4 の外周の少なくとも一部を含む部分がめっき層 1 6 から露出している。図 1 A 及び図 1 B の例では、第 1 電子部品 1 0 A の実装面 1 3 に対して、4 つの矩形状の電極層 1 4 がマトリクス状に配列形成された例を示している。もちろん、電極層 1 4 の数、配列形態は任意であるが、第 1 電子部品 1 0 A の実装面 1 3 における少なくとも 1 つの辺に沿って配列形成することが好ましい。

[0032] そして、この第 1 電子部品 1 0 A において、電極層 1 4 の上面 1 4 a のうち、めっき層 1 6 から露出している部分（露出部分 1 4 b）は、電極層 1 4 の外周全てを含む。図 1 A 及び図 1 B の例では、各電極層 1 4 の上面形状が例えば正形状であり、各めっき層 1 6 の上面形状が電極層 1 4 の上面形状の相似形であって、且つ、上面面積が電極層 1 4 よりも小さいとされている。もちろん、電極層 1 4 の上面形状とめっき層 1 6 の上面形状とが相似形で

なくてもよい。例えば電極層 14 の上面形状が正形状、めっき層 16 の上面形状が長形状であってもよい、その逆の組み合わせでもよい。また、例えば電極層 14 の上面形状が円形状（もしくは楕円形状）、めっき層 16 の上面形状が矩形状であってもよい、その逆の組み合わせでもよい。また、電極層 14 とめっき層 16 の上面形状の一部が湾曲されていてもよい。

[0033] この第 1 電子部品 10A においては、電極層 14 の上面 14a に、該電極層 14 の上面面積よりも小さい上面面積を有するめっき層 16 を有することから、電極層 14 の上面全面にめっき層を有する従来例と異なり、めっきの消費量を低減させることができる。これは、製造コストの低減化につながる。

[0034] また、図 2 に示すように、その後の実装工程、例えばめっき層 16 上に導電材 18（例えば半田層や導電性接着剤）を塗布して、配線基板 20 の端子 21 等を実装する場合、実装上の圧力によって導電材 18 が横方向にはみ出す。しかし、第 1 電子部品 10A では、電極層 14 の外周の少なくとも一部を含む部分がめっき層 16 から露出しているため、導電材 18 は電極層 14 の露出部分 14b にはみ出すだけで、電極層 14 の外周よりも外側にはみ出すことが抑制される。この場合、電極層 14 における導電材 18 の濡れ性が、めっき層 16 より劣っていれば、導電材 18 のはみ出しは、電極層 14 の露出部分 14b にて停止することとなる。つまり、電極層 14 の露出部分 14b は、実装時における導電材 18 の塗布余剰分の逃げ場となるため、電極層 14 外へのはみ出しを防ぐことができる。しかも、第 1 電子部品 10A は、電極層 14 の外周全てを含む部分が露出している。そのため、導電材 18 が四方にはみ出しても、確実に、電極層 14 の露出部分 14b にて、導電材 18 のはみ出しが停止し、導電材 18 の電極層 14 外へのはみ出しを確実に防止することができる。

[0035] これにより、電極層 14 間の隙間が狭い集積度の高い電子部品であっても、電極間での短絡を防止することができ、電子部品の小型化、高集積化を実現させることができる。従来は、導電材同士が接触した部分を分離する工程

が必要になる場合もあったが、この第1電子部品10Aでは、導電材18同士が接触することが回避されるため、このような分離工程が不要となる。その結果、めっきの消費量の低減とも相まって、コストの低減化を図ることができる。

[0036] 次に、第2の本実施の形態に係る電子部品（以下、第2電子部品10Bと記す）について図3A及び図3Bを参照しながら説明する。

[0037] この第2電子部品10Bは、図3A及び図3Bに示すように、上述した第1電子部品10Aとほぼ同様の構成を有するが、以下の点で異なる。すなわち、電極層14の上面形状が多角形であって、めっき層16から露出している部分（露出部分14b）が、電極層14の外周のうち、外周の全てを含むことなく、少なくとも1つの辺を含む。

[0038] 露出部分14bの位置は、複数の電極層14毎に異ならせてもよいし、各電極層14毎に異ならせてもよい。もちろん、全ての電極層14において同じ位置に露出部分14bを形成してもよいし、各電極層14の辺のうち、基板12の辺に最も近接する辺、あるいは最も遠い辺を含む部分を露出させてもよい。

[0039] 図3A及び図3Bに、その一例を示す。すなわち、マトリクス状に配列された4つの電極層14のうち、基板12の1つの辺（第1辺12a）寄りに形成された2つの電極層14は、該第1辺12aに最も近接する辺22aを含む部分が露出している。基板12の他の1つの辺（第1辺12aに対向する第2辺12b）寄りに形成された2つの電極層14は、該第2辺12bに最も近接する辺22bを含む部分が露出している。

[0040] この第2電子部品10Bにおいても、電極層14の上面14aに、該電極層14の上面面積よりも小さい上面面積を有するめっき層16を有する。そのため、電極層14の上面全面にめっき層を有する従来例と異なり、めっきの消費量を低減させることができる。

[0041] また、電極層14が露出した部分（露出部分14b）が、実装時における導電材18の塗布余剰分の逃げ場となるため、電極層14外へのはみ出しを

防ぐことができる。この場合、電極層 14 の外周のうち、外周の全てを含むことなく、少なくとも 1 つの辺を含む部分が露出しているため、第 1 電子部品 10A と比して、めっきの消費量の低減効果は低くなる。しかし、多数個取り基板で電子部品を作製する際に、作り易いという効果がある。これについては後述する。

[0042] 次に、第 3 の本実施の形態に係る電子部品（以下、第 3 電子部品 10C と記す）について図 4A 及び図 4B を参照しながら説明する。

[0043] この第 3 電子部品 10C は、図 4A 及び図 4B に示すように、上述した第 1 電子部品 10A とほぼ同様の構成を有するが、以下の点で異なる。すなわち、電極層 14 の上面形状が多角形であって、めっき層 16 から露出している部分（露出部分 14b）が、電極層 14 の外周のうち、外周の全てを含むことなく、1 つの辺の一部を含む。

[0044] 露出部分 14b の位置は、複数の電極層 14 毎に異ならせてもよいし、各電極層 14 毎に異ならせてもよい。もちろん、全ての電極層 14 において同じ位置に露出部分 14b を形成してもよい。また、各電極層 14 の辺のうち、基板 12 の辺に最も近接する 1 つの辺の一部、あるいは最も遠い 1 つの辺の一部を含む部分を露出させてもよい。

[0045] 図 4A 及び図 4B に、その一例を示す。すなわち、マトリクス状に配列された 4 つの電極層 14 のうち、基板 12 の第 1 辺 12a 寄りに形成された 2 つの電極層 14 は、該第 1 辺 12a に最も近接する 1 つの辺 22a の一部を含む部分が露出している。基板 12 の第 2 辺 12b 寄りに形成された 2 つの電極層 14 は、該第 2 辺 12b に最も近接する 1 つの辺 22b の一部を含む部分が露出している。

[0046] この第 3 電子部品 10C においても、電極層 14 の上面 14a に、該電極層 14 の上面面積よりも小さい上面面積を有するめっき層 16 を有する。そのため、電極層 14 の上面全面にめっき層を有する従来例と異なり、めっきの消費量を低減させることができる。

[0047] また、電極層 14 が露出した部分（露出部分 14b）が、実装時における

導電材 1 8 の塗布余剰分の逃げ場となるため、電極層 1 4 外へのはみ出しを防ぐことができる。

[0048] なお、上述した第 2 電子部品 1 0 B 及び第 3 電子部品 1 0 C においては、電極層 1 4 の上面形状を多角形としたが、多角形以外でもよいことはもちろんである。

[0049] 次に、本実施の形態に係る電子部品の製造方法について説明する。

[0050] 最初に、第 1 の本実施の形態に係る製造方法（第 1 製造方法）について図 5 A ～図 1 0 B を参照しながら説明する。

[0051] 先ず、図 5 A 及び図 5 B に示すように、分離することによって多数個の電子部品 1 0 を取り出すための多数個取り基板 2 4 （原板）の一主面 2 4 a に、後の分離工程において多数個の電子部品 1 0 に分離するための複数の溝（ブレイクライン 2 6）を形成する。図 5 A の例では、多数個取り基板 2 4 の一主面 2 4 a に対して、横方向と縦方向にそれぞれ複数のブレイクライン 2 6 を形成することによって、ブレイクライン 2 6 を格子状に形成した例を示す。この格子状のブレイクライン 2 6 で区画される各格子の部分がそれぞれ電子部品 1 0 となる。多数個取り基板 2 4 を構成する材料としては、例えばアルミナ、ベリリア、窒化アルミニウム、窒化ホウ素、窒化珪素等を挙げることができる。

[0052] その後、多数個取り基板 2 4 の一主面 2 4 a に、電子部品 1 0 単位（電子部品 1 0 の区画単位）にそれぞれ複数の電極層 1 4 を例えばスクリーン印刷等によって形成する（電極層形成工程）。例えば電子部品 1 0 単位に、4 つの矩形状の電極層 1 4 をマトリクス状に配列形成する。電極層 1 4 を構成する材料としては、例えばタングステン、モリブデン、マンガン等を挙げることができる。

[0053] その後、図 6 A ～図 7 B に示すように、電極層 1 4 間を電氣的に接続する導通部を有する第 1 マスク 3 0 A（図 7 B 参照）を形成する（マスク形成工程）。例えば横方向に延在するブレイクライン 2 6 上に第 1 マスク 3 0 A を形成する。このとき、第 1 マスク 3 0 A を、横方向に延在するブレイクライ

ン 2 6 を間に挟んで対向する電極層 1 4 の各一部にオーバーラップさせて形成する。第 1 マスク 3 0 A は、図 7 B に示すように、導通部となる第 1 導電層 3 2 a と、第 1 導電層 3 2 a を被覆する電氣的絶縁材料による第 1 マスク層 3 4 a とを有する。第 1 導電層 3 2 a を構成する材料としては、例えば熱硬化型導電性銀ペースト、感光性銀ペースト、銀ナノペースト、金ナノペースト等を挙げることができる。第 1 マスク層 3 4 a を構成する材料としては、例えば感光性レジスト、熱硬化型レジスト、その他有機系の保護材等を挙げることができる。

[0054] 第 1 マスク 3 0 A の形成方法は、具体的には、図 6 A 及び図 6 B に示すように、先ず、横方向に延在するブレイクライン 2 6 上に第 1 導電層 3 2 a を例えばスクリーン印刷等によって形成する。このとき、横方向に延在するブレイクライン 2 6 を間に挟んで対向する電極層 1 4 の各一部にオーバーラップさせて形成する。この第 1 導電層 3 2 a の形成によって、全ての電極層 1 4 が第 1 導電層 3 2 a を介して電氣的に接続されることになる。

[0055] その後、図 7 A 及び図 7 B に示すように、第 1 導電層 3 2 a を被覆する第 1 マスク層 3 4 a を例えばスクリーン印刷等によって形成する。この場合も、横方向に延在するブレイクライン 2 6 を間に挟んで対向する電極層 1 4 の各一部にオーバーラップさせ、且つ、第 1 導電層 3 2 a を被覆するように形成する。すなわち、露出する第 1 導電層 3 2 a の上面から側面にかけて第 1 マスク層 3 4 a で被覆する。

[0056] その後、図 8 A 及び図 8 B に示すように、第 1 マスク 3 0 A によって電氣的に接続された全ての電極層 1 4 上にめっき層 1 6 を形成する（めっき工程）。めっき層 1 6 は、S n、C u、Z n、N i、A u 及びこの組み合わせ等を挙げることができる。このとき、各電極層 1 4 のうち、それぞれ第 1 マスク 3 0 A（特に、第 1 マスク層 3 4 a）から露出する部分にめっき層 1 6 が形成される。すなわち、電極層 1 4 全面にめっき層 1 6 は形成されず、電極層 1 4 上には、電極層 1 4 の上面面積よりも小さい上面面積を有するめっき層 1 6 が形成される。特に、第 1 導電層 3 2 a の上面から側面にかけて第 1

マスク層 34 a で被覆したので、めっき液が第 1 導電層 32 a まで浸入することがない。確実に、電極層 14 上に、電極層 14 の上面面積よりも小さい上面面積を有するめっき層 16 を形成することができる。

[0057] その後、図 9 A 及び図 9 B に示すように、第 1 マスク 30 A を取り除く（マスク除去工程）。例えば第 1 マスク層 34 a の端部を治具で挟んで引き剥がす（ピールする）ことにより行うことができる。従って、多数個取り基板 24 と第 1 導電層 32 a との密着力は、第 1 導電層 32 a と第 1 マスク層 34 a との密着力よりも低いことが好ましい。これにより、第 1 導電層 32 a の残渣を残すことなく、第 1 マスク 30 A を確実に引き剥がすことができる。特に、多数個取り基板 24 の一主面 24 a にブレイクライン 26 を設けた場合は、ブレイクライン 26 内にも第 1 導電層 32 a が入り込み、いわゆるアンカー効果で、多数個取り基板 24 と第 1 導電層 32 a との密着力が高められる。そのため、これを見越して、第 1 導電層 32 a と第 1 マスク層 34 a との密着力を高めておくことが好ましい。

[0058] そして、このマスク除去工程で、第 1 マスク 30 A を取り除くことによって、電極層 14 の上面 14 a に、電極層 14 の上面面積よりも小さい上面面積を有するめっき層 16 が形成される。それと共に、電極層 14 の上面 14 a のうち、該電極層 14 の外周の少なくとも一部を含む部分が、めっき層 16 から露出した状態となる。特に、電子部品 10 単位で見ると、例えば図 3 A に示す第 2 電子部品 10 B における電極層 14 とめっき層 16 との関係と同じ形態となる。

[0059] その後、図 10 A に示すように、多数個取り基板 24 の状態で、各電子部品 10 の特性検査を行う。上述したマスク形成工程及びマスク除去工程によって、従来のようなパッドパターンを形成することなく、全ての電極層 14 上にめっき層 16 が形成される。しかも、各電子部品 10 が電氣的に独立していることから、多数個取り基板 24 の状態で、各電子部品 10 の特性検査を行うことができる。そのため、従来において必要であった多数の電子部品 10 を検査工程に搬送する手間や、多数の電子部品 10 を治具上に設置する

手間等が不要となる。

[0060] その後、図 10 B に示すように、多数個取り基板 24 を分離して、多数個の電子部品 10 とする（分離工程）。この場合、多数個の第 2 電子部品 10 B が作製されることとなる。

[0061] このように、第 1 製造方法においては、多数個取り基板 24 の状態で、電子部品 10 単位の特性検査を行うことが可能であるばかりでなく、導電材 18 同士の接触による短絡を防止でき、しかも、めっきの消費量の低減を図ることができる。小型化、高集積化、コストの低減化を実現させることができる多数個の電子部品 10 を作製することができる。電子部品 10 の歩留まり、生産性も向上する。

[0062] 次に、第 2 の実施の形態に係る電子部品の製造方法（以下、第 2 製造方法と記す）について図 11 A ～図 12 B を参照しながら説明する。

[0063] 先ず、上述した第 1 製造方法と同様に、多数個取り基板 24 の一主面 24 a に、複数のブレイクライン 26 を形成する（図 5 A 及び図 5 B 参照）。

[0064] その後、上述した第 1 製造方法と同様に、多数個取り基板 24 の一主面 24 a に、電子部品 10 単位（電子部品 10 の区画単位）にそれぞれ複数の電極層 14 を例えばスクリーン印刷等によって形成する（図 5 A 及び図 5 B 参照：電極層形成工程）。

[0065] その後、図 11 A 及び 11 B に示すように、電極層 14 間を電氣的に接続する導通部を有する第 2 マスク 30 B を形成する（図 11 B 参照：マスク形成工程）。この場合、第 1 製造方法と同様に、第 2 マスク 30 B を、横方向に延在するブレイクライン 26 を間に挟んで対向する電極層 14 の各一部にオーバーラップさせて形成する。特に、この第 2 製造方法では、第 2 マスク 30 B の構造及び第 2 マスク 30 B の形成手順が第 1 マスク 30 A の場合と異なる。

[0066] すなわち、第 2 マスク 30 B は、図 11 B に示すように、電氣的絶縁材料や導電材料による第 2 マスク層 34 b と、該第 2 マスク層 34 b を被覆する導通部となる第 2 導電層 32 b とを有する。第 2 マスク層 34 b を構成する

材料としては、例えば感光性レジスト、熱硬化型レジスト、その他有機系の保護材等を挙げることができる。第2導電層32bを構成する材料としては、例えば熱硬化型導電性銀ペースト、感光性銀ペースト、銀ナノペースト、金ナノペースト等を挙げることができる。

[0067] そして、第2マスク30Bの形成方法は、具体的には、図11Aに示すように、先ず、横方向に延在するブレイクライン26上に第2マスク層34bを例えばスクリーン印刷等によって形成する。このとき、横方向に延在するブレイクライン26を間に挟んで対向する電極層14の各一部にオーバーラップさせて形成する。その後、第2マスク層34bを被覆する第2導電層32bを例えばスクリーン印刷等によって形成する。この場合も、横方向に延在するブレイクライン26を間に挟んで対向する電極層14の各一部にオーバーラップさせ、且つ、第2マスク層34bを被覆するように形成する。すなわち、露出する第2マスク層34bの上面から側面にかけて第2導電層32bで被覆する。この第2導電層32bの形成によって、全ての電極層14が第2導電層32bを介して電氣的に接続されることになる。

[0068] その後、図12Aに示すように、第2マスク30Bによって電氣的に接続された全ての電極層14上にめっき層16を形成する（めっき工程）。このとき、各電極層14のうち、それぞれ第2マスク30B（特に、第2導電層32b）から露出する部分にめっき層16が形成される。すなわち、電極層14全面にめっき層16は形成されず、電極層14上には、電極層14の上面面積よりも小さい上面面積を有するめっき層16が形成される。なお、第2マスク30Bの第2導電層32b上にもめっき層16が形成される。特に、第2マスク層34bの上面から側面にかけて第2導電層32bで被覆したので、めっき液が第2マスク層34bまで浸入することがない。確実に、電極層14上に、電極層14の上面面積よりも小さい上面面積を有するめっき層16を形成することができる。

[0069] その後、図12Bに示すように、第2マスク30Bを取り除く（マスク除去工程）。例えば第2マスク層34bの端部を治具で挟んで引き剥がす（ピ

ールする) ことにより、その上の第2導電層32b及びめっき層16と共に除去することができる(リフトオフ)。その他、第2マスク層34bを液体等で分解、溶解したり、予め多数個取り基板24と第2マスク層34bとの密着力を低減しておく等の方法を好ましく採用することができる。

[0070] そして、このマスク除去工程で、第2マスク30Bを取り除くことによって、第1製造方法と同様に、電極層14の上面14aに、電極層14の上面面積よりも小さい上面面積を有するめっき層16が形成される。それと共に、電極層14の上面14aのうち、該電極層14の外周の少なくとも一部を含む部分がめっき層16から露出した状態となる。

[0071] その後、図10Aに示すように、多数個取り基板24の状態、各電子部品10の特性検査を行う。その後、図10Bに示すように、多数個取り基板24を分離して、多数個の電子部品10とする(分離工程)。

[0072] このように、第2製造方法においても、多数個取り基板24の状態、電子部品10単位の特性検査を行うことが可能であるばかりでなく、導電材18同士の接触による短絡を防止でき、しかも、めっきの消費量の低減を図ることができる。小型化、高集積化、コストの低減化を実現させることができる多数個の電子部品10を作製することができる。電子部品の歩留まり、生産性も向上する。

[0073] 次に、第3の実施の形態に係る電子部品の製造方法(以下、第3製造方法と記す)について図13A～図14Bを参照しながら説明する。

[0074] 先ず、上述した第1製造方法と同様に、多数個取り基板24の一主面24aに、複数のブレイクライン26を形成する。その後、多数個取り基板24の一主面24aに、電子部品10単位(電子部品10の区画単位)にそれぞれ複数の電極層14を例えばスクリーン印刷等によって形成する(電極層形成工程)。

[0075] そして、図13A及び図13Bに示すように、電極層14間を電氣的に接続する導通部を有する第3マスク30Cを形成する(マスク形成工程)。この場合、第2製造方法と同様に、第3マスク30Cを、横方向に延在するブ

レイクライン 26 を間に挟んで対向する電極層 14 の各一部にオーバーラップさせて形成する。特に、この第 3 製造方法では、第 3 マスク 30C の構造及び第 3 マスク 30C の形成手順が第 1 マスク 30A 及び第 2 マスク 30B の場合と異なる。

[0076] すなわち、第 3 マスク 30C は、図 13B に示すように、電氣的絶縁材料や導電材料による第 3 マスク層 34c と、該第 3 マスク層 34c を被覆する導通部となる第 3 導電層 32c と、第 3 導電層 32c を被覆する絶縁層 36 とを有する。第 3 マスク層 34c を構成する材料としては、例えば感光性レジスト、熱硬化型レジスト、その他有機系の保護材等を挙げることができる。第 3 導電層 32c を構成する材料としては、例えば熱硬化型導電性銀ペースト、感光性銀ペースト、銀ナノペースト、金ナノペースト等を挙げることができる。絶縁層 36 を構成する材料としては、例えば感光性レジスト、熱硬化型レジスト、その他有機系の保護材等を挙げることができる。

[0077] そして、第 3 マスク 30C の形成方法は、具体的には、図 13A に示すように、先ず、横方向に延在するブレイクライン 26 上に第 3 マスク層 34c を例えばスクリーン印刷等によって形成する。このとき、横方向に延在するブレイクライン 26 を間に挟んで対向する電極層 14 の各一部にオーバーラップさせて形成する。その後、第 3 マスク層 34c を被覆する第 3 導電層 32c を例えばスクリーン印刷等によって形成する。この場合も、横方向に延在するブレイクライン 26 を間に挟んで対向する電極層 14 の各一部にオーバーラップさせ、且つ、第 3 マスク層 34c を被覆するように形成する。すなわち、露出する第 3 マスク層 34c の上面から側面にかけて第 3 導電層 32c で被覆する。この第 3 導電層 32c の形成によって、全ての電極層 14 が第 3 導電層 32c を介して電氣的に接続されることになる。さらに、第 3 導電層 32c を被覆する絶縁層 36 を例えばスクリーン印刷等によって形成する。この場合も、横方向に延在するブレイクライン 26 を間に挟んで対向する電極層 14 の各一部にオーバーラップさせ、且つ、第 3 導電層 32c を被覆するように形成する。すなわち、露出する第 3 導電層 32c の上面から

側面にかけて絶縁層 3 6 で被覆する。

[0078] その後、図 1 4 A に示すように、第 3 マスク 3 0 C によって電氣的に接続された全ての電極層 1 4 上にめっき層 1 6 を形成する（めっき工程）。このとき、各電極層 1 4 のうち、それぞれ第 3 マスク 3 0 C（特に、絶縁層 3 6）から露出する部分にめっき層 1 6 が形成される。すなわち、電極層 1 4 全面にめっき層 1 6 は形成されず、電極層 1 4 上には、電極層 1 4 の上面面積よりも小さい上面面積を有するめっき層 1 6 が形成される。なお、第 3 マスク 3 0 C の絶縁層 3 6 上にはめっき層 1 6 は形成されない。特に、第 3 マスク層 3 4 c の上面から側面にかけて第 3 導電層 3 2 c で被覆し、第 3 導電層 3 2 c の上面から側面にかけて絶縁層 3 6 で被覆したので、めっき液が第 3 導電層 3 2 c や第 3 マスク層 3 4 c まで浸入することがない。確実に、電極層 1 4 上に、電極層 1 4 の上面面積よりも小さい上面面積を有するめっき層 1 6 を形成することができる。

[0079] その後、図 1 4 B に示すように、第 3 マスク 3 0 C を取り除く（マスク除去工程）。例えば第 3 マスク層 3 4 c の端部を治具で挟んで引き剥がす（ピールする）ことにより、その上の第 3 導電層 3 2 c 及び絶縁層 3 6 と共に除去することができる（リフトオフ）。その他、第 3 マスク層 3 4 c を液体等で分解、溶解したり、予め多数個取り基板 2 4 と第 3 マスク層 3 4 c との密着力を低減しておく等の方法を好ましく採用することができる。

[0080] そして、このマスク除去工程で、第 3 マスク 3 0 C を取り除くことによって、第 1 製造方法及び第 2 製造方法と同様に、電極層 1 4 の上面 1 4 a に、電極層 1 4 の上面面積よりも小さい上面面積を有するめっき層 1 6 が形成される。それと共に、電極層 1 4 の上面 1 4 a のうち、該電極層 1 4 の外周の少なくとも一部を含む部分がめっき層 1 6 から露出した状態となる。

[0081] その後、図 1 0 A に示すように、多数個取り基板 2 4 の状態で、各電子部品 1 0 の特性検査を行う。その後、図 1 0 B に示すように、多数個取り基板 2 4 を分離して、多数個の電子部品 1 0 とする（分離工程）。

[0082] このように、第 3 製造方法においても、多数個取り基板 2 4 の状態で、電

子部品 10 単位の特性検査を行うことが可能であるばかりでなく、導電材 18 同士の接触による短絡を防止でき、しかも、めっきの消費量の低減を図ることができる。小型化、高集積化、コストの低減化を実現させることができる多数個の電子部品 10 を作製することができる。電子部品 10 の歩留まり、生産性も向上する。

[0083] 上述の例では、多数個取り基板 24 の一主面 24 a にブレイクライン 26 を形成した例を示したが、他主面にもブレイクライン 26 を形成してもよい。

[0084] その他、図示しないが、多数個取り基板 24 の一主面 24 a にブレイクライン 26 を形成せずに、他主面にブレイクライン 26 を形成してもよい。また、一主面 24 a 及び他主面共にブレイクライン 26 を形成しなくてもよい。これらの場合、第 1 マスク 30 A ~ 第 3 マスク 30 C の密着力について、ブレイクライン 26 によるアンカー効果を考慮する必要がなくなる。

[0085] なお、本発明に係る電子部品及びその製造方法は、上述の実施の形態に限らず、本発明の要旨を逸脱することなく、種々の構成を採り得ることはもちろんである。

請求の範囲

- [請求項1] 基板（１２）と、
 前記基板（１２）上に形成された電極層（１４）と、
 前記電極層（１４）の上面に形成され、前記電極層（１４）の上面面積よりも小さい上面面積を有するめっき層（１６）と、を有し、
 前記電極層（１４）の上面のうち、該電極層（１４）の外周の少なくとも一部を含む部分が前記めっき層（１６）から露出していることを特徴とする電子部品。
- [請求項2] 請求項１記載の電子部品において、
 前記めっき層（１６）から露出している前記部分は、前記電極層（１４）の外周全てを含むことを特徴とする電子部品。
- [請求項3] 請求項１記載の電子部品において、
 前記電極層（１４）の上面形状が多角形であって、
 前記めっき層（１６）から露出している前記部分は、前記電極層（１４）の外周のうち、少なくとも１つの辺を含むことを特徴とする電子部品。
- [請求項4] 請求項１記載の電子部品において、
 前記電極層（１４）の上面形状が多角形であって、
 前記めっき層（１６）から露出している前記部分は、前記電極層（１４）の外周のうち、１つの辺の一部を含むことを特徴とする電子部品。
- [請求項5] 請求項１～４のいずれか１項に記載の電子部品において、
 前記めっき層（１６）は、電子部品の実装の際に用いられる導電材（１８）の濡れ性が、前記電極層（１４）よりも優れていることを特徴とする電子部品。
- [請求項6] 原板（２４）上に、電子部品単位にそれぞれ電極層（１４）を形成する電極層形成工程と、
 前記電極層（１４）間に、前記電極層（１４）間を電氣的に接続す

る導通部を有するマスクを形成するマスク形成工程と、

前記マスクによって電氣的に接続された前記電極層（１４）上にめっき層（１６）を形成するめっき工程と、

前記マスクを取り除くマスク除去工程と、

前記基板（２４）の状態で、特性検査を行う工程と、

前記基板（２４）を分離して複数の電子部品とする分離工程と、を有することを特徴とする電子部品の製造方法。

[請求項7]

請求項６記載の電子部品の製造方法において、

前記マスク形成工程は、

前記マスクを前記電極層（１４）の一部にオーバーラップさせて形成することを特徴とする電子部品の製造方法。

[請求項8]

請求項６又は７記載の電子部品の製造方法において、

前記マスク形成工程で形成される前記マスクは、前記導通部となる導電層（３２ａ）と、前記導電層（３２ａ）を被覆するマスク層（３４ａ）と、を有し、

前記マスク形成工程は、

前記電極層（１４）間に、前記導電層（３２ａ）を形成する工程と、

前記導電層（３２ａ）を被覆する前記マスク層（３４ａ）を形成する工程と、を有することを特徴とする電子部品の製造方法。

[請求項9]

請求項６又は７記載の電子部品の製造方法において、

前記マスク形成工程で形成される前記マスクは、マスク層（３４ｂ）と、該マスク層（３４ｂ）上に形成される前記導通部となる導電層（３２ｂ）と、を有し、

前記マスク形成工程は、

前記電極層（１４）間に、前記マスク層（３４ｂ）を形成する工程と、

前記電極層（１４）間を電氣的に接続するように前記マスク層（３

4 b) 上に前記導電層 (3 2 b) を形成する工程と、を有し、

前記マスク除去工程は、前記導電層 (3 2 b) 上に形成された前記めっき層 (1 6) と共に、前記マスクを取り除くことを特徴とする電子部品の製造方法。

[請求項10]

請求項 6 又は 7 記載の電子部品の製造方法において、

前記マスク形成工程で形成される前記マスクは、マスク層 (3 4 c) と、該マスク層 (3 4 c) 上に形成される前記導通部となる導電層 (3 2 c) と、該導電層 (3 2 c) を被覆する絶縁層 (3 6) とを有し、

前記マスク形成工程は、

前記電極層 (1 4) 間に、前記マスク層 (3 4 c) を形成する工程と、

前記電極層 (1 4) 間を電氣的に接続するように前記マスク層 (3 4 c) 上に前記導電層 (3 2 c) を形成する工程と、

前記導電層 (3 2 c) を被覆する前記絶縁層 (3 6) を形成する工程と、を有することを特徴とする電子部品の製造方法。

[請求項11]

請求項 6 ～ 1 0 のいずれか 1 項に記載の電子部品の製造方法において、

前記基板 (2 4) の一方又は両方の主面に、前記分離工程において前記複数の電子部品に分離するための複数の溝 (2 6) が予め形成されることを特徴とする電子部品の製造方法。

[請求項12]

請求項 1 1 記載の電子部品の製造方法において、

前記複数の溝 (2 6) は、前記基板 (2 4) の一方向に配列された複数の第 1 溝と、前記基板 (2 4) の前記一方向とは異なる他方向に配列された複数の第 2 溝とを有することを特徴とする電子部品の製造方法。

[請求項13]

請求項 6 ～ 1 0 のいずれか 1 項に記載の電子部品の製造方法において、

前記基板（２４）の他方の主面に、前記分離工程において前記複数の電子部品に分離するための溝（２６）が予め形成され、

前記マスク形成工程は、前記基板（２４）の一方の主面上であって前記溝（２６）に対応した部分に前記マスクを形成することを特徴とする電子部品の製造方法。

[請求項14]

請求項１３記載の電子部品の製造方法において、

複数の前記溝（２６）は、前記基板（２４）の一方向に配列された複数の第１溝と、前記基板（２４）の前記一方向とは異なる他方向に配列された複数の第２溝とを有し、

前記マスク形成工程は、前記基板（２４）の前記他方の主面における前記第１溝に対応した部分あるいは前記第２溝に対応した部分に前記マスクを形成することを特徴とする電子部品の製造方法。

[図1]

FIG. 1A

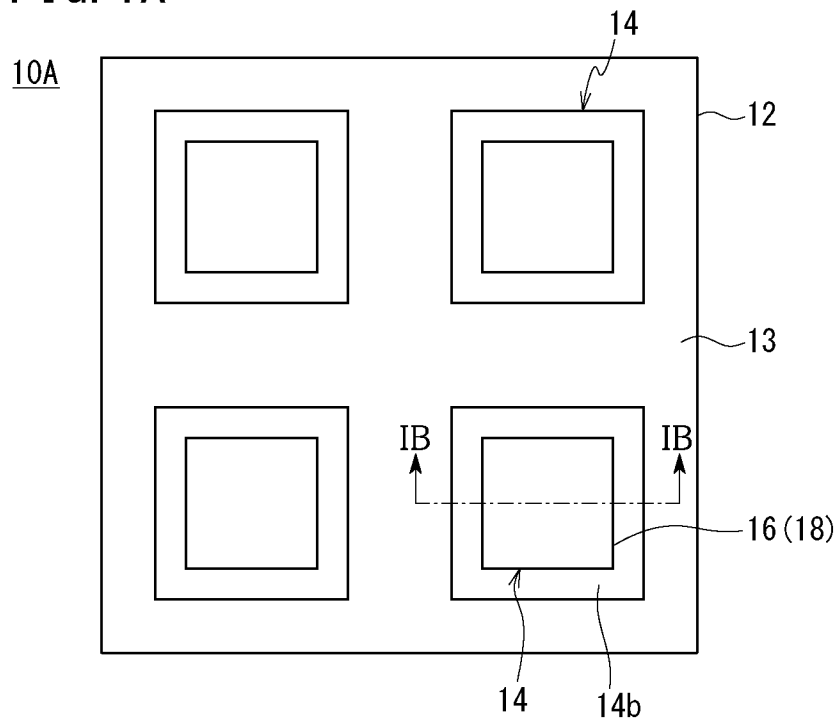
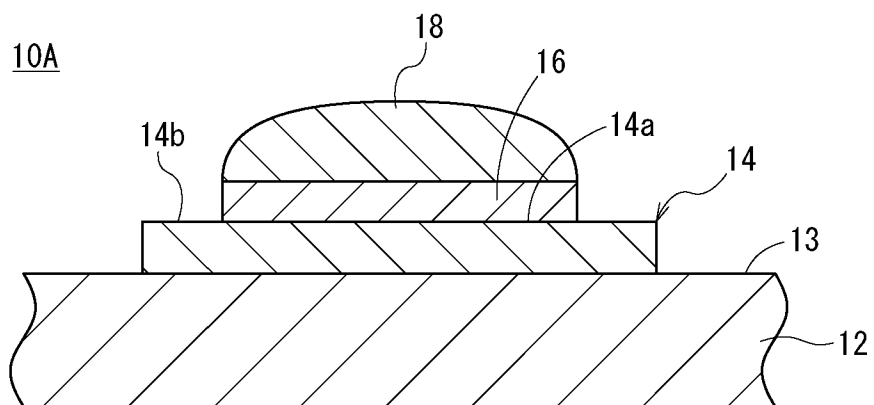
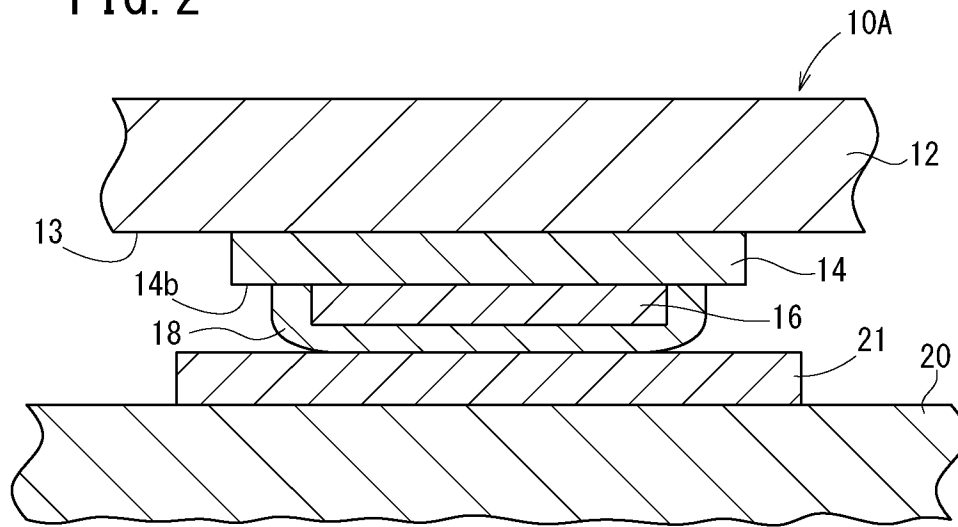


FIG. 1B



[図2]

FIG. 2



[図3]

FIG. 3A

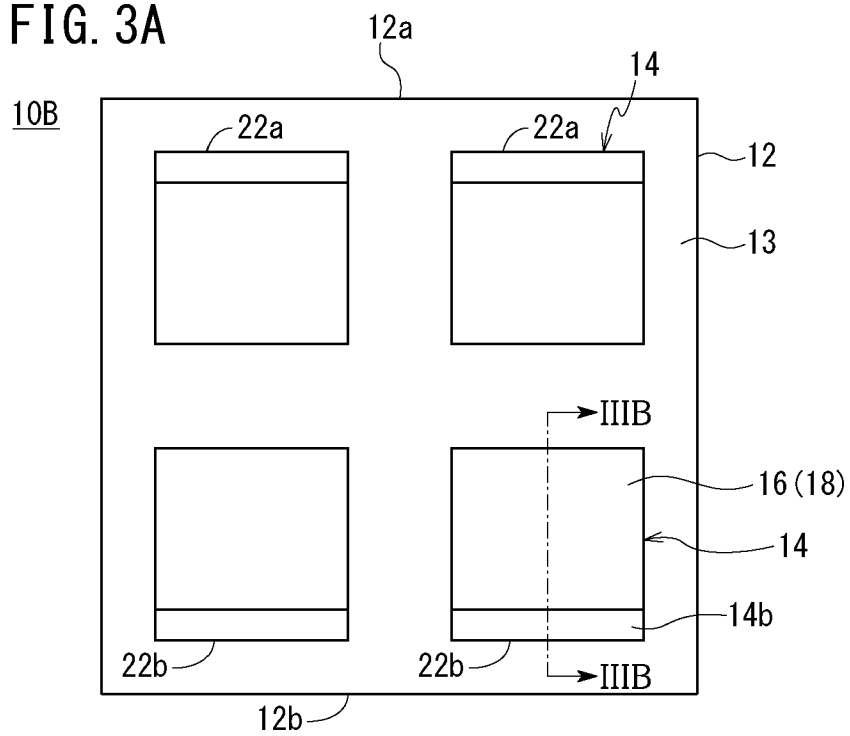
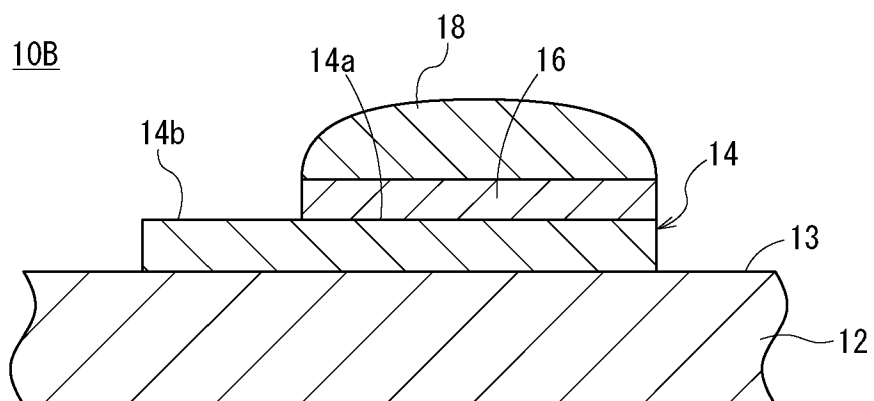


FIG. 3B



[図4]

FIG. 4A

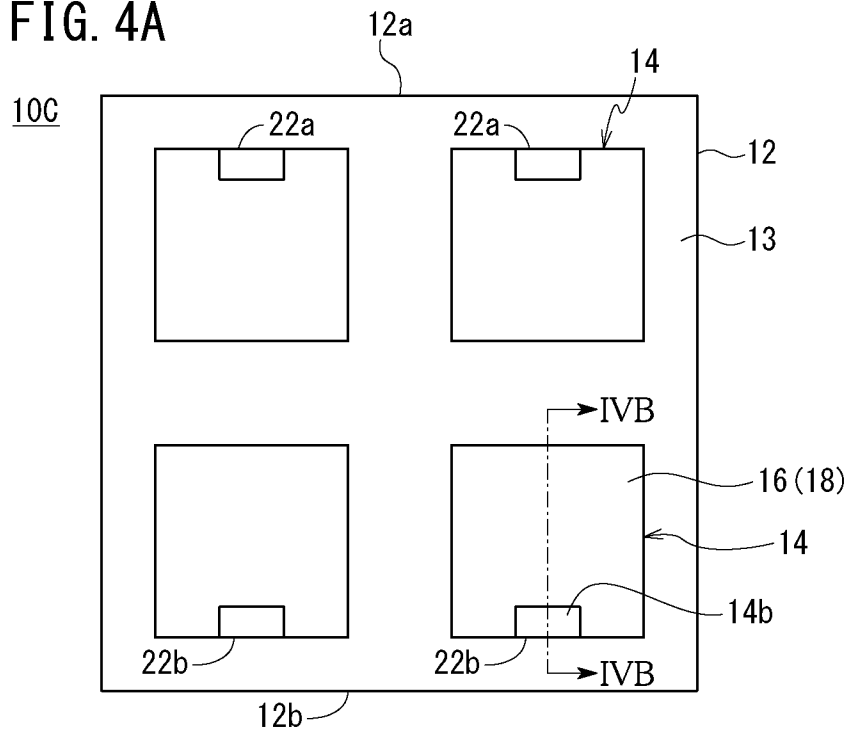
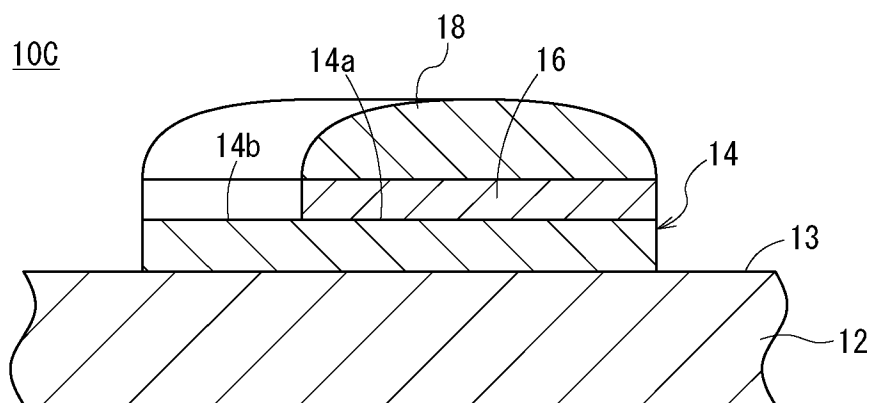


FIG. 4B



[図5]

FIG. 5A

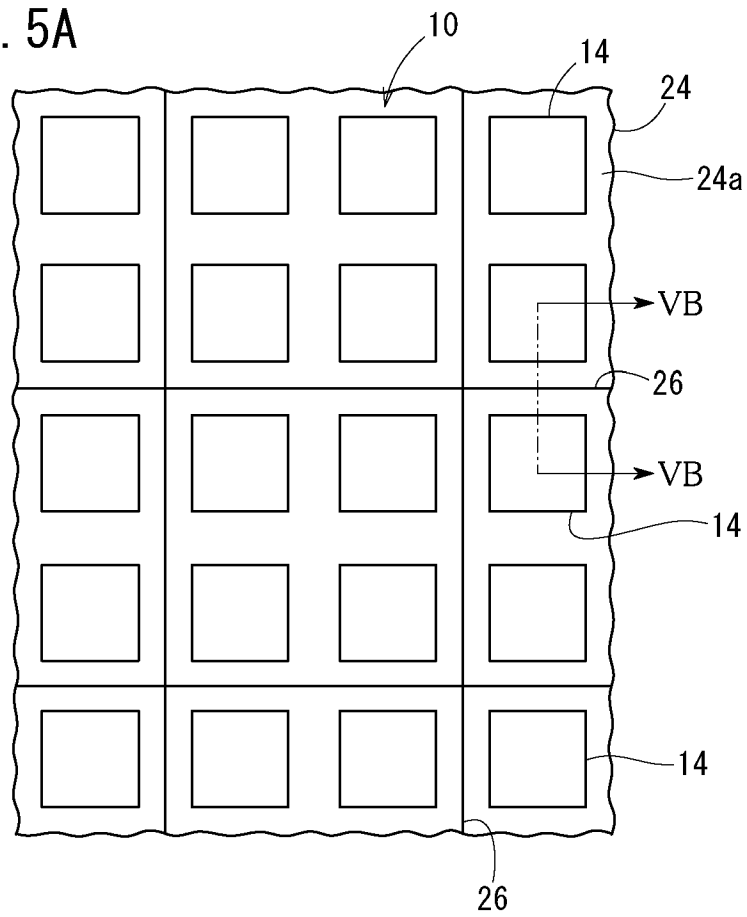
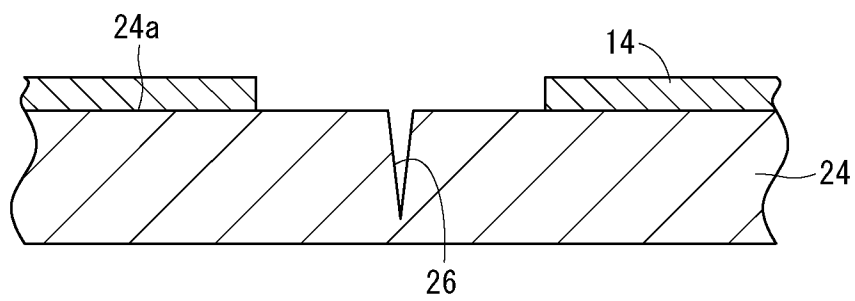


FIG. 5B



[図6]

FIG. 6A

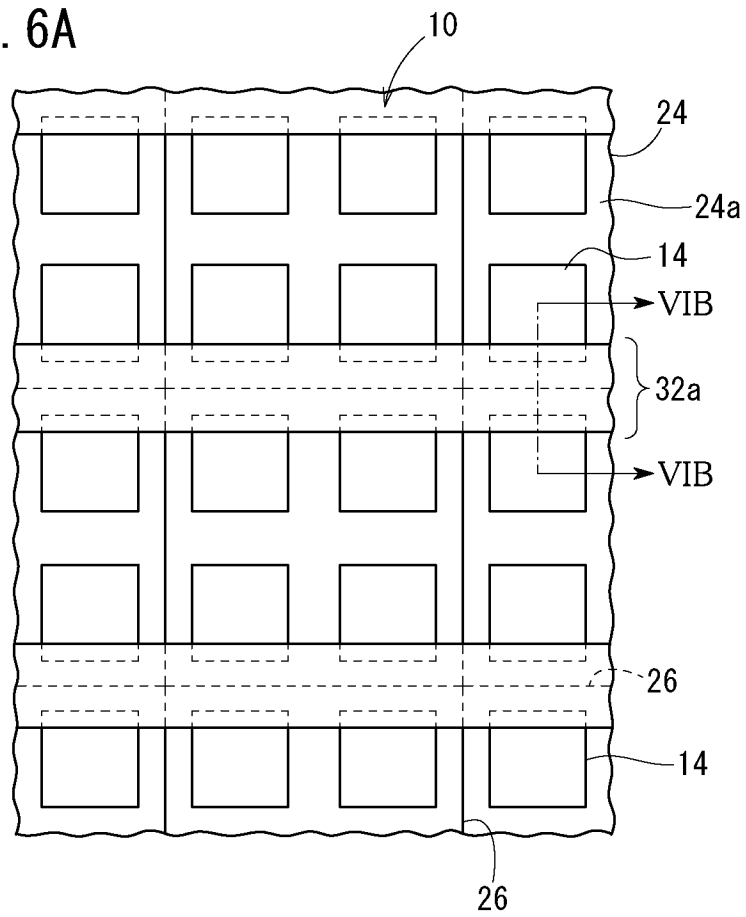
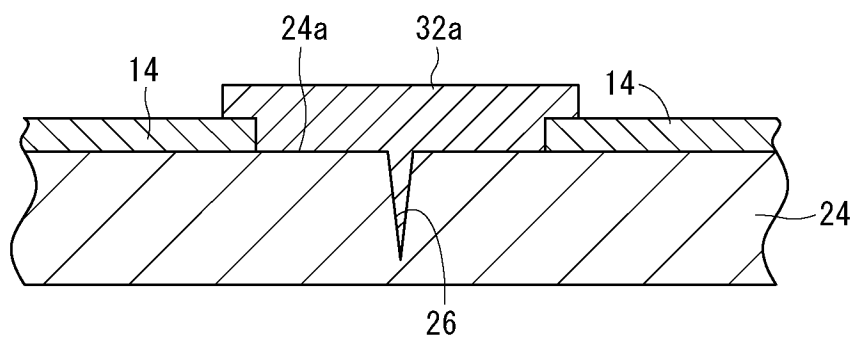


FIG. 6B



[図7]

FIG. 7A

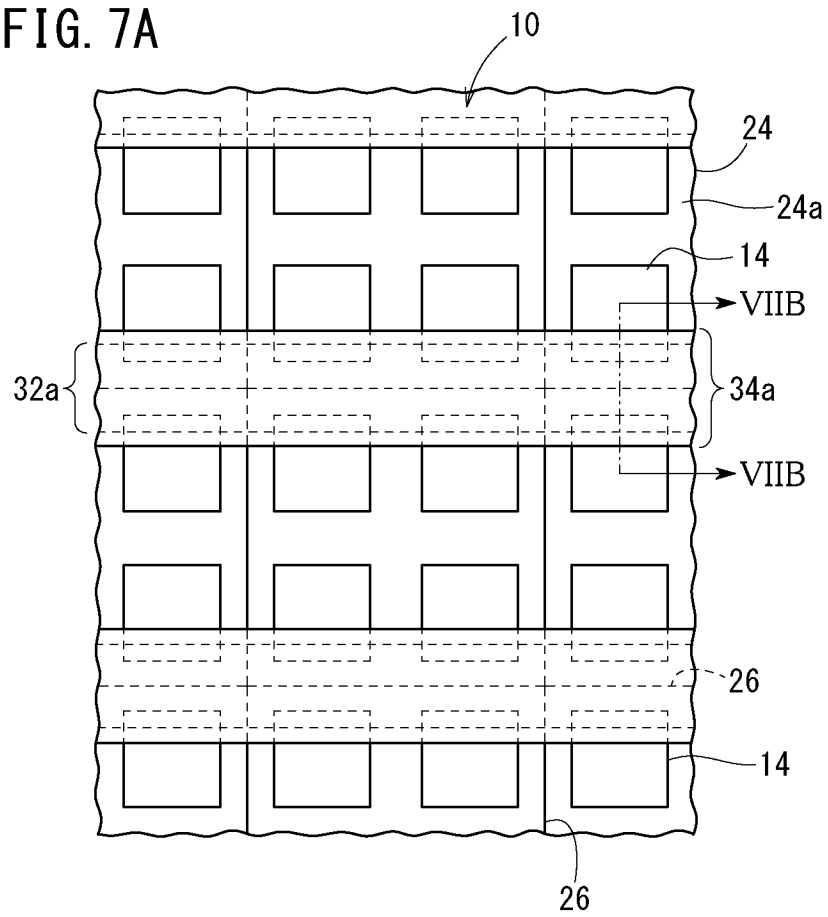


FIG. 7B

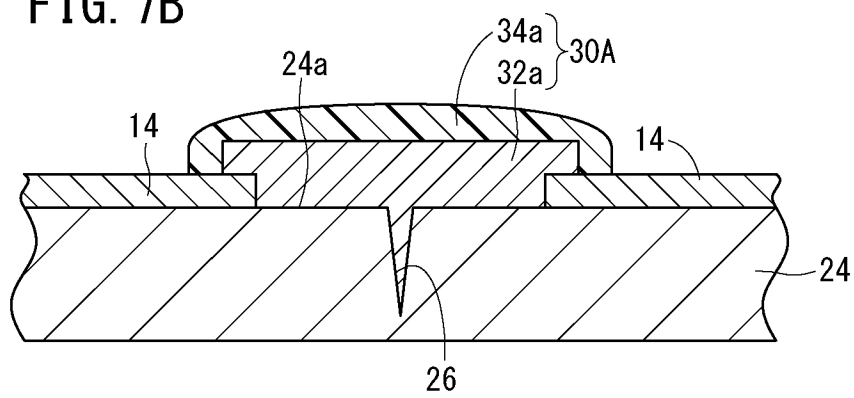


FIG. 8A

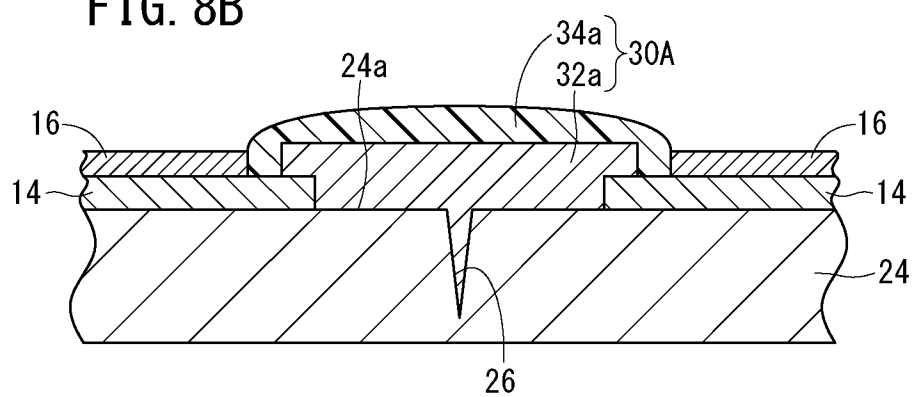
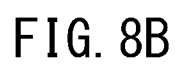
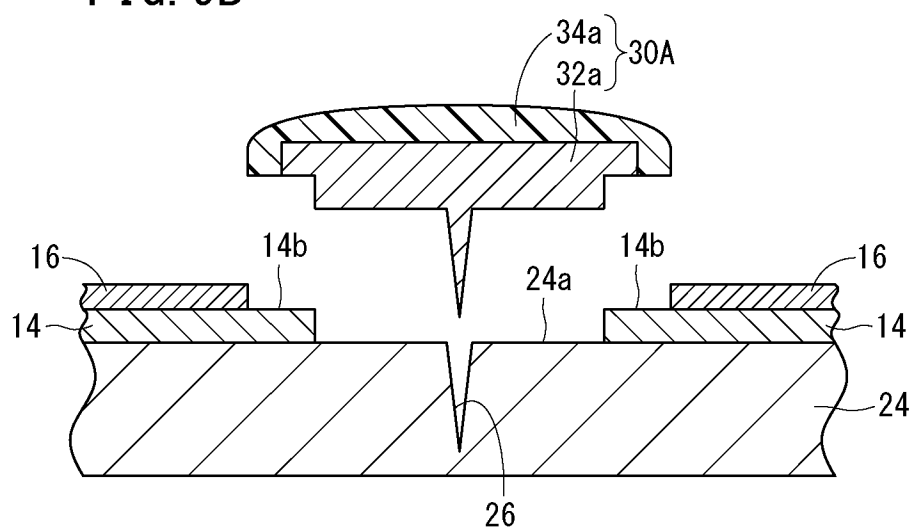
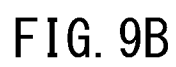


FIG. 9A



[図10]

FIG. 10A

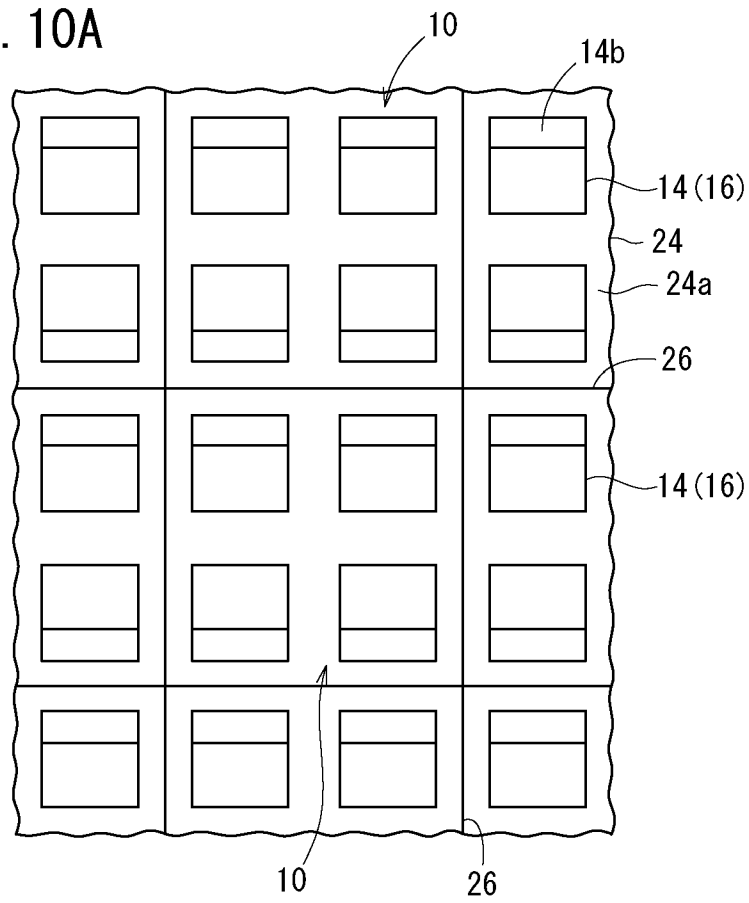
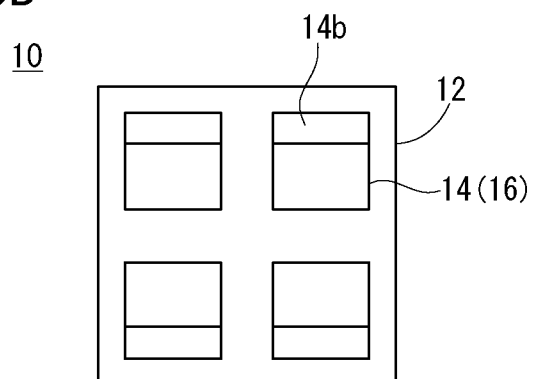


FIG. 10B



[図11]

FIG. 11A

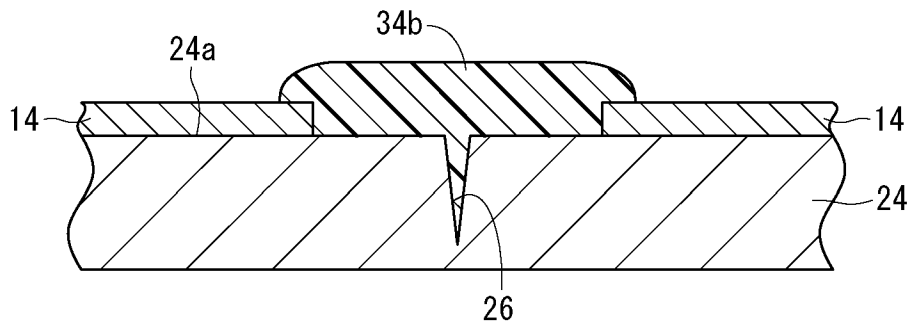
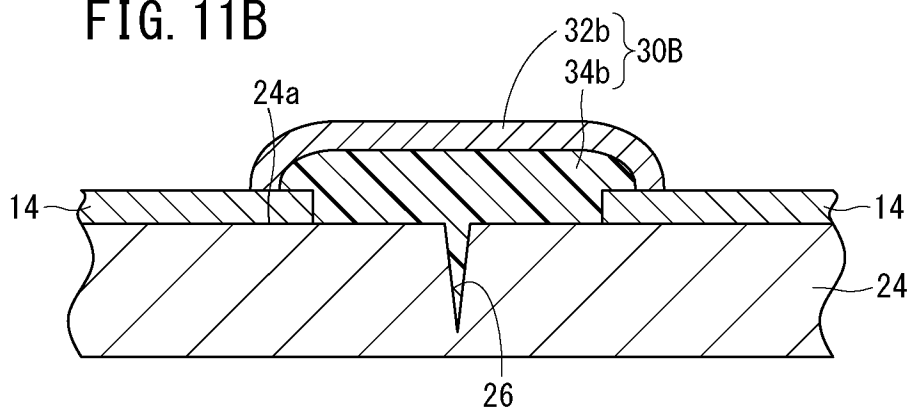


FIG. 11B



[図12]

FIG. 12A

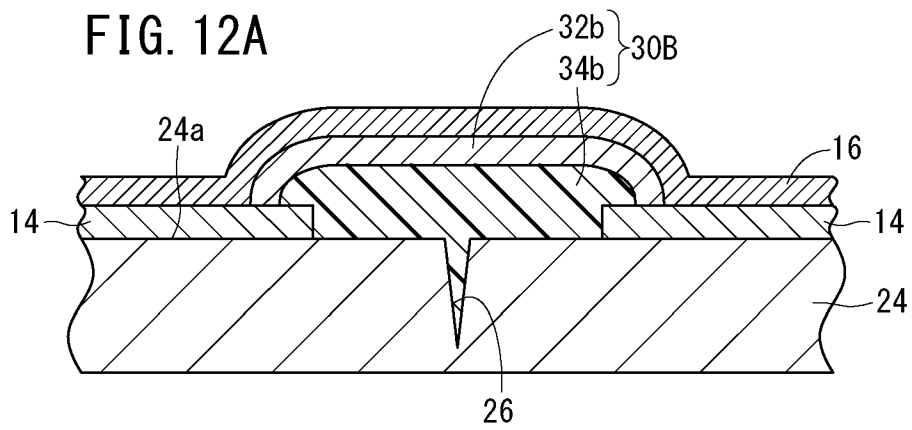
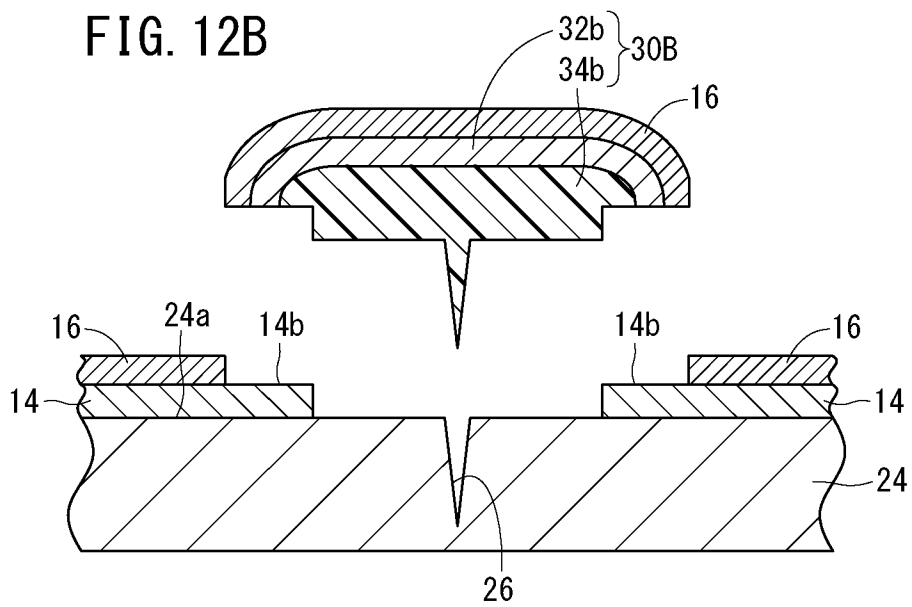


FIG. 12B



[図13]

FIG. 13A

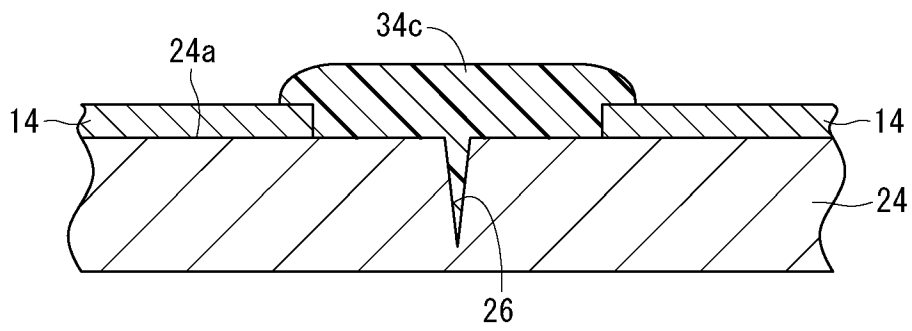
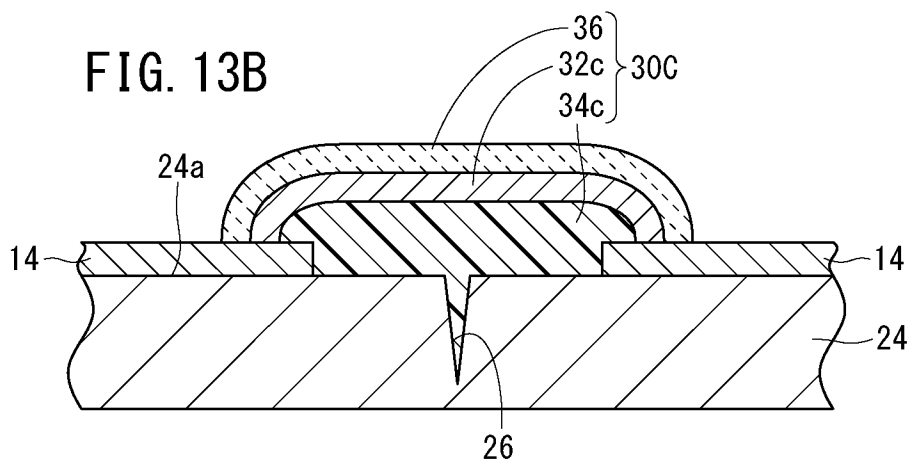


FIG. 13B



[図14]

FIG. 14A

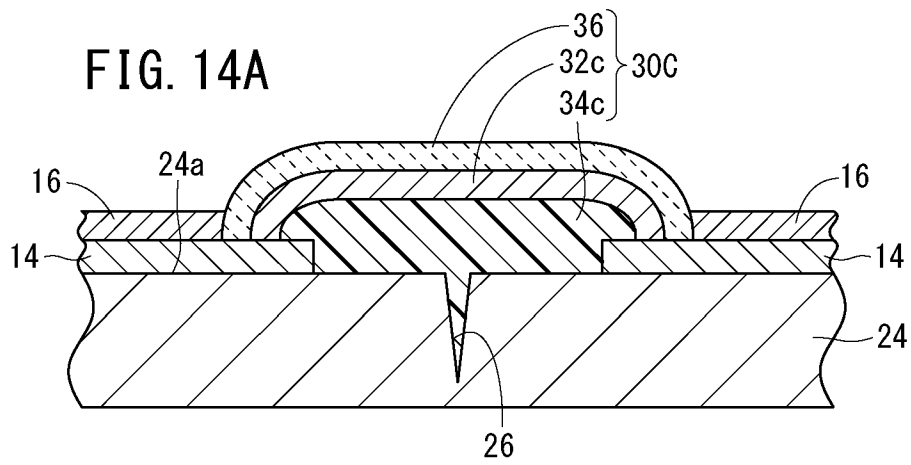
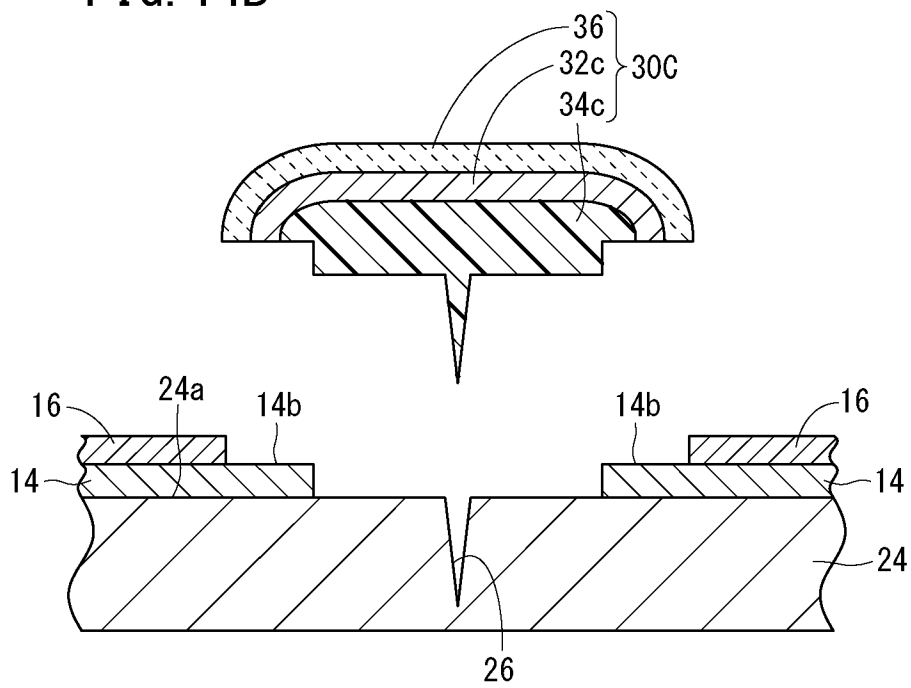
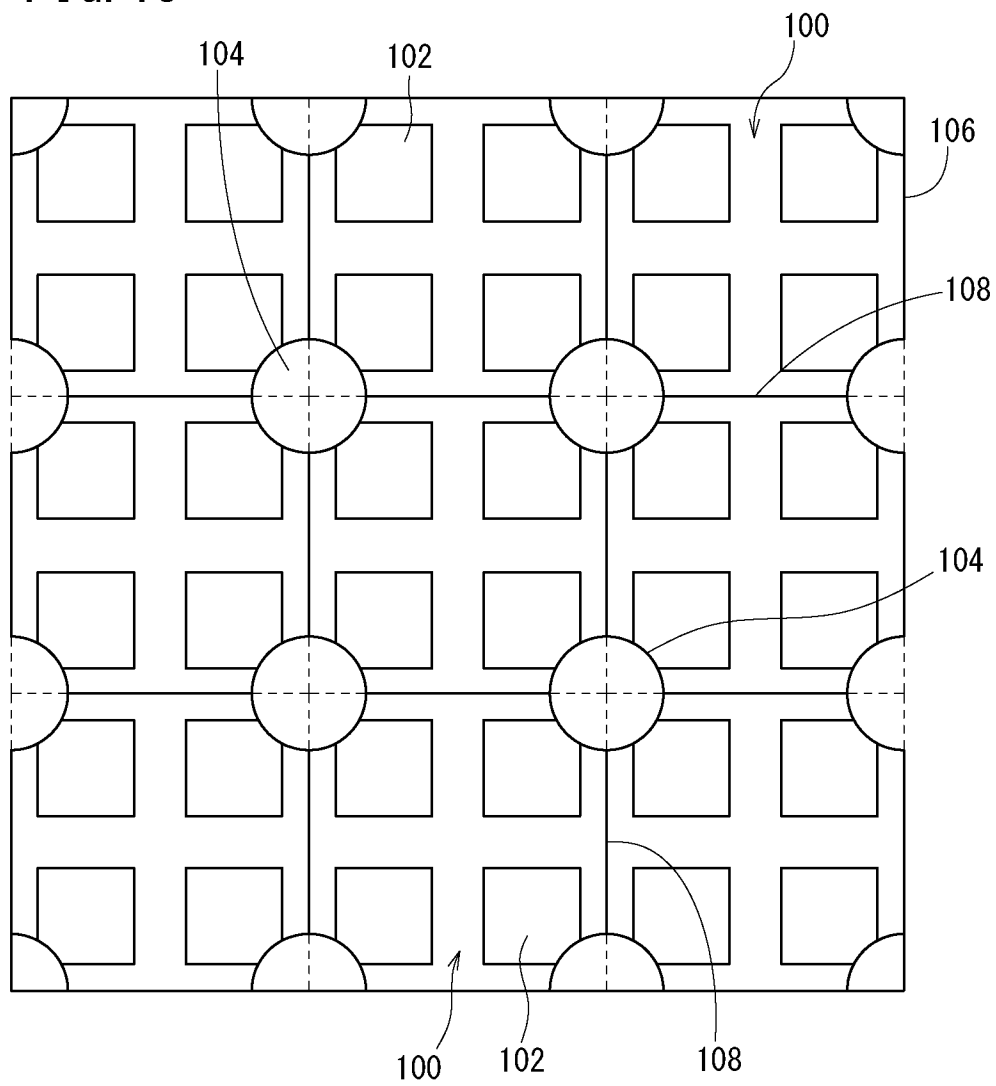


FIG. 14B



[図15]

FIG. 15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/080526

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/18(2006.01)i, H05K1/02(2006.01)i, H05K3/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/18, H05K1/02, H05K3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014

Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2-58890 A (Murata Mfg. Co., Ltd.), 28 February 1990 (28.02.1990), page 2, lower left column, line 20 to lower right column, line 7; fig. 1 (Family: none)	1, 3-5 2
X A	JP 63-87795 A (Asahi Chemical Research Laboratory Co., Ltd.), 19 April 1988 (19.04.1988), page 4, upper left column, lines 7 to 15; fig. 1 & US 4837050 A & GB 2197133 A & DE 3730953 A & FR 2606579 A & KR 10-1991-0001787 B	1, 3-5 2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

30 January, 2014 (30.01.14)

Date of mailing of the international search report

10 February, 2014 (10.02.14)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/080526

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-249526 A (Kyocera Corp.), 08 December 2011 (08.12.2011), entire text; all drawings (Family: none)	6-14

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H05K3/18(2006.01)i, H05K1/02(2006.01)i, H05K3/00(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H05K3/18, H05K1/02, H05K3/00			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2 - 1 9 9 6 年 1 9 7 1 - 2 0 1 4 年 1 9 9 6 - 2 0 1 4 年 1 9 9 4 - 2 0 1 4 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X A	JP 2 - 58890 A（株式会社村田製作所） 1990.02.28, 第2頁左下欄 第20行～同頁右下欄第7行, 第1図（ファミリーなし）	1, 3 - 5 2	
X A	JP 63 - 87795 A（株式会社アサヒ化学研究所）, 1988.04.19, 第4 頁左上欄第7～15行, 第1図 & US 4837050 A & GB 2197133 A & DE 3730953 A & FR 2606579 A & KR 10-1991-0001787 B	1, 3 - 5 2	
A	JP 2011 - 249526 A（京セラ株式会社） 2011.12.08, 全文全図（フ ァミリーなし）	6 - 1 4	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 3 0 . 0 1 . 2 0 1 4		国際調査報告の発送日 1 0 . 0 2 . 2 0 1 4	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 井上 信 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 9 1	3 S 3 3 0 9