

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2008-71335

(P2008-71335A)

(43) 公開日 平成20年3月27日 (2008.3.27)

(51) Int.Cl.		F I			テーマコード (参考)
G05F 3/24	(2006.01)	G05F 3/24	B		5F038
H01L 21/822	(2006.01)	H01L 27/04	B		5H420
H01L 27/04	(2006.01)	H03F 3/34	Z		5J500
H03F 3/34	(2006.01)	G05F 3/30			
G05F 3/30	(2006.01)				

審査請求 未請求 請求項の数 30 O L (全 19 頁)

(21) 出願番号 特願2007-171934 (P2007-171934)
 (22) 出願日 平成19年6月29日 (2007.6.29)
 (31) 優先権主張番号 10-2006-0088739
 (32) 優先日 平成18年9月13日 (2006.9.13)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111
 株式会社ハイニックスセミコンダクター
 HYNIX SEMICONDUCTOR
 INC.
 大韓民国京畿道利川市夫鉢邑牙美里山136-1
 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea
 (74) 代理人 100117514
 弁理士 佐々木 敦朗
 (72) 発明者 鄭 椿 錫
 大韓民国京畿道利川市夫鉢邑牙美里山136-1

最終頁に続く

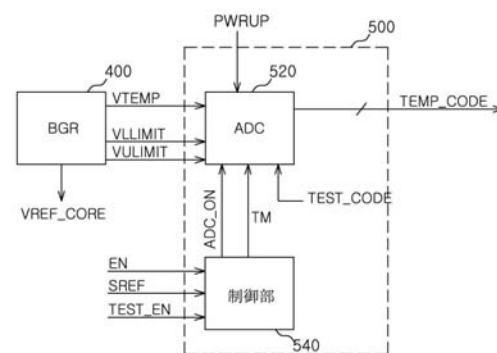
(54) 【発明の名称】 バンドギャップレファレンス回路とこれを利用した温度情報出力装置

(57) 【要約】

【課題】 消費電流を減少させることができるとともに、回路サイズを減少させることができるようにしたバンドギャップレファレンス回路を提供する。

【解決手段】 本発明は、温度変化に比例する電流を複数の電流パスを介して生成する温度比例電流生成部と、温度変化に反比例する電流を複数の電流パスを介して生成する温度反比例電流生成部と、前記温度比例電流生成部の電流及び前記温度反比例電流生成部の電流を用いて内部電圧用基準電圧を生成する内部電圧用基準電圧生成部と、温度変化に対応する電圧を出力する温度電圧出力部と、を備える。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

温度変化に比例する電流を複数の電流パスを介して生成する温度比例電流生成部と、
温度変化に反比例する電流を複数の電流パスを介して生成する温度反比例電流生成部と

、
前記温度比例電流生成部の電流及び前記温度反比例電流生成部の電流を用いて内部電圧用基準電圧を生成する内部電圧用基準電圧生成部と、

温度変化に対応する電圧を出力する温度電圧出力部と、
を備えることを特徴とするバンドギャップレファレンス回路。

【請求項 2】

10

前記温度比例電流生成部は、

電源段に共通連結された複数のトランジスタからなる第 1 トランジスタ群と、

前記第 1 トランジスタ群のトランジスタの一部と接地段と間に各々連結され、負の温度計数特性を有する第 2 トランジスタ群と、

前記第 2 トランジスタ群のトランジスタに印加される電圧を用いて前記第 1 トランジスタ群を制御する電流制御機と、

を備えることを特徴とする請求項 1 に記載のバンドギャップレファレンス回路。

【請求項 3】

前記第 1 トランジスタ群のトランジスタは、ソースが電源段に連結され、ゲートに前記電流制御機の出力を入力されることを特徴とする請求項 2 に記載のバンドギャップレファレンス回路。

20

【請求項 4】

前記第 1 トランジスタ群のトランジスタは、異なるサイズで設計されることを特徴とする請求項 2 に記載のバンドギャップレファレンス回路。

【請求項 5】

前記第 2 トランジスタ群のトランジスタは、ダイオードとして動作し、前記ダイオードの両端電圧が負の温度計数特性を有することを特徴とする請求項 2 に記載のバンドギャップレファレンス回路。

【請求項 6】

30

前記温度反比例電流生成部は、

電源段に共通連結された複数のトランジスタと、

前記複数のトランジスタのうち 1 つを介して流れる電流による電圧及び前記温度比例電流生成部の内部電圧を用いて前記複数のトランジスタを制御する電流制御機と、

を備えることを特徴とする請求項 1 に記載のバンドギャップレファレンス回路。

【請求項 7】

前記複数のトランジスタは、異なるサイズで設計され、前記サイズは、所定の倍率を有することを特徴とする請求項 6 に記載のバンドギャップレファレンス回路。

【請求項 8】

前記内部電圧用基準電圧生成部は、

前記温度比例電流生成部の電流パス及び前記温度反比例電流生成部の電流パスのうち各々 1 つのパスを介して流れる合成電流が温度によって変化する 2 つの電流パスに共通連結された抵抗素子で構成されることを特徴とする請求項 1 に記載のバンドギャップレファレンス回路。

40

【請求項 9】

前記 2 つの電流パスのうち温度反比例電流生成部の電流パスの単位電流量変動幅が、前記温度比例電流生成部の電流パスの単位電流量変動幅より大きいことを特徴とする請求項 8 に記載のバンドギャップレファレンス回路。

【請求項 10】

前記温度電圧出力部は、

前記温度電圧を出力するノードと、

50

前記ノードと電源段との間に連結されたトランジスタと、
前記ノードと接地段との間に連結された分配抵抗と、
前記分配抵抗を介して分配された電圧及び前記温度比例電流生成部の内部電圧を用いて
前記トランジスタを制御する電流制御機と、
を備えることを特徴とする請求項 1 に記載のバンドギャップレファレンス回路。

【請求項 1 1】

前記温度比例電流生成部の電流及び前記温度反比例電流生成部の電流を用いて温度情報
用基準電圧を生成する温度情報用基準電圧生成部と、
前記温度情報用基準電圧を用いて前記温度電圧の変動幅を制限する範囲制限用基準電圧
を生成する範囲制限用基準電圧生成部と、
をさらに備えることを特徴とする請求項 1 に記載のバンドギャップレファレンス回路。

10

【請求項 1 2】

前記温度情報用基準電圧生成部は、
前記温度比例電流生成部の電流バス及び前記温度反比例電流生成部の電流バスのうち各
々 1 つのバスを介して流れる合成電流が温度に関係なく一定した 2 つの電流バスに共通連
結された抵抗素子で構成されることを特徴とする請求項 1 1 に記載のバンドギャップレフ
ァレンス回路。

【請求項 1 3】

前記 2 つの電流バスのうち温度反比例電流生成部の電流バスの単位電流量変動幅と前記
温度比例電流生成部の電流バスの単位電流量変動幅とが同一であることを特徴とする請求
項 1 2 に記載のバンドギャップレファレンス回路。

20

【請求項 1 4】

前記範囲制限用基準電圧生成部は、
電源段に連結された第 1 トランジスタと、
前記第 1 トランジスタと接地段との間に連結された第 1 分配抵抗と、
前記第 1 分配抵抗の分配電圧及び前記温度情報用基準電圧を用いて前記第 1 トランジス
タを制御する第 1 電流制御機と、
前記電源段に連結された第 2 トランジスタと、
前記第 2 トランジスタと接地段との間に連結された第 2 分配抵抗と、
前記第 1 トランジスタと前記第 1 分配抵抗との連結ノード電圧及び前記第 2 分配抵抗の
分配電圧を用いて前記第 2 トランジスタを制御する第 2 電流制御機と、を備えることを特
徴とする請求項 1 1 に記載のバンドギャップレファレンス回路。

30

【請求項 1 5】

前記第 1 分配抵抗及び第 2 分配抵抗は、各々少なくとも 1 つの可変抵抗を備えることを
特徴とする請求項 1 4 に記載のバンドギャップレファレンス回路。

【請求項 1 6】

前記第 1 電流制御機及び第 2 電流制御機は、差動増幅器であることを特徴とする請求項
1 4 に記載のバンドギャップレファレンス回路。

【請求項 1 7】

前記電流制御機は、差動増幅器であることを特徴とする請求項 2、6 又は 10 に記載の
バンドギャップレファレンス回路。

40

【請求項 1 8】

複数の電流バスを介して温度変化に比例する電流を生成する温度比例電流生成部と、
複数の電流バスを介して温度変化に反比例する電流を生成する温度反比例電流生成部と、
、

前記温度比例電流生成部の電流バスのうち少なくとも 1 つ及び前記温度反比例電流生成
部の電流バスのうち少なくとも 1 つを介して流れる電流を組み合わせる温度変化に関係な
く一定した第 1 基準電圧に変換する第 1 基準電圧生成部と、

前記温度比例電流生成部の電流バスのうち少なくとも 1 つ及び前記温度反比例電流生成
部の電流バスのうち少なくとも 1 つを介して流れる電流を組み合わせる温度変化によって

50

変化する第 2 基準電圧に変換する第 2 基準電圧生成部と、
を備えることを特徴とするバンドギャップレファレンス回路。

【請求項 19】

前記温度比例電流生成部は、
電源段に共通連結され、前記複数の電流バスを形成する複数のトランジスタからなる第 1 トランジスタ群と、
前記第 1 トランジスタ群のトランジスタの一部と接地段との間に各々連結され、負の温度計数特性を有する第 2 トランジスタ群と、
前記第 2 トランジスタ群のトランジスタに印加された電圧を用いて前記第 1 トランジスタ群を制御する電流制御機と、
を備えることを特徴とする請求項 18 に記載のバンドギャップレファレンス回路。

10

【請求項 20】

前記温度反比例電流生成部は、
電源段に共通連結され、前記複数の電流バスを形成する複数のトランジスタと、
前記複数のトランジスタのうち 1 つを介して流れる電流による電圧及び前記温度比例電流生成部の内部電圧を用いて前記複数のトランジスタを制御する電流制御機と、
を備えることを特徴とする請求項 18 に記載のバンドギャップレファレンス回路。

【請求項 21】

前記第 1 基準電圧生成部は、
前記温度比例電流生成部の電流バス及び前記温度反比例電流生成部の電流バスのうち各々 1 つのバスを介して流れる合成電流が温度によって変化する 2 つの電流バスに共通連結された抵抗素子で構成されることを特徴とする請求項 18 に記載のバンドギャップレファレンス回路。

20

【請求項 22】

前記第 2 基準電圧生成部は、
前記温度比例電流生成部の電流バス及び前記温度反比例電流生成部の電流バスのうち各々 1 つのバスを介して流れる合成電流が温度に関係なく一定した 2 つの電流バスに共通連結された抵抗素子で構成されることを特徴とする請求項 18 に記載のバンドギャップレファレンス回路。

【請求項 23】

バンドギャップ特性を用いて温度変化によって変化する内部電圧用基準電圧及び半導体メモリの内部温度変化に相当するアナログ温度電圧を生成して出力するバンドギャップレファレンス回路と、

30

第 1 制御信号によって動作して前記アナログ温度電圧をデジタル温度情報に変換し、第 2 制御信号によって前記デジタル温度情報が初期化されるアナログ/デジタル変換手段と

、
少なくとも 1 つの動作命令によって前記第 1 制御信号を出力する制御手段と、
を備えるバンドギャップレファレンス回路を利用した温度情報出力装置。

【請求項 24】

前記バンドギャップレファレンス回路は、
温度変化に比例する電流を複数の電流バスを介して生成する温度比例電流生成部と、
温度変化に反比例する電流を複数の電流バスを介して生成する温度反比例電流生成部と

40

、
前記温度比例電流生成部の電流及び前記温度反比例電流生成部の電流を用いて内部電圧用基準電圧を生成する内部電圧用基準電圧生成部と、

温度変化に対応する電圧を出力する温度電圧出力部と、
を備えることを特徴とする請求項 23 に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

【請求項 25】

前記温度比例電流生成部は、

50

電源段に共通連結された複数のトランジスタからなる第 1 トランジスタ群と、
前記第 1 トランジスタ群のトランジスタの一部と接地段との間に各々連結され、負の温度計数特性を有する第 2 トランジスタ群と、
前記第 2 トランジスタ群のトランジスタに印加される電圧を用いて前記第 1 トランジスタ群を制御する電流制御機と、
を備えることを特徴とする請求項 2 4 に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

【請求項 2 6】

前記温度反比例電流生成部は、
電源段に共通連結された複数のトランジスタと、
前記複数のトランジスタのうち 1 つを介して流れる電流による電圧及び前記温度比例電流生成部の内部電圧を用いて前記複数のトランジスタを制御する電流制御機と、
を備えることを特徴とする請求項 2 4 に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

10

【請求項 2 7】

内部電圧用基準電圧生成部は、
前記温度比例電流生成部の電流バス及び前記温度反比例電流生成部の電流バスのうち各々 1 つのバスを介して流れる合成電流が温度によって変化する 2 つの電流バスに共通連結された抵抗素子で構成されることを特徴とする請求項 2 4 に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

20

【請求項 2 8】

前記温度電圧出力部は、
前記温度電圧を出力するノードと、
前記ノードと電源段との間に連結されたトランジスタと、
前記ノードと接地段との間に連結された分配抵抗と、
前記分配抵抗を介して分配された電圧及び前記温度比例電流生成部の内部電圧を用いて前記トランジスタを制御する電流制御機と、
を備えることを特徴とする請求項 2 4 に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

【請求項 2 9】

前記アナログ / デジタル変換手段は、カウンタを備え、前記第 2 制御信号によって前記カウンタから出力されるデジタル温度情報が初期化されることを特徴とする請求項 2 3 に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

30

【請求項 3 0】

前記第 2 制御信号は、パワーアップ信号であることを特徴とする請求項 2 3 又は 2 9 に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、バンドギャップレファレンス回路に関し、特に、バンドギャップレファレンス回路とこれを利用した温度情報出力装置に関する。

40

【背景技術】

【0 0 0 2】

従来技術に係る温度情報出力装置 1 0 0 は、図 1 に示されたように、バンドギャップレファレンス回路（以下、B G R という：Band Gap Reference）1 1 0、A D C 1 2 0、及び制御部 1 4 0 を備えて構成される。そして、半導体メモリの内部に、前記温度情報出力装置 1 0 0 の B G R 1 1 0 とは別途に、半導体メモリの内部電圧を生成するために使われる基準電圧 V R E F _ C O R E を発生させる B G R 2 0 0 をさらに備える。

【0 0 0 3】

前記温度情報出力装置 1 0 0 の B G R 1 1 0 は、半導体メモリの内部温度に反比例する

50

温度電圧（以下、 V_{TEMP} という）、及び前記 V_{TEMP} の上限及び下限を定めるための基準電圧 V_{LIMIT} 、 V_{LLIMIT} を出力する。そして、その内部構成を考察すれば、図2のように、 BGR_ON によって $BGR110$ に電源を供給するためのスイッチ SW 、温度比例電流生成部111、温度反比例電流生成部112、電流/電圧変換部113、基準電圧出力部114、及び温度電圧出力部115を備える。

【0004】

前記温度比例電流生成部111は、半導体メモリの内部温度が上昇するにつれて増加する基本電流（以下、 I_{PTAT} という）を生成する。前記温度反比例電流生成部112は、半導体メモリの内部温度が上昇するにつれて減少する基本電流（以下、 I_{CTAT} という）を生成する。前記電流/電圧変換部113は、トランジスタ X_M のサイズ比率による基本電流 $M \cdot I_{PTAT}$ とトランジスタ X_K のサイズ比率による基本電流 $K \cdot I_{CTAT}$ との合成電流を抵抗 R_3 を介して電圧 V_{REF} に変換して出力する。

【0005】

前記基準電圧出力部114は、前記 V_{TEMP} の上限及び下限を定めるための基準電圧 V_{LIMIT} 、 V_{LLIMIT} を出力し、前記基準電圧 V_{LIMIT} 、 V_{LLIMIT} は、様々な環境要因によってオフセットが発生し得るので、外部の調整コード入力による可変抵抗 R_5 、 R_7 、 R_8 値を変更することによって調整が可能である。前記温度電圧出力部115は、前記温度比例電流生成部111のバイポーラジャンクジョントランジスタ Q_2 のエミッタ-ベース電圧 V_{EB2} を増幅して前記 V_{TEMP} を出力する。この際、 V_{EB2} は、 -1.8 mV/ 特性を持つ。

【0006】

前記半導体メモリの内部に別途に設けられた $BGR200$ は、 V_{TEMP} 、 V_{LIMIT} 、及び V_{LLIMIT} を生成する必要がないので、前記温度情報出力装置100の $BGR110$ において基準電圧出力部114、及び温度電圧出力部115を除いた構成に該当する。

【0007】

前記 $ADC120$ は、前記 V_{TEMP} をデジタル温度情報（以下、 $TEMP_CODE$ という）に変換して出力する。そして、その内部構成を考察すれば、図3に示されたように、比較器121、フィルタ122、カウンタ123、オシレータ124、 $MUX125$ 、デコーダ126、及び $DAC127$ を備える。前記比較器121は、アナログ電圧形態である V_{TEMP} と $DACOUT$ とを比較し、その電圧差異をデジタルコード INC 、 DEC として出力する。前記フィルタ122は、前記 INC と DEC が急激に変化する場合、すなわち高周波成分が含まれた場合、外部ノイズによるものなので、出力されないようにし、また、緩慢な変化を有する場合、すなわち低周波成分の場合にだけ各々前記カウンタ123のアップカウンタのための UP とダウンカウンタのための DN として出力する。

【0008】

前記カウンタ123は、前記 UP と DN によって初期 $TEMP_CODE$ （例えば、100000）を増加又は減少させて出力する。この際、カウンタ123は、 ADC_ON 信号をリセット端子への入力を受けつける。前記オシレータ124は、 ADC_ON のハイ区間の間に動作して、所定の周期を有するクロック信号を発生させ、これを遅延素子 DLY を経てフィルタ122、及びカウンタ123に供給する。前記 $MUX125$ は、テストモード信号（以下、 TM という）によってテストコード（以下、 $TEST_CODE$ という）又は前記 $TEMP_CODE$ を出力する。前記デコーダ126は、前記 $MUX125$ の出力をデコードしたデコード信号（以下、 $SW<0:N>$ という）を出力する。前記 $DAC127$ は、前記 V_{LIMIT} と V_{LLIMIT} レベルを超過しない範囲内で前記 $SW<0:N>$ を前記 $DACOUT$ に変換して出力する。

【0009】

前記制御部140は、温度情報出力装置100の外部信号であるイネーブル信号（以下、 EN という）、セルフリフレッシュ信号（以下、 $SREF$ という）、及びテストモード

10

20

30

40

50

イネーブル信号（以下、TEST__ENという）によって前記BGR110オン信号（以下、BGR__ONという）、前記ADC120オン信号（以下、ADC__ONという）、及びテストモード進行可否を知らせるためのテストモード信号（以下、TMという）を出力する。

【0010】

このように構成された従来の技術に係る温度情報出力装置の動作について、図4を参照して説明する。

【0011】

まず、制御部140は、ENが入力される場合、BGR__ONをハイにイネーブルさせる。

10

前記BGR__ONのハイ区間の間にBGR110が動作して温度検出を行い、それに応じたVTEMP、VULIMIT、VLLIMITを出力する。

前記制御部140は、前記VTEMP、VULIMIT、VLLIMITが安定化した後、すなわちバンドギャップ初期化（Band gap initialization）区間に該当する時間が経過した後、ADC__ONをハイにイネーブルさせる。

【0012】

前記ADC__ONのハイ区間、すなわちトラッキング区間（ADC Tracking Operation）の間にADC120がトラッキング動作を行う。

前記トラッキング区間（ADC Tracking Operation）の終了時点に近接してDACOUTとVTEMPとのレベルが同一になり、ADCトラッキングが完了すれば、ADC120は、TEMP__CODEを出力する。

20

前記ADC__ONがロウとなるにしたがって、ADC120のカウンター123の出力は、既設定された初期値にリセットされる。

【0013】

上述した動作が完了する場合、すなわちBGR__ONがロウとなる場合、温度情報出力装置の動作が終了し、前記ADC120から出力されたTEMP__CODEは、レジスタに格納され、半導体メモリ動作のために使われる。

【0014】

上述した従来の技術に係る温度情報出力装置は、次のような問題点がある。

第一に、半導体メモリの内部に温度情報出力装置のためのBGR110及び内部電源用基準電圧生成のためのBGR200が別途に存在するので、回路サイズが増加する。

30

第二に、別途に存在する2つのBGRが各々動作することによって電流消費量が増加する。

第三に、温度情報出力装置内部のBGR110の出力電圧が安定化され、有効な温度情報が出力されるまで相当の時間がかかるので、半導体メモリの動作を遅延させる。いため適用範囲が制限されるという問題点がある。これに似ている技術は、アメリカ登録特許7,127,368（特許文献1）に開示されている。

【特許文献1】アメリカ登録特許7,127,368

【発明の開示】

【発明が解決しようとする課題】

40

【0015】

本発明は、前述したような従来の問題点を解決するためになされたもので、その目的は、消費電流を減少させることができるとともに、回路サイズを減少させることができるようにしたバンドギャップレファレンス回路を提供することにある。

【0016】

また、本発明の他の目的は、迅速で且つ安定した温度情報出力が可能なようにしたバンドギャップレファレンス回路を利用した温度情報出力装置を提供することにある。

【課題を解決するための手段】

【0017】

前記目的を達成するために、本発明の一態様に係るバンドギャップレファレンス回路は

50

、温度変化に比例する電流を複数の電流パスを介して生成する温度比例電流生成部と、温度変化に反比例する電流を複数の電流パスを介して生成する温度反比例電流生成部と、前記温度比例電流生成部の電流及び前記温度反比例電流生成部の電流を用いて内部電圧用基準電圧を生成する内部電圧用基準電圧生成部と、前記温度係数特性電圧を用いて温度変化に対応する電圧を出力する温度電圧出力部と、を備える。

【0018】

また、本発明の他の態様に係るバンドギャップレファレンス回路を利用した温度情報出力装置は、バンドギャップ特性を用いて温度変化によって変化する内部電圧用基準電圧及び半導体メモリの内部温度変化に相当するアナログ温度電圧を生成して出力するバンドギャップレファレンス回路と、第1制御信号によって動作して前記アナログ温度電圧をデジタル温度情報に変換し、第2制御信号によってデジタル温度情報が初期化されるアナログ/デジタル変換手段と、少なくとも1つの動作命令によって前記第1制御信号を出力する制御手段と、を備える。

【発明の効果】

【0019】

本発明に係るバンドギャップレファレンス回路とこれを利用した温度情報出力装置は、次のような効果を奏する。

第一に、半導体メモリの内部に温度情報出力装置を備えても、BGRが1つだけあればよいので、全体回路サイズを低減することができる。

第二に、BGRが1つだけ動作するので、電流消費量が減少する。

第三に、BGRの出力電圧安定化のための時間を必要としないので、半導体メモリの動作速度を向上させることができる。

【発明を実施するための最良の形態】

【0020】

以下、添付の図面を参照して本発明に係るバンドギャップレファレンス回路とこれを利用した温度情報出力装置の好ましい実施形態を説明する。

図5は、本発明に係る温度情報出力装置のブロック図であり、図6は、図5のBGRの回路図であり、図7は、図5のADCのブロック図であり、図8は、本発明に係る温度情報出力装置の動作タイミング図である。

【0021】

本発明に係る温度情報出力装置は、図5に示されたように、バンドギャップ特性を用いて温度変化によって変化する内部電圧用基準電圧（以下、「VREF_CORE」とする。）、半導体メモリの内部温度変化に相当するアナログ温度電圧（以下、「VTEMP」とする。）、及び範囲制限用基準電圧VLLIMIT、VULIMITを生成して出力するバンドギャップレファレンス回路（以下、「BGR」とする。）400と、第1制御信号ADC_ONによって動作して前記VTEMPをデジタル温度情報（以下、「TEMP_CODE」とする。）に変換し、第2制御信号（以下、「PWRUP」とする。）によってTEMP_CODEが初期化されるアナログ/デジタル変換手段（以下、「ADC520」とする。）と、少なくとも1つの動作命令によって前記ADC_ONを出力する制御部540と、を備える。

【0022】

この際、本発明のBGR400は、半導体メモリレイアウト上の位置が図1のBGR200と同一であり、内部電圧を生成するための基準として使われるVREF_COREの生成と、図1の温度情報出力装置の内部にあるBGR110の機能、すなわちVTEMP、VLLIMIT、VULIMITの生成機能とを共に行うことができるように回路を構成したものである。したがって、レイアウト面積上、実際半導体メモリの内部に追加されるブロックは、図1の従来技術に比べてBGR110が削除された図5の“500”に該当するので、従来に比べて温度情報出力装置のサイズが大きく減少する。

【0023】

前記BGR400は、図6に示されたように、温度計数特性電圧を用いて温度変化に比

例する電流を複数の電流パスを介して生成する温度比例電流生成部 410 と、温度変化に反比例する電流を複数の電流パスを介して生成する温度反比例電流生成部 420 と、前記温度比例電流生成部 410 の電流及び前記温度反比例電流生成部 420 の電流を用いて V_{REF_CORE} を生成する内部電圧用基準電圧生成部 430 と、前記温度比例電流生成部 410 の電流及び前記温度反比例電流生成部 420 の電流を用いて温度情報用基準電圧（以下、「 V_{REF_TS} 」とする。）を生成する温度情報用基準電圧生成部 440 と、前記 V_{REF_TS} を用いて前記 V_{TEMP} の変動幅を制限する V_{LLIMIT} （下限基準電圧）、 V_{ULIMIT} （上限基準電圧）を生成する範囲制限用基準電圧生成部 450 と、前記温度計数特性電圧を用いて現在半導体メモリの内部温度変化に対応する V_{TEMP} を生成して出力する温度電圧出力部 460 と、を備える。

10

【0024】

前記温度比例電流生成部 410 は、ソースが電源段に共通連結された複数の FET（Field Effect Transistor）からなる第 1 トランジスタ群 M1 ~ M4 と、前記第 1 トランジスタ群 M1 ~ M4 のトランジスタのうち M1、M2 の各々と接地段との間に各々連結され、負（Negative）の温度計数特性を有する Diode Connected BJT（Bipolar Junction Transistor）としての第 2 トランジスタ群 Q1、Q2 と、前記第 2 トランジスタ群 Q1、Q2 のエミッタ - ベース電圧 V_{EB1} 、 V_{EB2} の差異を増幅し、前記第 1 トランジスタ群 M1 ~ M4 のゲートに共通印加し、第 1 トランジスタ群 M1 ~ M4 の電流量を制御する電流制御機、すなわち差動増幅器 OP11 と、を備える。この際、第 1 トランジスタ群 M1 ~ M4 及び第 2 トランジスタ群 Q1、Q2 は、所定の倍率を有するように異なるサイズで設計され、図 6 の各トランジスタの右側に倍率が表示されている。

20

【0025】

すなわちトランジスタ M1 のサイズ倍率である X_1 を基本倍率とする時、 X_a は、 X_1 の a 倍となり、 X_M は、 X_1 の M 倍となり、それにより、サイズ倍率が X_1 であるトランジスタ M1 を介して流れる電流が I_{PTAT} であり、サイズ倍率が X_M であるトランジスタ M4 を介して流れる電流は、 $M * I_{PTAT}$ となる。そして、Diode Connected BJT（Bipolar Junction Transistor）としての第 2 トランジスタ群 Q1、Q2 のエミッタ - ベース電圧が負の温度計数特性を有する。すなわち温度増加によって電圧が低くなる。

【0026】

前記温度反比例電流生成部 420 は、ソースが電源段に共通連結された複数のトランジスタ M5 ~ M7 と、前記トランジスタ M5 を介して流れる電流による電圧と V_{EB1} との差異を増幅し、前記複数のトランジスタ群 M5 ~ M7 のゲートに共通印加して、前記複数のトランジスタ M5 ~ M7 の電流量を制御する電流制御機、すなわち差動増幅器 OP12 と、を備える。この際、複数のトランジスタ M5 ~ M7 は、所定の倍率を有するように異なるサイズで設計され、各トランジスタの右側に倍率が表示されている。

30

【0027】

前記内部電圧用基準電圧生成部 430 は、前記温度比例電流生成部 410 の電流パスのうち 1 つと、前記温度反比例電流生成部 420 の電流パスのうち 1 つとに共通連結された抵抗 R11 で構成される。この際、抵抗 R11 に連結された 2 つの電流パスは、2 つの電流パスの合成電流が温度によって変化するものを選択して連結したものである。

40

【0028】

すなわち一端が 2 つの電流パスであるトランジスタ M3、M6 のドレインに共通連結され、他端が接地された抵抗 R11 で構成され、前記トランジスタ M3、M6 のドレインと前記抵抗 R11 との連結ノードから V_{REF_CORE} が出力される。この際、 V_{REF_CORE} は、温度が低くなるにつれて高くなければならないが、これは、MOSFET の特性上、しきい電圧が、温度が低くなるにつれて高くなるので、これを補償して、セルコンデンサとビットラインの電流伝達が円滑がなされるようにするためである。したがって、トランジスタ M6 の電流量変動幅がトランジスタ M3 に比べて大きくなるように、サイズ倍率を X_M' と X_K' に定める。

【0029】

50

前記温度情報用基準電圧生成部440は、前記温度比例電流生成部410の電流パスのうち1つと、前記温度反比例電流生成部420の電流パスのうち1つとに共通連結された抵抗R3で構成される。この際、抵抗R3に連結された2つの電流パスは、2つの電流パスの合成電流が温度に関係なく一定したものを選択して連結したものである。すなわち一端が2つの電流パスであるトランジスタM4、M7のドレインに共通連結され、他端が接地された抵抗R3で構成され、前記トランジスタM4、M7のドレインと前記抵抗R3との連結ノードからVREF_TSが出力される。この際、VREF_TSは、温度情報出力装置の出力に影響を与えるので、PVT(Process Voltage Temperature)変動に関係なく一定に維持しなければならない。したがって、2つのトランジスタM4、M7の電流量変動幅が同一となるように、サイズ倍率をXMとXKに定める。

10

【0030】

前記範囲制限用基準電圧生成部450は、ソースが電源段に連結された第1トランジスタM8と、前記第1トランジスタM8と接地段との間に連結された第1分配抵抗R4、R5と、前記第1分配抵抗R4、R5の分配電圧と前記VREF_TSとの差異を増幅し、前記第1トランジスタM8のゲートに印加して前記第1トランジスタM8の電流量を制御する第1電流制御機、すなわち差動増幅器OP13と、ソースが前記電源段に連結された第2トランジスタM9と、前記第2トランジスタM9と接地段との間に連結された第2分配抵抗R6～R8と、前記第1トランジスタM8と前記第1分配抵抗R4、R5との連結ノード電圧、すなわちトリミング電圧(以下、「VREF_TRIM」とする。)と前記第2分配抵抗R6～R8との差異を増幅し、前記第2トランジスタM9のゲートに印加して、前記第2トランジスタM9の電流量を制御する第2電流制御機、すなわち差動増幅器OP14と、を備える。

20

【0031】

この際、第2トランジスタM9と抵抗R8との連結ノードからVULIMITが出力され、抵抗R7、R8間の連結ノードからVLLIMITが出力される。そして、R5、R7、R8は、可変抵抗であって、R7、R8の抵抗値調整を通じてVLLIMITとVULIMITのレベルを調整することができ、前記R5の抵抗値の調整を通じて前記VLLIMITとVULIMITのオフセットを調整することができる。

【0032】

前記温度電圧出力部460は、ソースが電源段に連結されたトランジスタM10と、前記トランジスタM10のドレインと接地段との間に連結された分配抵抗R10、R9と、前記分配抵抗R10、R9を介して分配された電圧とVEB2との差異を増幅し、前記トランジスタM10のゲートに印加して、前記トランジスタM10の電流量を制御する電流制御機、すなわち差動増幅器OP15と、を備える。この際、トランジスタM10と抵抗R10との連結ノードからVTEMPが出力される。

30

【0033】

前記ADC520は、図7に示されたように、比較器521、フィルタ522、カウンタ523、オシレータ524、MUX525、デコーダ526、及びDAC527を備える。前記比較器521は、アナログ電圧形態であるVTEMPとDACOUTとを比較し、その電圧差異をデジタルコードINC、DECとして出力する。前記フィルタ522は、前記INCとDECが急激に変化する場合、すなわち高周波成分が含まれた場合、外部ノイズによるものなので、出力されないようにし、また、緩慢な変化を有する場合、すなわち低周波成分の場合にだけ前記カウンタ523のアップカウントのためのUPとダウンカウントのためのDNを出力する。

40

【0034】

前記カウンタ523は、前記UPとDNによって初期TEMP_CODE(例えば、100000)を増加又は減少させて出力する。この際、カウンタ523は、PWRUP信号をリセット端子に入力される。前記オシレータ524は、ADC_ONのハイ区間の間に動作し、所定の周期を有するクロック信号を発生させ、遅延素子DLYを経てフィルタ522、及びカウンタ523が動作できるように供給する。前記MUX525は、

50

テストモード信号（以下、 TM ）によってテストコード（以下、 $TEST_CODE$ ）又は前記 $TEMP_CODE$ を出力する。前記デコーダ５２６は、前記 $MUX525$ の出力をデコードしたデコード信号（以下、「 $SW<0:N>$ 」とする。）を出力する。

【００３５】

前記 $DAC527$ は、前記 $VULIMIT$ と $VLLIMIT$ レベルを超過しない範囲内で前記 $SW<0:N>$ を前記 $DACOUT$ に変換して出力する。この際、本発明の $ADC520$ が従来技術と異なる点は、カウンタ５２３が ADC_ON によりリセットされず、 $PWRUP$ によりリセットされるようにことである。従来、バンドギャップレファレンス回路が動作し、所定の安定化時間が経過した後、 $VTEMP$ が出力されたが、本発明では、 $BGR400$ が、電源が遮断される前までは安定した $VTEMP$ を出力しているの

10

【００３６】

前記制御部５４０は、温度情報出力装置イネーブル信号（以下、 EN ）又はセルフリフレッシュ信号（以下、 $SREF$ ）がイネーブルされる場合、前記 ADC_ON を出力し、テストモードイネーブル信号（以下、 $TEST_EN$ ）がイネーブルされる場合、前記 ADC_ON 、及びテストモード進行可否を知らせるためのテストモード信号（以下、 TM ）を出力する。

【００３７】

このように構成された本発明に係る温度情報出力装置の動作を、図８を参照して説明する。

20

まず、制御部５４０は、 EN 又は $SREF$ がイネーブルされる場合、直ちに ADC_ON をハイにイネーブルさせる。

【００３８】

この際、 $BGR400$ は、半導体メモリに電源が供給される時点から動作し、安定した $VREF_CORE$ 、 $VTEMP$ 、 $VULIMIT$ 、 $VLLIMIT$ を出力している状態である。したがって、図４に示された従来のようなバンドギャップ初期化区間無しに $ADC520$ が直ちに動作できるように、 EN がイネーブルされた後、直ちに ADC_ON をハイにイネーブルさせる。

【００３９】

30

前記 ADC_ON のハイ区間、すなわちトラッキング区間（ ADC Tracking Operation）の間に $ADC520$ がトラッキング動作を行う。

前記トラッキング区間（ ADC Tracking Operation）の終了時点に近接して、 $DACOUT$ と $VTEMP$ とのレベルが同一になり、 ADC トラッキングが完了すれば、 $ADC520$ は、 $TEMP_CODE$ を出力する。この際、 $ADC520$ のカウンタ５２３は、 $PWRUP$ によってリセットされるので、以前 ADC_ON イネーブル区間でのカウント値、すなわち $TEMP_CODE$ を格納している状態である。したがって、 $DACOUT$ が従来のように現在温度に該当する値に近接した値を有しているので、 ADC トラッキングが従来に比べて一層迅速に行われる。

【００４０】

40

前述したような動作が完了すれば、すなわち ADC_ON がロウとなる場合、温度情報出力装置の動作が終了し、前記 $ADC520$ から出力された $TEMP_CODE$ は、半導体メモリ内部において別途のレジスタに格納され、半導体メモリ動作のために使われる。この際、カウンタ５２３の最終カウント値、すなわち前記レジスタに出力された $TEMP_CODE$ と同じカウント値は、 $PWRUP$ 信号がさらに入力される前まで維持される。

【００４１】

以上において説明した本発明は、本発明が属する技術の分野における通常の知識を有する者であれば、本発明の技術的思想を逸脱しない範囲内で、様々な置換、変形及び変更が可能であるので、上述した実施形態及び添付された図面に限定されるものではない。

50

【図面の簡単な説明】

【 0 0 4 2 】

【図 1】従来の技術に係る温度情報出力装置のブロック図である。

【図 2】図 1 の温度情報出力装置内部の B G R (Band Gap Reference) の回路図である。

【図 3】図 1 の A D C (Analog to Digital Converter) のブロック図である。

【図 4】従来の技術に係る温度情報出力装置の動作タイミング図である。

【図 5】本発明に係る温度情報出力装置のブロック図である。

【図 6】図 5 の B G R の回路図である。

【図 7】図 5 の A D C のブロック図である。

【図 8】本発明に係る温度情報出力装置の動作タイミング図である。

10

【符号の説明】

【 0 0 4 3 】

4 0 0 ... B G R (Band Gap Reference)

4 1 0 ... 温度比例電流生成部

4 2 0 ... 温度反比例電流生成部

4 3 0 ... 内部電圧用基準電圧生成部

4 4 0 ... 温度情報用基準電圧生成部

4 5 0 ... 範囲制限用基準電圧生成部

4 6 0 ... 温度電圧出力部

5 2 0 ... A D C

5 2 1 ... 比較器

5 2 2 ... フィルタ

5 2 3 ... カウンター

5 2 4 ... オシレータ

5 2 5 ... M U X

5 2 6 ... デコーダー

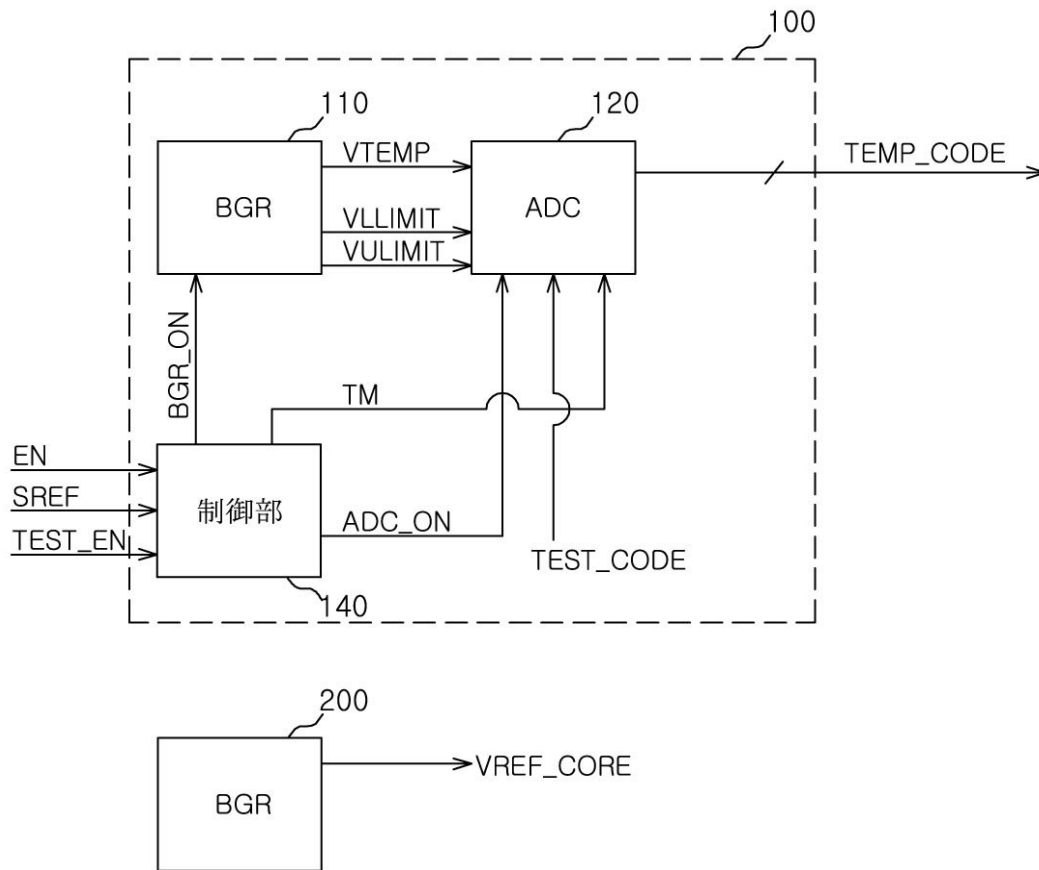
5 2 7 ... D A C

D L Y ... 遅延 素子

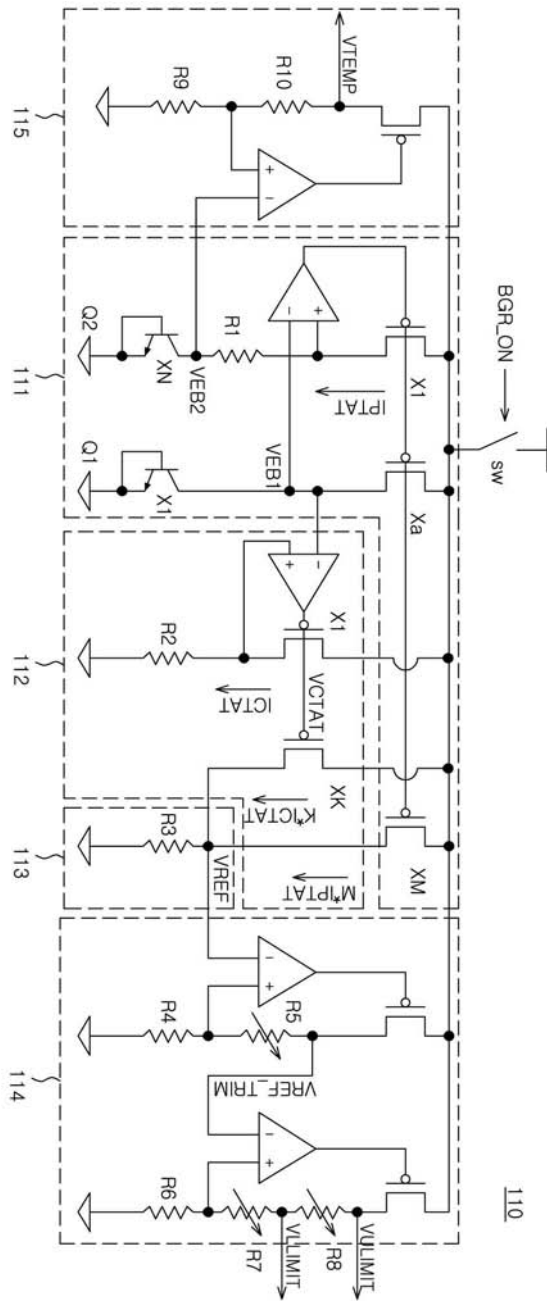
5 4 0 ... 制御部

20

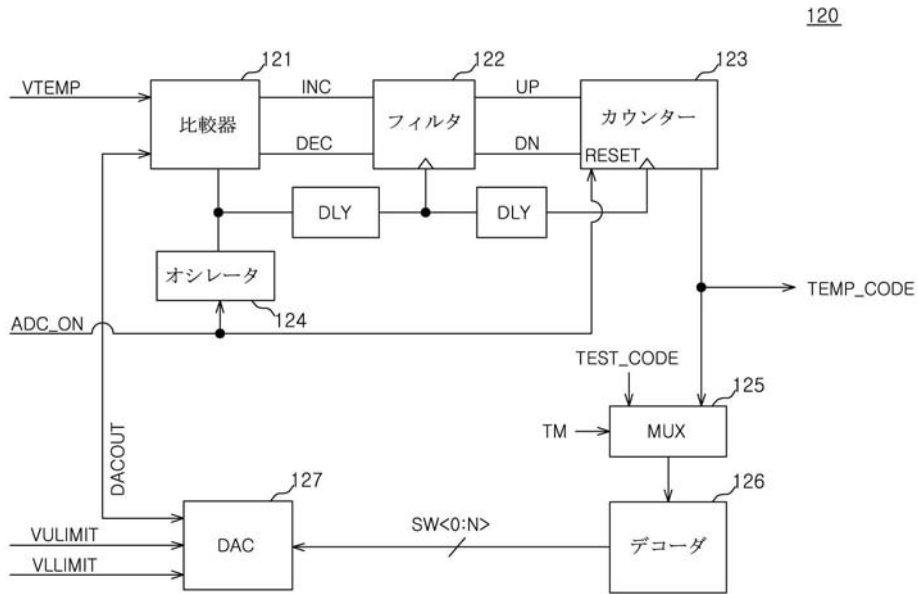
【図 1】



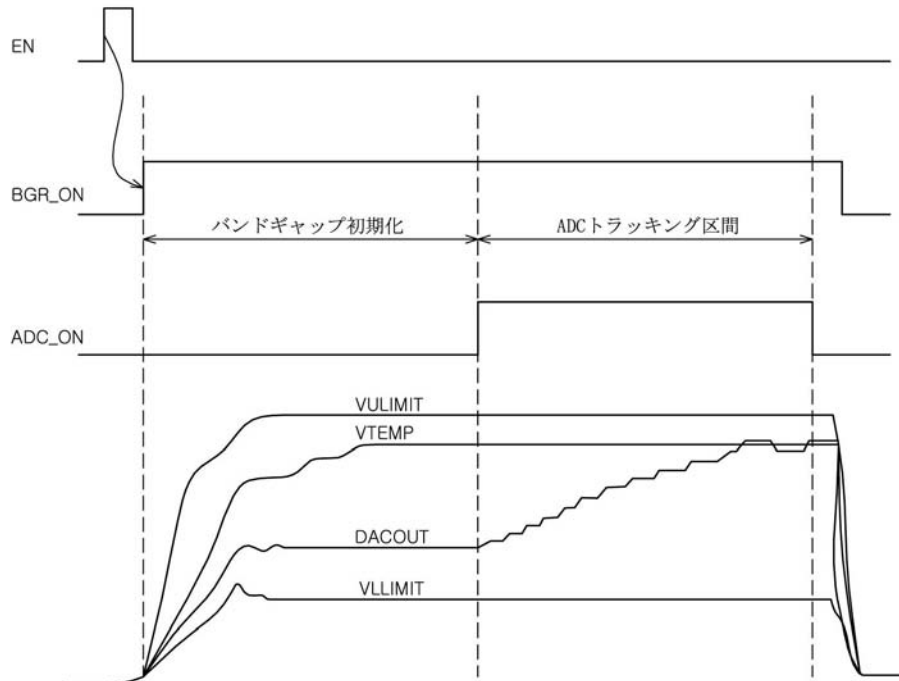
【図 2】



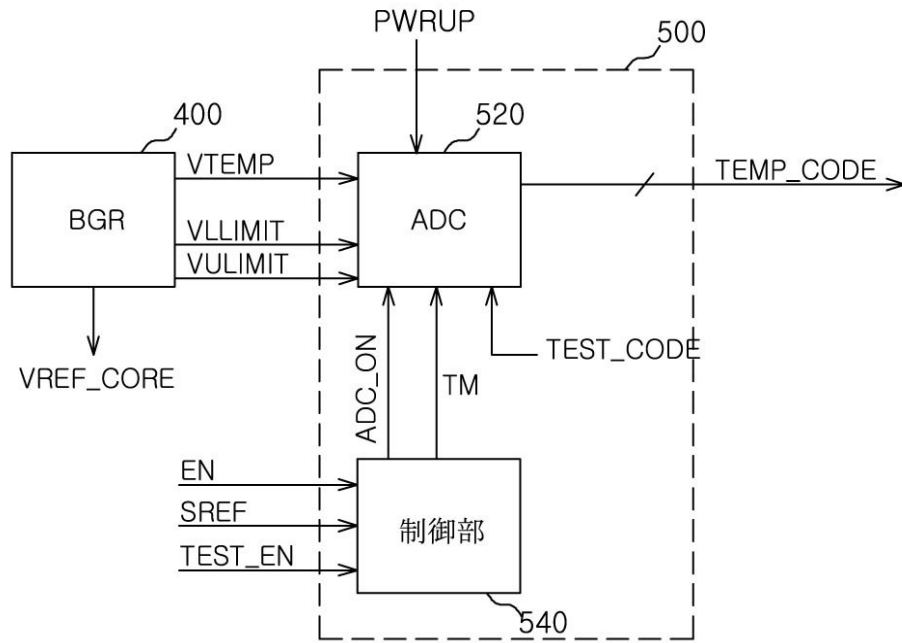
【図3】



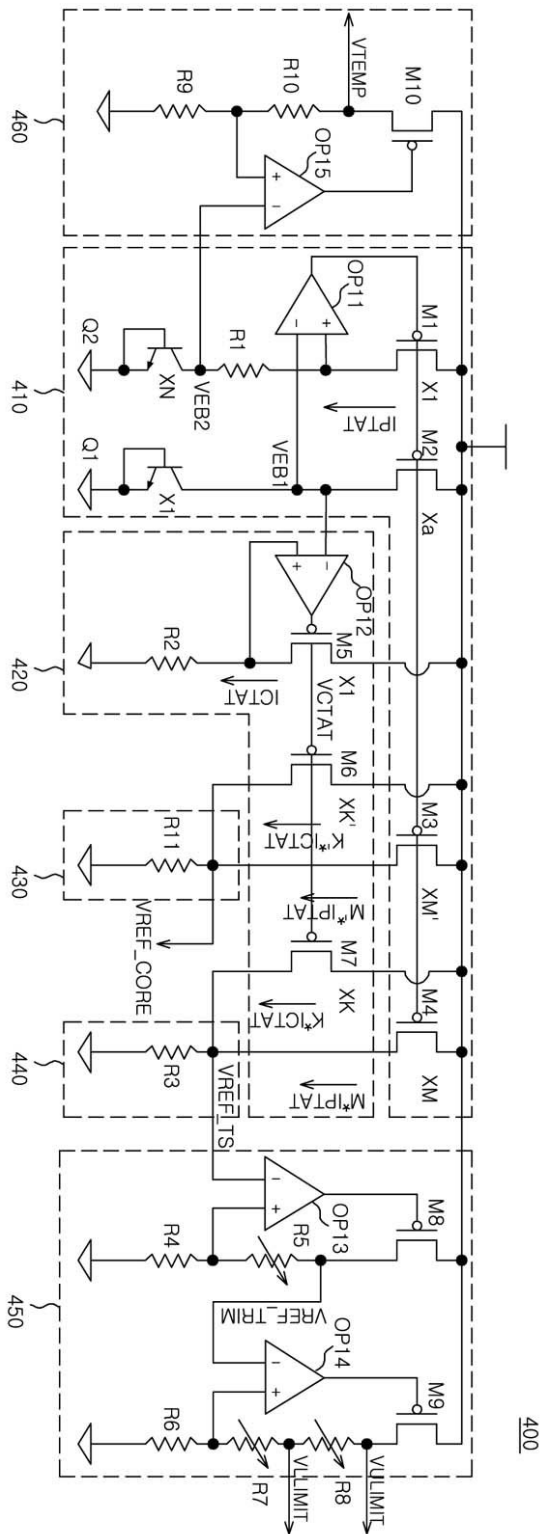
【図4】



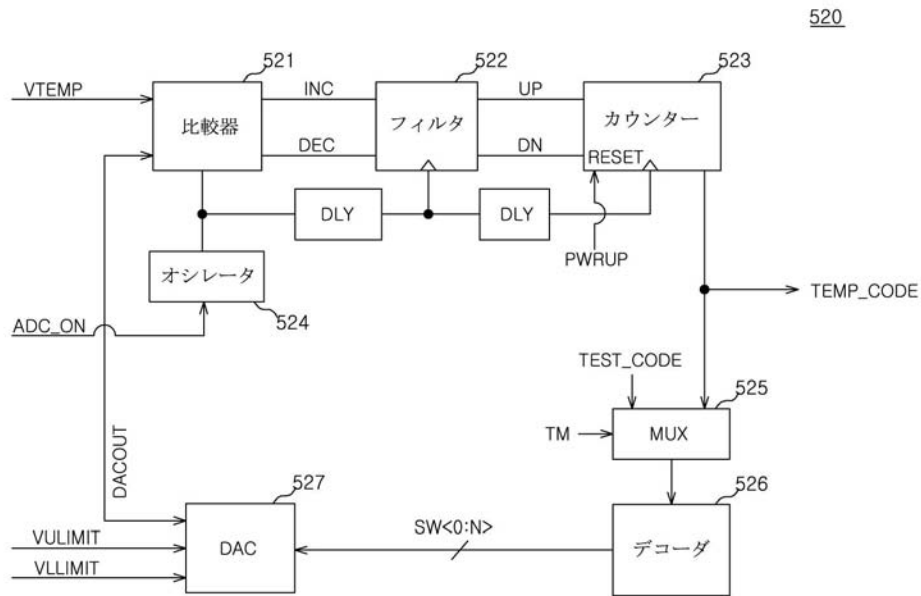
【 図 5 】



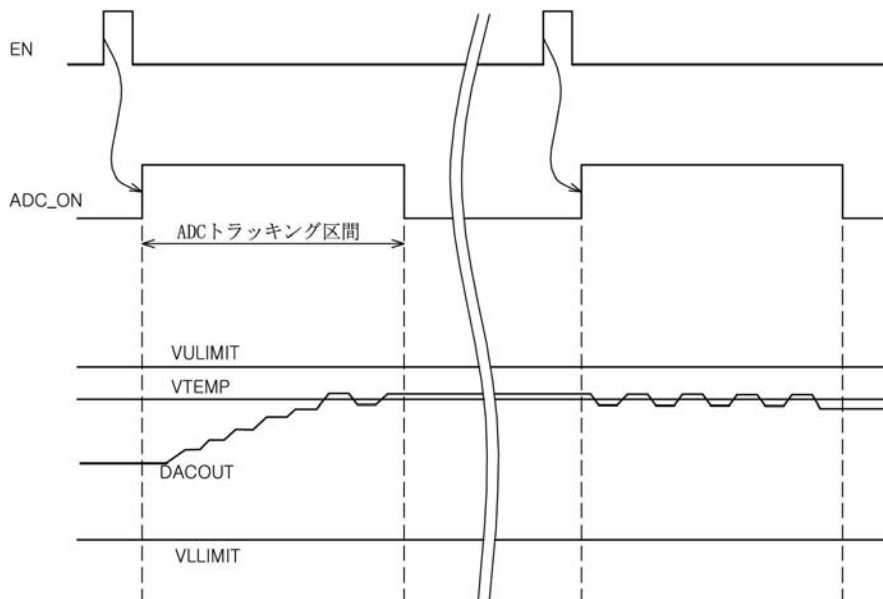
【図 6】



【図 7】



【図 8】



フロントページの続き

F ターム(参考) 5F038 AZ08 BB02 BB05 BB07 DF03 DF05 EZ20
5H420 NA12 NA16 NA24 NB02 NB12 NB18 NB22 NB27 NC03 NC15
NC18 NC26 NE22 NE26
5J500 AA01 AA58 AC02 AC36 AF11 AH02 AH25 AH26 AK01 AK15
AK17 AK34 AK35 AK41 AM21 AT01 AT06 NC02