

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-71335  
(P2008-71335A)

(43) 公開日 平成20年3月27日(2008.3.27)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G05F 3/24 (2006.01)</b>	G05F 3/24	5 F 038
<b>H01L 21/822 (2006.01)</b>	H01L 27/04	5 H 420
<b>H01L 27/04 (2006.01)</b>	H03F 3/34	5 J 500
<b>H03F 3/34 (2006.01)</b>	G05F 3/30	
<b>G05F 3/30 (2006.01)</b>		

審査請求 未請求 請求項の数 30 O L (全 19 頁)

(21) 出願番号 特願2007-171934 (P2007-171934)  
 (22) 出願日 平成19年6月29日 (2007. 6. 29)  
 (31) 優先権主張番号 10-2006-0088739  
 (32) 優先日 平成18年9月13日 (2006. 9. 13)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111  
 株式会社ハイニックスセミコンダクター  
 H Y N I X S E M I C O N D U C T O R  
 I N C.  
 大韓民国京畿道利川市夫鉢邑牙美里山13  
 6-1  
 San 136-1, Ami-Ri, Bu  
 ba l-Eup, Ichon-Shi, K  
 young ki-Do, Korea  
 (74) 代理人 100117514  
 弁理士 佐々木 敦朗  
 (72) 発明者 鄭 樟 錫  
 大韓民国京畿道利川市夫鉢邑牙美里山13  
 6-1

最終頁に続く

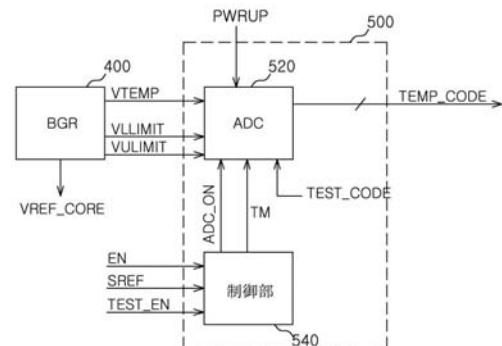
(54) 【発明の名称】 バンドギャップレファレンス回路とこれを利用した温度情報出力装置

## (57) 【要約】

【課題】 消費電流を減少させることができるとともに、回路サイズを減少させることができるようにしたバンドギャップレファレンス回路を提供する。

【解決手段】 本発明は、温度変化に比例する電流を複数の電流パスを介して生成する温度比例電流生成部と、温度変化に反比例する電流を複数の電流パスを介して生成する温度反比例電流生成部と、前記温度比例電流生成部の電流及び前記温度反比例電流生成部の電流を用いて内部電圧用基準電圧を生成する内部電圧用基準電圧生成部と、温度変化に対応する電圧を出力する温度電圧出力部と、を備える。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

温度変化に比例する電流を複数の電流バスを介して生成する温度比例電流生成部と、  
温度変化に反比例する電流を複数の電流バスを介して生成する温度反比例電流生成部と、

、  
前記温度比例電流生成部の電流及び前記温度反比例電流生成部の電流を用いて内部電圧用基準電圧を生成する内部電圧用基準電圧生成部と、

温度変化に対応する電圧を出力する温度電圧出力部と、  
を備えることを特徴とするバンドギャップレフェレンス回路。

## 【請求項 2】

10

前記温度比例電流生成部は、

電源段に共通連結された複数のトランジスタからなる第1トランジスタ群と、

前記第1トランジスタ群のトランジスタの一部と接地段と間に各々連結され、負の温度計数特性を有する第2トランジスタ群と、

前記第2トランジスタ群のトランジスタに印加される電圧を用いて前記第1トランジスタ群を制御する電流制御機と、

を備えることを特徴とする請求項1に記載のバンドギャップレフェレンス回路。

## 【請求項 3】

20

前記第1トランジスタ群のトランジスタは、ソースが電源段に連結され、ゲートに前記電流制御機の出力を入力されることを特徴とする請求項2に記載のバンドギャップレフェレンス回路。

## 【請求項 4】

前記第1トランジスタ群のトランジスタは、異なるサイズで設計されることを特徴とする請求項2に記載のバンドギャップレフェレンス回路。

## 【請求項 5】

前記第2トランジスタ群のトランジスタは、ダイオードとして動作し、前記ダイオードの両端電圧が負の温度計数特性を有することを特徴とする請求項2に記載のバンドギャップレフェレンス回路。

## 【請求項 6】

30

前記温度反比例電流生成部は、

電源段に共通連結された複数のトランジスタと、

前記複数のトランジスタのうち1つを介して流れる電流による電圧及び前記温度比例電流生成部の内部電圧を用いて前記複数のトランジスタを制御する電流制御機と、  
を備えることを特徴とする請求項1に記載のバンドギャップレフェレンス回路。

## 【請求項 7】

前記複数のトランジスタは、異なるサイズで設計され、前記サイズは、所定の倍率を有することを特徴とする請求項6に記載のバンドギャップレフェレンス回路。

## 【請求項 8】

40

前記内部電圧用基準電圧生成部は、

前記温度比例電流生成部の電流バス及び前記温度反比例電流生成部の電流バスのうち各々1つのバスを介して流れる合成電流が温度によって変化する2つの電流バスに共通連結された抵抗素子で構成されることを特徴とする請求項1に記載のバンドギャップレフェレンス回路。

## 【請求項 9】

前記2つの電流バスのうち温度反比例電流生成部の電流バスの単位電流量変動幅が、前記温度比例電流生成部の電流バスの単位電流量変動幅より大きいことを特徴とする請求項8に記載のバンドギャップレフェレンス回路。

## 【請求項 10】

前記温度電圧出力部は、

前記温度電圧を出力するノードと、

50

前記ノードと電源段との間に連結されたトランジスタと、  
 前記ノードと接地段との間に連結された分配抵抗と、  
 前記分配抵抗を介して分配された電圧及び前記温度比例電流生成部の内部電圧を用いて  
 前記トランジスタを制御する電流制御機と、  
 を備えることを特徴とする請求項1に記載のバンドギャップレフアレンス回路。

## 【請求項11】

前記温度比例電流生成部の電流及び前記温度反比例電流生成部の電流を用いて温度情報  
 用基準電圧を生成する温度情報用基準電圧生成部と、

前記温度情報用基準電圧を用いて前記温度電圧の変動幅を制限する範囲制限用基準電圧  
 を生成する範囲制限用基準電圧生成部と、

をさらに備えることを特徴とする請求項1に記載のバンドギャップレフアレンス回路。

## 【請求項12】

前記温度情報用基準電圧生成部は、

前記温度比例電流生成部の電流バス及び前記温度反比例電流生成部の電流バスのうち各々  
 1つのバスを介して流れる合成電流が温度に関係なく一定した2つの電流バスに共通連結  
 された抵抗素子で構成されることを特徴とする請求項11に記載のバンドギャップレフ  
 アレンス回路。

## 【請求項13】

前記2つの電流バスのうち温度反比例電流生成部の電流バスの単位電流量変動幅と前記  
 温度比例電流生成部の電流バスの単位電流量変動幅とが同一であることを特徴とする請求  
 項12に記載のバンドギャップレフアレンス回路。

## 【請求項14】

前記範囲制限用基準電圧生成部は、

電源段に連結された第1トランジスタと、

前記第1トランジスタと接地段との間に連結された第1分配抵抗と、

前記第1分配抵抗の分配電圧及び前記温度情報用基準電圧を用いて前記第1トランジス  
 タを制御する第1電流制御機と、

前記電源段に連結された第2トランジスタと、

前記第2トランジスタと接地段との間に連結された第2分配抵抗と、

前記第1トランジスタと前記第1分配抵抗との連結ノード電圧及び前記第2分配抵抗の  
 分配電圧を用いて前記第2トランジスタを制御する第2電流制御機と、を備えることを特  
 徴とする請求項11に記載のバンドギャップレフアレンス回路。

## 【請求項15】

前記第1分配抵抗及び第2分配抵抗は、各々少なくとも1つの可変抵抗を備えることを  
 特徴とする請求項14に記載のバンドギャップレフアレンス回路。

## 【請求項16】

前記第1電流制御機及び第2電流制御機は、差動増幅器であることを特徴とする請求項  
 14に記載のバンドギャップレフアレンス回路。

## 【請求項17】

前記電流制御機は、差動増幅器であることを特徴とする請求項2、6又は10に記載の  
 バンドギャップレフアレンス回路。

## 【請求項18】

複数の電流バスを介して温度変化に比例する電流を生成する温度比例電流生成部と、

複数の電流バスを介して温度変化に反比例する電流を生成する温度反比例電流生成部と、

前記温度比例電流生成部の電流バスのうち少なくとも1つ及び前記温度反比例電流生成  
 部の電流バスのうち少なくとも1つを介して流れる電流を組み合わせて温度変化に関係な  
 く一定した第1基準電圧に変換する第1基準電圧生成部と、

前記温度比例電流生成部の電流バスのうち少なくとも1つ及び前記温度反比例電流生成  
 部の電流バスのうち少なくとも1つを介して流れる電流を組み合わせて温度変化によつ

10

20

30

40

50

変化する第2基準電圧に変換する第2基準電圧生成部と、  
を備えることを特徴とするバンドギャップレファレンス回路。

【請求項19】

前記温度比例電流生成部は、  
電源段に共通連結され、前記複数の電流バスを形成する複数のトランジスタからなる第1トランジスタ群と、  
前記第1トランジスタ群のトランジスタの一部と接地段との間に各々連結され、負の温度計数特性を有する第2トランジスタ群と、  
前記第2トランジスタ群のトランジスタに印加された電圧を用いて前記第1トランジスタ群を制御する電流制御機と、  
を備えることを特徴とする請求項18に記載のバンドギャップレファレンス回路。

10

【請求項20】

前記温度反比例電流生成部は、  
電源段に共通連結され、前記複数の電流バスを形成する複数のトランジスタと、  
前記複数のトランジスタのうち1つを介して流れる電流による電圧及び前記温度比例電流生成部の内部電圧を用いて前記複数のトランジスタを制御する電流制御機と、  
を備えることを特徴とする請求項18に記載のバンドギャップレファレンス回路。

【請求項21】

前記第1基準電圧生成部は、  
前記温度比例電流生成部の電流バス及び前記温度反比例電流生成部の電流バスのうち各々1つのバスを介して流れる合成電流が温度によって変化する2つの電流バスに共通連結された抵抗素子で構成されることを特徴とする請求項18に記載のバンドギャップレファレンス回路。

20

【請求項22】

前記第2基準電圧生成部は、  
前記温度比例電流生成部の電流バス及び前記温度反比例電流生成部の電流バスのうち各々1つのバスを介して流れる合成電流が温度に関係なく一定した2つの電流バスに共通連結された抵抗素子で構成されることを特徴とする請求項18に記載のバンドギャップレファレンス回路。

30

【請求項23】

バンドギャップ特性を用いて温度変化によって変化する内部電圧用基準電圧及び半導体メモリの内部温度変化に相当するアナログ温度電圧を生成して出力するバンドギャップレファレンス回路と、

第1制御信号によって動作して前記アナログ温度電圧をデジタル温度情報に変換し、第2制御信号によって前記デジタル温度情報が初期化されるアナログ/デジタル変換手段と、

少なくとも1つの動作命令によって前記第1制御信号を出力する制御手段と、  
を備えるバンドギャップレファレンス回路を利用した温度情報出力装置。

【請求項24】

前記バンドギャップレファレンス回路は、  
温度変化に比例する電流を複数の電流バスを介して生成する温度比例電流生成部と、  
温度変化に反比例する電流を複数の電流バスを介して生成する温度反比例電流生成部と、  
前記温度比例電流生成部の電流及び前記温度反比例電流生成部の電流を用いて内部電圧用基準電圧を生成する内部電圧用基準電圧生成部と、  
温度変化に対応する電圧を出力する温度電圧出力部と、  
を備えることを特徴とする請求項23に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

40

【請求項25】

前記温度比例電流生成部は、

50

電源段に共通連結された複数のトランジスタからなる第1トランジスタ群と、前記第1トランジスタ群のトランジスタの一部と接地段との間に各々連結され、負の温度計数特性を有する第2トランジスタ群と、

前記第2トランジスタ群のトランジスタに印加される電圧を用いて前記第1トランジスタ群を制御する電流制御機と、

を備えることを特徴とする請求項24に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

【請求項26】

前記温度反比例電流生成部は、

電源段に共通連結された複数のトランジスタと、

前記複数のトランジスタのうち1つを介して流れる電流による電圧及び前記温度比例電流生成部の内部電圧を用いて前記複数のトランジスタを制御する電流制御機と、

を備えることを特徴とする請求項24に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

【請求項27】

内部電圧用基準電圧生成部は、

前記温度比例電流生成部の電流パス及び前記温度反比例電流生成部の電流パスのうち各々1つのパスを介して流れる合成電流が温度によって変化する2つの電流パスに共通連結された抵抗素子で構成されることを特徴とする請求項24に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

10

20

30

【請求項28】

前記温度電圧出力部は、

前記温度電圧を出力するノードと、

前記ノードと電源段との間に連結されたトランジスタと、

前記ノードと接地段との間に連結された分配抵抗と、

前記分配抵抗を介して分配された電圧及び前記温度比例電流生成部の内部電圧を用いて前記トランジスタを制御する電流制御機と、

を備えることを特徴とする請求項24に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

【請求項29】

前記アナログ/デジタル変換手段は、カウンターを備え、前記第2制御信号によって前記カウンターから出力されるデジタル温度情報が初期化されることを特徴とする請求項23に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

【請求項30】

前記第2制御信号は、パワーアップ信号であることを特徴とする請求項23又は29に記載のバンドギャップレファレンス回路を利用した温度情報出力装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バンドギャップレファレンス回路に関し、特に、バンドギャップレファレンス回路とこれを利用した温度情報出力装置に関する。

40

【背景技術】

【0002】

従来の技術に係る温度情報出力装置100は、図1に示されたように、バンドギャップレファレンス回路(以下、BGRという: Band Gap Reference)110、ADC120、及び制御部140を備えて構成される。そして、半導体メモリの内部に、前記温度情報出力装置100のBGR110とは別途に、半導体メモリの内部電圧を生成するために使われる基準電圧VREF\_COREを発生させるBGR200をさらに備える。

【0003】

前記温度情報出力装置100のBGR110は、半導体メモリの内部温度に反比例する

50

温度電圧（以下、V TEMPという）、及び前記V TEMPの上限及び下限を定めるための基準電圧VULIMIT、VLLIMITを出力する。そして、その内部構成を考察すれば、図2のように、BGR\_ONによってBGR110に電源を供給するためのスイッチSW、温度比例電流生成部111、温度反比例電流生成部112、電流／電圧変換部113、基準電圧出力部114、及び温度電圧出力部115を備える。

#### 【0004】

前記温度比例電流生成部111は、半導体メモリの内部温度が上昇するにつれて増加する基本電流（以下、IPTATという）を生成する。前記温度反比例電流生成部112は、半導体メモリの内部温度が上昇するにつれて減少する基本電流（以下、ICTATという）を生成する。前記電流／電圧変換部113は、トランジスタXMのサイズ比率による基本電流M\*IPTATとトランジスタXKのサイズ比率による基本電流K\*ICTATとの合成電流を抵抗R3を介して電圧VREFに変換して出力する。

10

#### 【0005】

前記基準電圧出力部114は、前記V TEMPの上限及び下限を定めるための基準電圧VULIMIT、VLLIMITを出力し、前記基準電圧VULIMIT、VLLIMITは、様々な環境要因によってオフセットが発生し得るので、外部の調整コード入力による可変抵抗R5、R7、R8値を変更することによって調整が可能である。前記温度電圧出力部115は、前記温度比例電流生成部111のバイポーラジャンクショントランジスタQ2のエミッタ-ベース電圧VEB2を増幅して前記V TEMPを出力する。この際、VBE2は、-1.8mV/特性を持つ。

20

#### 【0006】

前記半導体メモリの内部に別途に設けられたBGR200は、V TEMP、VULIMIT、及びVLLIMITを生成する必要がないので、前記温度情報出力装置100のBGR110において基準電圧出力部114、及び温度電圧出力部115を除いた構成に該当する。

20

#### 【0007】

前記ADC120は、前記V TEMPをデジタル温度情報（以下、TEMP\_CODEという）に変換して出力する。そして、その内部構成を考察すれば、図3に示されたように、比較器121、フィルタ122、カウンター123、オシレータ124、MUX125、デコーダー126、及びDAC127を備える。前記比較器121は、アナログ電圧形態であるV TEMPとDACOUTとを比較し、その電圧差異をデジタルコードINC、DECとして出力する。前記フィルタ122は、前記INCとDECが急激に変化する場合、すなわち高周波成分が含まれた場合、外部ノイズによるものなので、出力されないようにし、また、緩慢な変化を有する場合、すなわち低周波成分の場合にだけ各々前記カウンター123のアップカウントのためのUPとダウンカウントのためのDNとして出力する。

30

#### 【0008】

前記カウンター123は、前記UPとDNによって初期TEMP\_CODE（例えば、100000）を増加又は減少させて出力する。この際、カウンター123は、ADC\_ON信号をリセット端子への入力を受けつける。前記オシレータ124は、ADC\_ONのハイ区間の間に動作して、所定の周期を有するクロック信号を発生させ、これを遅延素子DLYを経てフィルタ122、及びカウンター123に供給する。前記MUX125は、テストモード信号（以下、TMという）によってテストコード（以下、TEST\_CODEという）又は前記TEMP\_CODEを出力する。前記デコーダー126は、前記MUX125の出力をデコードしたデコード信号（以下、SW<0:N>という）を出力する。前記DAC127は、前記VULIMITとVLLIMITレベルを超過しない範囲内で前記SW<0:N>を前記DACOUTに変換して出力する。

40

#### 【0009】

前記制御部140は、温度情報出力装置100の外部信号であるイネーブル信号（以下、ENという）、セルフリフレッシュ信号（以下、SREFという）、及びテストモード

50

イネーブル信号（以下、TEST\_ENという）によって前記BGR110オン信号（以下、BGR\_ONという）、前記ADC120オン信号（以下、ADC\_ONという）、及びテストモード進行可否を知らせるためのテストモード信号（以下、TMという）を出力する。

【0010】

このように構成された従来の技術に係る温度情報出力装置の動作について、図4を参照して説明する。

【0011】

まず、制御部140は、ENが入力される場合、BGR\_ONをハイにイネーブルさせる。

前記BGR\_ONのハイ区間の間にBGR110が動作して温度検出を行い、それに応じたVTEMP、VULIMIT、VLLIMITを出力する。

前記制御部140は、前記VTEMP、VULIMIT、VLLIMITが安定化した後、すなわちバンドギャップ初期化(Band gap initialization)区間に該当する時間が経過した後、ADC\_ONをハイにイネーブルさせる。

【0012】

前記ADC\_ONのハイ区間、すなわちトラッキング区間(ADC Tracking Operation)の間にADC120がトラッキング動作を行う。

前記トラッキング区間(ADC Tracking Operation)の終了時点に近接してDACOUTとVTEMPとのレベルが同一になり、ADCトラッキングが完了すれば、ADC120は、TEMP\_CODEを出力する。

前記ADC\_ONがロウとなるにしたがって、ADC120のカウンター123の出力は、既設定された初期値にリセットされる。

【0013】

上述した動作が完了する場合、すなわちBGR\_ONがロウとなる場合、温度情報出力装置の動作が終了し、前記ADC120から出力されたTEMP\_CODEは、レジスタに格納され、半導体メモリ動作のために使われる。

【0014】

上述した従来の技術に係る温度情報出力装置は、次のような問題点がある。

第一に、半導体メモリの内部に温度情報出力装置のためのBGR110及び内部電源用基準電圧生成のためのBGR200が別途に存在するので、回路サイズが増加する。

第二に、別途に存在する2つのBGRが各々動作することによって電流消費量が増加する。

第三に、温度情報出力装置内部のBGR110の出力電圧が安定化され、有効な温度情報が出力されるまで相当の時間がかかるので、半導体メモリの動作を遅延させる。いため適用範囲が制限されるという問題点がある。これに似ている技術は、アメリカ登録特許7,127,368(特許文献1)に開示されている。

【特許文献1】アメリカ登録特許7,127,368

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明は、前述したような従来の問題点を解決するためになされたもので、その目的は、消費電流を減少させることができるとともに、回路サイズを減少させることができるようとしたバンドギャップレファレンス回路を提供することにある。

【0016】

また、本発明の他の目的は、迅速で且つ安定した温度情報出力が可能なようにしたバンドギャップレファレンス回路を利用した温度情報出力装置を提供することにある。

【課題を解決するための手段】

【0017】

前記目的を達成するために、本発明の一態様に係るバンドギャップレファレンス回路は

、温度変化に比例する電流を複数の電流パスを介して生成する温度比例電流生成部と、温度変化に反比例する電流を複数の電流パスを介して生成する温度反比例電流生成部と、前記温度比例電流生成部の電流及び前記温度反比例電流生成部の電流を用いて内部電圧用基準電圧を生成する内部電圧用基準電圧生成部と、前記温度係数特性電圧を用いて温度変化に対応する電圧を出力する温度電圧出力部と、を備える。

【0018】

また、本発明の他の態様に係るバンドギャップレファレンス回路を利用した温度情報出力装置は、バンドギャップ特性を用いて温度変化によって変化する内部電圧用基準電圧及び半導体メモリの内部温度変化に相当するアナログ温度電圧を生成して出力するバンドギャップレファレンス回路と、第1制御信号によって動作して前記アナログ温度電圧をデジタル温度情報に変換し、第2制御信号によってデジタル温度情報が初期化されるアナログ/デジタル変換手段と、少なくとも1つの動作命令によって前記第1制御信号を出力する制御手段と、を備える。

10

【発明の効果】

【0019】

本発明に係るバンドギャップレファレンス回路とこれを利用した温度情報出力装置は、次のような効果を奏する。

第一に、半導体メモリの内部に温度情報出力装置を備えても、BGRが1つだけあればよいので、全体回路サイズを低減することができる。

20

第二に、BGRが1つだけ動作するので、電流消費量が減少する。

第三に、BGRの出力電圧安定化のための時間を必要としないので、半導体メモリの動作速度を向上させることができる。

【発明を実施するための最良の形態】

【0020】

以下、添付の図面を参照して本発明に係るバンドギャップレファレンス回路とこれを利用した温度情報出力装置の好ましい実施形態を説明する。

図5は、本発明に係る温度情報出力装置のブロック図であり、図6は、図5のBGRの回路図であり、図7は、図5のADCのブロック図であり、図8は、本発明に係る温度情報出力装置の動作タイミング図である。

30

【0021】

本発明に係る温度情報出力装置は、図5に示されたように、バンドギャップ特性を用いて温度変化によって変化する内部電圧用基準電圧（以下、「VREF\_CORE」とする。）、半導体メモリの内部温度変化に相当するアナログ温度電圧（以下、「VTEMP」とする。）、及び範囲制限用基準電圧VLLIMIT、VULIMITを生成して出力するバンドギャップレファレンス回路（以下、「BGR」とする。）と、第1制御信号ADC\_ONによって動作して前記VTEMPをデジタル温度情報（以下、「TEMP\_CODE」とする。）に変換し、第2制御信号（以下、「PWRUP」とする。）によってTEMP\_CODEが初期化されるアナログ/デジタル変換手段（以下、「ADC520」とする。）と、少なくとも1つの動作命令によって前記ADC\_ONを出力する制御部540と、を備える。

40

【0022】

この際、本発明のBGR400は、半導体メモリレイアウト上の位置が図1のBGR200と同一であり、内部電圧を生成するための基準として使われるVREF\_COREの生成と、図1の温度情報出力装置の内部にあるBGR110の機能、すなわちVTEMP、VLLIMIT、VULIMITの生成機能とを共に行うことができるよう回路を構成したものである。したがって、レイアウト面積上、実際半導体メモリの内部に追加されるブロックは、図1の従来技術に比べてBGR110が削除された図5の“500”に該当するので、従来に比べて温度情報出力装置のサイズが大きく減少する。

【0023】

前記BGR400は、図6に示されたように、温度計数特性電圧を用いて温度変化に比

50

例する電流を複数の電流バスを介して生成する温度比例電流生成部410と、温度変化に反比例する電流を複数の電流バスを介して生成する温度反比例電流生成部420と、前記温度比例電流生成部410の電流及び前記温度反比例電流生成部420の電流を用いてVREF\_COREを生成する内部電圧用基準電圧生成部430と、前記温度比例電流生成部410の電流及び前記温度反比例電流生成部420の電流を用いて温度情報用基準電圧(以下、「VREF\_TS」とする。)を生成する温度情報用基準電圧生成部440と、前記VREF\_TSを用いて前記VTEMPの変動幅を制限するVLLIMIT(下限基準電圧)、VULIMIT(上限基準電圧)を生成する範囲制限用基準電圧生成部450と、前記温度計数特性電圧を用いて現在半導体メモリの内部温度変化に対応するVTEMPを生成して出力する温度電圧出力部460と、を備える。

10

## 【0024】

前記温度比例電流生成部410は、ソースが電源段に共通連結された複数のFET(Field Effect Transistor)からなる第1トランジスタ群M1～M4と、前記第1トランジスタ群M1～M4のトランジスタのうちM1、M2の各々と接地段との間に各々連結され、負(Negative)の温度計数特性を有するDiode Connected BJT(Bipolar Junction Transistor)としての第2トランジスタ群Q1、Q2と、前記第2トランジスタ群Q1、Q2のエミッタ-ベース電圧VEB1、VEB2の差異を増幅し、前記第1トランジスタ群M1～M4のゲートに共通印加し、第1トランジスタ群M1～M4の電流量を制御する電流制御機、すなわち差動増幅器OP11と、を備える。この際、第1トランジスタ群M1～M4及び第2トランジスタ群Q1、Q2は、所定の倍率を有するように異なるサイズで設計され、図6の各トランジスタの右側に倍率が表示されている。

20

## 【0025】

すなわちトランジスタM1のサイズ倍率であるX1を基本倍率とする時、Xaは、X1のa倍となり、XMは、X1のM倍となり、それにより、サイズ倍率がX1であるトランジスタM1を介して流れる電流がIPTATであり、サイズ倍率がXMであるトランジスタM4を介して流れる電流は、M\*IPTATとなる。そして、Diode Connected BJT(Bipolar Junction Transistor)としての第2トランジスタ群Q1、Q2のエミッタ-ベース電圧が負の温度計数特性を有する。すなわち温度増加によって電圧が低くなる。

## 【0026】

前記温度反比例電流生成部420は、ソースが電源段に共通連結された複数のトランジスタM5～M7と、前記トランジスタM5を介して流れる電流による電圧とVEB1との差異を増幅し、前記複数のトランジスタ群M5～M7のゲートに共通印加して、前記複数のトランジスタM5～M7の電流量を制御する電流制御機、すなわち差動増幅器OP12と、を備える。この際、複数のトランジスタM5～M7は、所定の倍率を有するように異なるサイズで設計され、各トランジスタの右側に倍率が表示されている。

30

## 【0027】

前記内部電圧用基準電圧生成部430は、前記温度比例電流生成部410の電流バスのうち1つと、前記温度反比例電流生成部420の電流バスのうち1つとに共通連結された抵抗R11で構成される。この際、抵抗R11に連結された2つの電流バスは、2つの電流バスの合成電流が温度によって変化するものを選択して連結したものである。

40

## 【0028】

すなわち一端が2つの電流バスであるトランジスタM3、M6のドレインに共通連結され、他端が接地された抵抗R11で構成され、前記トランジスタM3、M6のドレインと前記抵抗R11との連結ノードからVREF\_COREが出力される。この際、VREF\_COREは、温度が低くなるにつれて高くななければならないが、これは、MOSFETの特性上、しきい電圧が、温度が低くなるにつれて高くなるので、これを補償して、セルコンデンサとビットラインの電流伝達が円滑がなされるようにするためである。したがって、トランジスタM6の電流量変動幅がトランジスタM3に比べて大きくなるように、サイズ倍率をXM'、とXK'に定める。

## 【0029】

50

前記温度情報用基準電圧生成部 440 は、前記温度比例電流生成部 410 の電流バスのうち 1 つと、前記温度反比例電流生成部 420 の電流バスのうち 1 つとに共通連結された抵抗 R3 で構成される。この際、抵抗 R3 に連結された 2 つの電流バスは、2 つの電流バスの合成電流が温度に関係なく一定したものを選択して連結したものである。すなわち一端が 2 つの電流バスであるトランジスタ M4、M7 のドレインに共通連結され、他端が接地された抵抗 R3 で構成され、前記トランジスタ M4、M7 のドレインと前記抵抗 R3 との連結ノードから VREF\_TS が出力される。この際、VREF\_TS は、温度情報出力装置の出力に影響を与えるので、PVT (Process Voltage Temperature) 変動に関係なく一定に維持しなければならない。したがって、2 つのトランジスタ M4、M7 の電流量変動幅が同一となるように、サイズ倍率を XM と XK に定める。

10

## 【0030】

前記範囲制限用基準電圧生成部 450 は、ソースが電源段に連結された第 1 トランジスタ M8 と、前記第 1 トランジスタ M8 と接地段との間に連結された第 1 分配抵抗 R4、R5 と、前記第 1 分配抵抗 R4、R5 の分配電圧と前記 VREF\_TS との差異を増幅し、前記第 1 トランジスタ M8 のゲートに印加して前記第 1 トランジスタ M8 の電流量を制御する第 1 電流制御機、すなわち差動増幅器 OP13 と、ソースが前記電源段に連結された第 2 トランジスタ M9 と、前記第 2 トランジスタ M9 と接地段との間に連結された第 2 分配抵抗 R6～R8 と、前記第 1 トランジスタ M8 と前記第 1 分配抵抗 R4、R5 との連結ノード電圧、すなわちトリミング電圧（以下、「VREF\_Trim」とする。）と前記第 2 分配抵抗 R6～R8 との差異を増幅し、前記第 2 トランジスタ M9 のゲートに印加して、前記第 2 トランジスタ M9 の電流量を制御する第 2 電流制御機、すなわち差動増幅器 OP14 と、を備える。

20

## 【0031】

この際、第 2 トランジスタ M9 と抵抗 R8 との連結ノードから VLLIMIT が出力され、抵抗 R7、R8 間の連結ノードから VLLIMIT が出力される。そして、R5、R7、R8 は、可変抵抗であって、R7、R8 の抵抗値調整を通じて VLLIMIT と VULIMIT のレベルを調整することができ、前記 R5 の抵抗値の調整を通じて前記 VLLIMIT と VULIMIT のオフセットを調整することができる。

30

## 【0032】

前記温度電圧出力部 460 は、ソースが電源段に連結されたトランジスタ M10 と、前記トランジスタ M10 のドレインと接地段との間に連結された分配抵抗 R10、R9 と、前記分配抵抗 R10、R9 を介して分配された電圧と VEB2 との差異を増幅し、前記トランジスタ M10 のゲートに印加して、前記トランジスタ M10 の電流量を制御する電流制御機、すなわち差動増幅器 OP15 と、を備える。この際、トランジスタ M10 と抵抗 R10 との連結ノードから VTEMP が出力される。

40

## 【0033】

前記 ADC520 は、図 7 に示されたように、比較器 521、フィルタ 522、カウンター 523、オシレータ 524、MUX525、デコーダー 526、及び DAC527 を備える。前記比較器 521 は、アナログ電圧形態である VTEMP と DACOUT とを比較し、その電圧差異をデジタルコード INC、DEC として出力する。前記フィルタ 522 は、前記 INC と DEC が急激に変化する場合、すなわち高周波成分が含まれた場合、外部ノイズによるものなので、出力されないようにし、また、緩慢な変化を有する場合、すなわち低周波成分の場合にだけ前記カウンター 523 のアップカウントのための UP とダウンカウントのための DN を出力する。

## 【0034】

前記カウンター 523 は、前記 UP と DN によって初期 TEMP\_CODE ( 例えば、100000 ) を増加又は減少させて出力する。この際、カウンター 523 は、PWRUP 信号をリセット端子に入力される。前記オシレータ 524 は、ADC\_ON のハイ区間の間に動作し、所定の周期を有するクロック信号を発生させ、遅延素子 DLY を経てフィルタ 522、及びカウンター 523 が動作できるように供給する。前記 MUX525 は、

50

テストモード信号（以下、TM）によってテストコード（以下、TEST\_CODE）又は前記TEMP\_CODEを出力する。前記デコーダー526は、前記MUX525の出力をデコードしたデコード信号（以下、「SW<0:N>」とする。）を出力する。

【0035】

前記DAC527は、前記VULIMITとVLLIMITレベルを超過しない範囲内で前記SW<0:N>を前記DACOUTに変換して出力する。この際、本発明のADC520が従来技術と異なる点は、カウンター523がADC\_ONによりリセットされず、PWRUPによりリセットされるようになっている。従来、バンドギャップレファレンス回路が動作し、所定の安定化時間が経過した後、VTEMPが出力されたが、本発明では、BGR400が、電源が遮断される前までは安定したVTEMPを出力しているので、初期の電源レベルが安定化されたことを知らせるPWRUP信号によりカウンター523をリセットさせている。

10

【0036】

前記制御部540は、温度情報出力装置イネーブル信号（以下、EN）又はセルフリフレッシュ信号（以下、SREF）がイネーブルされる場合、前記ADC\_ONを出力し、テストモードイネーブル信号（以下、TEST\_EN）がイネーブルされる場合、前記ADC\_ON、及びテストモード進行可否を知らせるためのテストモード信号（以下、TM）を出力する。

20

【0037】

このように構成された本発明に係る温度情報出力装置の動作を、図8を参照して説明する。

まず、制御部540は、EN又はSREFがイネーブルされる場合、直ちにADC\_ONをハイにイネーブルさせる。

30

【0038】

この際、BGR400は、半導体メモリに電源が供給される時点から動作し、安定したVREF\_CORE、VTEMP、VULIMIT、VLLIMITを出力している状態である。したがって、図4に示された従来のようなバンドギャップ初期化区間無しにADC520が直ちに動作できるように、ENがイネーブルされた後、直ちにADC\_ONをハイにイネーブルさせる。

【0039】

前記ADC\_ONのハイ区間、すなわちトラッキング区間（ADC Tracking Operation）の間にADC520がトラッキング動作を行う。

30

前記トラッキング区間（ADC Tracking Operation）の終了時点に近接して、DACOUTとVTEMPとのレベルが同一になり、ADCトラッキングが完了すれば、ADC520は、TEMP\_CODEを出力する。この際、ADC520のカウンター523は、PWRUPによってリセットされるので、以前ADC\_ONイネーブル区間でのカウント値、すなわちTEMP\_CODEを格納している状態である。したがって、DACOUTが従来のように現在温度に該当する値に近接した値を有しているので、ADCトラッキングが従来に比べて一層迅速に行われる。

40

【0040】

前述したような動作が完了すれば、すなわちADC\_ONがロウとなる場合、温度情報出力装置の動作が終了し、前記ADC520から出力されたTEMP\_CODEは、半導体メモリ内部において別途のレジスタに格納され、半導体メモリ動作のために使われる。この際、カウンター523の最終カウント値、すなわち前記レジスタに出力されたTEMP\_CODEと同じカウント値は、PWRUP信号がさらに入力される前まで維持される。

【0041】

以上において説明した本発明は、本発明が属する技術の分野における通常の知識を有する者であれば、本発明の技術的思想を逸脱しない範囲内で、様々な置換、変形及び変更が可能であるので、上述した実施形態及び添付された図面に限定されるものではない。

50

## 【図面の簡単な説明】

## 【0042】

【図1】従来の技術に係る温度情報出力装置のブロック図である。

【図2】図1の温度情報出力装置内部のBGR (Band Gap Reference) の回路図である。

【図3】図1のADC (Analog to Digital Converter) のブロック図である。

【図4】従来の技術に係る温度情報出力装置の動作タイミング図である。

【図5】本発明に係る温度情報出力装置のブロック図である。

【図6】図5のBGRの回路図である。

【図7】図5のADCのブロック図である。

【図8】本発明に係る温度情報出力装置の動作タイミング図である。

10

## 【符号の説明】

## 【0043】

400 ... BGR (Band Gap Reference)

410 ... 温度比例電流生成部

420 ... 温度反比例電流生成部

430 ... 内部電圧用基準電圧生成部

440 ... 温度情報用基準電圧生成部

450 ... 範囲制限用基準電圧生成部

460 ... 温度電圧出力部

520 ... ADC

20

521 ... 比較器

522 ... フィルタ

523 ... カウンター

524 ... オシレータ

525 ... MUX

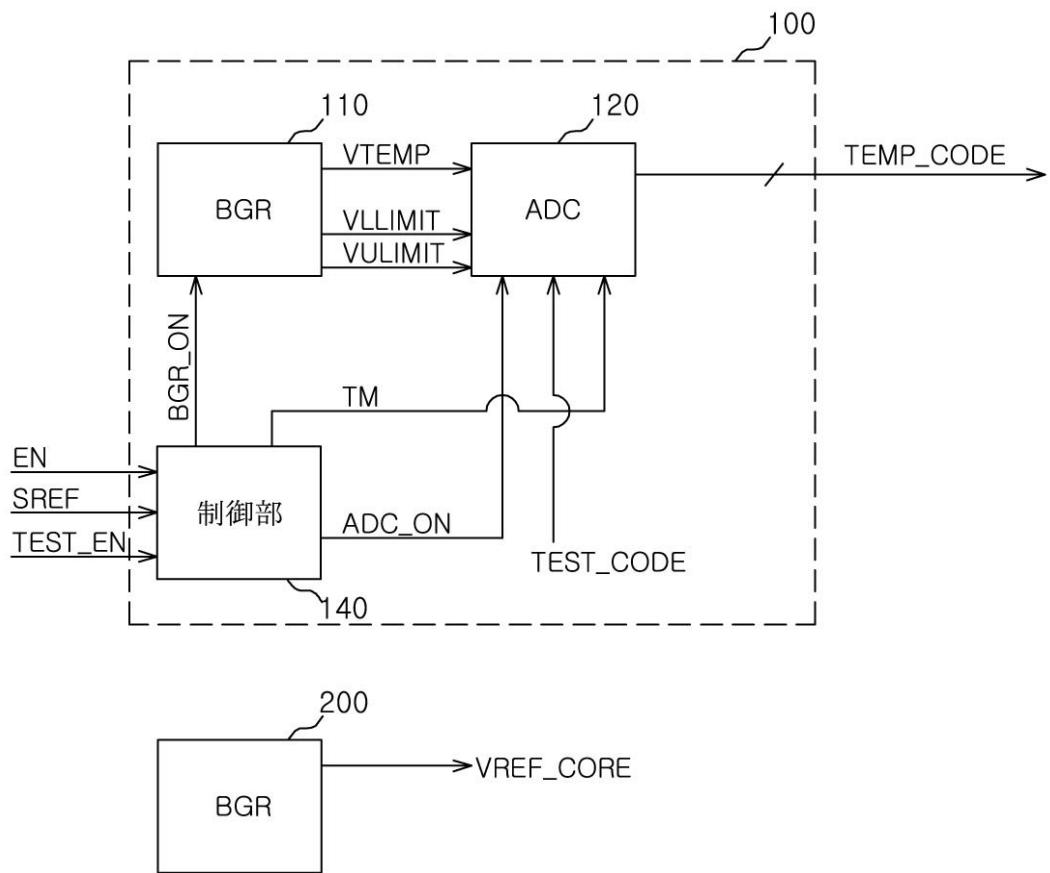
526 ... デコーダー

527 ... DAC

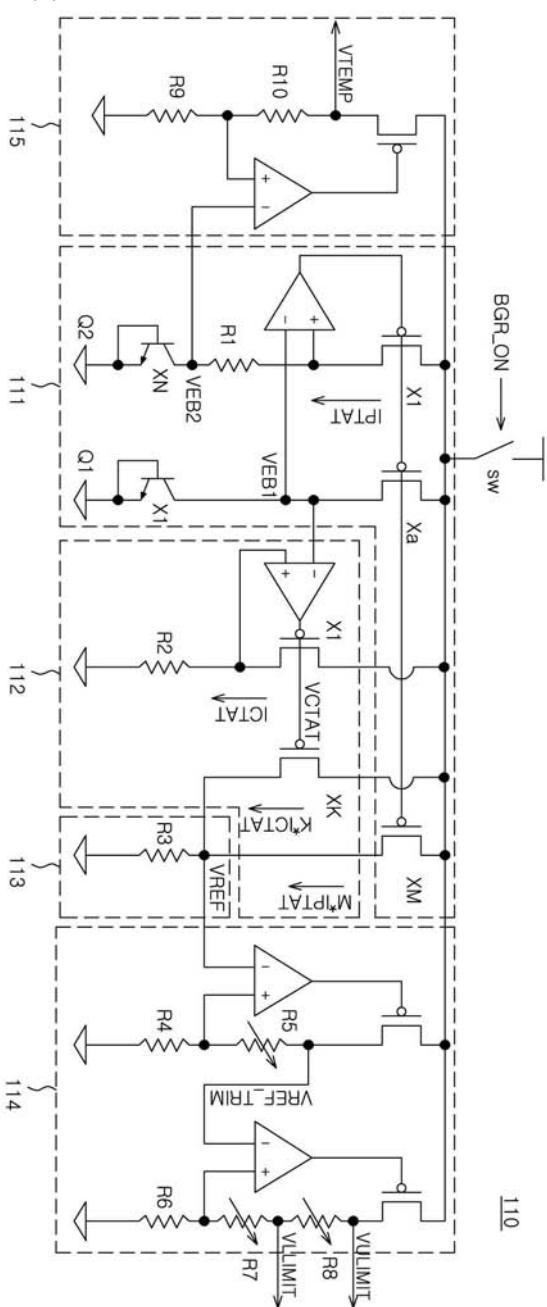
DLY ... 遅延 素子

540 ... 制御部

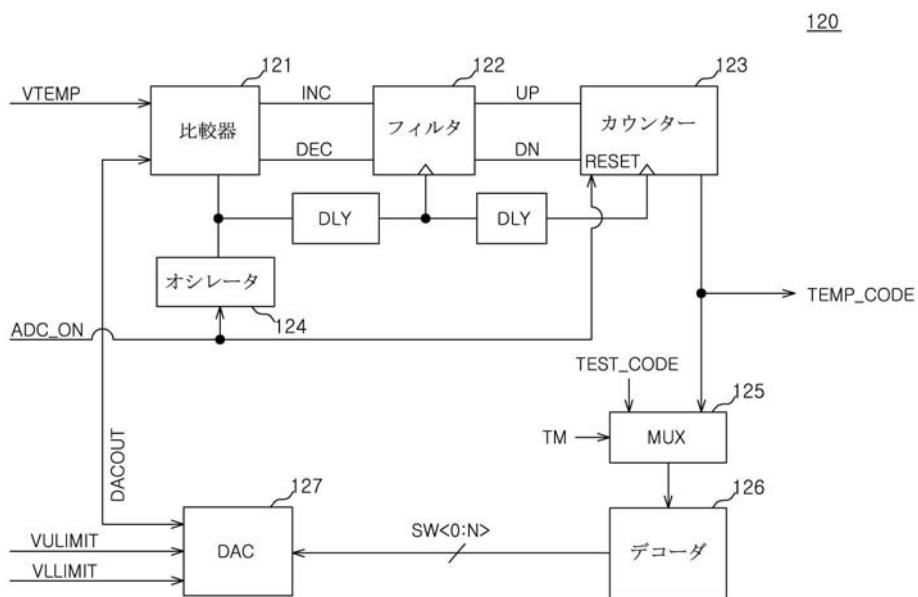
【図 1】



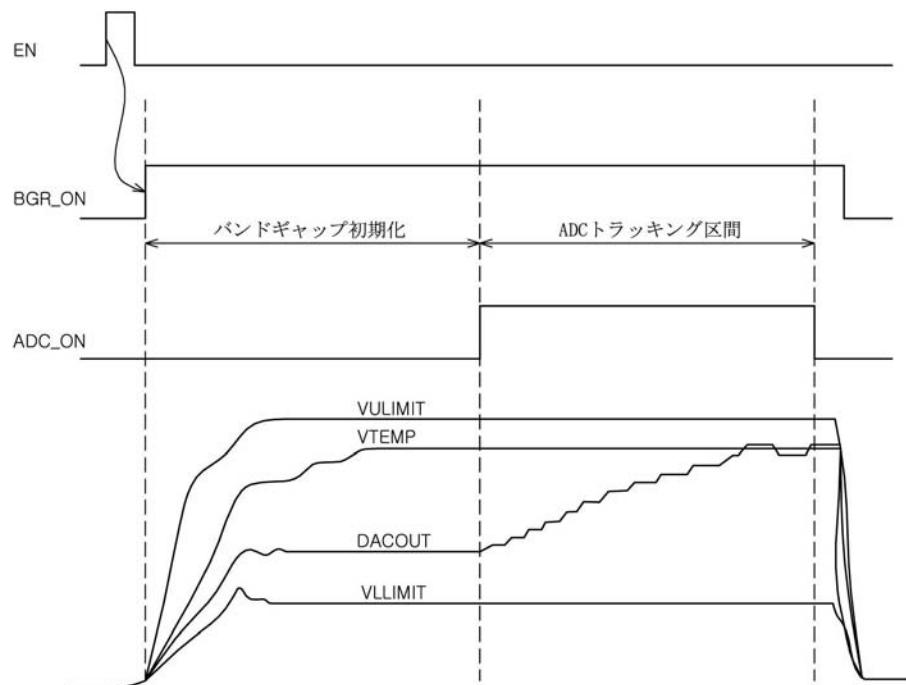
【図2】



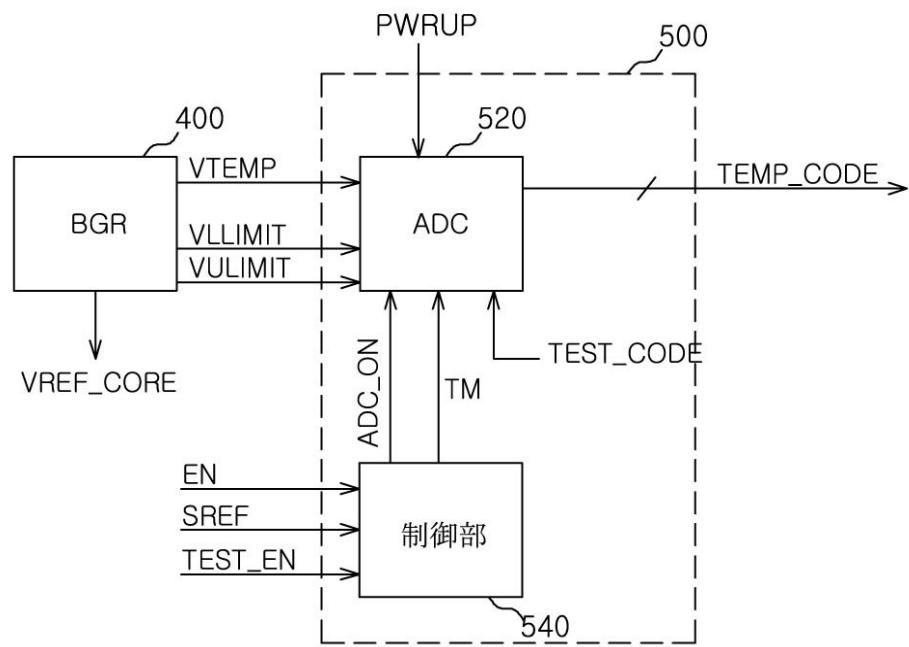
【図3】



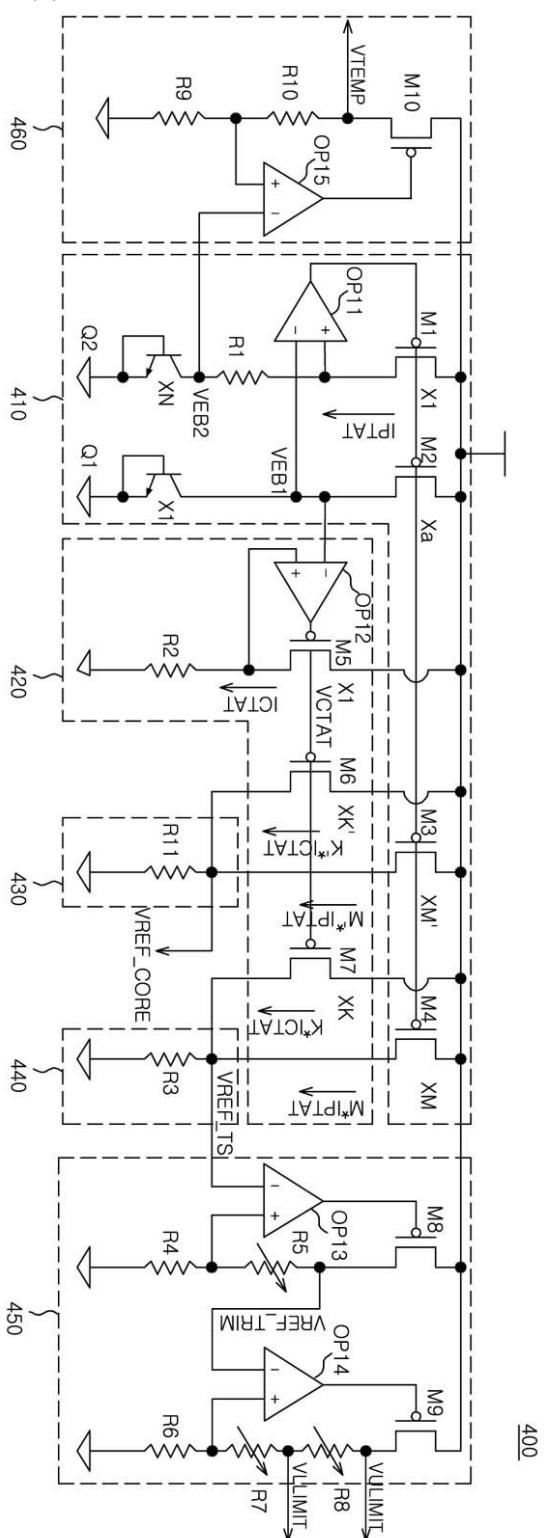
【図4】



【図 5】

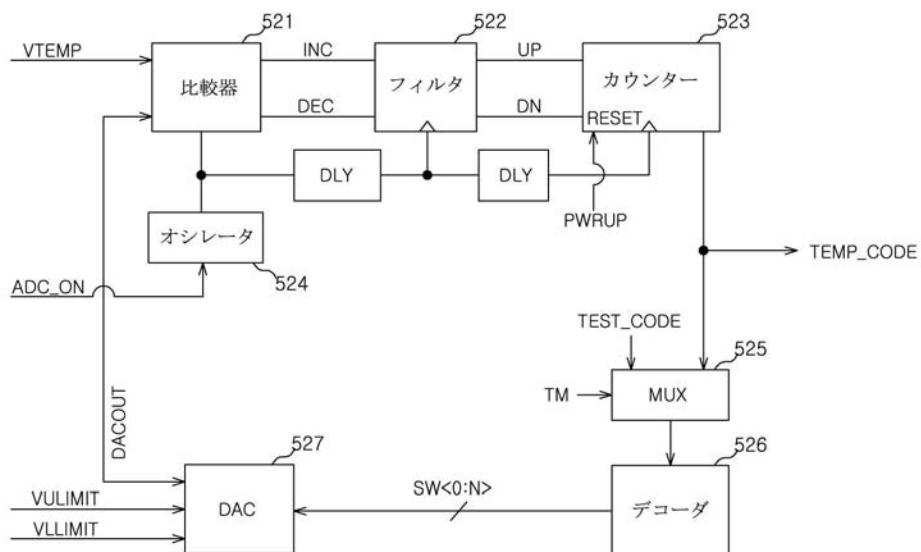


【 义 6 】

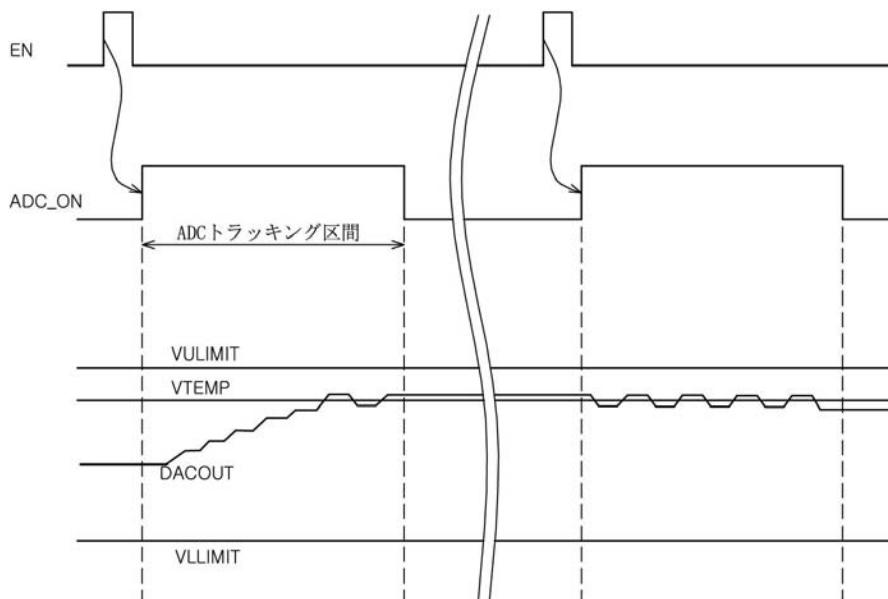


【図7】

520



【 図 8 】



## フロントページの続き

F ターム(参考) 5F038 AZ08 BB02 BB05 BB07 DF03 DF05 EZ20  
5H420 NA12 NA16 NA24 NB02 NB12 NB18 NB22 NB27 NC03 NC15  
NC18 NC26 NE22 NE26  
5J500 AA01 AA58 AC02 AC36 AF11 AH02 AH25 AH26 AK01 AK15  
AK17 AK34 AK35 AK41 AM21 AT01 AT06 NC02