

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成24年10月11日(2012.10.11)

【公開番号】特開2011-55196(P2011-55196A)

【公開日】平成23年3月17日(2011.3.17)

【年通号数】公開・登録公報2011-011

【出願番号】特願2009-201522(P2009-201522)

【国際特許分類】

H 03M 1/56 (2006.01)

H 04N 5/335 (2011.01)

【F I】

H 03M 1/56

H 04N 5/335 E

H 04N 5/335 Z

【手続補正書】

【提出日】平成24年8月21日(2012.8.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

時間の経過とともに増加または減少する参照信号を生成する参照信号生成部と、

AD変換の対象となるアナログ信号の入力に係るタイミングで前記アナログ信号と前記参考信号の比較処理を開始し、前記参考信号が前記アナログ信号に対して所定の条件を満たしたタイミングで前記比較処理を終了する比較部と、

複数の遅延ユニットを有し、前記比較処理の開始に係るタイミングで遷移動作を開始する円環遅延回路と、

前記比較処理の終了に係る第1のタイミングで、前記複数の遅延ユニットの論理状態である下位論理状態をラッチする下位ラッチ部と、

前記円環遅延回路からのクロックをカウントし、前記比較処理の終了に係る前記第1のタイミングでカウント値を上位論理状態として保持するカウント部と、

前記下位ラッチ部および前記カウント部のデータに基づいて前記アナログ信号に応じたデジタル信号を算出する演算部と、

を有するAD変換器。

【請求項2】

前記円環遅延回路は、奇数個の遅延ユニットを有し、その出力は等価的に偶数となる非対称発振回路である、

請求項1に係るAD変換器。

【請求項3】

前記偶数は、2のべき乗である、

請求項2に係るAD変換器。

【請求項4】

前記複数の遅延ユニットは、その遅延量を制御可能となるよう構成される、

請求項1から請求項3の何れか1つに係るAD変換器。

【請求項5】

前記複数の遅延ユニットの遅延量は、その遅延ユニットに流れる電流により制御される

請求項 4 に係るAD変換器。

【請求項 6】

前記演算部は、前記複数の遅延ユニットからの出力である前記下位ラッチ部のデータを、一定の時間間隔で順に立上る、又は、一定の時間間隔で順に立下る信号群に並び替え、前記演算部は、前記比較処理の終了に係る前記第1のタイミングでの前記信号群における状態の遷移位置を検出する、

請求項 1 から請求項 5 の何れか 1 つに係るAD変換器。

【請求項 7】

前記参照信号生成部は、積分回路を用いて構成される、
請求項 1 から請求項 6 の何れか 1 つに係るAD変換器。

【請求項 8】

前記参照信号生成部は、DAC回路を用いて構成される、
請求項 1 から請求項 6 の何れか 1 つに係るAD変換器。

【請求項 9】

前記参照信号生成部は、前記DAC回路の後段に更に LPF 回路を有する、
請求項 8 に係るAD変換器。

【請求項 10】

前記 LPF 回路のフィルタ定数は、少なくとも前記遅延ユニットの遅延量および前記DAC回路の量子化ステップ、に応じて制御される、
請求項 9 に係るAD変換器。

【請求項 11】

入射される電磁波の大きさに応じて画素信号を出力する画素が複数、行列状に配された撮像部と、

前記画素信号に応じたアナログ信号をAD変換の対象となるアナログ信号とする請求項 1 から請求項 10 に係るAD変換器と、

前記撮像部および前記AD変換器を制御する制御部と、
を有する固体撮像装置。

【請求項 12】

前記撮像部の 1 列毎に前記カウント部を設けてカラムカウント部とし、
前記円環遅延回路からのクロックを、前記カラムカウント部のカウントクロックとして用いる、

請求項 11 に係る固体撮像装置。

【請求項 13】

前記カラムカウント部は、アップカウントモードおよびダウンカウントモードを有し、
前記第1の比較処理に係るカウントをダウンカウントまたはアップカウントの一方で行い、
前記第2の比較処理に係るカウントをダウンカウントまたはアップカウントの他方で行う、
請求項 12 に係る固体撮像装置。

【請求項 14】

時間の経過とともに増加または減少する参照信号を生成する参照信号生成部と、
AD変換の対象となるアナログ信号の入力に係るタイミングで前記アナログ信号と前記参照信号の比較処理を開始し、前記参照信号が前記アナログ信号に対して所定の条件を満したタイミングで前記比較処理を終了する比較部と、
複数の遅延ユニットを有し、前記比較処理の開始に係るタイミングで遷移動作を開始する円環遅延回路と、

前記円環遅延回路からのクロックをカウントするカウント部と、
前記比較処理の終了に係る第1のタイミングで、前記複数の遅延ユニットの論理状態である下位論理状態をラッチする下位ラッチ部と、
前記比較処理の終了に係る前記第1のタイミングで、前記カウント部の論理状態である

上位論理状態をラッチする上位ラッチ部と、

前記下位ラッチ部および前記上位ラッチ部のデータに基づいて前記アナログ信号に応じたデジタル信号を算出する演算部と、

を有するAD変換器。

【請求項 1 5】

前記複数の遅延ユニットの個数は、奇数個である、

請求項 1 4 に係るAD変換器。

【請求項 1 6】

前記複数の遅延ユニットの個数は、奇数個であり、前記複数の遅延ユニットの各々は、更に奇数個の反転素子を有する、

請求項 1 4 に係るAD変換器。

【請求項 1 7】

前記奇数個の遅延ユニットで構成された前記円環遅延回路の出力は等価的に偶数となる非対称発振回路である、

請求項 1 5 または請求項 1 6 の何れか 1 つに係るAD変換器。

【請求項 1 8】

前記偶数は、2のべき乗である、

請求項 1 7 に係るAD変換器。

【請求項 1 9】

前記遅延ユニットを構成する前記奇数個の前記反転素子は全差動型反転回路で構成される、

請求項 1 6 に係るAD変換器。

【請求項 2 0】

前記複数の遅延ユニットは、その遅延量を制御可能となるよう構成される、

請求項 1 4 から請求項 1 9 の何れか 1 つに係るAD変換器。

【請求項 2 1】

前記複数の遅延ユニットの遅延量は、その遅延ユニットに流れる電流により制御される、

請求項 2 0 に係るAD変換器。

【請求項 2 2】

前記演算部は、前記複数の遅延ユニットからの出力である前記下位ラッチ部のデータを、一定の時間間隔で順に立上る、又は、一定の時間間隔で順に立下る信号群に並び替え、前記演算部は、前記比較処理の終了に係る前記第1のタイミングでの前記信号群における状態の遷移位置を検出する、

請求項 1 4 から請求項 2 1 の何れか 1 つに係るAD変換器。

【請求項 2 3】

前記カウント部は、前記上位論理状態以外に冗長上位論理状態を出力し、

ラッチ部として前記下位ラッチ部および前記上位ラッチ部以外に、前記冗長上位論理状態をラッチする冗長上位ラッチ部を有し、

前記冗長上位論理状態は前記上位論理状態の少なくとも一部をある時間だけ遅延させたものである、または前記上位論理状態は前記冗長上位論理状態の少なくとも一部をある時間だけ遅延させたものである、

請求項 1 4 から請求項 2 1 の何れか 1 つに係るAD変換器。

【請求項 2 4】

前記比較部は、前記比較処理の終了に係る前記第1のタイミングを示す信号と、前記第1のタイミングを有する遅延時間だけ遅延させた第2のタイミングを示す信号とを出力する、

請求項 1 4 から請求項 2 1 の何れか 1 つに係るAD変換器。

【請求項 2 5】

前記参照信号生成部は、積分回路を用いて構成される、

請求項 1 4 から請求項 2 4 の何れか 1 つに係るAD変換器。

【請求項 2 6】

前記参照信号生成部は、DAC回路を用いて構成される、
請求項 1 4 から請求項 2 4 の何れか 1 つに係るAD変換器。

【請求項 2 7】

前記参照信号生成部は、前記DAC回路の後段に更に LPF回路を有する、
請求項 2 6 に係るAD変換器。

【請求項 2 8】

前記 LPF回路のフィルタ定数は、少なくとも前記遅延ユニットの遅延量および前記DAC回路の量子化ステップ、に応じて制御される、
請求項 2 7 に係るAD変換器。

【請求項 2 9】

入射される電磁波の大きさに応じて画素信号を出力する画素が複数、行列状に配された撮像部と、

前記画素信号に応じたアナログ信号をAD変換の対象となるアナログ信号とする請求項 1 4 から請求項 2 8 のいずれか 1 つに係るAD変換器と、

前記撮像部および前記AD変換器を制御する制御部と、
を有する固体撮像装置。

【請求項 3 0】

前記画素信号は、基準レベルと信号レベルとを含んでおり、

前記比較部は、前記基準レベルと前記参照信号とを比較する第 1 の比較処理と、前記信号レベルと前記参照信号とを比較する第 2 の比較処理とを実行し、

前記上位ラッチ部は、第 1 の上位ラッチ部および第 2 の上位ラッチ部を有し、

前記下位ラッチ部は、第 1 の下位ラッチ部および第 2 の下位ラッチ部を有し、

前記第 1 の比較処理に係る第 1 のデータと、前記第 2 の比較処理に係る第 2 のデータと、を保持する、
請求項 2 9 に係る固体撮像装置。

【請求項 3 1】

前記第 1 のデータを前記第 1 の上位ラッチ部および前記第 1 の下位ラッチ部に保持し、
保持された第 1 のデータを前記第 2 の上位ラッチ部および前記第 2 の下位ラッチ部に転送した後、前記第 2 のデータを前記第 1 の上位ラッチ部および前記第 1 の下位ラッチ部に保持する、
請求項 3 0 に係る固体撮像装置。

【請求項 3 2】

前記カウント部は、前記上位論理状態以外に、更に前記冗長上位論理状態を出力し、
前記上位ラッチ部は、前記第 1 の上位ラッチ部および前記第 2 の上位ラッチ部以外に、
更に第 1 の前記冗長上位ラッチ部および第 2 の前記冗長上位ラッチ部を有し、

前記下位ラッチ部は、第 1 の下位ラッチ部および第 2 の下位ラッチ部を有する、
請求項 3 0 に係る固体撮像装置。

【請求項 3 3】

前記第 1 のデータを前記第 1 の上位ラッチ部、前記第 1 の冗長上位ラッチ部、および前記第 1 の下位ラッチ部に保持し、保持されたデータを前記第 2 の上位ラッチ部、前記第 2 の冗長上位ラッチ部、および前記第 2 の下位ラッチ部に転送した後、前記第 2 のデータを前記第 1 の上位ラッチ部、前記第 1 の冗長上位ラッチ部、および前記第 1 の下位ラッチ部に保持する、
請求項 3 2 に係る固体撮像装置。

【請求項 3 4】

前記第 1 あるいは前記第 2 の上位ラッチ部でのデータの保持は、前記比較処理の終了に
係る前記第 1 のタイミングまたは前記比較処理の終了に係る前記第 1 のタイミングをある
遅延時間だけ遅延させた前記第 2 のタイミングの一方で行い、前記第 1 あるいは前記第 2

の冗長上位ラッチ部のデータ保持は、前記比較処理の終了に係る前記第1のタイミングまたは前記比較処理の終了に係る前記第1のタイミングを有する遅延時間だけ遅延させた前記第2のタイミングの他方で行う、

請求項32に係る固体撮像装置。

【請求項35】

前記撮像部の1列、または複数列毎に前記カウント部を設けてカラムカウント部とし、前記円環遅延回路からのクロックを、前記カラムカウント部のカウントクロックとして用いる、

請求項29～請求項34のいずれか1つに係る固体撮像装置。

【請求項36】

前記カラムカウント部は、アップカウントモードおよびダウンカウントモードを有し、前記第1の比較処理に係るカウントをダウンカウントまたはアップカウントの一方で行い、前記第2の比較処理に係るカウントをダウンカウントまたはアップカウントの他方で行う、

請求項35に係る固体撮像装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本発明は、上記の課題を解決するためになされたもので、時間の経過とともに増加または減少する参照信号を生成する参照信号生成部と、AD変換の対象となるアナログ信号の入力に係るタイミングで前記アナログ信号と前記参照信号の比較処理を開始し、前記参照信号が前記アナログ信号に対して所定の条件を満たしたタイミングで前記比較処理を終了する比較部と、複数の遅延ユニットを有し、前記比較処理の開始に係るタイミングで遷移動作を開始する円環遅延回路と、前記比較処理の終了に係る第1のタイミングで、前記複数の遅延ユニットの論理状態である下位論理状態をラッチする下位ラッチ部と、前記円環遅延回路からのクロックをカウントし、前記比較処理の終了に係る前記第1のタイミングでカウント値を上位論理状態として保持するカウント部と、前記下位ラッチ部および前記カウント部のデータに基づいて前記アナログ信号に応じたデジタル信号を算出する演算部とを有するAD変換器である。

また、本発明のAD変換器において、前記円環遅延回路は、奇数個の遅延ユニットを有し、その出力は等価的に偶数となる非対称発振回路である。

また、本発明のAD変換器において、前記偶数は、2のべき乗である。

また、本発明のAD変換器において、前記複数の遅延ユニットは、その遅延量を制御可能となるよう構成される。

また、本発明のAD変換器において、前記複数の遅延ユニットの遅延量は、その遅延ユニットに流れる電流により制御される。

また、本発明のAD変換器において、前記演算部は、前記複数の遅延ユニットからの出力である前記下位ラッチ部のデータを、一定の時間間隔で順に立上る、又は、一定の時間間隔で順に立下る信号群に並び替え、前記演算部は、前記比較処理の終了に係る前記第1のタイミングでの前記信号群における状態の遷移位置を検出する。

また、本発明のAD変換器において、前記参照信号生成部は、積分回路を用いて構成される。

また、本発明のAD変換器において、前記参照信号生成部は、DAC回路を用いて構成される。

また、本発明のAD変換器において、前記参照信号生成部は、前記DAC回路の後段に更にLPF回路を有する。

また、本発明のAD変換器において、前記LPF回路のフィルタ定数は、少なくとも前記

遅延ユニットの遅延量および前記DAC回路の量子化ステップ、に応じて制御される。

また、本発明は、入射される電磁波の大きさに応じて画素信号を出力する画素が複数、行列状に配された撮像部と、前記画素信号に応じたアナログ信号をAD変換の対象となるアナログ信号とする請求項1から請求項10に係るAD変換器と、前記撮像部および前記AD変換器を制御する制御部とを有する固体撮像装置である。

また、本発明の固体撮像装置において、前記撮像部の1列毎に前記カウント部を設けてカラムカウント部とし、前記円環遅延回路からのクロックを、前記カラムカウント部のカウントクロックとして用いる。

また、本発明の固体撮像装置において、前記カラムカウント部は、アップカウントモードおよびダウンカウントモードを有し、前記第1の比較処理に係るカウントをダウンカウントまたはアップカウントの一方で行い、前記第2の比較処理に係るカウントをダウンカウントまたはアップカウントの他方で行う。

また、本発明は、時間の経過とともに増加または減少する参照信号を生成する参照信号生成部と、AD変換の対象となるアナログ信号の入力に係るタイミングで前記アナログ信号と前記参照信号の比較処理を開始し、前記参照信号が前記アナログ信号に対して所定の条件を満たしたタイミングで前記比較処理を終了する比較部と、複数の同一構成の遅延ユニットを有し、前記比較処理の開始に係るタイミングで遷移動作を開始する円環遅延回路と、前記円環遅延回路からのクロックをカウントするカウント部と、前記比較処理の終了に係る第1のタイミングで、前記複数の遅延ユニットの論理状態である下位論理状態をラッチする下位ラッチ部と、前記比較処理の終了に係る前記第1のタイミングで、前記カウント部の論理状態である上位論理状態をラッチする上位ラッチ部と、前記下位ラッチ部および前記上位ラッチ部のデータに基づいて前記アナログ信号に応じたデジタル信号を算出する演算部と、を有するAD変換器である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

また、本発明のAD変換器において、前記複数の遅延ユニットの個数は、奇数個であり、前記複数の遅延ユニットの各々は、更に奇数個の反転素子を有する、ことを特徴とする。

また、本発明のAD変換器において、前記奇数個の遅延ユニットで構成された前記円環遅延回路の出力は等価的に偶数となる非対称発振回路である。

また、本発明のAD変換器において、前記偶数は、2のべき乗である。