

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3671140号
(P3671140)

(45) 発行日 平成17年7月13日(2005.7.13)

(24) 登録日 平成17年4月22日(2005.4.22)

(51) Int.Cl.⁷

F I

G 0 6 F 12/14

G 0 6 F 12/14 5 1 0 B

H 0 1 L 21/822

H 0 1 L 27/04 H

H 0 1 L 27/04

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2000-264178 (P2000-264178)	(73) 特許権者	395015319
(22) 出願日	平成12年8月31日(2000.8.31)		株式会社ソニー・コンピュータエンタテインメント
(65) 公開番号	特開2001-142783 (P2001-142783A)		東京都港区南青山二丁目6番21号
(43) 公開日	平成13年5月25日(2001.5.25)	(74) 代理人	100077665
審査請求日	平成12年8月31日(2000.8.31)		弁理士 千葉 剛宏
(31) 優先権主張番号	特願平11-245933	(74) 代理人	100096518
(32) 優先日	平成11年8月31日(1999.8.31)		弁理士 土屋 洋
(33) 優先権主張国	日本国(JP)	(72) 発明者	川井 英次
前置審査			東京都港区赤坂7丁目1番1号 株式会社 ソニー・コンピュータエンタテインメント 内
		審査官	高橋 克
			最終頁に続く

(54) 【発明の名称】 電気・電子回路装置

(57) 【特許請求の範囲】

【請求項1】

電気・電子回路装置の電源入力端子に電圧が印加されたとき、論理出力が一定の論理出力に不可逆的に固定される論理出力設定回路と、

この論理出力設定回路の出力側に読み書き制御入力に接続される電氣的に書き込み消去が可能な記憶装置とを有し、

前記記憶装置の前記読み書き制御入力に、読み書き制御用端子が接続され、

前記電源入力端子に電圧が印加される前には、前記記憶装置にのみ電源が供給された状態で前記読み書き制御用端子を利用して前記記憶装置に対する読み書き制御が可能とされ、

前記電源入力端子に電圧が印加されて、前記論理出力設定回路が一定の論理出力に不可逆的に固定された場合に、前記記憶装置の書き込み消去を不可能とし、読み出しのみを可能とする

ことを特徴とする電気・電子回路装置。

【請求項2】

請求項1記載の電気・電子回路装置において、

前記論理出力設定回路の出力と前記読み書き制御用端子とを論理積回路の入力に接続し、前記論理積回路の出力を前記記憶装置の前記読み書き制御入力に接続した

ことを特徴とする電気・電子回路装置。

【請求項3】

請求項 1 又は 2 記載の電気・電子回路装置において、
前記論理出力設定回路は、前記電源入力端子に印加された電圧に基づいて不可逆的に遮断される遮断素子を有し、
前記論理出力設定回路は、前記遮断素子が遮断されることにより電流が供給されなくなり、一定の論理出力に不可逆的に固定される
ことを特徴とする電気・電子回路装置。

【請求項 4】

請求項 3 記載の電気・電子回路装置において、
前記電源入力端子と前記遮断素子との間に昇圧回路が設けられている
ことを特徴とする電気・電子回路装置。

10

【請求項 5】

請求項 4 記載の電気・電子回路装置において、
前記電源入力端子に電圧が印加されたときから一定期間前記昇圧回路を動作状態とするパワーオンリセット回路を含む
ことを特徴とする電気・電子回路装置。

【請求項 6】

特定の外部端子に電圧が印加されたとき、論理出力が一定の論理出力に不可逆的に固定される論理出力設定回路と、

この論理出力設定回路の出力側に接続される電氣的に書き込み消去が可能な記憶装置と

20

、
前記論理出力設定回路に設けられ、前記特定の外部端子に印加された電圧に基づいて不可逆的に遮断される遮断素子と、

前記特定の外部端子と前記遮断素子との間に設けられている昇圧回路とを有し、

前記遮断素子は、前記特定の外部端子に電圧が印加されたときに前記昇圧回路の出力により遮断され、

前記昇圧回路には、前記遮断素子が遮断されたことを検出して、前記昇圧回路の電力消費を低減あるいは無くする電力消費制限回路が接続される

ことを特徴とする電気・電子回路装置。

【請求項 7】

特定の外部端子に電圧が印加されたとき、論理出力が一定の論理出力に不可逆的に固定される論理出力設定回路と、

30

この論理出力設定回路の出力側に接続される電氣的に書き込み消去が可能な記憶装置と

、
前記論理出力設定回路に設けられ、前記特定の外部端子に印加された電圧に基づいて不可逆的に遮断される遮断素子と、

前記特定の外部端子と前記遮断素子との間に設けられている昇圧回路とを有し、

前記特定の外部端子に電圧が印加されたときから一定期間前記昇圧回路を動作状態とするパワーオンリセット回路を含み、

前記遮断素子は、前記パワーオンリセット回路により動作状態とされた前記昇圧回路の出力により遮断され、

40

前記昇圧回路には、前記遮断素子が遮断されたことを検出して、前記昇圧回路の電力消費を低減あるいは無くする電力消費制限回路が接続される

ことを特徴とする電気・電子回路装置。

【請求項 8】

請求項 3 ～ 7 のいずれか 1 項に記載の電気・電子回路装置において、

該電気・電子回路装置が集積回路により構成され、

前記遮断素子が、シリコン配線パターンにより形成されている

ことを特徴とする電気・電子回路装置。

【請求項 9】

請求項 1 ～ 8 のいずれか 1 項に記載の電気・電子回路装置において、

50

前記電気・電子回路装置は集積回路により構成されている
ことを特徴とする電気・電子回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、たとえば、LSI (large scale integrated circuit) 等の集積回路に適用して好適であり、電気・電子製品のハードウェアの改造、およびソフトウェアの改竄や2次利用等を有効に防止し得る電気・電子回路装置に関する。

【0002】

【従来の技術】

電気・電子製品のフルブーフおよびフェイルセーフ等の観点から、電気・電子製品のハードウェアの改造やソフトウェアの改竄等が、ユーザ側において行えないことが望ましい。

【0003】

そこで、従来、これら電気・電子製品のハードウェアの改造、およびソフトウェアの改竄や2次利用等を防止するために、製品の筐体に特殊なねじを用いたり、ソフトウェア的に改竄や2次利用を防止する工夫がなされている。

【0004】

しかしながら、これらの工夫は、電気・電子製品のハードウェアの改造、およびソフトウェアの改竄や2次利用等を防止し得る一定の効果はあるものの、その防止効果が十分ではない。

【0005】

【発明が解決しようとする課題】

この発明はこのような課題を考慮してなされたものであり、簡単な構成で、電気・電子製品のハードウェアの改造、およびソフトウェアの改竄や2次利用等を物理的に防止することを可能とする電気・電子回路装置を提供することを目的とする。

【0006】

また、この発明は、たとえば、ユーザが一度使用したとき、フィールドでの2次使用を不可能とする電気・電子回路装置を提供することを目的とする。

【0016】

【課題を解決するための手段】

この電気・電子回路装置の電源入力端子に電圧が印加されたとき、論理出力が一定の論理出力に不可逆的に固定される論理出力設定回路と、この論理出力設定回路の出力側に読み書き制御入力に接続される電氣的に書き込み消去が可能な記憶装置とを有し、前記記憶装置の前記読み書き制御入力に、読み書き制御用端子が接続され、前記電源入力端子に電圧が印加される前には、前記記憶装置にのみ電源が供給された状態で前記読み書き制御用端子を利用して前記記憶装置に対する読み書き制御が可能とされ、前記電源入力端子に電圧が印加されて、前記論理出力設定回路が一定の論理出力に不可逆的に固定された場合に、前記記憶装置の書き込み消去を不可能とし、読み出しのみを可能とするように構成されている（請求項1記載の発明）。

【0017】

この発明によれば、論理出力設定回路の論理出力により、電氣的に書き込み消去が可能な記憶装置の動作を規定することができる可能性が得られる。

【0018】

前記論理出力設定回路では、前記論理出力設定回路の出力と前記読み書き制御用端子とを論理積回路の入力に接続し、前記論理積回路の出力を前記記憶装置の前記読み書き制御入力に接続している（請求項2記載の発明）。

【0021】

前記論理出力設定回路は、前記電源入力端子に印加された電圧に基づいて不可逆的に遮断される遮断素子を有し、前記論理出力設定回路は、前記遮断素子が遮断されることによ

10

20

30

40

50

り電流が供給されなくなり、一定の論理出力に不可逆的に固定されている（請求項3記載の発明）。

【0022】

この場合においても、前記電源入力端子と前記遮断素子との間に昇圧回路を設けることで、前記電源入力端子に印加される電圧が比較的に低電圧であっても、昇圧回路の比較的に高電圧な出力により遮断素子を容易に遮断することができる可能性が得られる（請求項4記載の発明）。

【0023】

また、この請求項4記載の発明において、昇圧回路を、前記電源入力端子に電圧が印加されたときから一定期間動作状態とするパワーオンリセット回路により駆動する構成とすることで、昇圧回路の電力消費を一定期間に制限できることから好ましい（請求項5記載の発明）。

10

【0024】

特定の外部端子に電圧が印加されたとき、論理出力が一定の論理出力に不可逆的に固定される論理出力設定回路と、この論理出力設定回路の出力側に接続される電氣的に書き込み消去が可能な記憶装置と、前記論理出力設定回路に設けられ、前記特定の外部端子に印加された電圧に基づいて不可逆的に遮断される遮断素子と、前記特定の外部端子と前記遮断素子との間に設けられている昇圧回路とを有し、前記遮断素子は、前記特定の外部端子に電圧が印加されたときに前記昇圧回路の出力により遮断され、前記昇圧回路には、前記遮断素子が遮断されたことを検出して、前記昇圧回路の電力消費を低減あるいは無くする電力消費制限回路が接続されている（請求項6記載の発明）。

20

【0025】

特定の外部端子に電圧が印加されたとき、論理出力が一定の論理出力に不可逆的に固定される論理出力設定回路と、この論理出力設定回路の出力側に接続される電氣的に書き込み消去が可能な記憶装置と、前記論理出力設定回路に設けられ、前記特定の外部端子に印加された電圧に基づいて不可逆的に遮断される遮断素子と、前記特定の外部端子と前記遮断素子との間に設けられている昇圧回路とを有し、前記特定の外部端子に電圧が印加されたときから一定期間前記昇圧回路を動作状態とするパワーオンリセット回路を含み、前記遮断素子は、前記パワーオンリセット回路により動作状態とされた前記昇圧回路の出力により遮断され、前記昇圧回路には、前記遮断素子が遮断されたことを検出して、前記昇圧回路の電力消費を低減あるいは無くする電力消費制限回路が接続されている（請求項7記載の発明）。

30

【0026】

請求項7記載の発明において、該電気・電子回路装置が集積回路により構成されるとき、前記遮断素子は、シリコン配線パターンにより形成することができる（請求項8記載の発明）。

【0027】

請求項1～8記載の発明において、前記電気・電子回路装置は集積回路により構成されている（請求項9記載の発明）。

【0030】

40

【発明の実施の形態】

以下、この発明の一実施の形態について図面を参照して説明する。

【0031】

図1は、この発明の電気・電子回路装置の一実施の形態が適用されたLSI等の集積回路（IC）10の構成を示している。この集積回路10は、プラスチックパッケージ12内に、基本的にはシリコンウェハからなるICチップ14が搭載された構成とされている。

【0032】

ICチップ14上には、供給される電圧を所望の高い電圧に昇圧する昇圧回路であるステップアップレギュレータ回路（以下、SUR回路という。）16と、このSUR回路16

50

に直列に接続される遮断素子であるフューズ 18 と、このフューズ 18 に直列に接続されるバッファ 20 と、フューズ 18 とバッファ 20 の共通接点と接地（グラウンド）間に接続される抵抗値が R （ここでは、 $R = 100 [\Omega]$ ）の抵抗器 21 等が集積されている。

【0033】

集積回路 10 において、フューズ 18 と抵抗器 21 とバッファ 20 とは、論理出力設定回路 34 を構成する。

【0034】

なお、後に説明する集積回路 10 C、10 D、10 E、10 F、10 G、および電気・電子回路 10 A、10 B においても、フューズ 18 と抵抗器 21 とバッファ 20 とは、論理出力設定回路 34 を構成する。

10

【0035】

また、以下の説明においては、理解の容易化のために、SUR 回路 16 とバッファ 20 の入力インピーダンス（入力抵抗）はそれぞれ無限大、出力インピーダンス（出力抵抗）はそれぞれゼロ値であるものとする。

【0036】

上記の SUR 回路 16 は、基本的には、発振器と、これに接続されるトランスとこのトランスに接続されて直流を出力する平滑回路と、この平滑回路の出力を前記発振器にもどして発振強度を調節するフィードバック回路とを備えるスイッチングレギュレータの構成とされている。

【0037】

20

SUR 回路 16 の入力端子は、端子であるボンディングパッド（以下、単にパッドまたは端子ともいう。）22 に接続され、このパッド 22 は、金線あるいはアルミニウム線等のボンディングワイヤを介して特定の端子である外部電源入力端子 24 に接続されている。この実施の形態において、外部電源入力端子 24 に外部から印加される電圧 V_{dd} （電源 V_{dd} ともいう。）は、たとえば、 $V_{dd} = +3 [V]$ とされている。

【0038】

この図 1 例の集積回路 10 において、SUR 回路 16 は 4 倍の利得を有するように設計され、入力ノードに印加される電圧 $V_{dd} = +3 [V]$ を $+12 [V]$ の電圧に昇圧して出力ノードに発生させる。

【0039】

30

バッファ 20 は、入力電圧がゼロ $[V]$ のローレベル L の電圧であるときには、論理出力としてローレベル L （ $L = 0 [V]$ ）を発生し、入力電圧が、たとえば、 $+2.1 [V]$ 以上のハイレベルの電圧であるときには、論理出力としてハイレベル H （ $H = +3 [V]$ ）を発生する。

【0040】

IC チップ 14 の接地は、接地端子であるパッド 30、ボンディングワイヤを介して外部接地端子 32 に接続されている。

【0041】

なお、以下に説明する各回路においては、バッファ 20 や図示していない論理回路の電圧（電源） V_{dd} と接地の記号は、繁雑となるので原則として省略する。

40

【0042】

この実施の形態の集積回路 10 は、基本的には、以上のように構成される。

【0043】

図 2 は、遮断素子であるフューズ 18 の具体的な構成例を示している。このフューズ 18 は、細い線幅とされたポリシリコン配線パターン 18 p を含み、一定以上の電流が流れると溶解し断線（溶断あるいは遮断）するように、線幅 W_f と長さ L_f と厚みが決定されている。この実施の形態においては、溶断電流（遮断電流ともいう。） I_f が、 $I_f = 120 [mA]$ になるように設定加工されている。

【0044】

図 1 例の集積回路 10 において、上述したように、フューズ 18 と抵抗器 21 およびバッ

50

ファ20は、論理出力設定回路34を構成する。この論理出力設定回路34の出力段であるバッファ20の出力端子には、種々の論理回路を接続することが可能である。

【0045】

このように構成される集積回路10に対して、図3に示すように、特定の端子あるいは特定の外部端子とされる外部電源入力端子24と、外部接地端子32との間に電圧 $V_{dd} = +3[V]$ の外部直流電源38が接続されたとき、外部電源入力端子24および端子22（図1参照）を通じてSUR回路16の入力端子に電圧 $V_{dd} = +3[V]$ が印加され、SUR回路16の出力側にその4倍の昇圧電圧 $+12[V]$ が発生する。

【0046】

これにより、フューズ18には、この昇圧電圧 $+12[V]$ を抵抗器21の抵抗値 R で割った電流 $I = 12[V] \div 100[\Omega] = 120[mA] = I_f$ が流れ、フューズ18は溶断される。

10

【0047】

この場合、電圧 V_{dd} の外部直流電源38が投入されてからフューズ18が溶断されるまでの僅かな時間は、バッファ20からハイレベル H （ $H = +3[V]$ ）が出力されているが、フューズ18が溶断されるとフューズ18の端子間が開放され、バッファ20の入力は、抵抗器21を通じて接地レベル、すなわちローレベル L に固定される。したがって、バッファ20の出力レベルは、フューズ18が溶断された後以降、永久にローレベル L （ $L = 0[V]$ ）に固定される。

【0048】

20

換言すれば、この実施の形態にかかる集積回路10は、特定の端子（特定の外部端子）である外部電源入力端子24に印加された電圧 V_{dd} に基づいて不可逆的に遮断される遮断素子であるフューズ18を有し、このフューズ18が遮断されたとき、バッファ20の出力レベルにより論理出力設定回路34の論理出力が一定の論理出力、この場合、ローレベル L に不可逆的に固定されることになる。

【0049】

このように構成される集積回路10が、たとえば、メーカーあるいは工場からフィールドにおけるユーザに渡り、ユーザ側で集積回路10に最初に集積回路10に通電したとき、言い換えれば、ユーザが一度使用したとき、論理出力設定回路34を構成するバッファ20の固定論理出力によりこのバッファ20の出力側に接続される図示していない論理回路の論理状態が物理的に固定されることになる。

30

【0050】

このため、このように構成される集積回路10によれば、バッファ20の出力側に接続される論理回路のユーザ側での使用、いわゆる2次使用ができなくなるという機能を有する。

【0051】

なお、図1例では、電気・電子回路装置として集積回路10に適用した例を説明しているが、この発明は、集積回路10に限らず、ディスクリート部品により構成した電気・電子回路装置にも適用することができる。

【0052】

40

また、図1例では、SUR回路16を用いてフューズ18を溶断する構成としているが、図4に示すように、外部直流電源（電圧源）38のみによりフューズ18を直接溶断する電気・電子回路装置10Aの構成とすることも可能であり、また、図5に示すように、外部直流電流源39により直接溶断する電気・電子回路装置10Bのように構成とすることも可能である。なお、図4例および図5例の電気・電子回路装置10A、10Bにおいては、繁雑さを回避するためと理解の容易化のために、図1例の集積回路10に示したものと対応するものには同一の符号を付けている。図5例の電気・電子回路装置10Bでは、外部電源入力端子24とフューズ18との間に電流ブースターを設けて構成することもできる。

【0053】

50

なお、以降、図面により説明する回路あるいは装置においては、その図面よりも前に掲載した図面により説明した回路あるいは装置に示したものと同一なものあるいは対応するものには、同一の符号を付けてその詳細な説明は省略する。

【0054】

図6は、動作説明用の仮想的な集積回路10Cの構成を示している。

【0055】

この集積回路10Cでは、半導体チップ14Cを構成する論理出力設定回路34のバッファ20の出力がアンド回路（論理積回路）40の一方の入力ノードに接続され、アンド回路40の他方の入力ノードが、ボンディングパッド42を介してプラスチックパッケージ12の外部端子44に接続されている。また、アンド回路40の出力が電氣的に書き込み消去が可能な記憶装置であるフラッシュメモリ46の読み書き制御用入力であるリード・ライト（読出書込）イネーブルポートR/Wに接続されている。

10

【0056】

このフラッシュメモリ46のアドレスポート、データポートおよび他のコントロールポートには、図示していないアドレスバス、データバスおよびコントロールバスを通じてCPU（central processing unit）および（または）DMA（direct memory access）ICが接続されている。

【0057】

この図6例の仮想的な集積回路10Cにおいて、フラッシュメモリ46のリード・ライトイネーブルポートR/Wに、論理レベル（ハイレベル）Hが供給されたとき、フラッシュメモリ46に対して書き込みと消去が可能となり（書込モードという。）、論理レベル（ローレベル）Lが供給されたとき、フラッシュメモリ46は読出モードとなり読出専用メモリとして機能する。

20

【0058】

バッファ20の出力レベルが仮想的にハイレベルHであると仮定するとき、アンド回路40の一方の入力ノードがハイレベルHとなるので、パッケージ12Cの外部端子44に供給されるリード・ライト（読出書込）コマンド信号R/Wは、そのまま、アンド回路40の他方の入力ノードを介してフラッシュメモリ46に対する書込モードあるいは読出モードを選択するコマンド信号となる。このとき、外部端子44は、外部書込読出イネーブル端子（読み書き制御用外部端子）として機能する。

30

【0059】

上述したように、それぞれが外部端子である外部電源入力端子24と外部接地端子32との間に電圧 $V_{dd} = +3[V]$ の外部直流電源38が接続されると、SUR回路16の出力高電圧によりフューズ18が溶断され、バッファ20の出力側に接続されるアンド回路40の一方の入力ノードがローレベルLに不可逆的に固定されるので、アンド回路40の出力端子に接続されているフラッシュメモリ46のリード・ライトイネーブルポートR/Wは読出モードに固定される。これ以降、読み書き制御用外部端子44に供給されるリード・ライトコマンド信号R/Wは無効となる。

【0060】

このような回路構成を有する集積回路10Cでは、特定の外部端子である外部電源入力端子24に電圧が印加される前には、バッファ20の出力を仮想的にハイレベルHにできることを条件として、読み書き制御用外部端子44に供給するリード・ライトコマンド信号R/Wを利用してフラッシュメモリ46に対しての読み書き制御が可能であるが、外部電源入力端子24に一度外部直流電源38が接続されると電圧 V_{dd} によりフューズ18が溶断される。フューズ18が溶断されると、論理出力設定回路34の論理出力がローレベルLに不可逆的に固定され、2度とフラッシュメモリ46への再書き込みができなくなる。これ以降、フラッシュメモリ46は読出専用メモリとしてのみ使用することができる。

40

【0061】

ところで、この図6例の仮想的な集積回路10Cにおいては、パッケージ12Cの外部電源入力端子24と外部接地端子32との間に一度外部直流電源38が接続されると、フラ

50

ッシュメモリ 46 には 2 度と書込ができなくなるので、工場などでの初期書込時には、ユーザから見えない形での特殊な書込構造を備える必要がある。

【0062】

そのため、パッケージに組み立てる前のウエハの段階では、アンド回路 40 の出力ノードに接続されているフラッシュメモリ 46 のリード・ライトイネーブルポート R / W にブロープ用の内部パッドを設け、さらに、フラッシュメモリ 46 にのみ電源が供給されるような内部パッドを設けることにより、書込制御を行うことなどが考えられるが、組み立てられた状態のいわゆる半導体パッケージ 12 の最終製品状態で、工場側で初期書込制御ができることがより生産性が高いと考えられる。

【0063】

図 7 は、読み書き制御用外部端子 50 によりパッケージング後でも初期書込の制御を可能とした集積回路 10D の構成を示している。

【0064】

すなわち、この集積回路 10D では、半導体チップ 14D の中の SUR 回路 16 とフューズ 18 との間に 1 回路 2 接点の半導体スイッチ 52 を設け、可動接点が接続される共通接点 52a をフューズ 18 に接続し、一方の固定接点 52b を SUR 回路 16 の出力に接続し、他方の固定接点 52c を外部電源入力端子 24 に接続されているパッド 22 に接続している。さらに、このスイッチ 52 の共通接点 52a を切り換えるための切換制御端子 52d を読み書き制御用内部端子としてのパッド 54 に接続し、このパッド 54 とパッケージ 12D の初期読み書き制御用外部端子 50 とをワイヤボンディングにより接続している。なお、スイッチ 52 の切換制御端子 52d とパッド 54 との共通接続点と接地との間には、抵抗値が 100 [kΩ] のプルダウン抵抗器 56 が接続されている。

【0065】

ここで、スイッチ 52 は、切換制御端子 52d にハイレベル H が加えられているときに、共通接点 52a と固定接点 52c とが接続され、切換制御端子 52d がローレベル L とされているときに、共通接点 52a と SUR 回路 16 の出力側の固定接点 52b とが接続されるように構成されている。

【0066】

このように構成される集積回路 10D は、以下に詳しく説明するように、IC チップ 14D のパッケージング前にはそれぞれが内部端子であるパッド 22、30、42、54 を利用して初期書込が可能であり、IC チップ 14D のパッケージング後にはそれぞれが外部端子である端子 24、32、44、50 を利用して初期書込が可能である。

【0067】

すなわち、工場等で初期書込を行う際、まず、初期読み書き制御用外部端子 50 にハイレベル H を印加した状態で外部電源入力端子 24 に外部直流電源 $V_{dd} = 3 [V]$ を印加する。これにより、スイッチ 52 の共通接点 52a は、SUR 回路 16 の出力側ではない固定接点 52c 側に直ちに接続される。

【0068】

そして、フューズ 18 には、外部電源入力端子 24、パッド 22 およびスイッチ 52 を介して電源電圧 $V_{dd} = +3 [V]$ が印加される。このとき、フューズ 18 に流れる電流は、電源電圧 V_{dd} を抵抗器 21 の抵抗値 R で割った $3 [V] \div 100 [\Omega] = 30 \text{ mA}$ となる。フューズ 18 のポリシリコンのパターンは、30 mA では遮断しなく、120 mA で遮断するように加工しているので、フューズ 18 は断線することなく、バッファ 20 の入力には電源電圧 V_{dd} のハイレベル H が入力される。

【0069】

これによりアンド回路 40 のバッファ 20 の出力側ノードがハイレベル H とされるので、フラッシュメモリ 46 の読み書き制御入力ポートであるリード・ライトイネーブルポート R / W は、読み書き制御用外部端子 44 に供給されるコマンド信号 R / W のレベルがそのまま供給され、たとえば、コマンド信号 R / W がハイレベル H とされることで、フラッシュメモリ 46 に対して書込処理を行うことができる。

10

20

30

40

50

【 0 0 7 0 】

なお、初期読み書き制御用外部端子 5 0 は、この集積回路 1 0 D の例のようにパッケージ 1 2 D の外部端子であるが、I C チップ 1 4 上のパッド 5 4 だけ設け、初期読み書き制御用外部端子 5 0 をパッケージ 1 2 D の外側には出さない、いわゆるボンディングオプションとすることにより、読み書き制御用外部端子 5 0 を、完全にユーザから見えなくすることができる。この場合、パッド 5 4 は、初期読み書き制御用内部端子として機能するので、工場での初期書込時には、I C チップ 1 4 のウエハーテスト工程前後のパッド 5 4、4 2、2 2、3 0 等に対するプロービングにより行うことができる。

【 0 0 7 1 】

図 8 は、スイッチ 5 2 の具体例の回路構成を示している。このスイッチ 5 2 は、電力消費の少ない C M O S (P M O S + N M O S) トランジスタによるトランスミッションゲート 6 1、6 2 とインバータ 6 3 からなるマルチプレクサの構成とされている。

10

【 0 0 7 2 】

図 9 は、図 8 に示すスイッチ 5 2 の動作を表す真理値表 6 4 を示しており、切換制御端子 5 2 d に加えられるハイレベル H あるいはローレベル L の制御入力を D、固定接点 5 2 c への入力を A、固定接点 5 2 b への入力を B、共通接点 5 2 a に現れる出力を C とするときの、制御入力 D に対する入力 A、B および出力 C の論理関係を示している。すなわち、制御入力 D がハイレベル H であるときには、入力 A が出力 C とされ、制御入力 D がローレベル L であるときには、入力 B が出力 C とされる。

【 0 0 7 3 】

20

このように構成される集積回路 1 0 D は、たとえば、記憶装置がカートリッジを採用する携帯型ゲーム機等の前記カードリッジの中に組み込むことができる。このように構成した場合、カートリッジ内にソフトウェア格納用のメモリとしてフラッシュメモリを使用したとき、そのフラッシュメモリの内容を、ユーザ側で書き換えて 2 次使用がなされるのを未然に防止することができる。なお、カートリッジ式記憶装置において、R O M (読出専用メモリ) ではなくフラッシュメモリを用いる利点は、たとえば、需要に合わせて出荷の直前にソフトウェアを書き込めるようにすることで、特定ソフトウェアが書き込まれたカートリッジの在庫の最小化、ひいては販売の高効率化が図られるからである。

【 0 0 7 4 】

図 1 0 は、さらに他の実施の形態の集積回路 1 0 E の構成を示している。この集積回路 1 0 E は、図 7 例の集積回路 1 0 D ではフューズ 1 8 の遮断後にも、集積回路 1 0 D の通常通電中には S U R 回路 1 6 に電源電圧 V d d がかかり、この S U R 回路 1 6 での電力消費が定常的に発生するという問題を解決した回路である。すなわち、集積回路 1 0 D を携帯用機器などバッテリー駆動の機器に使用した場合にはバッテリーにより動作時間が短くなることから好ましくないという要請に応えるためのものである。

30

【 0 0 7 5 】

この図 1 0 例の集積回路 1 0 E は、パッケージ 1 2 E に設けられている外部電源入力端子 2 4 を通じて外部直流電源 3 8 (電源 V d d) を投入後、一定時間だけ S U R 回路 1 6 を動作させるようにした回路で、通常使用中の S U R 回路 1 6 での電力消費を節約した例を示している。

40

【 0 0 7 6 】

具体的に、この集積回路 1 0 E では、パッド 2 2 と S U R 回路 1 6 との間に上記スイッチ 5 2 と同一構成の半導体スイッチ 6 6 を設けるとともに、このスイッチ 6 6 の切換制御端子 6 6 d とパッド 2 2 との間に、この切換制御端子 6 6 d に切換制御信号 P r を供給するパワーオンリセット回路 (P O R 回路) 6 8 を設けている。この P O R 回路 6 8 とスイッチ 6 6 とは、電力消費制限回路を構成する。

【 0 0 7 7 】

図 1 1 は、P O R 回路 6 8 の具体例を示している。外部電源入力端子 2 4 を通じてパッド 2 2 に電源電圧 V d d が印加されると、外付けの電解コンデンサ等のコンデンサ 7 2 に徐々に電荷が蓄積され、シュミットトリガタイプのバッファ 7 3 の入力ノードでは、抵抗

50

器 7 0 と抵抗器 7 1 の抵抗値 R_1 と R_2 の比で決まる中間電圧 $\{V_{dd} \times R_2 / (R_1 + R_2)\}$ まで時定数で決まる一定時間 (コンデンサ 7 2 の容量 C で決定することができる。) を要して到達する。

【 0 0 7 8 】

シュミットトリガタイプのバッファ 7 3 は、スイッチ 6 6 のチャタリングを防止する機能を有する。

【 0 0 7 9 】

この場合、図 1 2 のタイムチャートに示すように、スイッチ 6 6 の切換制御端子 6 6 d には、外部電源入力端子 2 4 に電源 V_{dd} が投入された時点 t_0 から一定時間 (パワーオンリセット期間ともいう。) T_d 経過後の時点 t_1 にローレベル L からハイレベル H に遷移するパワーオンリセット信号である切換制御信号 P_r が発生する。

10

【 0 0 8 0 】

ここで、スイッチ 6 6 は、電源 V_{dd} の投入後一定時間 T_d の間は、共通接点 6 6 a と固定接点 6 6 b とが切換制御信号 P_r のローレベル L によって接続され、切換制御信号 P_r がハイレベル H になったとき、共通接点 6 6 a が接地電位となっている固定接点 6 6 c に切り換えられる。

【 0 0 8 1 】

この集積回路 1 0 E においては、フューズ 1 8 が断線に至るまでの時間をパワーオンリセット期間 T_d より短い期間に設定加工しておくことで、フューズ 1 8 の遮断をこのパワーオンリセット期間 T_d 内に行い、なおかつパワーオンリセット期間 T_d 経過後、換言すればパワーオンリセットの解除後に、SUR 回路 1 6 の入力ノードがスイッチ 6 6 を通じて接地されるので、パワーオンリセット期間 T_d の解除後には、SUR 回路 1 6 による電力消費をなくすることができる。

20

【 0 0 8 2 】

万が一、最初のパワーオンリセット期間 T_d の通電によりフューズ 1 8 を遮断できなかった場合でも、2 度目、3 度目の通電時には、フューズ 1 8 を遮断できる可能性が高い。このような場合においても、各パワーオンリセット期間 T_d 経過後においては、通常動作中の SUR 回路 1 6 での電力消費をなくすることができる。

【 0 0 8 3 】

図 1 3 は、さらに他の例の POR 回路 6 8 A の構成を示している。この POR 回路 6 8 A では、デジタル回路であるプリセットダウンカウンタ 7 6 を用いている。電源投入後に、カウンタ 7 6 は、クロック発生器 7 8 で発生するクロックパルスをプリセット数だけ計数したとき、ローレベル L からハイレベル H に立ち上がる切換制御信号 P_r (図 1 2 参照) を発生する。この図 1 3 例の POR 回路 6 8 A では、図 1 1 例のアナログ回路の POR 回路 6 8 に比較して、クロック発生器 7 8 が必要となるが、クロックパルスにより SUR 回路 1 6 を動作させる時間の計測が正確に行える他、電解コンデンサなどの形状の大きい外付け部品となるコンデンサ C が不要となる利点がある。

30

【 0 0 8 4 】

なお、スイッチ 6 6 を構成する代わりに、POR 回路 6 8、6 8 A からのパワーオンリセット信号である切換制御信号 P_r を直接 SUR 回路 1 6 に入力させ、この SUR 回路 1 6 の内部回路で動作を停止させる (電力消費を止める) ように構成することもできる。

40

【 0 0 8 5 】

図 1 4 は、さらに低消費電力化を進めた回路例を示している。この図 1 4 例の集積回路 1 0 F では、パッケージ 1 2 F 中に收容されている IC チップ 1 4 F 中、フューズ 1 8 とバッファ 2 0 の共通接続点とスイッチ 6 6 の切換制御端子 6 6 d との間に帰還ループを構成するインバータ 8 0 を接続する構成としている。電源 V_{dd} を投入した後、フューズ 1 8 が遮断するまでの期間は、電源 V_{dd} が固定接点 6 6 b および共通接点 6 6 a を介して SUR 回路 1 6 の入力ノードに供給され、この SUR 回路 1 6 から高電圧がフューズ 1 8 に印加される。

【 0 0 8 6 】

50

フューズ１８が遮断すると、バッファ２０の入力ノード、すなわち、インバータ８０の入力ノードは抵抗器２１によりローレベルＬに遷移し、インバータ８０の出力レベルはローレベルＬからハイレベルＨに遷移する。この帰還ループにより、スイッチ６６が切り換えられ、フューズ１８が遮断した後は、ＳＵＲ回路１６の入力ノードは共通接点６６ａ、固定接点６６ｃを介して接地レベルに固定されることになり、ＳＵＲ回路１６が永久に停止し、このＳＵＲ回路１６での電力消費が発生しない。このように、インバータ８０とスイッチ６６とは、フューズ１８が遮断されたことを検出して、ＳＵＲ回路１６の電力消費を低減あるいは無くする電力消費制限回路として機能する。

【００８７】

ただし、この図１４例の集積回路１０Ｆでは、電源Ｖｄｄの投入時に、フューズ１８が溶断するまでは、消費電力の比較的に大きいＳＵＲ回路１６が動作することになる。

10

【００８８】

實際上、フューズ１８は、必ずしも１回の通電で溶断する必要がなく、２回以上の通電により溶断してもよい。そこで、この電力消費の比較的に大きいＳＵＲ回路１６の動作時間を制限するためと、一旦フューズ１８が溶断したときには、ＳＵＲ回路１６に電源Ｖｄｄが永久的に供給されないようにするための両条件を満たす回路を図１５に示す。

【００８９】

この図１５例の集積回路１０Ｇは、図１０のＰＯＲ回路６８と集積回路１０Ｅと図１４のインバータ８０とを合わせた回路であり、ＰＯＲ回路６８の出力とインバータ８０の出力を２入力とし、出力がスイッチ６６の切換制御端子６６ｄに接続されるオア回路８２を挿入している。

20

【００９０】

この集積回路１０Ｇによれば、パッケージ１２Ｇに設けられている外部電源入力端子２４を通じての電源Ｖｄｄの投入時における一定期間であるパワーオンリセット期間Ｔｄでは、ＰＯＲ回路６８の制御の下にスイッチ６６の固定接点６６ｂと共通接点６６ａが接続された状態となりＳＵＲ回路１６が図１０例の集積回路１０Ｅと同様に動作しフューズ１８に対して溶断用の電流を供給する。

【００９１】

そして、一旦、フューズ１８が溶断した後は、電源Ｖｄｄの投入直後に帰還ループを構成するインバータ８０のハイレベルＨの出力によりスイッチ６６の共通接点６６ａが接地レベルとなっている固定接点６６ｃに接続されてＳＵＲ回路１６への通電が回避される。このように、この図１５例の集積回路１０Ｇによれば、低消費電力化とフューズ１８への初期通電期間の一定化を図ることができる。

30

【００９２】

なお、この発明は、上述の実施の形態に限らず、この発明の要旨を逸脱することなく、種々の構成を採り得ることはもちろんである。

【００９３】

【発明の効果】

以上説明したように、この発明によれば、電気・電子回路装置の特定の端子に電圧が印加されたときあるいは電流が供給されたとき、論理出力設定回路の論理出力が一定の論理出力に不可逆的に構成されるようにしているので、この電気・電子回路装置を利用すれば、簡単な構成で、電気・電子製品のハードウェアの改造、およびソフトウェアの改竄や２次利用等を物理的に防止することができる。

40

【００９４】

ここで、特定の端子を、たとえば電源入力端子とすることにより、ユーザがフィールドにおいて一度使用したとき、その電気・電子回路装置に含まれる、たとえば、記憶装置等のフィールドでの２次使用を不可能とすることができる。

【００９５】

さらに、この発明の効果を具体的に説明すると、この発明の電気・電子回路装置を組み込んだ記憶装置を有する製品を、たとえば、ＬＳＩとして製造するメーカ内では、特殊な治

50

工具等により L S I 内蔵のフラッシュメモリ等の記憶装置に対するプログラムのインストール、チップの出荷テスト、製品の動作試験等を行うことが可能である。その一方、市場に出荷された後のユーザサイドでの L S I 等のハードウェアの改造、記憶装置に記憶されたソフトウェアの改竄、2 次利用などの不正の可能性がある行為を物理的に阻止することができる。この発明によれば、このような仕組みを電気・電子回路装置に組み込むことができる。

【図面の簡単な説明】

【図 1】この発明の一実施の形態が適用された集積回路の構成を示す回路ブロック図である。

【図 2】フューズの具体的な構成説明に供されるパターン図である。

10

【図 3】集積回路に電源を供給した状態を示す模式図である。

【図 4】この発明の他の実施の形態の構成を示す回路ブロック図である。

【図 5】この発明のさらに他の実施の形態の構成を示す回路ブロック図である。

【図 6】動作説明に供される仮想的な集積回路例の構成を示す回路ブロック図である。

【図 7】フューズの遮断前には外部端子入力により記憶装置を書込可能にできる構成を有する集積回路の構成を示す回路ブロック図である。

【図 8】図 7 例中、マルチプレクサの構成例を示す回路図である。

【図 9】図 8 例のマルチプレクサの動作を示す真理値表を示す図である。

【図 10】パワーオンリセット回路の採用によりフューズ遮断後の低消費電力化を図った集積回路例の構成を示す回路ブロック図である。

20

【図 11】パワーオンリセット回路の一例の構成を示す回路図である。

【図 12】図 10 例の集積回路の動作説明に供されるタイムチャートである。

【図 13】パワーオンリセット回路の他の例の構成を示す回路図である。

【図 14】フューズ遮断後の低消費電力化を図った他の集積回路例の構成を示す回路ブロック図である。

【図 15】図 10 例の回路と図 14 例の回路とを合成した集積回路例の構成を示す回路ブロック図である。

【符号の説明】

10、10C、10D、10E、10F、10G ... 集積回路

10A、10B ... 電気・電子回路装置

30

12、12C、12D、12E、12F、12G ... パッケージ

14 ... IC チップ

16 ... ステップアップレギュレータ回路 (SUR 回路、昇圧回路)

18 ... フューズ (遮断素子)

18p ... ポリシリコン配線パターン

20 ... バッファ

21、56、70、71 ... 抵抗器

22、30、42、54 ... パッド

24 ... 外部電源入力端子

32 ... 外部接地端子

34 ... 論理出力設定回路

38 ... 外部直流電源

40 ... アンド回路

44 ... 外部端子

46 ... フラッシュメモリ (記憶装置)

52、66 ... 半導体スイッチ

40

61、62 ... トランسمッションゲート

63、80 ... インバータ

68、68A ... パワーオンリセット回路 (POR 回路)

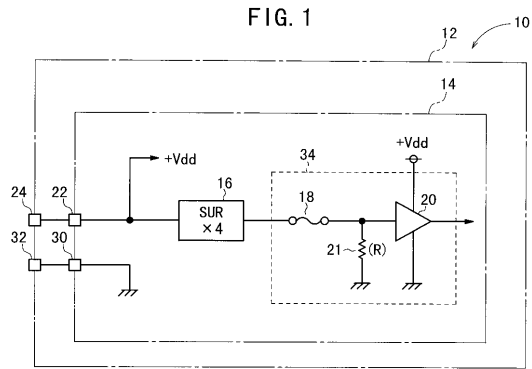
72 ... コンデンサ

73 ... シュミットトリガタイプのバッファ

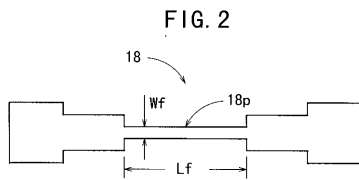
76 ... カウンタ

78 ... クロック発生器

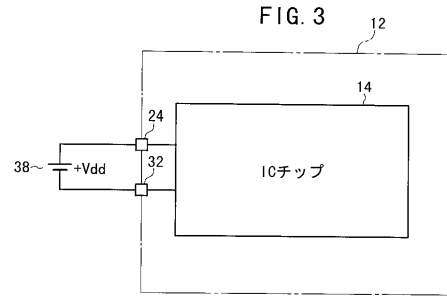
【図 1】



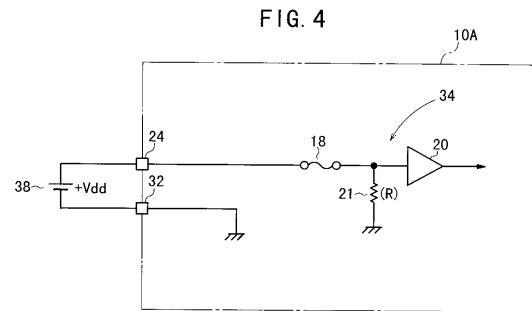
【図 2】



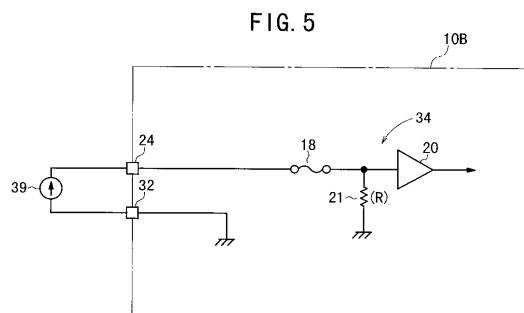
【図 3】



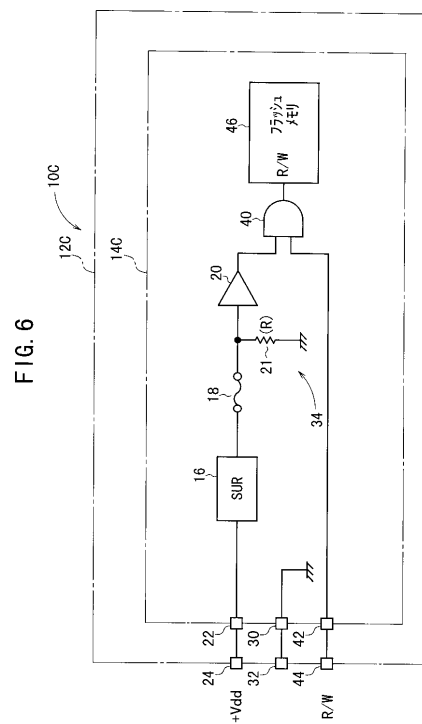
【図 4】



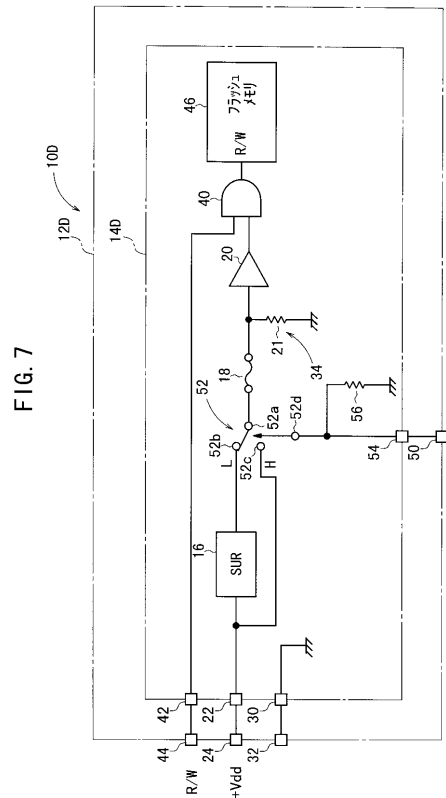
【図 5】



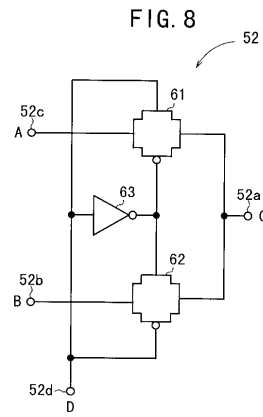
【図 6】



【圖 7】



【 図 8 】



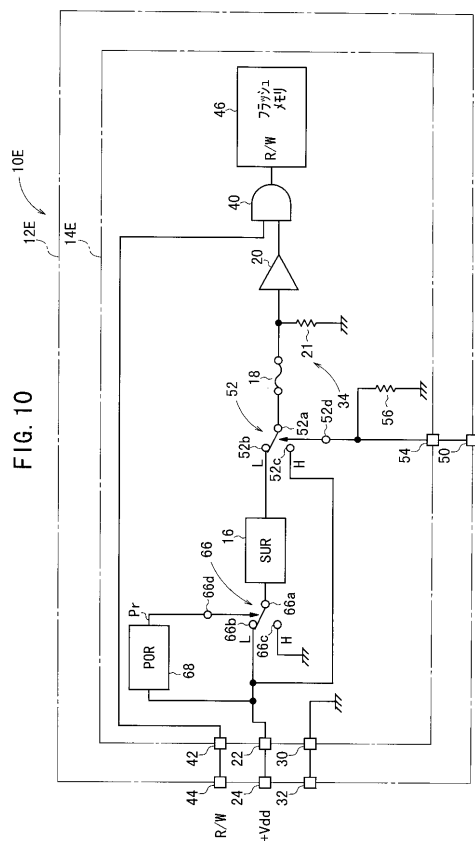
【 図 9 】

FIG. 9

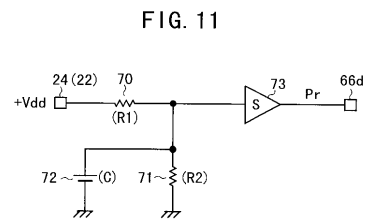
64

D	C
H	A
L	B

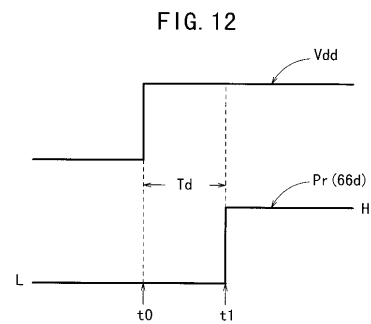
【 図 1 0 】



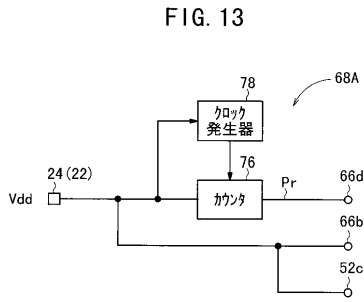
【 図 1 1 】



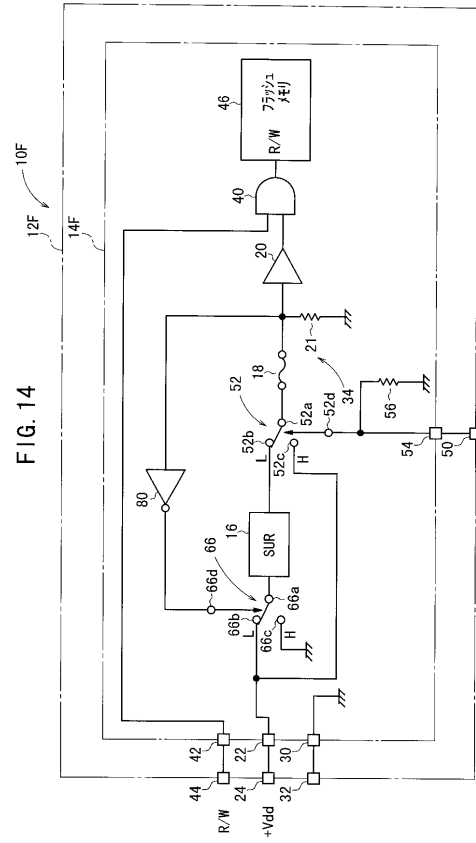
【 ㊦ 1 2 】



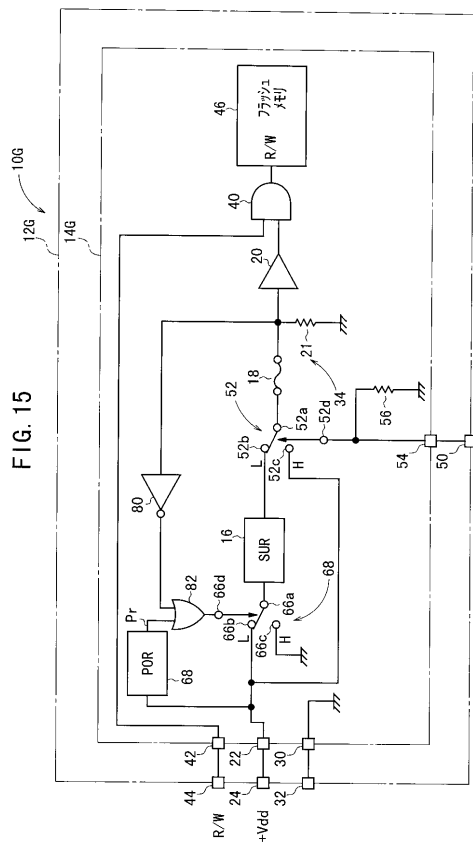
【図 13】



【図 14】



【図 15】



フロントページの続き

- (56)参考文献 特開昭58-133699(JP,A)
特開平02-005160(JP,A)
英国特許出願公開第02288048(GB,A)
特開昭61-140000(JP,A)
特開昭62-036800(JP,A)
特開平05-307507(JP,A)
特開平06-208513(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G06F 12/14
H01L 21/822
H01L 27/04