

公告本

90年10月26日 修正
補充

申請日期	89 年 4 月 5 日
案 號	89106246
類 別	H01L 27/06

A4
C4

472382

(以上各欄由本局填註)

發 明 專 利 說 明 書 (修正本)

一、發明 名稱	中 文	半導體積體電路
	英 文	
二、發明 人	姓 名	(1) 瀧川久美子 (2) 田中聰 (3) 橋本孝
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 庄山悅彦

裝

訂

線

申請日期	89 年 4 月 5 日
案 號	89106246
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(4) 岡部義行
	國 籍	(4) 日本
	住、居所	(4) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所（股）知的所有權本部內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1999 年 4 月 15 日 11-107545 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

(發明所屬之技術領域)

本發明有關於，主要係使用於高頻帶、及低頻帶之二個頻帶域之無線系統之雙頻數無線通訊移動體終端機器中，將低噪音放大器之予以積化之雙頻帶送受信用半導體積體電路。

(先前技術)

第4圖乃適用了以往之雙頻帶送受信用半導體積體電路(下面稱為「送受信IC」)之終端機器之構成例。這是適用於二個不同頻帶之無線通訊系統之攜帶式終端機者。

送受信IC 401乃由：適用於雙頻帶無線系統之高頻帶受信混頻器403a，及低頻帶受信混頻器403b，及下序段之混頻器404，可變增益放大器405，解調器406，調制器408，補償器PLL 409，及分頻器407所構成。

在頻數變換所必要之局部振盪訊號係由合成器410，內藏之分頻器407所供給。連接於送受信IC之帶域通過濾波器411乃用於除去帶域外之亂真(spurious)者。高頻帶低噪音放大器402a及低頻帶低噪音放大器402b乃做成IC外之附零件。以往，低噪音放大器乃由於電晶體製程之fT限界，或電晶體基板間之容量之關係而在於高頻帶域之增益或雜訊特性之不足所以內藏於

IC內乃屬於困難之事。惟由於最近之微細製程技術之提

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

高而克服了上述之問題，而內藏低噪音放大器已經成為也。

適用於雙頻帶送受信 IC 之低噪音放大器之一例係揭示於 Keng Leong Fong 「Dual-Band High-Linearity Variable-Gain Low-Noise Amplifiers for Wireless Applications」 ISSCC 1999, pp.224-225, p.463。這乃爲了雙頻帶送受信 IC 而將二個低噪音放大器予以一晶片化，封入於 T S S O P 2 0 腳位封裝體者，並非將送受信系體全體予以內藏之構成，又訊號線及接地線與電極之對應方式即不明。

再者內藏了低噪音放大器之送受信 IC 之一例係揭示於 Michiel Steyaert et al. 「A single-Chip CMOS Transceiver for DCS1800 wireless Communications」 ISSCC 1998, pp.48-49, p.411。這是將送受信電路予以一晶片化者惟不適用於雙頻帶，且訊號線及接地線等與電極之對應方式不明，且使用之封裝體之方式也不明。

(發明所欲解決之課題)

本發明乃對於第 4 圖所示之雙頻帶用之送受信電路晶片 4 0 1 中斷的內藏了低噪音放大器 4 0 2 a，及 4 0 2 b。此時在於封裝體上發現了腳位佈置之問題。本發明中封裝體係採用了在於四邊配置有腳位之 Q F P (Quad Flat package) 四邊扁平封裝體。

第 1 課題係，將低噪音放大器採用，對於 Q F P 之導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

引腳位中之長的導引腳位以長的結合線來予以結合之佈置時，即由於寄生電感所致之負回授量變大，使高頻增益及噪音特性會劣化之問題。

第2課題係，由於IC之腳位間之變壓器結合或安裝IC之多層基板上之配線之交叉所致之變壓器結合而同樣地會使IC之高頻特性之劣化之問題。

第3課題係由於在低噪音放大器之寄生容量及寄生電感而有時會發生振盪之問題。

本發明之目的乃提供一種不會使內藏於雙頻送受信用之IC電路上之低噪音放大器之高頻特性劣化之腳位佈置者。

(發明之實施形態)

下面於第1圖表示本發明之實施例，圖中之標號100係適用本發明之雙頻帶送受信IC之QFP。123係相當於第4圖之高頻帶低噪音放大器者。121相當於第4圖之低頻帶低噪音放大器402b。118係相當於第4圖之高頻帶受信混頻器403a，119相當於第4圖之低頻帶受信混頻器403b。

第1圖中，低頻帶低噪音放大器121及高頻帶低噪音放大器123及由低頻帶低噪音放大器用偏壓電路125，及高頻帶低噪音放大器用偏壓電路126而安定的供給偏壓電流。由低頻帶低噪音放大器用偏壓電阻122及高頻帶低噪音放大器用偏壓電阻124而將分別

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

來自偏壓電路之偏壓電流乃變換為偏壓電壓、供給於低噪音放大器。103係低頻帶低噪音放大器之輸出腳位，

104係低頻帶低噪音放大器之接地腳位，105係低頻帶低噪音放大器之輸入腳位，106及108係高頻帶低噪音放大器之接地腳位，107係高頻帶低噪音放大器之輸出腳位，109係高頻帶低噪音放大器之輸入腳位，

129係送訊電路塊之電源腳位，130係送訊電路塊之接地腳位，129及130係偏壓電路125及126之電源，亦是接地。127乃雙頻帶受信混頻器部，乃由高頻帶受信混頻器118及低頻帶受信混頻器119，及對於兩受信混頻器供給局部振盪訊號之局部振盪訊號用放大器120所構成。101，102係高頻帶受信混頻器輸入腳位，112係混頻器電路接地腳位，113係混頻器電路電源腳位，114，115係混頻器電路輸出腳位，116，117係局部振盪訊號輸入腳位，142係電源，介著腳位113及腳位129而對於受信混頻器，受信電路供給電源電壓同時，介著輸出整合電路131對於低噪音放大器，供給電源電壓。

下面說明本發明之腳位佈置方式之特徵。

第一之點乃在於從低噪音放大器之封裝體外腳位前端到電極為止之距離之成為最短之位置設置低噪音放大器之電路。如上地予以構成之結果，可以減少導入腳位與結合線之寄生電感所致之負回授之效果，而可以防止增益、噪音特性之劣化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

本實施例中，配置於103乃至109之腳位乃是封裝體外腳位前端到低噪音放大器之距離之成為最短之案件。

再者，在此腳位之中，上述距離之最短者係腳位106，將連接形成低噪音放大器之雙極電晶體之射極。

第二之點係使複數之低噪音放大器之接地腳位與接地腳位乃互相地使之不鄰接地予以配置。本實施例中，高頻帶低噪音放大器123之接地腳位係二支，因此寄生電感之負回授所致之效果得於減半，由而可以獲得高增益也。

第5圖表示予以接地之結合線及導入腳位之等效電路。502係積體電路基板。503乃製作於其上方之積體電路。本例係低噪音放大器。在於封裝體支撐構件501之上方之導入腳位506係以結合線505而連接於低噪音放大器之接地之電極504。此時之等效電路乃成為507所示之逆標號之變電路結合。一方之導入腳位上流動之電流係具有使另一方之導入腳位之電流減少之作用。因此使用鄰接之二支導入腳位時寄生電感乃不能成為一半，而受變壓器之結合度之影響而成為以單一之導入線比較而成為70%程度。所以為了寄生電感之減低起見，輸入腳位與輸出腳位乃以不互相鄰接乃很重要。又輸入出高頻訊號也不構成鄰接狀地於接地腳位為間地予以插入。由而可以避免與上述同樣之變壓器結合。由而可以防止流通於一方之高頻訊號之電流之使相鄰之高頻訊號之電流而致使增益之劣化之問題。本實施例中，從標號106乃至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

1 0 9 所示之腳位佈值係相當於它者。自 1 0 3 至 1 0 5 之腳位佈置乃高頻訊號線之不互相鄰接之例子。

第三之點乃在於低頻帶受信混頻器 1 1 9 之輸入腳位與低頻帶低噪音放大器 1 2 1 之輸入出腳位之間配置高頻帶受信混頻器 1 1 8 之輸入腳位，而在於高頻帶受信混頻器 1 1 8 之輸入腳位與高頻帶低噪音放大器 1 2 3 之輸入出腳位之間，配置了低頻帶低噪音放大器 1 2 1 之輸入出腳位，而低頻帶受信混頻器 1 1 9 之輸入腳位與低頻帶低噪音放大器 1 2 1 之輸入腳位 1 0 5 之間配置低頻帶低噪音放大器 1 2 1 之輸出腳位 1 0 3，在於高頻帶受信混頻器之輸入腳位與高頻帶低噪音放大器 1 2 3 之輸入腳位 1 0 9 之間配置有高頻帶低噪音放大器 1 2 3 之輸出腳位 1 0 7。

由於將低噪音放大器之輸出腳位置於較輸入腳位更接近於受信混頻器之位置，所以輸入線與輸出線乃不會交叉。再者 1 3 5 及 1 3 6 係分別輸入於低噪音放大器 1 2 1 及 1 2 3 之高頻訊號之輸入點，係連接於天線。而以分別附於各個之帶域通過之濾波器 1 3 3 來去除帶域外之亂真 (spurious) 訊號，而在於輸入整合電路 1 3 2 來採取 50 Ω 阻抗整合。對於各個之低噪音放大器 1 2 1，1 2 3 輸入高頻訊號。輸出係在於輸入整合電路 1 3 1 而使之阻抗整合。接著以帶域通過濾波器 1 3 4 來去除帶域外亂真訊號之後，以混頻器輸入整合電路用容量 1 3 8，1 4 1 及混頻器輸入整合用電感器 1 3 7 來產生差動訊號，而輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

於受信混頻器 1 1 8 , 1 1 9 。依此方式之配線安裝時即在於以虛線所圍繞之 1 3 9 及 1 4 0 而會發生配線之交叉，惟此交叉係不同之頻帶之訊號線與訊號線所交叉者，且一方之頻帶在使用中另一方之頻帶係不使用，因此不會發生互相之干涉之情形。

第四之點係，分別的設置低噪音放大器之接地腳位，及低噪音放大器之偏壓電路之接地腳位。

又偏壓電路之電源腳位及接地腳位乃與送訊塊之電源、接地腳位所共同使用。

第 2 圖表示，包含封裝體之寄生元件，而偏壓電路係具有與低噪音放大器共同之接地結點時之電路例。第 2 圖之上段係表示該電路也。

標號 2 0 1 係低噪音放大器用電晶體，2 0 2 係結合線及封裝體之導入線（引線）、2 0 3 係低噪音放大器之偏壓電路。2 0 5 係電晶體 2 0 1 之集極偏壓電位，2 0 6 係偏壓電路之電源電位，2 0 7 係接地。第 2 圖之下段乃上段之電路之等效電路。2 0 8 乃做為偏壓電路之等效電路之容量 C 2，2 0 9 乃電晶體之基極、射極間容量 C 1，2 1 0 係基極射極間電位，2 1 2 係電晶體之互相之電感 g m。2 1 1 係結合線與封裝體導入腳位之等效電路之電感 L 來表示。

從電晶體之輸入點 2 0 4 所觀視之阻抗 Z i n 乃得以下式（1）表示。

$$Z_{in} = g_m L / (C_1 (1 - \omega^2 C_2 L)) +$$

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(8)

$$j(\omega^2 L - 1) / (\omega C 1 (1 - \omega^2 C 2 L))$$

此時由於成爲 $1 < \omega^2 C 2 L$ ，因此(1)式之實數部成爲負，而阻抗成爲負性電阻抗由而有時會發生振盪，因此將電源、接地予以分開以資去除發生振盪之原因之偏壓電路之寄生容量。

本實施例乃舉雙頻帶之系統爲例來說明，而在於具有複數之頻帶時仍以同樣之考察來得於實現者。

第3圖乃表示依本發明之腳位之佈置方式所構成之送受信 IC。標號 300 乃適用了本發明之送受信 IC 之晶片。303 係用於包封送受信 IC 之 QFP，相當於第1圖之 100。304 係封裝體之晶片接著面 305 之支撐材。301 係高頻帶及低頻帶之低噪音放大器之佈置。

302 乃同樣二個頻帶之受信混頻器之佈置。

308 係低頻帶低噪音放大器之輸出腳位，309 係低頻帶低噪音放大器之接地腳位，310 係低頻帶低噪音放大器之輸入腳位，311、313 係高頻帶低噪音放大器之接地腳位，312 係高頻帶低噪音放大器之輸出腳位，314 係高頻帶低噪音放大器之輸入腳位，323 係送訊電路塊電源腳位。324 係送訊電路塊接地腳位，分別對應於第1圖之腳位 101 ~ 109 及 129，130。又 315，316 係低頻帶受信混頻器輸入腳位，

317 係混頻器電路接地腳位，318 係混頻器電路電源腳位，319，320 係混頻器輸出腳位，321，

322 係局部振盪訊號輸入腳位，各對應於第1圖之腳位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

1 1 0 ~ 1 1 7。標號 3 2 5 係由晶片上之各電極而附於上述之導入腳位之結合線也。

爲了實施第 1 圖所示之腳位佈置，乃如第 3 圖所示下述之點係非常重要者，即：在於自低噪音放大器之封裝體外之腳位前端到電極爲止之距離之能成爲最短之位置上，設置低噪音放大器之電路。又受信混頻器係如 3 0 1 與 3 0 2 之關係一般地鄰接於低噪音放大器而予以配置。又在於第 1 之受信混頻器之輸入腳位，其鄰處設第 2 之受信混頻器之輸入腳位，再其鄰處設置連接於第 1 之受信混頻器之低噪音放大器之輸入出腳位，而在其鄰處設置連接於第 2 之受信混頻器之低噪音放大器之輸入出腳位地予以接排配置也。

(發明之效果)

本發明乃，第 1 之點爲，在於自低噪音放大器之封裝體外之腳位前端到電極爲止之距離之能成爲最短之位置上，設置低噪音放大器之電路由而提高了增益及噪音特性。

第二之點係，使二個低噪音放大器之接地腳位，高頻訊號腳位配置使之不會相鄰接，以資減低腳位間之變壓器結合。

第三之點係，藉由受信混頻器及低噪音放大器之多層安裝基板而採取訊號配線之不交叉之腳位佈置以資減輕了配線間之變壓器接合。

第四之點係，分開了低噪音放大器之電源與接腳位，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

以及偏壓電路之電源、接地腳位，以資減輕了振盪之發生。

圖式之簡單說明

第 1 圖係本發明之實施例。

第 2 圖係包含封裝體之寄生元件，而偏壓電路係備有低噪音放大器之接地結點時之電路例。

第 3 圖係佈置之構成例。

第 4 圖係以往之移動體通訊之用之對應於雙頻帶受信用半導體積體電路。

第 5 圖係，互鄰接之結合線，導入腳位之等效電路。

(標號說明)

- 1 0 0 …… 雙頻帶送受信 IC 之封裝體
- 1 0 1、1 0 2 …… 高頻帶受信混頻器輸入腳位
- 1 0 3 …… 低頻帶低噪音放大器、輸出腳位
- 1 0 4 …… 低頻帶低噪音放大器、接地腳位
- 1 0 5 …… 低頻帶低噪音放大器、輸入腳位
- 1 0 6 …… 高頻帶低噪音放大器、接地腳位
- 1 0 7 …… 高頻帶低噪音放大器、輸出腳位
- 1 0 8 …… 高頻帶低噪音放大器、接地腳位
- 1 0 9 …… 高頻帶低噪音放大器、輸入腳位
- 1 1 0、1 1 1 …… 低頻帶受信混頻器輸入腳位
- 1 1 2 …… 混頻器電路接地腳位
- 1 1 3 …… 混頻器電路電源腳位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

- 1 1 4、1 1 5 …… 混頻器電路輸出腳位
- 1 1 6、1 1 7 …… 局部振盪訊號輸入腳位
- 1 1 8 …… 高頻帶受信混頻器
- 1 1 9 …… 低頻帶受信混頻器
- 1 2 0 …… 局部振盪訊號用放大器
- 1 2 1 …… 低頻帶低噪音放大器用電晶體
- 1 2 2 …… 低頻帶低噪音放大器用偏壓電阻
- 1 2 3 …… 高頻帶低噪音放大器用電晶體
- 1 2 4 …… 高頻帶低噪音放大器用偏壓電阻
- 1 2 5 …… 低頻帶低噪音放大器用偏壓電路
- 1 2 6 …… 高頻帶低噪音放大器用偏壓電路
- 1 2 7 …… 雙頻帶受信混頻器電路部
- 1 2 8 …… 送訊電路塊
- 1 2 9 …… 送訊電路塊電源腳位
- 1 3 0 …… 送訊電路塊接地腳位
- 1 3 1 …… 低噪音放大器用輸出整合電路
- 1 3 2 …… 低噪音放大器用輸入整合電路
- 1 3 3 …… 帶域通過濾波器
- 1 3 4 …… 帶域通過濾波器
- 1 3 5 …… 低頻帶輸入端子
- 1 3 6 …… 高頻帶輸入端子
- 1 3 7 …… 混頻器輸入整合電路用電感器
- 1 3 8、1 4 1 …… 混頻器輸入整合電路用容量
- 1 3 9、1 4 0 …… 訊號線交叉線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

- 2 0 1 …… 低噪音放大器用電晶體
- 2 0 2 …… 做為寄生元件之結合線及封裝體之導入線
- 2 0 3 …… 偏壓電路
- 2 0 4 …… 低噪音放大器輸入點
- 2 0 5 …… 集極偏壓電位
- 2 0 6 …… 電源電位
- 2 0 7 …… 接地
- 2 0 8 …… 做為偏壓電路之等效電路之容量 C 2
- 2 0 9 …… 電晶體基極、射極間容量 C 1
- 2 1 0 …… 基極、射極電位
- 2 1 1 …… 做為結合線與封裝體導入線之等效電路之
電感 L
- 2 1 2 …… 相互電導 g m
- 3 0 0 …… 送受信 I C 晶片
- 3 0 1 …… 高頻帶及低頻帶低噪音放大器之佈置
- 3 0 2 …… 高頻帶及低頻帶受信混頻器電路之佈置
- 3 0 3 …… 送受信 I C 之 Q F P
- 3 0 4 …… 晶片接著面之支撐材
- 3 0 5 …… 晶片接著面
- 3 0 6 、 3 0 7 …… 高頻帶受信混頻器輸入腳位
- 3 0 8 …… 低頻帶低噪音放大器輸出腳位
- 3 0 9 …… 低頻帶低噪音放大器接地腳位
- 3 1 0 …… 低頻帶低噪音放大器輸入腳位
- 3 1 1 …… 高頻帶低噪音放大器接地腳位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

- 3 1 2 …… 高頻帶低噪音放大器輸出腳位
- 3 1 3 …… 高頻帶低噪音放大器接地腳位
- 3 1 4 …… 高頻帶低噪音放大器輸入腳位
- 3 1 5、3 1 6 …… 低頻帶受信混頻器輸入腳位
- 3 1 7 …… 混頻器電路接地腳位
- 3 1 8 …… 混頻器電路電源腳位
- 3 1 9、3 2 0 …… 混頻器電路輸出腳位
- 3 2 1、3 2 2 …… 局部振盪訊號輸入腳位
- 3 2 3 …… 送訊電路塊電源腳位
- 3 2 4 …… 送訊電路塊接地腳位
- 3 2 5 …… 結合線
- 4 0 1 …… 包含高頻數部及中間頻數帶之 I C 電路
- 4 0 2 a …… 高頻帶低噪音放大器
- 4 0 2 b …… 低頻帶低噪音放大器
- 4 0 3 a …… 高頻帶受信混頻器
- 4 0 3 b …… 低頻帶受信混頻器
- 4 0 4 …… 混頻器
- 4 0 5 …… 可變增益放大器
- 4 0 6 …… 解調器
- 4 0 7 …… 分頻器
- 4 0 8 …… 調制器
- 4 0 9 …… 補償器
- 4 1 0 …… 合成器
- 4 1 1 …… 帶域通過濾波器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

- 5 0 1 …… 封裝體支撐構件
- 5 0 2 …… 積體電路基板
- 5 0 3 …… 積體電路
- 5 0 4 …… 接地電極
- 5 0 5 …… 結合用線
- 5 0 6 …… 導入腳位
- 5 0 7 …… 寄生變壓器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體積體電路)

本發明乃主要係適用於高頻帶及低頻帶之二個頻帶之無線系統之雙頻帶無線通訊移動體終端機器中之將低噪音放大器予以積體化之雙頻帶送受信用半導體積體電路。

本發明之課題乃設法使雙頻帶送受信用半導體積體電路之低噪音放大器及受信混頻器之頻數特性劣化者。

(解決手段)在於自低噪音放大器之封裝體外之腳位前端到電極為止之位置之能成為最短之位置上配置低噪音放大器。使接地腳位與接地腳位，及高頻訊號腳位與高頻訊號腳位之互不鄰接地予以配置，將低噪音放大器之接地腳位及偏壓電路之接地予以分解，且採用使各高頻訊號線互不交叉之腳位之佈置。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1 . 一種半導體積體電路，於一晶片上備有，被輸入受信訊號之第 1 頻帶放大器，及該第 1 頻帶放大器之輸出之被輸入之第 1 頻帶受信混頻器，

自封裝體而突出於外之腳位前端到連接於上述第 1 頻帶放大器之電極為止之距離係，與其他之引線腳位之前端與，與它對應之電極為止之距離相比較而為最短之位置上配設上述第 1 頻帶放大器，為其特徵者。

2 . 如申請專利範圍第 1 項所述之半導體積體電路，其中

上述第 1 頻帶放大器係備有雙極電晶體，而該雙極電晶體之射極之被連接之電極至對應於該電極之腳位之前端為止之距離係最短者。

3 . 一種半導體積體電路，於一晶片備有：受信訊號之被輸入之第 1 頻帶放大器及第 2 頻帶放大器，及該第 1 頻帶放大器及第 2 頻帶放大器之輸出之分別被輸出之第 1 頻帶受信混頻器，及第 2 頻帶混頻器，

而在上述第 1 頻帶受信混頻器之輸入腳位，與上述第 1 頻帶放大器之輸入出腳位之間配置了上述第 2 頻帶受信混頻器之輸入腳位，在上述第 2 頻帶受信混頻器之輸入腳位，與上述第 2 頻帶放大器之輸入出之間，配置上述第 1 頻帶放大器之輸入出腳位，在上述第 1 頻帶受信混頻器之輸入出腳位，與上述第 1 頻帶放大器之輸入腳位之間配置上述第 1 頻帶放大器之輸出腳位，在上述第 2 頻帶受信混頻器之輸入腳位，與上述第 2 頻帶放大器之輸入腳位之間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

，配置上述第2頻帶放大器之輸出腳位，為其特徵者。

4．如申請專利範圍第3項所述之半導體積體電路，其中

該上述第1頻帶放大器之輸入出腳位，及上述第2頻帶放大器之輸出入腳位係設置於形成封裝體之四邊之一邊上者。

5．一種半導體積體電路，在於1晶片上，具有受信訊號之被輸入之第1頻帶放大器及第2頻帶放大器，

及該第1頻帶放大器及第2頻帶放大器之輸出之分別被輸入之第1頻帶受信混頻器及第2頻帶受信混頻器，

而自封裝體外突出之腳位前端至連接於上述第1頻帶放大器或上述第2頻帶放大器之電極為止之距離之，與其他之引線腳位之前端與對應它之電極為止之距離相比而可成為最短之位置上，設置上述第1頻帶放大器或上述第2頻帶放大器之電路，為其特徵者。

6．如申請專利範圍第5項所述之半導體積體電路，其中

上述第1頻帶放大器及上述第2頻帶放大器係分別具有雙極電晶體，而其中之一之雙極電晶體之射極之被連接之電極至對應於該電極之腳位之前端為止之距離係最短者。

7．一種送受信用半導體積體電路，係具有：被輸入受信訊號之第1頻帶放大器及第2頻帶放大器；連接上述第1頻帶放大器的第1偏壓電路；連接上述第2頻帶放大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

器的第2偏壓電路；上述第1頻帶放大器之輸出被輸入的第1頻帶受信混頻器；及上述第2頻帶放大器之輸出被輸入的第2頻帶受信混頻器；分別設有上述第1頻帶放大器之接地腳位，上述第2頻帶放大器之接地腳位，及上述偏壓電路之接地腳位。

8．一種送受信用半導體積體電路，係具有：被輸入受信訊號之第1頻帶放大器及第2頻帶放大器；上述第1頻帶放大器及第2頻帶放大器之輸出分別被輸入的第1頻帶受信混頻器及第2頻帶受信混頻器；上述第1頻帶放大器之接地腳位與上述第2頻帶放大器之接地腳位係配置於互相不鄰接之位置。

9．一種半導體積體電路，係具有：被輸入受信訊號之第1頻帶放大器；上述第1頻帶放大器之輸出被輸入的第1頻帶受信混頻器；及連接上述第1頻帶放大器的輸入腳位、輸出腳位及接地腳位；上述接地腳位係配置於上述輸入腳位與上述輸出腳位之間。

10．如申請專利範圍第7至第9項中之任一項所述之半導體積體電路，其中上述放大器係具有雙極電晶體，該射極係連接於接地梢，該基極係連接於輸入梢，該集極係連接於輸出梢者。

11．一種送受信用半導體積體電路，係具有：被輸入受信訊號之第1頻帶放大器及第2頻帶放大器；連接上述第1頻帶放大器的第1偏壓電路；連接上述第2頻帶放大器的第2偏壓電路；上述第1頻帶放大器之輸出被輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

的第 1 頻帶受信混頻器；上述第 2 頻帶放大器之輸出被輸入的第 2 頻帶受信混頻器；及送信電路；分別設有上述第 1 頻帶放大器之接地腳位，上述第 2 頻帶放大器之接地腳位，及上述偏壓電路之接地腳位，上述送信電路係連接上述偏壓電路之接地腳位。

(請先閱讀背面之注意事項再填寫本頁)

裝

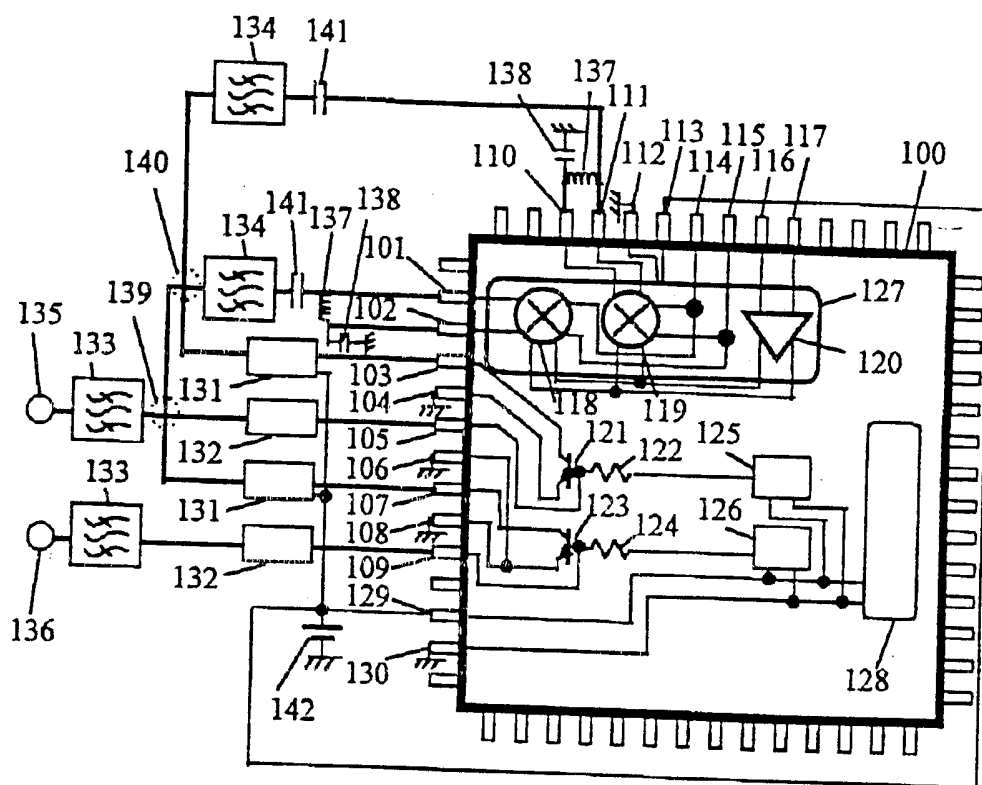
訂

線

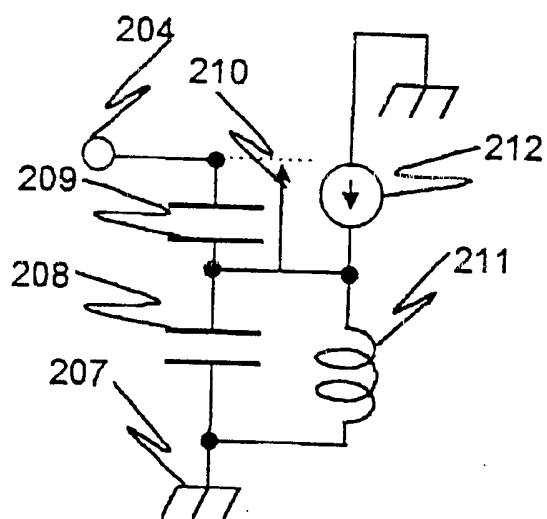
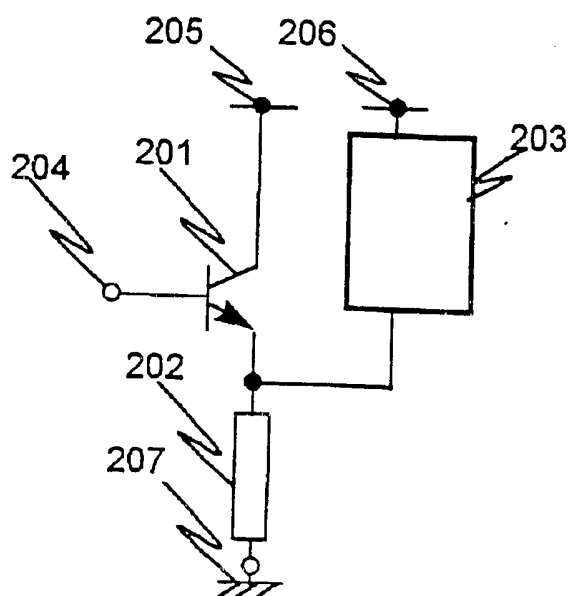
pp106246

第 1 圖

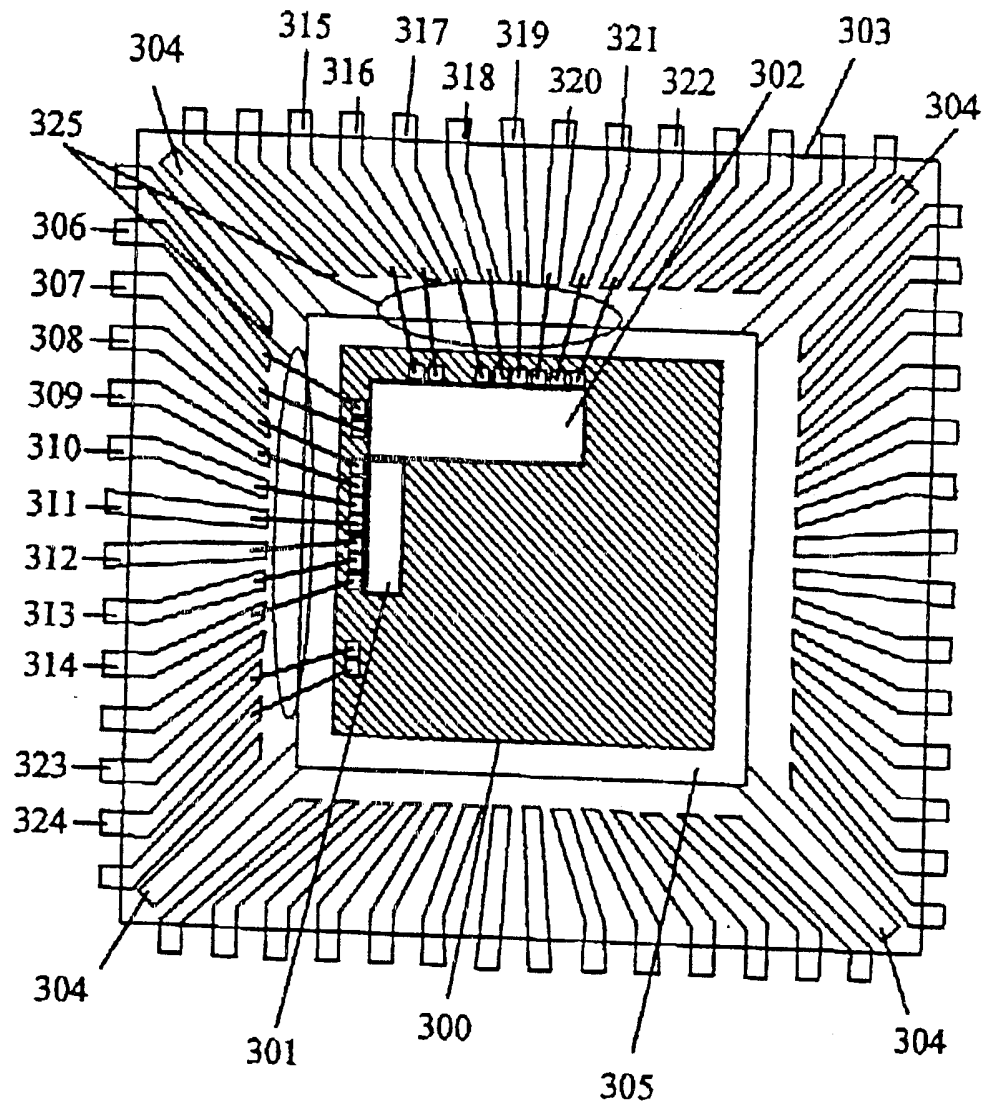
736614



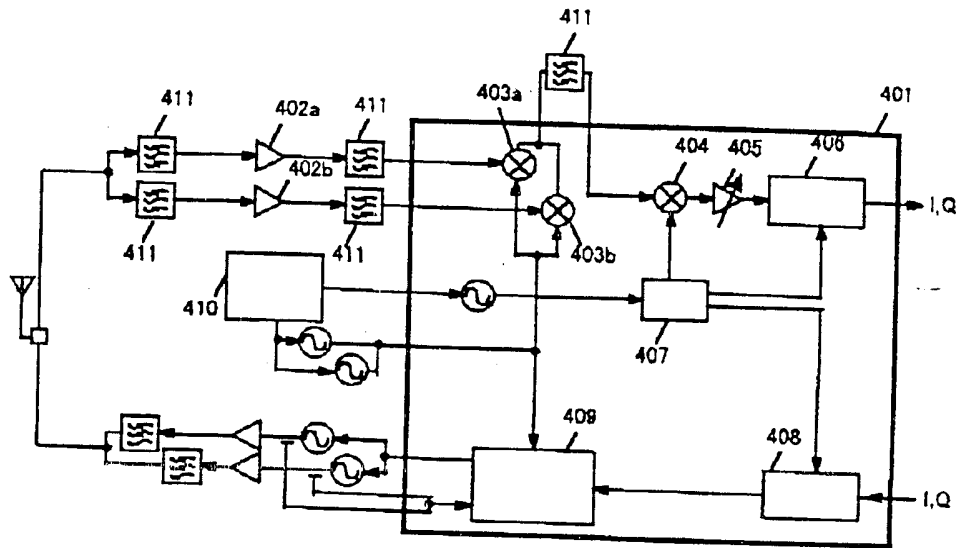
第 2 圖



第 3 圖



第 4 圖



第 5 圖

