

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 8 月 25 日(25.08.2011)

PCT

(10) 国際公開番号
WO 2011/102135 A1

- (51) 国際特許分類:
H01L 21/027 (2006.01) H01L 21/28 (2006.01)
G03F 7/20 (2006.01) H01L 21/768 (2006.01)
G03F 7/40 (2006.01)
- (21) 国際出願番号: PCT/JP2011/000887
- (22) 国際出願日: 2011 年 2 月 17 日(17.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-035295 2010 年 2 月 19 日(19.02.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小山 賢一(OYAMA, Kenichi) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢 6 5 0 東京エレクトロン株式会社内 Yamanashi (JP).
- (74) 代理人: 特許業務法人サクラ国際特許事務所 (SAKURA PATENT OFFICE, p.c.); 〒1010046 東京

都千代田区神田多町二丁目 1 番地 神田東山ビル Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

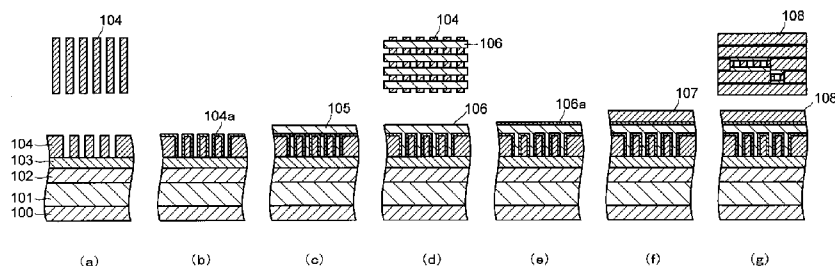
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD AND DEVICE FOR MANUFACTURING A SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法及び製造装置

【図1】



(57) Abstract: In the provided method, a mask layer is formed via the following steps: a step in which a first photoresist layer is formed, exposed, and developed on a substrate, thereby forming a first photoresist pattern; a step in which the first photoresist pattern is made insoluble; a step in which a second photoresist layer is formed, exposed, and developed on top of the first photoresist pattern, thereby forming a second photoresist pattern that intersects the first photoresist pattern; a step in which the second photoresist pattern is made insoluble; and a step in which a third photoresist layer is formed, exposed, and developed on top of the first and second photoresist patterns, thereby forming a third photoresist pattern.

(57) 要約: 基板に第1フォトリソ層を形成し、露光、現像して第1フォトリソパターンを形成する工程と、第1フォトリソパターンを不溶化する工程と、第1フォトリソパターンの上に、第1フォトリソ層を形成し、露光、現像して、第1フォトリソパターンと交差する第2フォトリソパターンを形成する工程と、第2フォトリソパターンを不溶化する工程と、第1フォトリソパターン及び第2フォトリソパターンの上に、第3フォトリソ層を形成し、露光、現像して、第3フォトリソパターンを形成する工程と、によってマスク層を形成する。

WO 2011/102135 A1

明 細 書

発明の名称：半導体装置の製造方法及び製造装置

技術分野

[0001] 本発明は、半導体装置の製造方法及び製造装置に関する。

背景技術

[0002] 従来から、半導体装置の製造工程では、フォトレジストを用いたフォトリソグラフィ技術により、微細な回路パターンの形成が行われている。また、回路パターンのさらなる微細化を行うために、サイドウォールトランスファー（SWT（side wall transfer））プロセスや、その他のダブルパターニング（DP）プロセス等が検討されている。

[0003] 上記のようなフォトリソグラフィにおける微細化技術では、初めに形成したフォトレジストのパターンをハードマスクに転写し、ハードマスクとレジストマスクを用いる技術が知られている。しかしながら、このように一旦パターンをハードマスクに転写する場合、ハードマスク層の形成及びハードマスク層のエッチング等が必要となり、工程数が増えるという問題がある。

[0004] このため、第1回目のフォトレジストパターンを形成した後にフォトレジストパターンのフリージング（不溶化处理）を行い、この後、第2回目のフォトレジストパターンの形成（フォトレジスの塗布、露光、現像）を行い、2回のリソグラフィ工程を行った後、この2重のフォトレジストパターンをマスクとして用いてエッチングを行う技術が知られている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-306143公報

発明の概要

発明が解決しようとする課題

[0006] 従来の半導体製造工程においては、基板上の目的の場所に微細なホールを

形成しようとする、第一のステップでV-LINEを第一回目の露光により形成し、第二ステップでV-LINEに直交するH-LINEを第二回目の露光で形成して得られた直交パターンを一度ハードマスクに転写し、第三ステップで目的とする場所にホールを形成する目的のパターンを形成して、これをハードマスクに転写して初めて基板上に微細なランダムホールが得られた。

[0007] これは、第二ステップで微細なランダムホールの場所に目的のパターンを形成したレジストパターンを使用することが出来ないことが三つのステップを要する原因であった。

[0008] 本発明は、上記の事情に対処してなされたもので、最初のハードマスクへの転写のステップを無くして、生産効率を向上させることを目的とする半導体装置の製造方法及び製造装置を提供しようとするものである。

課題を解決するための手段

[0009] 本発明の半導体装置の製造方法の一態様は、基板上に形成された被エッチング層の上部にマスク層を形成し、当該マスク層をマスクとして前記被エッチング層のエッチングを行う工程を有する半導体装置の製造方法であって、前記基板に第1フォトリソ層を形成する第1フォトリソ層形成工程と、前記第1フォトリソ層に、第1のピッチで整列したホール形状の第1フォトリソパターンを形成する第1フォトリソパターン形成工程と、前記第1フォトリソパターンを不溶化する不溶化工程と、前記第1フォトリソパターンの上に、第2フォトリソ層を形成する第2フォトリソ層形成工程と、前記第2フォトリソ層に、前記第1のピッチより広い第2のピッチのパターンを形成する第2フォトリソパターン形成工程と、によって前記マスク層を形成することを特徴とする。

[0010] 本発明の半導体装置の製造方法の他の態様は、基板上に形成された被エッチング層の上部にマスク層を形成し、当該マスク層をマスクとして前記被エッチング層のエッチングを行う工程を有する半導体装置の製造方法であって、前記基板に第1フォトリソ層を形成し、露光、現像して第1フォトリソパターンを形成する第1パターン形成工程と、前記第1フォトリソ

トパターンを不溶化する第1不溶化工程と、前記第1フォトリジストパターンの上に、第2フォトリジスト層を形成し、露光、現像して、前記第1フォトリジストパターンと交差する第2フォトリジストパターンを形成する第2パターン形成工程と、前記第2フォトリジストパターンを不溶化する第2不溶化工程と、前記第1フォトリジストパターン及び前記第2フォトリジストパターンの上に、第3フォトリジスト層を形成し、露光、現像して、第3フォトリジストパターンを形成する第3パターン形成工程と、によって前記マスク層を形成することを特徴とする。

[0011] 本発明の半導体装置の製造方法の他の態様は、基板上に塗布されたフォトリジストに、第1の平行したパターンを転写する工程と、前記フォトリジストに、前記第1の平行したパターンと直交する第2の平行したパターンを転写する工程と、前記フォトリジストに、第3の予め定められたランダムパターンのホールに対応したパターンを転写する工程とを備えたことを特徴とする。

[0012] 本発明の半導体装置の製造方法の他の態様は、基板上に塗布したフォトリジストに第1の平行したパターンを転写する工程と、前記フォトリジストに、前記第1の平行したパターンに平行した第2のパターンを転写する工程と、前記フォトリジストに、第3の予め定められたランダムパターンのホールに対応したパターンを転写する工程とを備えたことを特徴とする。

発明の効果

[0013] 本発明によれば、従来に比べて工程数を削減して効率良く微細化パターンを形成することができ、生産効率を向上させることのできる半導体装置の製造方法及び製造装置を提供することができる。

図面の簡単な説明

[0014] [図1]本発明の半導体装置の製造方法の一実施形態の工程を説明するための図。

[図2]図1の半導体装置の製造方法の工程を示すフローチャート。

[図3]本発明の一実施形態に係る半導体装置の製造装置の構成を示す平面図。

[図4] 図3の半導体装置の製造装置の構成を示す正面図。

[図5] 図3の半導体装置の製造装置の構成を示す背面図。

発明を実施するための形態

[0015] 以下、本発明の詳細を、図面を参照して実施形態について説明する。

[0016] 図1は、本発明の一実施形態に係る基板としての半導体ウエハの一部を拡大して模式的に示し、一実施形態にかかる半導体装置の製造方法の工程を示すものである。また、図2は、一実施形態にかかる半導体装置の製造方法の工程を示すフローチャートである。

[0017] 図1(a)に示すように、半導体ウエハ100の上には、絶縁膜（例えば、TEOS膜）101、ハードマスク102、反射防止膜103が下側からこの順で形成されている。そして、本実施形態では、まずこの反射防止膜103上にフォトリソistを塗布し、露光、現像を行ってラインアンドスペース形状の第1フォトリソistパターン104を形成する（図2の工程201）。なお、図1(a)の上部に、上面から見た第1フォトリソistパターン104の形状を模式的に示す。この第1フォトリソistパターン104の線幅は、例えば、40nm～50nm程度、ピッチは、例えば、80nm～100nm程度（ハーフピッチが例えば40nm～50nm程度）であり、このような第1フォトリソistパターン104の形成は、例えばArF液浸露光等によって行うことができる。

[0018] 次に、図1(b)に示すように、第1フォトリソistパターン104を不溶化して不溶化層104aを形成する第1不溶化処理（第1フリージング処理）を行う（図2の工程202）。この第1不溶化処理は、例えば、ケミカルフリージング等によって行うことができる。

[0019] 次に、図1(c)に示すように、第1フォトリソistパターン104の上に、第2フォトリソist105を塗布する（図2の工程203）。

[0020] 次に、図1(d)に示すように、露光、現像を行ってラインアンドスペース形状の第2フォトリソistパターン106を形成する（図2の工程204）。なお、図1(d)の上部に示すように、上面から見た場合、第1フォ

レジストパターン１０４と第２フォトレジストパターン１０６とは、直交するように交差して形成されている。

[0021] 次に、図１（e）に示すように、第２フォトレジストパターン１０６を不溶化して不溶化層１０６aを形成する第２不溶化処理（第２フリージング処理）を行う（図２の工程２０５）。この第２不溶化処理は、例えば、ケミカルフリージング等によって行うことができる。

[0022] 次に、図１（f）に示すように、第１フォトレジストパターン１０４及び第２フォトレジストパターン１０６の上に、第３フォトレジスト１０７を塗布する（図２の工程２０６）。

[0023] 次に、図１（g）に示すように、露光、現像を行って第３フォトレジストパターン１０８を形成する（図２の工程２０７）。なお、図１（g）の上部に示すように、上面から見た場合、第３フォトレジストパターン１０８は、ランダムなパターンとなっており、第１フォトレジストパターン１０４及び第２フォトレジストパターン１０６より広いピッチでパターンが形成された状態となっている。

[0024] 以上の工程により、狭ピッチで整列されたコンタクトホールと、これらのコンタクトホールより広いピッチで形成されたランダムな形状のホールが混在するパターンのマスクを形成することができる。そして、このマスクを用いて、下層の反射防止膜１０３、ハードマスク１０２をエッチングし、さらに、絶縁膜（例えば、ＴＥＯＳ膜）１０１をエッチングして、絶縁膜（例えば、ＴＥＯＳ膜）１０１にホールを形成する。

[0025] 上記のように、本実施形態では、途中で一旦パターンをハードマスクに転写し、このハードマスク上に再度フォトレジストのマスクを形成するのではなく、３層のフォトレジストパターンからなるマスクを用いて、線幅が４０～５０nm程度、ピッチが８０～１００nm程度（ハーフピッチが４０～５０nm程度）の密に整列したコンタクトホールと、これらのコンタクトホールより広い１６０～２００nm程度のピッチで形成された２次元パターンの転写を一度に行うことができる。したがって、従来に比べて工程数を削減して効率良く微細化パターンを形

成することができ、生産効率の向上を図ることができる。

[0026] さらに、第1フォトレジストパターン104は80~100nm程度のピッチのラインアンドスペース形状であり、第2フォトレジストパターン106は第1フォトレジストパターンと同等のピッチのこれと直交するラインアンドスペース形状であるため、微細な位置合わせを必要とすることなく、80~100nm程度のピッチで密に整列されたコンタクトホールを形成することができる。その後、第1フォトレジストパターンおよび第2フォトレジストパターンよりも広い160~200nm程度のピッチの第3フォトレジストパターンにより、密に整列したコンタクトホールのうち所定のコンタクトホールのみを残すことができ、これにより、全てのパターンに最小の解像度を用いる必要なく、2回の最小ピッチのパターンとそれよりも広いピッチのパターンの3回の簡易な露光で所定形状のコンタクトホールを形成することができる。

[0027] すなわち、80~100nm程度のピッチで密に整列されたコンタクトホールを作成するためにはパターンを何回かに分割する必要があるが、例えば、第1フォトレジストパターンをホールが整列されたパターンとし、これらのホールの間に、ホールが整列されたパターンの第2フォトレジストパターンを露光する際には、精密な位置合わせが必要となり、ホールの位置がずれる可能性が高くなる。

[0028] 一方、本実施形態のようにラインアンドスペース形状のパターンを直交させてホールを形成する場合は、そのような精密な位置合わせを行うことなく密なピッチで整列されたコンタクトホールを形成することができる。本実施形態のように、第1フォトレジストパターンのピッチよりも第3フォトレジストパターンのピッチを大きく広くすることで、精密な位置合わせをしなくとも、両方のパターンを重ねることにより第1フォトレジストパターンの中から第3フォトレジストパターンと重なったコンタクトホールだけを選択的に形成するという技術が達成できる発明である。

[0029] また、本実施形態では第1フォトレジストパターン104および第2フォトレジストパターン106は同等のピッチの直交するラインアンドスペース

形状を使用したか、これらのピッチは同等でなくともよく、パターンは直交していなくともよい。さらに、密に整列したホールパターンを形成する工程において、密に整列したホール形状のパターンを使用することもできる。その場合は、本実施形態のようにラインアンドスペース形状のパターンを交差させる方法ではなく、1回の露光、現像により密に整列したホール形状のフォトリソパターンを形成し、その後は、本実施形態と同様の手順によってランダムなホールパターンを形成することができる。

[0030] 次に、上述した半導体装置の製造方法を実施する半導体装置の製造装置の実施形態について説明する。

[0031] 図3～5は、本実施形態に係る半導体装置の製造装置としてのレジスト塗布・現像処理システムの構成を模式的に示すものであり、図3は平面図、図4は正面図、図5は背面図である。このレジスト塗布・現像処理システム100は、カセットステーション111と、複数の処理ユニットを有する処理ステーション112と、処理ステーション112に隣接して設けられる露光装置114と処理ステーション112との間で半導体ウエハWを受け渡すためのインターフェイスステーション113とを具備している。

[0032] 上記カセットステーション111には、レジスト塗布・現像処理システム100において処理を行う複数枚の半導体ウエハWが水平に収容されたウエハカセット（CR）が他のシステムから搬入される。また、逆にレジスト塗布・現像処理システム100における処理が終了した半導体ウエハWが収容されたウエハカセット（CR）がカセットステーション111から他のシステムへ搬出される。さらにカセットステーション111はウエハカセット（CR）と処理ステーション112との間での半導体ウエハWの搬送を行う。

[0033] 図3に示すように、カセットステーション111の入口側端部（図3中Y方向端部）には、X方向に沿って延在するカセット載置台120が設けられている。このカセット載置台120上にX方向に沿って1列に複数（図3では5個）の位置決め突起120aが配設されており、ウエハカセット（CR）はウエハ搬入出口を処理ステーション112側に向けてこの突起120a

の位置に載置されるようになっている。

[0034] カセットステーション 111 には、カセット載置台 120 と処理ステーション 112 との間に位置するように、ウエハ搬送機構 121 が設けられている。このウエハ搬送機構 121 は、カセット配列方向（X 方向）およびウエハカセット（CR）中の半導体ウエハ W の配列方向（Z 方向）に移動可能なウエハ搬送用ピック 121a を有しており、このウエハ搬送用ピック 121a は、図 3 中に示す θ 方向に回転可能とされている。これにより、ウエハ搬送用ピック 121a は、いずれのウエハカセット（CR）に対してもアクセスでき、かつ、後述する処理ステーション 112 の第 3 処理ユニット群 G_3 に設けられたトランジションユニット（TRS- G_3 ）にアクセスできるようになっている。

[0035] 処理ステーション 112 には、システム前面側に、カセットステーション 111 側から順に、第 1 処理ユニット群 G_1 と第 2 処理ユニット群 G_2 が配設されている。また、システム背面側に、カセットステーション 111 側から順に、第 3 処理ユニット群 G_3 、第 4 処理ユニット群 G_4 および第 5 処理ユニット群 G_5 が配設されている。また、第 3 処理ユニット群 G_3 と第 4 処理ユニット群 G_4 との間に第 1 主搬送部 A_1 が配設され、第 4 処理ユニット群 G_4 と第 5 処理ユニット群 G_5 との間に第 2 主搬送部 A_2 が配設されている。さらに、第 1 主搬送部 A_1 の背面側には第 6 処理ユニット群 G_6 が配設され、第 2 主搬送部 A_2 の背面側には第 7 処理ユニット群 G_7 が配設されている。

[0036] 図 3 および図 4 に示すように、第 1 処理ユニット群 G_1 には、カップ内で半導体ウエハ W をスピチャックに載せて所定の処理を行う液供給ユニットとしての 5 台のスピナ型処理ユニット、例えば、3 台のフォトリソ塗布ユニット（COT）と、露光時の光の反射を防止する反射防止膜を形成する 2 台のコーティングユニット（BARC）が計 5 段に重ねられて配設されている。また第 2 処理ユニット群 G_2 には、5 台のスピナ型処理ユニット、例えば、前述した不溶化処理としてのケミカルフリージングを実施するケミカルフリージングユニット（CHF）と 4 台の現像ユニット（DEV）が 5 段

に重ねられて配設されている。

[0037] 図5に示すように、第3処理ユニット群 G_3 には、下から、温調ユニット（TCP）、カセットステーション111と第1主搬送部 A_1 との間での半導体ウエハWの受け渡し部となるトランジションユニット（TRS- G_3 ）、所望のオープン型処理ユニット等を設けることができるスペア空間V、半導体ウエハWに精度のよい温度管理下で加熱処理を施す3台の高精度温調ユニット（CPL- G_3 ）、半導体ウエハWに所定の加熱処理を施す4台の高温加熱処理ユニット（BAKE）が、合計10段に重ねられて配設されている。

[0038] また、第4処理ユニット群 G_4 には、下から、高精度温調ユニット（CPL- G_4 ）、レジスト塗布後の半導体ウエハWに加熱処理を施す4台のプリベークユニット（PAB）、現像処理後の半導体ウエハWに加熱処理を施す5台のポストベークユニット（POST）が、合計10段に重ねられて配設されている。

[0039] また、第5処理ユニット群 G_5 には、下から、4台の高精度温調ユニット（CPL- G_5 ）、6台の露光後現像前の半導体ウエハWに加熱処理を施すポストエクスポージャーベークユニット（PEB）が、合計10段に重ねられて配設されている。

[0040] 第3～5処理ユニット群 $G_3 \sim G_5$ に設けられている高温加熱処理ユニット（BAKE）、プリベークユニット（PAB）、ポストベークユニット（POST）、ポストエクスポージャーベークユニット（PEB）は、例えば、全て同じ構造を有し、加熱処理ユニットを構成する。

[0041] なお、第3～5処理ユニット群 $G_3 \sim G_5$ の積み重ね段数およびユニットの配置は、図示するものに限らず、任意に設定することが可能である。

[0042] 第6処理ユニット群 G_6 には、下から、2台のアドヒージョンユニット（AD）と、半導体ウエハWを加熱するための2台の加熱ユニット（HP）とが合計4段に重ねられて配設されている。

[0043] 第7処理ユニット群 G_7 には、下から、レジスト膜厚を測定する膜厚測定装置（FTI）と、半導体ウエハWのエッジ部のみを選択的に露光する周辺露

光装置（WEE）とが２段に重ねられて配設されている。

[0044] 図３に示すように、第１主搬送部 A_1 には第１主ウエハ搬送装置１１６が設けられ、この第１主ウエハ搬送装置１１６は、第１処理ユニット群 G_1 、第３処理ユニット群 G_3 、第４処理ユニット群 G_4 と第６処理ユニット群 G_6 に備えられた各ユニットに選択的にアクセス可能となっている。

[0045] 第２主搬送部 A_2 には第２主ウエハ搬送装置１１７が設けられ、この第２主ウエハ搬送装置１１７は、第２処理ユニット群 G_2 、第４処理ユニット群 G_4 、第５処理ユニット群 G_5 、第７処理ユニット群 G_7 に備えられた各ユニットに選択的にアクセス可能となっている。

[0046] 第１主ウエハ搬送装置１１６及び第２主ウエハ搬送装置１１７には、半導体ウエハ W を保持するための３本のアームが上下方向に積層するように配設されている。そして、これらのアームに半導体ウエハ W を保持して、 X 方向、 Y 方向、 Z 方向及び θ 方向の各方向に搬送するよう構成されている。

[0047] 図３に示すように、第１処理ユニット群 G_1 とカセットステーション１１１との間には液温調ポンプ１２４およびダクト１２８が設けられ、第２処理ユニット群 G_2 とインターフェイスステーション１１３との間には液温調ポンプ１２５およびダクト１２９が設けられている。液温調ポンプ１２４、１２５は、それぞれ第１処理ユニット群 G_1 と第２処理ユニット群 G_2 に所定の処理液を供給するものである。また、ダクト１２８、１２９は、レジスト塗布・現像処理システム１００外に設けられた図示しない空調器からの清浄な空気を各処理ユニット群 $G_1 \sim G_5$ の内部に供給するためのものである。

[0048] 第１処理ユニット群 $G_1 \sim$ 第７処理ユニット群 G_7 は、メンテナンスのために取り外しが可能となっており、処理ステーション１１２の背面側のパネルも取り外しまたは開閉可能となっている。また、図４に示すように、第１処理ユニット群 G_1 と第２処理ユニット群 G_2 の下方には、第１処理ユニット群 G_1 と第２処理ユニット群 G_2 に所定の処理液を供給するケミカルユニット（ CHM ）１２６、１２７が設けられている。

[0049] インターフェイスステーション１１３は、処理ステーション１１２側の第

１インターフェイスステーション１１３ a と、露光装置１１４側の第２インターフェイスステーション１１３ b とから構成されており、第１インターフェイスステーション１１３ a には第５処理ユニット群 G_5 の開口部と対面するように第１ウエハ搬送体１６２が配置され、第２インターフェイスステーション１１３ b には X 方向に移動可能な第２ウエハ搬送体１６３が配置されている。

[0050] 図５に示すように、第１ウエハ搬送体１６２の背面側には、下から順に、露光装置１１４から搬出された半導体ウエハ W を一時収容するアウト用バッファカセット（OUTBR）、露光装置１１４に搬送される半導体ウエハ W を一時収容するイン用バッファカセット（INBR）、周辺露光装置（WEE）が積み重ねられて構成された第８処理ユニット群 G_8 が配置されている。イン用バッファカセット（INBR）とアウト用バッファカセット（OUTBR）は、複数枚、例えば２５枚の半導体ウエハ W を収容できるようになっている。

[0051] また、第１ウエハ搬送体１６２の正面側には、図４に示すように、下から順に、２段の高精度温調ユニット（CPL- G_9 ）と、トランジションユニット（TRS- G_9 ）とが積み重ねられて構成された第９処理ユニット群 G_9 が配置されている。

[0052] 図３に示すように、第１ウエハ搬送体１６２は、 Z 方向に移動可能かつ θ 方向に回転可能であり、さらに $X-Y$ 面内において進退自在なウエハ受け渡し用のフォーク１６２ a を有している。このフォーク１６２ a は、第５処理ユニット群 G_5 、第８処理ユニット群 G_8 、第９処理ユニット群 G_9 の各ユニットに対して選択的にアクセス可能であり、これによりこれらのユニット間での半導体ウエハ W の搬送を行うことが可能となっている。

[0053] 第２ウエハ搬送体１６３も同様に、 X 方向および Z 方向に移動可能、かつ、 θ 方向に回転可能であり、さらに $X-Y$ 面内において進退自在なウエハ受け渡し用のフォーク１６３ a を有している。このフォーク１６３ a は、第９処理ユニット群 G_9 の各ユニットと、露光装置１１４のインステージ１１４ a

およびアウトステージ 114b に対して選択的にアクセス可能であり、これら各部の間で半導体ウエハ W の搬送を行うことができるようになっている。

[0054] 図 4 に示すように、カセットステーション 111 の下部にはこのレジスト塗布・現像処理システム 100 全体を制御する集中制御部 119 が設けられている。この集中制御部 119 は、レジスト塗布・現像処理システム 100 の各ユニットおよび各搬送機構等の各構成部を制御する CPU を備えたプロセスコントローラと、キーボードやディスプレイ等からなるユーザーインターフェイスと、制御プログラム、レシピ、各種データベース等が格納された記憶部とを備えている。

[0055] このように構成されたレジスト塗布・現像処理システム 100 を用いて、上述した第 1 ～第 3 レジストパターンの形成工程等を以下のように実施する。

[0056] まず、ウエハカセット (CR) から処理前の半導体ウエハ W を 1 枚ずつウエハ搬送機構 121 により取り出し、この半導体ウエハ W を処理ステーション 112 の処理ユニット群 G_3 に配置されたトランジションユニット (TRS- G_3) に搬送する。

[0057] 次に、半導体ウエハ W に対し、温調ユニット (TCP) で温調処理を行った後、第 1 処理ユニット群 G_1 に属するコーティングユニット (BARC) で反射防止膜の形成、加熱ユニット (HP) における加熱処理、高温度熱処理ユニット (BAKE) におけるベーク処理を行う。コーティングユニット (BARC) による半導体ウエハ W への反射防止膜の形成前にアドヒージョンユニット (AD) によりアドヒージョン処理を行ってもよい。

[0058] 次に、高精度温調ユニット (CPL- G_4) で半導体ウエハ W の温調を行った後、半導体ウエハ W を第 1 処理ユニット群 G_1 に属するレジスト塗布ユニット (COT) へ搬送し、フォトリソの塗布処理を行う。

[0059] 次に、第 4 処理ユニット群 G_4 に設けられたプリベークユニット (PAB) で半導体ウエハ W にプリベーク処理を施し、周辺露光装置 (WEE) で周辺露光処理を施した後、高精度温調ユニット (CPL- G_9) 等で温調する。そ

の後、半導体ウエハWを第2ウエハ搬送体163により露光装置114内に搬送する。

[0060] 露光装置114により露光処理がなされた半導体ウエハWは、第2ウエハ搬送体163によってトランジションユニット（TRS-G₉）に搬入する。この後、半導体ウエハWに、第5処理ユニット群G₅に属するポストエクスポージャーベークユニット（PEB）によるポストエクスポージャーベーク処理、第2処理ユニット群G₂に属する現像ユニット（DEV）による現像処理、ポストベークユニット（POST）によるポストベーク処理等の温調処理を行う。

[0061] 以上の手順によって、第1フォトリソパターンパターンのパターニングが行われる。次に、半導体ウエハWを第2処理ユニット群G₂に属するケミカルフリージングユニット（CHF）に搬送し、ここで不溶化処理を行う。

[0062] 次に、上記レジスト塗布ユニット（COT）によるフォトリソパターンの塗布処理からケミカルフリージングユニット（CHF）による不溶化処理までの工程を繰り返して第2フォトリソパターンを形成する。さらに、上記レジスト塗布ユニット（COT）によるフォトリソパターンの塗布処理からポストベークユニット（POST）によるポストベーク処理等の温調処理までの工程を繰り返して第3フォトリソパターンを形成する。そして、これらの第1～第3フォトリソパターンをマスクとして、エッチングを行う。

[0063] 以上、本発明を各実施形態について説明したが、本発明は、上述した各実施形態に限定されるものではなく、各種の変形が可能であることは勿論である。

産業上の利用可能性

[0064] 本発明は、半導体装置の製造分野等で利用することができる。したがって、産業上の利用可能性を有する。

符号の説明

[0065] 100……半導体ウエハ、101…絶縁膜（TEOS膜）、102……ハードマスク、103……反射防止膜（BARC）、104……第1フォトレ

ジストパターン、104 a ……不溶化層、105 ……第2フォトレジスト、
106 ……第2フォトレジストパターン、106 a ……不溶化層、107 ……
…第3フォトレジスト、108 ……第3フォトレジストパターン。

請求の範囲

- [請求項1] 基板上に形成された被エッチング層の上部にマスク層を形成し、当該マスク層をマスクとして前記被エッチング層のエッチングを行う工程を有する半導体装置の製造方法であって、
- 前記基板に第1フォトリソ層を形成する第1フォトリソ層形成工程と、
- 前記第1フォトリソ層に、第1のピッチで整列したホール形状の第1フォトリソパターンを形成する第1フォトリソパターン形成工程と、
- 前記第1フォトリソパターンを不溶化する不溶化工程と、
- 前記第1フォトリソパターンの上に、第2フォトリソ層を形成する第2フォトリソ層形成工程と、
- 前記第2フォトリソ層に、前記第1のピッチより広い第2のピッチのパターンを形成する第2フォトリソパターン形成工程と、
- によって前記マスク層を形成することを特徴とする半導体装置の製造方法。
- [請求項2] 請求項1記載の半導体装置の製造方法であって、
- 前記第1のピッチは80～100nmであり、
- 前記第2のピッチは160～200nmである
- ことを特徴とする半導体の製造方法。
- [請求項3] 請求項1又は2記載の半導体装置の製造方法であって、
- 前記第1のピッチで整列したホール形状のパターンが真円または楕円である
- ことを特徴とする半導体の製造方法。
- [請求項4] 基板上に形成された被エッチング層の上部にマスク層を形成し、当該マスク層をマスクとして前記被エッチング層のエッチングを行う工程を有する半導体装置の製造方法であって、
- 前記基板に第1フォトリソ層を形成し、露光、現像して第1フ

オトレジストパターンを形成する第1パターン形成工程と、

前記第1フォトレジストパターンを不溶化する第1不溶化工程と、

前記第1フォトレジストパターンの上に、第2フォトレジスト層を形成し、露光、現像して、前記第1フォトレジストパターンと交差する第2フォトレジストパターンを形成する第2パターン形成工程と、

前記第2フォトレジストパターンを不溶化する第2不溶化工程と、

前記第1フォトレジストパターン及び前記第2フォトレジストパターンの上に、第3フォトレジスト層を形成し、露光、現像して、第3フォトレジストパターンを形成する第3パターン形成工程と、

によって前記マスク層を形成することを特徴とする半導体装置の製造方法。

[請求項5]

請求項4記載の半導体装置の製造方法であって、

前記第1パターン形成工程と、前記第2パターン形成工程とによって、第1のピッチで整列したホール形状のパターンを形成し、

前記第3パターン形成工程によって、前記第1のピッチより広い第2のピッチのパターンを形成することを特徴とする半導体装置の製造方法。

[請求項6]

請求項5記載の半導体装置の製造方法であって、

前記第1のピッチは80～100nmであり、

前記第2のピッチは160～200nmである

ことを特徴とする半導体装置の製造方法。

[請求項7]

基板上に塗布されたフォトレジストに、第1の平行したパターンを転写する工程と、

前記フォトレジストに、前記第1の平行したパターンと直交する第2の平行したパターンを転写する工程と、

前記フォトレジストに、第3の予め定められたランダムパターンのホールに対応したパターンを転写する工程とを備えたことを特徴とする半導体装置の製造方法。

- [請求項8] 請求項7記載の半導体装置の製造方法であって、
前記第1の平行したパターンのピッチは80～100nmであり、
前記第2の平行したパターンのピッチは80～100nmであり、
前記第3の予め定められたランダムパターンのピッチは160～200nm
である
ことを特徴とする半導体装置の製造方法。
- [請求項9] 請求項7記載の半導体装置の製造方法であって、
前記第3の予め定められたランダムパターンのピッチは、前記第1
の平行したパターンのピッチよりも大きく、前記第2の平行したパタ
ーンのピッチよりも大きい
ことを特長とする半導体装置の製造方法。
- [請求項10] 請求項7記載の半導体装置の製造方法であって、
前記第3の予め定められたランダムパターンのホールの形状が真円
または楕円である
ことを特徴とする半導体装置の製造方法。
- [請求項11] 基板上に塗布したフォトレジストに第1の平行したパターンを転写
する工程と、
前記フォトレジストに、前記第1の平行したパターンに平行した第
2の平行したパターンを転写する工程と、
前記フォトレジストに、第3の予め定められたランダムパターンの
ホールに対応したパターンを転写する工程と
を備えたことを特徴とする半導体装置の製造方法。
- [請求項12] 請求項11記載の半導体装置の製造方法であって、
前記第3の予め定められたランダムパターンのピッチは、前記第1
の平行したパターンのピッチよりも大きく、前記第2の平行したパタ
ーンのピッチよりも大きい
ことを特長とする半導体装置の製造方法。
- [請求項13] 請求項12記載の半導体装置の製造方法であって、

前記第 1 の平行したパターンのピッチは80～100nmであり、
前記第 2 の平行したパターンのピッチは80～100nmであり、
前記第 3 の予め定められたランダムパターンのピッチは160～200nm
である
ことを特徴とする半導体装置の製造方法。

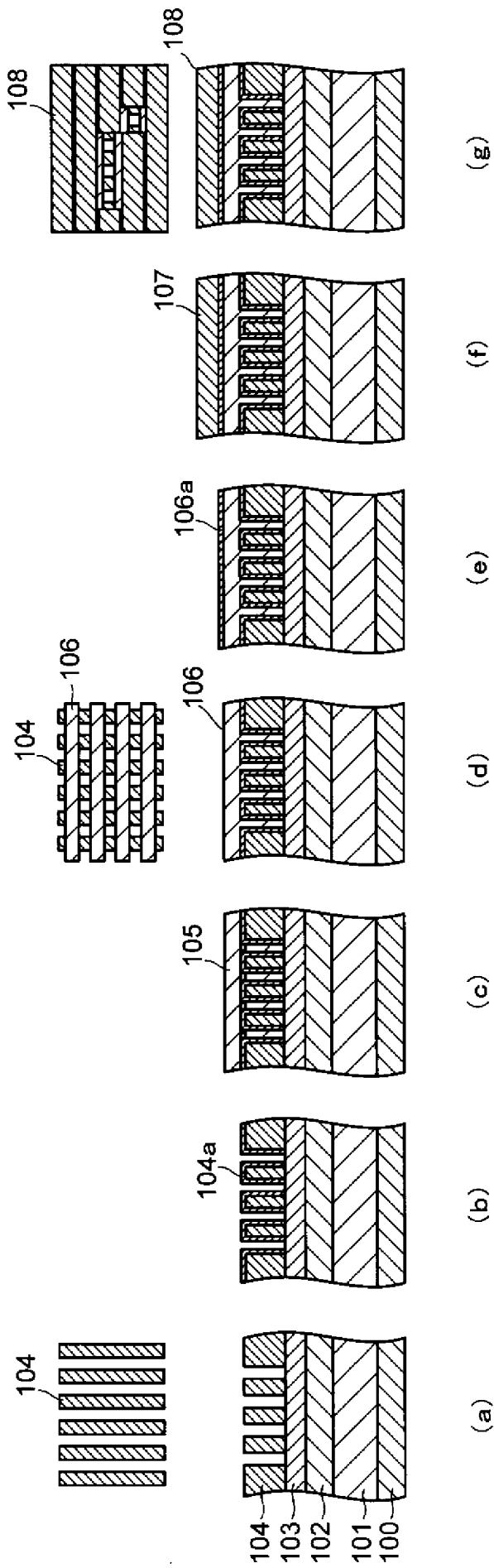
[請求項14] 請求項 1 1 ～ 1 3 いずれか 1 項記載の半導体装置の製造方法であって、

前記第 3 の予め定められたランダムパターンのホールの形状が真円
または楕円である

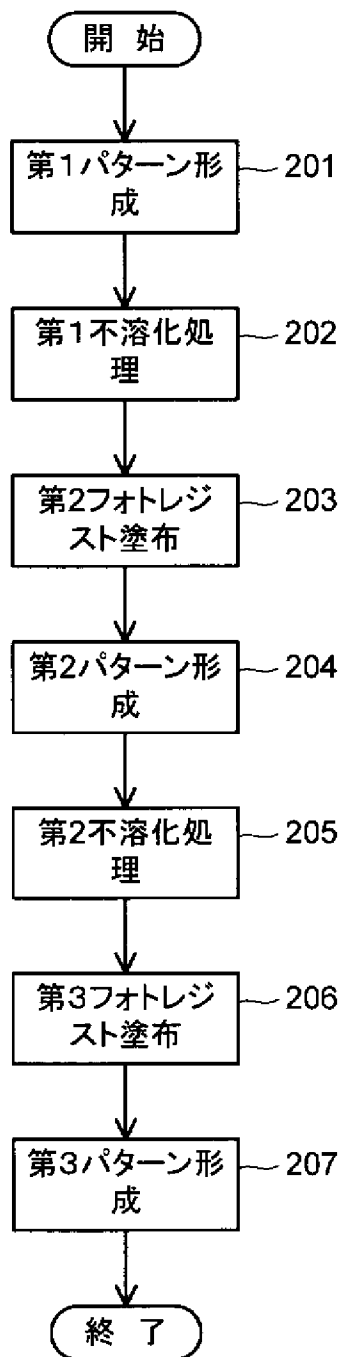
ことを特徴とする半導体装置の製造方法。

[請求項15] 基板にフォトリソ層を形成する手段と、
前記フォトリソ層を露光する手段と、
露光された前記フォトリソ層を現像する手段と、
現像された前記フォトリソ層を不溶化する手段と
を具備し、請求項 1 ～ 1 4 いずれか 1 項記載の半導体装置の製造方法
を実施するよう構成されたことを特徴とする半導体装置の製造装置。

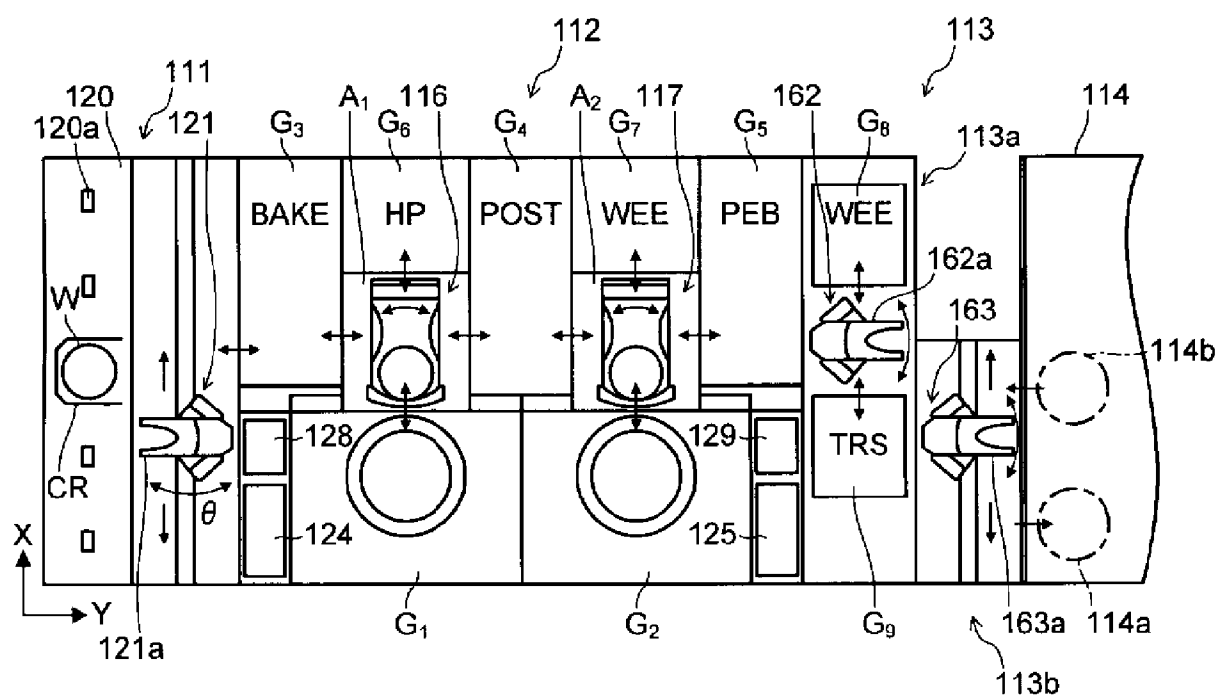
[図1]



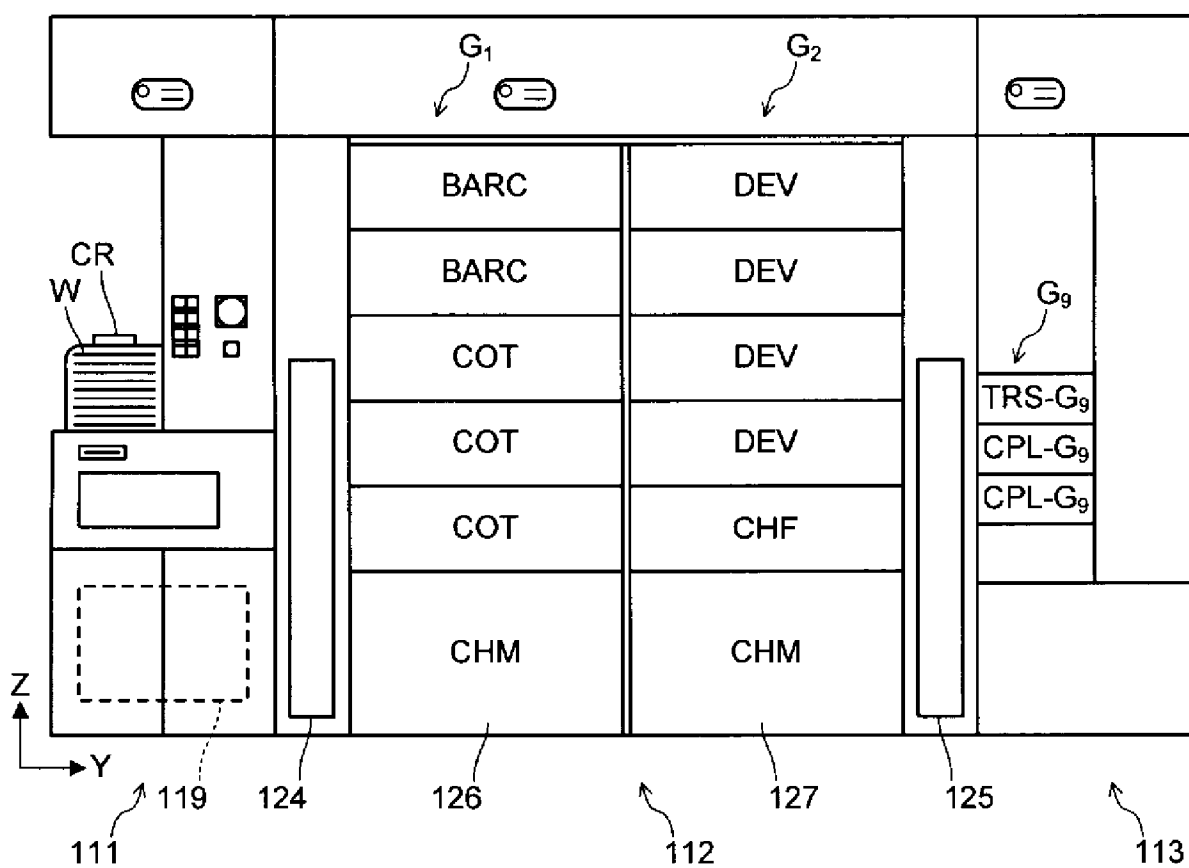
[図2]



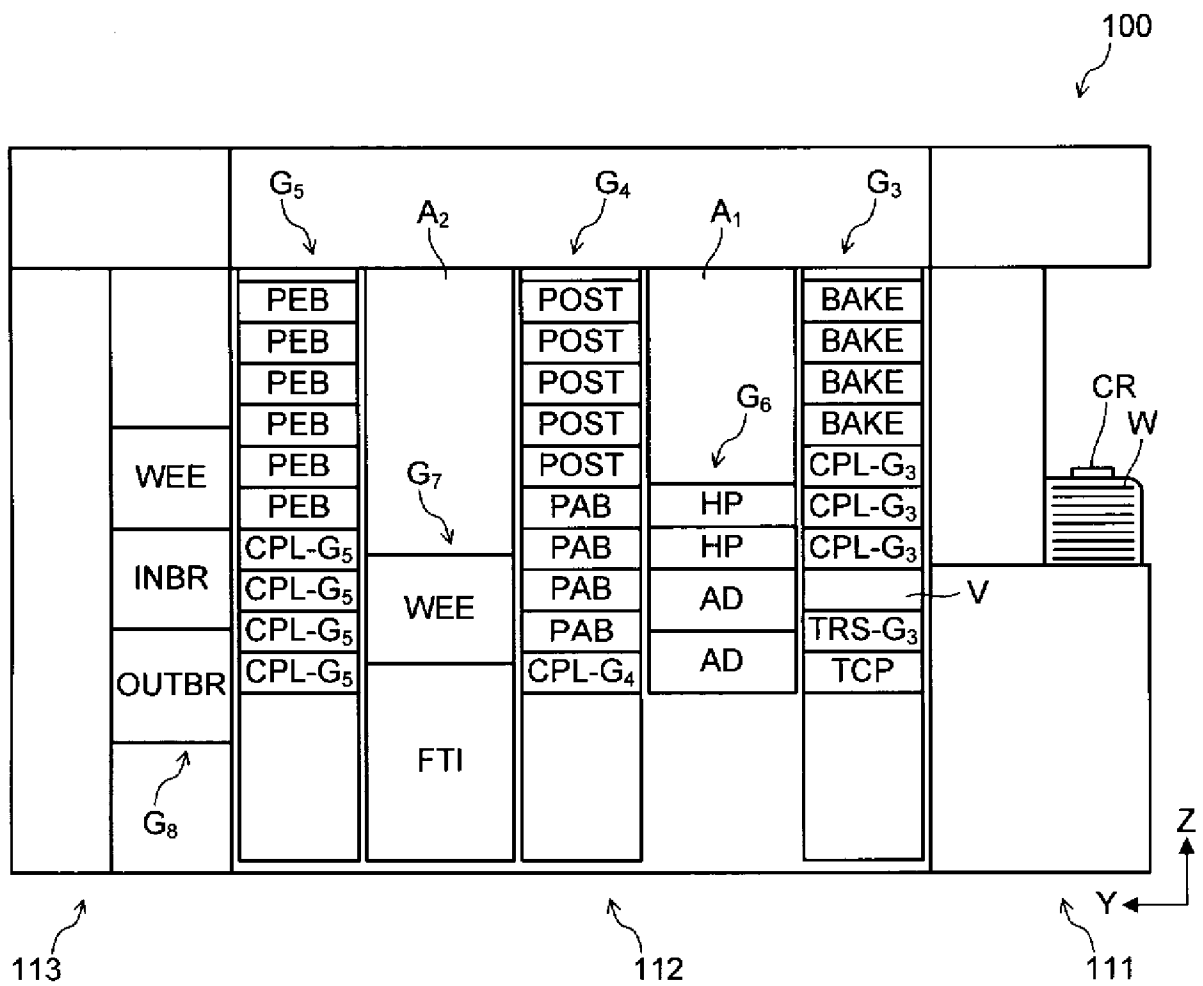
100



100



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000887

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/027(2006.01)i, G03F7/20(2006.01)i, G03F7/40(2006.01)i, H01L21/28(2006.01)i, H01L21/768(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/027, G03F7/20, G03F7/40, H01L21/28, H01L21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-348141 A (Taiwan Semiconductor Manufacturing Co.), 09 December 2004 (09.12.2004), paragraphs [0016] to [0027]; fig. 1, 2 & US 2004/0234897 A1 & EP 1480081 A2 & TW 249076 B & KR 10-2004-0104393 A & CN 1573540 A & SG 146427 A	1-3, 15 4-14
Y	JP 2009-300978 A (Shin-Etsu Chemical Co., Ltd.), 24 December 2009 (24.12.2009), paragraphs [0183] to [0184], [0233] to [0234]; fig. 2 (Family: none)	4-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 March, 2011 (23.03.11)

Date of mailing of the international search report
05 April, 2011 (05.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000887

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-71222 A (Oki Electric Industry Co., Ltd.), 05 March 1992 (05.03.1992), page 1, lower left column, lines 5 to 16; page 5, upper left column, lines 5 to 9 (Family: none)	1-15

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/027(2006.01)i, G03F7/20(2006.01)i, G03F7/40(2006.01)i, H01L21/28(2006.01)i,
H01L21/768(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/027, G03F7/20, G03F7/40, H01L21/28, H01L21/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2004-348141 A (台湾、セミコンダクター、マニファクチャリング、カンパニー) 2004. 12. 09, 段落 0016~0027、図 1 及び 2 & US 2004/0234897 A1 & EP 1480081 A2 & TW 249076 B & KR 10-2004-0104393 A & CN 1573540 A & SG 146427 A	1-3、15 4-14
Y	JP 2009-300978 A (信越化学工業株式会社) 2009. 12. 24, 段落 0183~0184、0233~0234 及び図 2 (ファミリーなし)	4-14

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 3 . 2 0 1 1

国際調査報告の発送日

0 5 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

久保田 創

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 4

2 M

4 4 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-71222 A (沖電気工業株式会社) 1992. 03. 05, 第 1 頁左下欄第 5 ～ 1 6 行及び第 5 頁左上欄第 5 ～ 9 行 (ファミリーなし)	1-15