

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6125669号
(P6125669)

(45) 発行日 平成29年5月10日 (2017.5.10)

(24) 登録日 平成29年4月14日 (2017.4.14)

(51) Int. Cl.

F I

H O 1 L 21/8234 (2006.01)

H O 1 L 27/08 1 O 2 E

H O 1 L 27/088 (2006.01)

H O 1 L 27/04 H

H O 1 L 21/822 (2006.01)

H O 1 L 27/00 3 O 1 H

H O 1 L 27/04 (2006.01)

H O 1 L 27/04 A

H O 1 L 27/00 (2006.01)

H O 1 L 29/78 6 1 3 Z

請求項の数 15 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2015-557113 (P2015-557113)
 (86) (22) 出願日 平成26年2月7日 (2014.2.7)
 (65) 公表番号 特表2016-511542 (P2016-511542A)
 (43) 公表日 平成28年4月14日 (2016.4.14)
 (86) 国際出願番号 PCT/US2014/015279
 (87) 国際公開番号 W02014/126800
 (87) 国際公開日 平成26年8月21日 (2014.8.21)
 審査請求日 平成29年1月12日 (2017.1.12)
 (31) 優先権主張番号 13/765,061
 (32) 優先日 平成25年2月12日 (2013.2.12)
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 595020643
 クォアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100158805
 弁理士 井関 守三
 (74) 代理人 100194814
 弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】 グラフェン遮蔽体を有する三次元 (3D) 集積回路 (3DIC) および関連する製造方法

(57) 【特許請求の範囲】

【請求項 1】

モノリシック三次元 (3D) 集積回路 (3DIC) であって、

第 1 の 1 つまたは複数の能動構成要素を備えた第 1 の半導体集積回路階層と、

前記第 1 の半導体集積回路階層に対して垂直方向に配置された第 2 の 1 つまたは複数の能動構成要素を備えた第 2 の半導体集積回路階層と、

前記第 1 の半導体集積回路階層と前記第 2 の半導体集積回路階層との間に配置され、前記モノリシック 3DIC の第 1 の外縁から前記モノリシック 3DIC の第 2 の反対側の外縁に延びる少なくとも 1 つのグラフェン層、ここで、前記少なくとも 1 つのグラフェン層が前記第 1 および第 2 の半導体集積回路階層内のすべての能動構成要素から電氣的に隔離され、ここにおいて、前記少なくとも 1 つのグラフェン層は接地に結合される、と、
を備えるモノリシック 3DIC。

【請求項 2】

前記少なくとも 1 つのグラフェン層が、前記第 1 の半導体集積回路階層と前記第 2 の半導体集積回路階層との間に電磁遮蔽を提供する、請求項 1 に記載のモノリシック 3DIC
 。

【請求項 3】

前記少なくとも 1 つのグラフェン層が、前記第 1 および第 2 の半導体集積回路階層内の内部に配置された能動素子から熱を伝導して放熱するように構成される、請求項 1 に記載のモノリシック 3DIC。

【請求項 4】

前記少なくとも 1 つのグラフェン層が、少なくとも 1 つの開口を定義する、請求項 1 に記載のモノリシック 3 D I C。

【請求項 5】

前記少なくとも 1 つの開口を貫通し、前記第 1 の半導体集積回路階層内の前記第 1 の 1 つまたは複数の能動構成要素の第 1 の能動構成要素と、前記第 2 の半導体集積回路階層内の前記第 2 の 1 つまたは複数の能動構成要素の第 2 の能動構成要素とを結合する導電性ビアをさらに備える、請求項 4 に記載のモノリシック 3 D I C。

【請求項 6】

前記少なくとも 1 つのグラフェン層に熱的に接触している熱ビアをさらに備える、請求項 1 に記載のモノリシック 3 D I C。

10

【請求項 7】

前記少なくとも 1 つの開口が前記第 1 の外縁に近接している、請求項 4 に記載のモノリシック 3 D I C。

【請求項 8】

前記モノリシック 3 D I C が中心を備え、前記少なくとも 1 つの開口が前記中心に近接している、請求項 4 に記載のモノリシック 3 D I C。

【請求項 9】

前記少なくとも 1 つの開口が前記第 1 の外縁から内側に間隔を置いて配置される、請求項 4 に記載のモノリシック 3 D I C。

20

【請求項 10】

前記第 1 の外縁に近接して配置された熱ビアをさらに備える、請求項 7 に記載のモノリシック 3 D I C。

【請求項 11】

前記第 1 の半導体集積回路階層を前記第 2 の半導体集積回路階層に接合する接合層をさらに備え、前記少なくとも 1 つのグラフェン層が、前記接合層より下に配置される、請求項 1 に記載のモノリシック 3 D I C。

【請求項 12】

前記接合層がアニールされた酸化物層を備える、請求項 11 に記載のモノリシック 3 D I C。

30

【請求項 13】

半導体ダイ中に統合される、請求項 1 に記載のモノリシック 3 D I C。

【請求項 14】

セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、モバイルフォン、セルラーフォン、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、携帯情報端末 (P D A)、モニタ、コンピュータモニタ、テレビジョン、チューナー、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク (D V D) プレーヤ、およびポータブルデジタルビデオプレーヤからなる群から選択されたデバイス をさらに備え、その中に前記モノリシック 3 D I C が統合される、請求項 1 に記載のモノリシック 3 D I C。

40

【請求項 15】

モノリシック三次元 (3 D) 集積回路 (3 D I C) であって、

第 1 の 1 つまたは複数の能動構成要素を備えた半導体階層を設けるための第 1 の手段と、

前記半導体階層を設けるための前記第 1 の手段に対して垂直方向に配置された第 2 の 1 つまたは複数の能動構成要素を備えた半導体階層を設けるための第 2 の手段と、

前記半導体階層を設けるための前記第 1 の手段と前記半導体階層を設けるための前記第 2 の手段との間に配置され、前記モノリシック 3 D I C の第 1 の外縁から前記モノリシッ

50

ク 3 D I C の第 2 の反対側の外縁に延びる少なくとも 1 つのグラフェン層、ここで、前記少なくとも 1 つのグラフェン層が前記半導体階層内のすべての能動構成要素から電氣的に隔離され、ここで、前記少なくとも 1 つのグラフェン層は接地に結合される、と、

を備える 3 D I C。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

優先権出願

[0001]本出願は、その全体が参照により本明細書に組み込まれる、2013年2月12日に出願された「THREE - DIMENSIONAL (3 - D) INTEGRATE D CIRCUITS (3 D I C S) WITH GRAPHENE SHIELD , AND RELATED COMPONENTS AND METHODS」という名称の米国特許出願第 1 3 / 7 6 5 , 0 6 1 号の優先権を主張する。

【 0 0 0 2 】

関連出願

[0002]本出願は、2013年2月12日に出願された「ION REDUCED , ION CUT - FORMED THREE DIMENSIONAL , INTEGRATE D CIRCUITS (3 D I C S) , AND RELATED METHODS AND SYSTEMS」という名称の米国特許出願第 1 3 / 7 6 5 , 0 8 0 号に関する。

【 0 0 0 3 】

[0003]本開示の技術は三次元集積回路 (3 D I C) に関する。

【背景技術】

【 0 0 0 4 】

[0004]モバイル通信デバイスは、現在の社会においては一般的になっている。これらのモバイルデバイスの普及は、そのようなデバイスで今有効である多くの機能によっても促進される。そのような機能への需要は、処理機能要件を増大させ、より強力な電池の必要性を生じている。モバイル通信デバイスのハウジングの限定された空間内で、電池が処理回路と競合する。これらのおよび他の要因は、回路内の構成要素および電力消費の縮小化の継続の原因となる。

【 0 0 0 5 】

[0005]構成要素の縮小化は、処理回路内のトランジスタおよび他のリアクタンス素子を含む、処理回路のすべての面に影響を及ぼす。1つの縮小化技法は、集積回路を X - Y 座標系だけでなく、Z 座標系にも配置することを伴う。すなわち、現在の縮小化技法は、より高いデバイスパッキング密度、より短い相互接続遅延、およびより低い費用を達成するために、三次元 (3 D) 集積回路 (3 D I C) を使用する。現在、3 D I C を製造または形成するためにはいくつかの技法がある。

【 0 0 0 6 】

[0006]3 D I C を形成するための第 1 の技法は、選択エピタキシャル層成長である。選択エピタキシャル層成長は、容認できるほどにかなり良い品質の I C を生産することができるが、この技法は、プロセスに関連する厳しい要求のために高価である。3 D I C を形成するための第 2 の技法は、ウェーハオンウェーハ製造技法であり、それによって、電子構成部品は、2 つ以上の半導体ウェーハ上に別々に組み立てられる。2 つ以上の半導体ウェーハは積層され、位置合わせされ、接合され、ダイシングされて 3 D I C となる。シリコン貫通ビア (T S V) が必要とされ、積層されたウェーハ間に電氣的接続を実施するように設けられる。積層されたウェーハのいずれかに不整合または T S V 欠陥は、様々な層上の I C の相互依存により全体として欠陥がある集積回路という結果になり得る。3 D I C を形成するための第 3 の技法は、ダイオンウェーハ技法であり、それによって、電子構成要素が、2 つの半導体ウェーハ上に組み立てられる。この技法においては、1 つのウェーハがスライスされ、ダイシングされたダイが第 2 のウェーハのダイサイト上に位置合わせされ、接合される。このダイオンウェーハ技法にも、位置合わせ問題という欠点があり

得る。３ＤＩＣを形成するための第４の技法は、ダイオンダイ技法であり、それによって、電子構成要素が複数のダイ上に組み立てられ、次いで積層され、位置合わせされ、接合される。この方式は、最終の３ＤＩＣを使用不能にし得る同じ不整合問題を受ける。

【０００７】

[0007] ３ＤＩＣを形成するための第５の技法は、モノリシック技法であり、それによって、電子構成要素およびそれらの接続部は、単一の半導体ウェーハ上に層で組み立てられる。層は、イオンカッティングプロセスを通じて組み立てられる。このやり方で層を使用すると、精密な位置合わせおよびＴＳＶが不要になる。モノリシック方式では、その上に集積される構成要素を有するレセプタウェーハが用意される。酸化物層がレセプタウェーハの上面に形成される。ドナーウェーハにイオン（典型的には水素）注入プロセスを受けさせることによってドナーウェーハが用意される。次いで、イオン注入を伴うドナーウェーハの表面は、レセプタウェーハの酸化物層上に積層される。レセプタウェーハの酸化物層は、アニーリングプロセスを通じてドナーウェーハの表面に接合する。次いで、ドナーウェーハは、除去され、シリコン層がレセプタウェーハに移転される。追加の電子構成要素および相互接続部が順次移転シリコン層の上に製造される。モノリシック方式は、エピタキシャル成長よりも高価でなく、不整合の危険がなく、結果としてウェーハ対ウェーハ、ウェーハ対ダイ、またはダイ対ダイの位置合わせを利用する技法よりも機能的なデバイスとなる。

【０００８】

[0008] モノリシック方式は、設置面積が小さい集積回路を製造するが、三次元集積回路における能動構成要素の密度により、単純な二次元集積回路よりも相対的に大きな熱の量を発生する。温度が高いと、回路内の能動構成要素の性能にマイナスの影響を与え得る。さらに、単なる二次元ではなく三次元で回路を配列することにより、回路間の電磁妨害（ＥＭＩ）またはクロストークの新たな状況も生じる。ＥＭＩも、回路内の能動構成要素の性能にマイナスの影響を与える。

【発明の概要】

【０００９】

[0009] 発明を実施するための形態に開示する実施形態は、グラフェン遮蔽体を有する三次元（３Ｄ）集積回路（３ＤＩＣ）を含む。関連する構成要素および方法も開示される。本明細書に開示するある一定の実施形態においては、少なくともグラフェン層が３ＤＩＣの２つの隣接する階層の間に配置される。グラフェン層とは、原子が正六角形のパターンで配列された少なくとも１つの原子の厚さの、純粋な炭素製のシート状の層である。グラフェン層は、３ＤＩＣ内の任意の数の隣接する階層の間に配設され得る。例示的な実施形態においては、グラフェン層は、３ＤＩＣ内の隣接する階層または層の間に、階層間のクロストークを低減するために電磁妨害（ＥＭＩ）遮蔽体を設ける。３ＤＩＣ内の隣接する階層における構成要素間のクロストークは、３ＤＩＣの性能にマイナスの影響を与え得る。他の例示的な実施形態においては、グラフェン層は、３ＤＩＣの周辺の領域またはヒートシンクに熱を向け放散させるヒートシンクを提供するために３ＤＩＣ内に配設され得る。いくつかの実施形態においては、グラフェン層は、ＥＭＩ遮蔽と熱遮蔽の両方を設けるように構成される。

【００１０】

[0010] 一実施形態におけるこの点において、モノリシック３ＤＩＣが開示され、３ＤＩＣは、第１の構成要素を備えた第１の半導体集積回路階層を備える。３ＤＩＣは、第１の半導体集積回路階層に対して垂直方向に配置された第２の構成要素を備えた第２の半導体集積回路階層も備える。３ＤＩＣは、第１または第２の構成要素の一部とならないように第１の半導体集積回路階層と第２の半導体集積回路階層との間に配置された、少なくとも１つのグラフェン層も備える。

【００１１】

[0011] 別の実施形態においては、モノリシック三次元集積回路が開示される。３ＤＩＣは、第１の構成要素を備えた半導体階層を提供するための第１の手段を備える。３ＤＩＣ

10

20

30

40

50

は、半導体階層を提供するための第1の手段に対して垂直方向に配置された第2の構成要素を備えた半導体階層を提供するための第2の手段も備える。3D ICは、第1または第2の構成要素の一部とならないように半導体階層を提供するための第1の手段と第2の手段との間に配置された、少なくとも1つのグラフェン層も備える。

【0012】

[0012]別の実施形態においては、モノリシック三次元集積回路を形成する方法が開示される。方法は、第1の構成要素を備えた第1の半導体階層を提供することを備える。方法は、第1の半導体階層の表面上に少なくとも1つのグラフェンの層を配置することも備える。方法は、少なくとも1つのグラフェンの層から第1の構成要素を電気的に隔離することも備える。方法は、少なくとも1つのグラフェンの層が第1の半導体階層と第2の半導体階層との間にあり、第2の構成要素が少なくとも1つのグラフェンの層から電気的に隔離されるように、少なくとも1つのグラフェンの層の上に第2の構成要素を備えた第2の半導体階層を提供することも備える。

10

【図面の簡単な説明】

【0013】

【図1A】[0013]三次元(3D)集積回路(IC)(3D IC)を組み立てるためにイオンカットティングプロセスにおける例示的な従来のステップを示す図。

【図1B】三次元(3D)集積回路(IC)(3D IC)を組み立てるためにイオンカットティングプロセスにおける例示的な従来のステップを示す図。

【図1C】三次元(3D)集積回路(IC)(3D IC)を組み立てるためにイオンカットティングプロセスにおける例示的な従来のステップを示す図。

20

【図1D】三次元(3D)集積回路(IC)(3D IC)を組み立てるためにイオンカットティングプロセスにおける例示的な従来のステップを示す図。

【図2】[0014]イオンカットティングのための例示的な従来のプロセスを記載したフローチャートを示す図。

【図3】[0015]3D ICの構築における例示的なグラフェン移転を示す図。

【図4】[0016]3D ICの構築における例示的なエッチングステップを示す図。

【図5】[0017]3D ICの構築における例示的なシリコン移転ステップを示す図。

【図6】[0018]3D ICの構築における例示的な第2の階層作製ステップを示す図。

【図7】[0019]グラフェン遮蔽体を含む例示的な完成した3D ICを示す図。

30

【図8】[0020]線8-8に沿った図7の3D ICの例示的な断面図。

【図9】[0021]図3~図8に示す3D ICの構築のための例示的なプロセスを示すフローチャート。

【図10】[0022]図8の遮蔽された3D ICを含むことができる例示的なプロセッサベースのシステムの構成図。

【発明を実施するための形態】

【0014】

[0023]次に図面を参照して、本開示のいくつかの例示的な実施形態について説明する。「例示的な」という用語は、本明細書では「例、事例、または例示として働くこと」を意味するために用いられる。「例示的な」として本明細書に説明する任意の実施形態は、必ずしも、他の実施形態よりも好ましいまたは有利であるとみなされない。

40

【0015】

[0024]発明を実施するための形態に開示する実施形態は、グラフェン遮蔽体を有する三次元(3D)集積回路(3D IC)を含む。関連する構成要素および方法も開示される。本明細書に開示するある一定の実施形態においては、少なくとも1つのグラフェン層が3D ICの2つの隣接する階層の間に配置される。グラフェン層とは、原子が正六角形のパターンで配列された少なくとも1つの原子の厚さの、純粋な炭素製のシート状の層である。グラフェン層は、3D IC内の任意の数の隣接する階層の間に配置され得る。例示的な実施形態においては、グラフェン層は、3D IC内の隣接する階層または層の間に、階層間のクロストークを低減するために電磁妨害(EMI)遮蔽体を提供する。3D IC内の

50

隣接する階層における構成要素間のクロストークは、３ＤＩＣの性能にマイナスの影響を与え得る。他の例示的な実施形態においては、グラフェン層は、３ＤＩＣの周辺の領域に熱を向け放散させるヒートシンクを提供するために３ＤＩＣ内に配置され得る。いくつかの実施形態においては、グラフェン層は、ＥＭＩ遮蔽と熱遮蔽の両方を提供するように構成される。

【００１６】

[0025]熱遮蔽体とＥＭＩ遮蔽体とを含む遮蔽された３ＤＩＣの実施形態について説明する前に、図１Ａ～図１Ｄおよび図２を参照して、三次元集積回路の組立てに使用される従来のプロセスの短い概要が提供される。熱およびＥＭＩ遮蔽体を有する三次元集積回路の例示的な実施形態の説明が、図３を参照して以下に開始される。

10

【００１７】

[0026]この点において、図１Ａは、三次元集積回路（３ＤＩＣ）を作製するための従来のプロセスの第１のステップを示す。具体的には、シリコン（Ｓｉ）基板などの基板１２を有するレセプタウェーハ１０が設けられる。基板１２は基板手段と称され得る。第１の階層の電子構成要素（全体的に１４に示される）が、よく知られているように基板１２上に成長させられる。酸化物層１６が、電子構成要素１４の上に成長させられる。同時に、ドナーウェーハ１８が用意される。ドナーウェーハ１８はドナー手段と称され得る。ドナーウェーハ１８はシリコン材料でもあり得る。ドナーウェーハ１８は、ハンドリング部分２０をドナー部分２４から効果的に分離するイオン化領域２２を形成するためにイオンが注入される。従来の注入プロセスにより、局所的な高濃度ゾーン（デルタ注入ゾーンとも呼ばれる）の作製が可能になる。例示的なプロセスにおいて、イオンは水素イオンである。酸化物層２６が、ドナー部分２４上に成長させられる。

20

【００１８】

[0027]図１Ｂを参照すると、ドナーウェーハ１８が、酸化物層１６が酸化物層２６に接触するようにレセプタウェーハ１０の上面に積層される。酸化物層１６、２６は、接合のための手段と称され得る。酸化物層１６、２６は、相対的に低い温度プロセス（たとえば、およそ２５０ から３５０ までの間の）を通じて接合し、アニールされる。アニールに続いて、ドナーウェーハ１８は、図１Ｃに示されるように、レセプタウェーハ１０から劈開される。よく理解されるように、酸化物層２６、ドナー部分２４、およびイオン化領域２２の劈開部分２２Ａは、レセプタウェーハ１０に取り付けられたまま残り、イオン化領域２２の残留部分２２Ｂは、ドナーウェーハ１８のハンドリング部分２０上に残る。

30

【００１９】

[0028]劈開後、図１Ｄを参照すると、トランジスタなど、追加の電子構成要素２８が、第２の階層の電子構成要素３０を形成するためにドナー部分２４上に成長させられる。第２の階層の電子構成要素３０を超える追加の階層の電子構成要素（図示せず）は、複数のレベルまたは複数の階層の３ＤＩＣを作製するためのプロセスを繰り返すことによって作製され得る。

【００２０】

[0029]図１Ａ～図１Ｄが例示的な従来のイオンカットティングプロセス５０の視覚的描写を提供するが、この例示的なイオンカットティングプロセス５０は、図２のフローチャート形態でさらに提示される。従来のイオンカットティングプロセス５０は、レセプタウェーハ１０の用意から始まる（ブロック５２）。よく理解されるように、レセプタウェーハ１０の用意には、基板１２を用意することが伴い、ドーピング、キュアリング、カットティング、または他の技法が伴うことがある。用意されると、第１の階層の電子構成要素１４が、レセプタウェーハ１０上に成長させられる（ブロック５４）。電子構成要素１４が成長させられると、酸化物層１６がレセプタウェーハ１０上に成長させられる（ブロック５６、図１Ａも参照）。

40

【００２１】

[0030]続けて図２を参照すると、同時にまたは順次に、イオンがイオン化領域２２を形

50

成するためにドナーウェーハ 18 中に注入される (ブロック 58、図 1A も参照)。上記のように、イオンは、例示的な実施形態において、水素イオンである。酸化物層 26 がドナーウェーハ 18 上でも成長させられる。ドナーウェーハ 18 は、レセプタウェーハ 10 上に設置される (ブロック 60、図 1B も参照)。ドナーウェーハ 18 は、アニールされ (典型的にはおよそ 250 から 350 までの温度範囲において) (ブロック 62)、酸化物層 16、26 を熔融する。アニーリングは、イオン化領域 22 のクラッキングが起きるまで行われ、それにより、ドナーウェーハ 18 からレセプタウェーハ 10 へのドナー部分 24 および劈開部分 22A の移転が可能となる。この移転は、ドナーウェーハ 18 を劈開することと称される (ブロック 64、図 1C も参照)。例示的な方法においては、ドナー部分 24 は、厚さがおよそ $1.3\text{ }\mu\text{m}$ である。移転に続いて、第 2 の階層の電子構成要素 30 がドナー部分 24 上で成長させられ得る (ブロック 66、図 1D も参照)。

10

【0022】

[0031] 結果として 3DIC 26 となる図 2 に示すプロセスなど、従来のプロセスにおいて、電子構成要素 14、24 の階層内の電子構成要素が電力を消費するにつれて 3DIC 内に熱が蓄積し得る。同様に、第 1 の階層の電子構成要素 14 内の電子構成要素は、第 2 の階層の電子構成要素 24 内の電子構成要素とのクロストークを有することがあり、逆も同様である。電子構成要素の階層の数が増大するにつれて、熱およびクロストークの問題が悪化される。放熱の失敗は、3DIC 内の材料の伝導性を変化させることによって 3DIC に悪影響を与え、熱があまりに高い場合、材料は 3DIC が破壊されるように溶解し、リフローすることがある。同様に、クロストークは、デバイスを破損する可能性はないが、第 1 のデバイスの動作のための信号を第 2 のデバイス中に現れさせ、第 2 のデバイスを望ましくないように動作させる。あるいは、そのようなクロストークは、関連する法律および規制 (たとえば、連邦通信委員会 (FCC) はデバイスが放射し得る EMI 放射の量に制限を課する) を超えることがある。そのような法律および規制に適合し損なうと、デバイスはある一定の管轄区域または市場に販売できないことになり得る (たとえば、FCC 規則に適合し損なうと、デバイスは米国内で動作し得ないことになる)。本開示は、電子構成要素の階層間に EMI 遮蔽体を提供することによってこれらの問題に対処する。例示的な実施形態においては、EMI 遮蔽体はグラフェン層である。上記のように、グラフェン層とは、原子が正六角形のパターンで配列された少なくとも 1 原子の厚さの、純粋な炭素でできた層状のシートである。グラフェン層は、銅の 10 倍の熱伝導性であり、シリコンの 100 倍の電子移動度を有し、したがって、クロストークを低減する熱遮蔽体と EMI 遮蔽体の両方として働く。

20

30

【0023】

[0032] この点において、図 3 は基板 32 を用いて構築中の 3DIC 30 を示す。例示的な一実施形態においては、基板 32 は、シリコンであり得る。第 1 の階層の電子構成要素 34 が、従来のプロセスを使用して基板 32 上に作製されている。酸化物の層 36 が、第 1 の階層の電子構成要素 34 を封止または覆い得る。グラフェンの層 38 が、ポリメチルメタクリレート (PMMA) 保持基板 40 を使用して酸化物の層 36 に塗布される。グラフェンを移転させるためにそのような PMMA 保持基板 40 を使用することは、当技術分野内で理解される。例示的な実施形態においては、グラフェンの層 38 は、単一の原子の厚さのグラフェンの層から形成される。別の実施形態においては、グラフェンの層が 1 つより多くの原子の厚さのグラフェンの層 (すなわち、2 層) から形成される。グラフェンの層 38 を効果的な EMI 遮蔽体とするために、グラフェンの層 38 は、第 1 の階層の電子構成要素 34 内のいかなる構成要素にも電氣的に接続されないことに留意されたい。すなわち、グラフェンの層 38 は、第 1 の階層の電子構成要素 34 内の構成要素から電氣的に隔離される。

40

【0024】

[0033] 図 4 に示すように、PMMA 保持基板 40 は除去され、グラフェンの層 38 は、1 つまたは複数の開口 42 を含むパターンにエッチングされる。例示的な一実施形態においては、開口 42 は、構築中の 3DIC 30 の端部 44 に近接する。別の例示的な実施

50

形態においては、開口 4 2 は、構築中の 3 D I C 3 0 の端部 4 4 から内側に間隔を置いて配置される。例示的な実施形態においては、エッチングは、任意の従来の技法を通じて所望の通りに実施され得る。別の例示的な実施形態においては、開口 4 2 は、エッチング以外のあるプロセスを通じて製造される。

【 0 0 2 5 】

[0034]図 5 を参照すると、酸化物層 4 6 が、グラフェンの層 3 8 の上に成長させられ、イオンカットプロセスを通じて別のシリコンの層 4 8 に接合するために使用される。シリコンの層 4 8 の上面 5 0 は、2 0 1 3 年 2 月 1 2 日に出願された「ION REDUCE D, ION CUT - FORMED THREE - DIMENSIONAL (3 D) I N T E G R A T E D C I R C U I T S (I C) (3 D I C S), A N D R E L A T E D M E T H O D S A N D S Y S T E M S」という名称の米国特許出願第 1 3 / 7 6 5 , 0 8 0 号に説明されているように余分なイオンを除去するために化学機械研磨および酸化プロセスを受けさせ得る。新たなシリコンの層 4 8 は、所望の通りにドーピング（たとえば、p - ドーピング、n - ドーピング）され得る。さらに他のよく知られた準備ステップが、イオンカッティングプロセスに含まれ得る。

【 0 0 2 6 】

[0035]図 6 を参照すると、第 2 の階層の電子構成要素 5 2 が、構築中の 3 D I C 3 0 上に成長させられ、特に、シリコンの層 4 8 上に成長させられる。個々の構成要素 5 3 が、図 7 および図 8 を参照して以下に説明されるように、ビアをもたらすために開口 4 2 に対して配置され得る。グラフェンの層 3 8 を効果的な E M 遮蔽体とするために、グラフェンの層 3 8 は、第 2 の階層の電子構成要素 5 2 内の任意の構成要素 5 3 に電氣的に接続されないことに留意されたい。すなわち、グラフェンの層 3 8 は、第 2 の階層の電子構成要素 5 2 内の構成要素 5 3 から電氣的に隔離される。

【 0 0 2 7 】

[0036]図 7 を参照すると、完成した 3 D I C 5 4 が示される。完成した 3 D I C 5 4 は、端部 4 4 に近接して配置された熱ビア 5 6 を含む。グラフェンの層 3 8 は、優れた熱導体であり、熱ビア 5 6 とともに、熱が 3 D I C 5 4 の中心から端部 4 4 に伝達され、放散され得る。例示的な一実施形態においては、熱ビアは、熱がグラフェンの層 3 8 から熱ビア 5 6 に通過し得るようにグラフェンの層 3 8 に直接接続される。熱ビア 5 6 を端部 4 4 に近接して設置することにより、熱が完成した 3 D I C 5 4 の端部から放散することが可能になる。このような熱放散は、完成した 3 D I C 5 4 の中心部分から熱を効果的に除去し、完成した 3 D I C 5 4 を過熱から保護する。さらに、階層間接続ビア 5 8 が、第 1 の階層の電子構成要素 3 4 内の個々の構成要素を第 2 の階層の電子構成要素 5 2 内の個々の構成要素に接続するために端部 4 4 に対して内部に間隔を置いて配置され得る。階層間接続ビア 5 8 は、開口 4 2 を貫通して延びる。例示的な一実施形態においては、グラフェンの層 3 8 は、接地（図示せず）に接続される。グラフェンの層 3 8 を接地することによって、効果的な E M 遮蔽体が作製される。

【 0 0 2 8 】

[0037]完成した 3 D I C 5 4 の断面図が図 8 に示される。図示されるように、完成した 3 D I C 5 4 は、内部熱ビア 5 6（1 つを示す）ならびに内部に配置された階層間接続ビア 5 8 を含む得る。図 7 と図 8 の両方に示されるように、階層間接続ビア 5 8 は、グラフェンの層 3 8 と階層間接続ビア 5 8 との間に電氣的接続が何もないように、開口 4 2 の縁から間隔をあけて配置される。階層間接続ビア 5 8 とグラフェンの層 3 8 との間の電氣的隔離の維持は、グラフェンの層 3 8 の E M 遮蔽機能を維持するのに役立つ。

【 0 0 2 9 】

[0038]図示されていないが、追加の階層が、第 2 の階層の電子構成要素 5 2 の上面に成長させられ得ることを理解されたい。そのような追加の階層は、本明細書に説明したようにそれらの間に配置された遮蔽体も有し得る。さらに留意すべきこととして、グラフェンについて本明細書の例示的な実施形態に説明されるが、他の物質も遮蔽体として使用され得る。しかし、グラフェンは、その熱伝導性と電子移動度との組合せにより、本明細書に

概説される目的によく適している。したがって、他の適切な材料は、少なくとも銅より5倍大きい熱伝導性と、少なくともシリコンより50倍大きい電子移動度を有する材料を含み得る。

【0030】

[0039]完成した3DIC 54を形成するプロセス70は、図9を参照してまとめられる。プロセス70は、基板32が用意されることから開始される(ブロック72)。そのような用意は、よく理解されるように、ドーピング、隔離トレンチの作製などを含み得る。プロセス70は、第1の階層の電子構成要素34の成長を続ける(ブロック74)。そのような成長は、よく理解されるように、エピタキシャル成長、蒸着、エッチングなどを通じて行われ得る。

10

【0031】

[0040]図9を引き続き参照すると、プロセス70は、グラフェンの層38を第1の階層の電子構成要素34の上に設置することによって継続する(ブロック76)。グラフェンの層38は、前述のように、PMMMA保持基板40の使用を通じて移転され得る。プロセス70は、開口42が所定のパターンによりグラフェンの層38に作製されることによって継続する(ブロック78)。開口42は、所望の通りエッチングまたは同様のプロセスを通じて作製され得る。

【0032】

[0041]引き続き図9を参照すると、プロセスは第2のシリコン層48をグラフェンの層38の上に移転することによって継続する(ブロック80)。第2のシリコン層48は、よく知られているように、イオンカッティングプロセスを通じて移転され得る。第2のシリコン層48は、イオンを除去し、表面を平滑にし、そうでなければ第2の階層の電子構成要素52に第2のシリコン層48を用意するように処理され得る(ブロック82)。すなわち、第2のシリコン層48を処理した後、第2の階層の電子構成要素52が定義される(ブロック84)。第2の階層の電子構成要素52の定義は、よく理解されるように、エピタキシャル成長、蒸着、エッチングなどを通じてであり得る。次いで、ビア56および58が形成され(ブロック86)、図7の完成した3DIC 54が仕上がる。追加の遮蔽層を有する追加の階層の電子構成要素が必要に応じて設けられ得る。

20

【0033】

[0042]本明細書に開示する実施形態によるグラフェン遮蔽体を有する3DICは、任意のプロセッサベースのデバイスに設けられ得る、または任意のプロセッサベースのデバイス中に統合され得る。例としては、限定はしないが、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、モバイルフォン、セルラーフォン、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、携帯情報端末(PDA)、モニタ、コンピュータモニタ、テレビジョン、チューナー、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、およびポータブルデジタルビデオプレーヤがある。

30

【0034】

[0043]この点において、図10は、3DICを採用することができるプロセッサベースのシステム110の例を示す。この例においては、プロセッサベースのシステム110は、各々が1つまたは複数のプロセッサ114を含む、1つまたは複数の中央処理装置(CPU)112を含む。CPU112は、一時的に記憶されたデータへの高速アクセスのためにプロセッサ114に結合されたキャッシュメモリ116を有し得る。CPU112は、システムバス118に結合され、プロセッサベースのシステム110に含まれるマスタデバイスとスレーブデバイスとを相互結合することができる。よく知られているように、CPU112は、システムバス118を介してアドレス、制御、およびデータ情報を交換することによって、これらの他のデバイスと通信する。たとえば、CPU112は、バストランザクション要求をメモリコントローラ120に通信することができる。図10には

40

50

示されていないが、複数のシステムバス 118 が与えられ得、各システムバス 118 は異なるファブリック (fabric) を構成する。

【 0035 】

[0044]他のデバイスはシステムバス 118 に接続され得る。図 10 に示されるように、これらのデバイスには、例として、メモリシステム 122、1つまたは複数の入力デバイス 124、1つまたは複数の出力デバイス 126、1つまたは複数のネットワークインターフェースデバイス 128、および1つまたは複数のディスプレイコントローラ 130 がある。入力デバイス 124 は、限定はしないが、入力キー、スイッチ、音声プロセッサなどを含む、任意のタイプの入力デバイスを含むことができる。出力デバイス 126 は、限定はしないが、オーディオ、ビデオ、他の視覚的インジケータなどを含む、任意のタイプの出力デバイスを含むことができる。ネットワークインターフェースデバイス 128 は、ネットワーク 132 との間でデータの交換を可能にするように構成された任意のデバイスであり得る。ネットワーク 132 は、限定はしないが、ワイヤードネットワークまたはワイヤレスネットワーク、プライベートネットワークまたは公衆ネットワーク、ローカルエリアネットワーク (LAN)、ワイドローカルエリアネットワーク (WLAN)、およびインターネットを含む、任意のタイプのネットワークであり得る。ネットワークインターフェースデバイス 128 は、所望の任意のタイプの通信プロトコルをサポートするように構成され得る。メモリシステム 122 は、1つまたは複数のメモリユニット 134 (0 ~ N) を含むことができる。

10

【 0036 】

[0045]CPU 112 は、1つまたは複数のディスプレイ 136 に送られる情報を制御するためにシステムバス 118 を介してディスプレイコントローラ 130 にアクセスするようにも構成され得る。ディスプレイコントローラ 130 は、1つまたは複数のビデオプロセッサ 138 を介して表示されるべき情報をディスプレイ 136 に送り、1つまたは複数のビデオプロセッサ 138 は、表示されるべき情報をディスプレイ 136 に好適なフォーマットに処理する。ディスプレイ 136 は、限定はしないが、陰極線管 (CRT)、液晶ディスプレイ (LCD)、プラズマディスプレイなどを含む、任意のタイプのディスプレイを含むことができる。

20

【 0037 】

[0046]本明細書に開示する実施形態に関連して説明された様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムは、電子ハードウェア、メモリまたは別のコンピュータ可読媒体に記憶されおよびプロセッサまたは他の処理デバイスまたは両方の組合せによって実行される命令として実装され得ることを当業者はさらに理解されよう。本明細書に説明されるアービタ、マスタデバイス、およびスレーブデバイスは、例として、任意の回路、ハードウェア構成要素、集積回路 (IC)、または IC チップで採用され得る。本明細書に開示するメモリは、任意のタイプおよびサイズのメモリであり得、任意のタイプの所望の情報を記憶するように構成され得る。この互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップについて、上記では概してそれらの機能に関して説明してきた。そのような機能がどのように実装されるかは、特定の適用例、設計選択、および/または全体的なシステムに課された設計制約に依存する。各特定の適用例に対して様々なやり方で、説明された機能を当業者は実装し得るが、そのような実装の決定は、本開示の範囲から逸脱させるものと解釈すべきではない。

30

【 0038 】

[0047]本明細書に開示する実施形態に関連して説明した様々な例示的な論理ブロック、モジュール、および回路は、プロセッサ、DSP、特定用途向け集積回路 (ASIC)、FPGA もしくは他のプログラマブル論理デバイス、個別ゲートもしくはトランジスタロジック、個別ハードウェア構成要素、または本明細書に説明した機能を実行するように設計されたそれらの任意の組合せを用いて実装または実行され得る。プロセッサはマイクロプロセッサであり得るが、代替として、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、または状態機械であり得る。プロセッサはまた、コンピ

40

50

ューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つまたは複数のマイクロプロセッサ、あるいは任意の他のそのような構成として実装され得る。

【0039】

[0048]本明細書に開示する実施形態は、ハードウェアおよびハードウェアに記憶された命令で具現化され得、たとえば、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読み出し専用メモリ(ROM)、電気的プログラマブルROM(EPROM)、電気的消去可能プログラマブルROM(EEPROM(登録商標))、レジスタ、ハードディスク、取外し可能ディスク、CD-ROM、または当技術分野で知られているコンピュータ可読媒体の任意の他の形態中に常駐し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるようにプロセッサに結合される。代替として、記憶媒体はプロセッサと一体であり得る。プロセッサおよび記憶媒体は、ASIC中に常駐し得る。ASICは遠隔局中に常駐し得る。代替として、プロセッサおよび記憶媒体は、個別構成要素として遠隔局、基地局、またはサーバ中に常駐し得る。

10

【0040】

[0049]また、本明細書の例示的な実施形態のいずれかにおいて説明した動作ステップは、例および説明を与えるために説明したものであることに留意されたい。説明した動作は、図示したシーケンス以外の多数の異なるシーケンスで実行され得る。さらに、単一の動作ステップで説明した動作は、実際はいくつかの異なるステップで実行され得る。さらに、例示的な実施形態において説明した1つまたは複数の動作ステップは組み合わせられ得る。フローチャート図に示した動作ステップは、当業者には容易に明らかになるように、多数の様々な修正を受け得ることを理解されたい。情報および信号が様々な異なる技術および技法のいずれかを使用して表され得ることも当業者は理解されよう。たとえば、上記の説明全体を通して参照され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁界もしくは磁気粒子、光場もしくは光学粒子、またはそれらの任意の組合せによって表され得る。

20

【0041】

[0050]本開示のこれまでの説明は、当業者が本開示を製造し使用することを可能にするために提供される。本開示への様々な修正は、当業者には容易に明らかになり、本明細書に定義した一般的な原理は、本開示の精神または範囲から逸脱することなく他の変形に適用され得る。したがって、本開示は、本明細書に説明した例および設計に限定されることが意図されていないが、本明細書に開示した原理および新規の特徴に合致した最も広い範囲が与えられることが意図されている。

30

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

[C1]

第1の構成要素を備えた第1の半導体集積回路階層と、

前記第1の半導体集積回路階層に対して垂直方向に配置された第2の構成要素を備えた第2の半導体集積回路階層と、

少なくとも1つのグラフェン層が前記第1または第2の構成要素の一部とならないように、前記第1の半導体集積回路階層と前記第2の半導体集積回路階層との間に配置された前記少なくとも1つのグラフェン層と、

40

を備えるモノリシック三次元(3D)集積回路(3DIC)。

[C2]

前記少なくとも1つのグラフェン層が、接地に結合され、前記第1の半導体集積回路階層と前記第2の半導体集積回路階層との間に電磁遮蔽を提供する、C1に記載のモノリシック3DIC。

[C3]

前記少なくとも1つのグラフェン層が、前記第1および第2の半導体集積回路階層内の内部に配置された能動素子から熱を伝導して放熱するように構成される、C1に記載のモ

50

ノリシック 3 D I C。

[C 4]

前記少なくとも 1 つのグラフェン層が、少なくとも 1 つの開口を定義する、C 1 に記載のモノリシック 3 D I C。

[C 5]

前記少なくとも 1 つの開口を貫通し、前記第 1 の半導体集積回路階層内の第 1 の能動構成要素と、前記第 2 の半導体集積回路階層内の第 2 の能動構成要素とを結合する導電性ビアをさらに備える、C 4 に記載のモノリシック 3 D I C。

[C 6]

前記少なくとも 1 つのグラフェン層に熱的に接触している熱ビアをさらに備える、C 1 に記載のモノリシック 3 D I C。

10

[C 7]

モノリシック 3 D I C が外縁を備え、前記少なくとも 1 つの開口が前記外縁に近接している、C 4 に記載のモノリシック 3 D I C。

[C 8]

前記モノリシック 3 D I C が中心を備え、前記少なくとも 1 つの開口が前記中心に近接している、C 4 に記載のモノリシック 3 D I C。

[C 9]

前記モノリシック 3 D I C が外縁を備え、前記少なくとも 1 つの開口が前記外縁から内側に間隔を置いて配置される、C 4 に記載のモノリシック 3 D I C。

20

[C 1 0]

前記少なくとも 1 つの開口中を通る熱ビアをさらに備える、C 7 に記載のモノリシック 3 D I C。

[C 1 1]

前記第 1 の半導体集積回路階層を前記第 2 の半導体集積回路階層に接合する接合層をさらに備え、前記少なくとも 1 つのグラフェン層が、前記第 1 の半導体集積回路階層内の前記接合層より下に配置される、C 1 に記載のモノリシック 3 D I C。

[C 1 2]

前記第 1 の半導体集積回路階層を前記第 2 の半導体集積回路階層に接合する接合層をさらに備え、前記少なくとも 1 つのグラフェン層が、前記第 2 の半導体集積回路階層内の前記接合層より上に配置される、C 1 に記載のモノリシック 3 D I C。

30

[C 1 3]

前記接合層がアニールされた酸化物層を備える、C 1 1 に記載のモノリシック 3 D I C。

[C 1 4]

半導体ダイ中に統合される、C 1 に記載のモノリシック 3 D I C。

[C 1 5]

前記モノリシック 3 D I C が統合される、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、モバイルフォン、セルラーフォン、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、携帯情報端末 (P D A)、モニター、コンピュータモニター、テレビジョン、チューナー、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク (D V D) プレーヤ、およびポータブルデジタルビデオプレーヤからなる群から選択されたデバイスをさらに備える、C 1 に記載のモノリシック 3 D I C。

40

[C 1 6]

第 1 の構成要素を備えた半導体階層を設けるための第 1 の手段と、

前記半導体階層を設けるための前記第 1 の手段に対して垂直方向に配置された第 2 の構成要素を備えた半導体階層を設けるための第 2 の手段と、

50

少なくとも一つのグラフェン層が前記第 1 または第 2 の構成要素の一部とならないように、半導体階層を設けるための前記第 1 の手段と半導体階層を設けるための前記第 2 の手段との間に配置された前記少なくとも一つのグラフェン層と、
を備えるモノリシック三次元（3D）集積回路（3DIC）。

[C 1 7]

第 1 の構成要素を備えた第 1 の半導体階層を設けることと、
前記第 1 の半導体階層の表面上に少なくとも一つのグラフェンの層を配置することと、
前記少なくとも一つのグラフェンの層から前記第 1 の構成要素を電氣的に隔離することと、

前記少なくとも一つのグラフェンの層が前記第 1 の半導体階層と前記第 2 の半導体階層との間にあり、前記第 2 の構成要素が前記少なくとも一つのグラフェンの層から電氣的に隔離されるように前記少なくとも一つのグラフェンの層の上に第 2 の構成要素を備えた第 2 の半導体階層を設けることと、

を備えるモノリシック三次元（3D）集積回路（3DIC）を形成する方法。

[C 1 8]

前記少なくとも一つのグラフェンの層中に開口を設けることをさらに備える、C 1 7 に記載の方法。

[C 1 9]

前記第 1 の半導体階層内の第 1 の素子を前記第 2 の半導体階層内の第 2 の素子に電氣的に結合するために前記開口中を通る導電性ビアをさらに備える、C 1 8 に記載の方法。

[C 2 0]

前記モノリシック 3DIC 内の熱を伝導するために前記開口中を通る熱ビアをさらに備える、C 1 8 に記載の方法。

【図 1 A】

図 1A

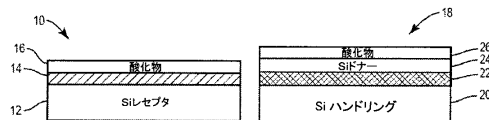


FIG. 1A
従来技術

【図 1 C】

図 1C

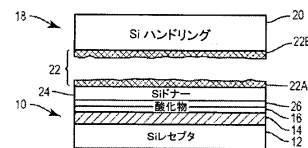


FIG. 1C
従来技術

【図 1 B】

図 1B

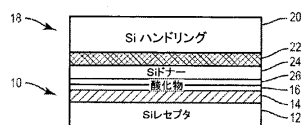


FIG. 1B
従来技術

【図 1 D】

図 1D

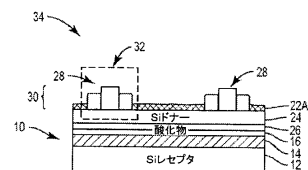
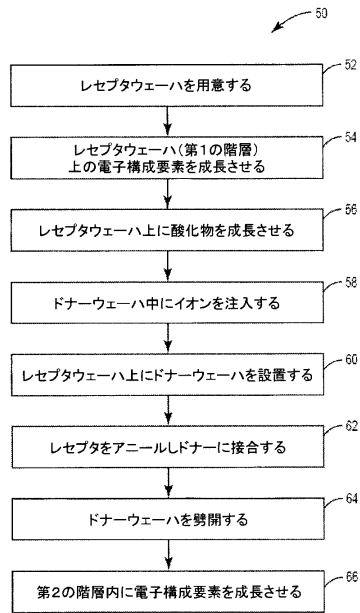


FIG. 1D
従来技術

【図 2】

図 2

FIG. 2
従来技術

【図 3】

図 3

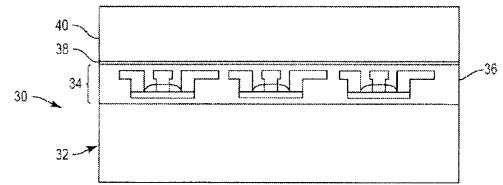


FIG. 3

【図 4】

図 4

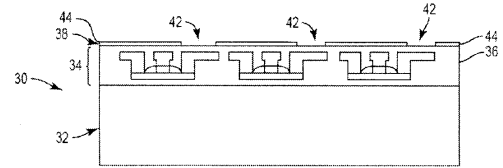


FIG. 4

【図 5】

図 5

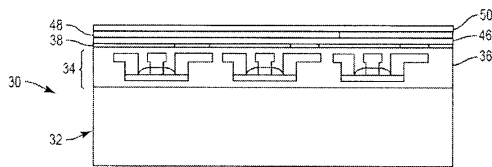


FIG. 5

【図 7】

図 7

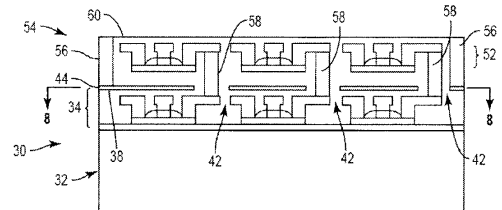


FIG. 7

【図 6】

図 6

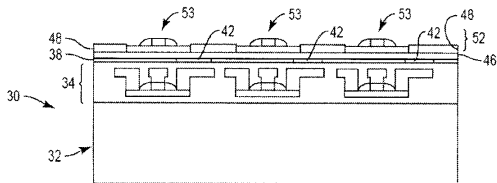


FIG. 6

【図 8】

図 8

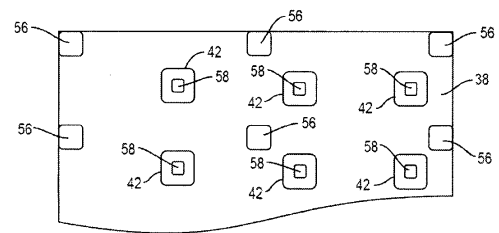


FIG. 8

【図 9】

図 9

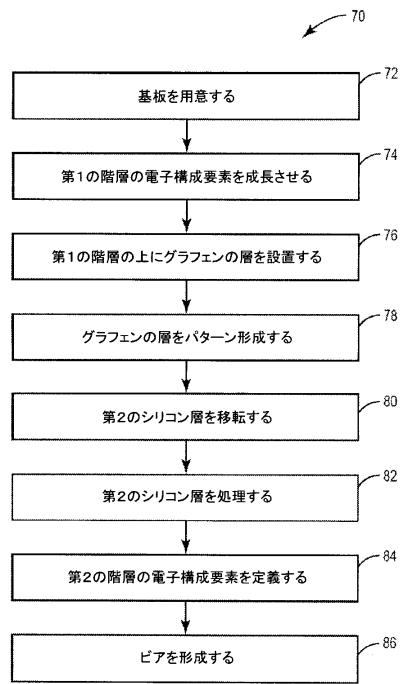


FIG. 9

【図 10】

図 10

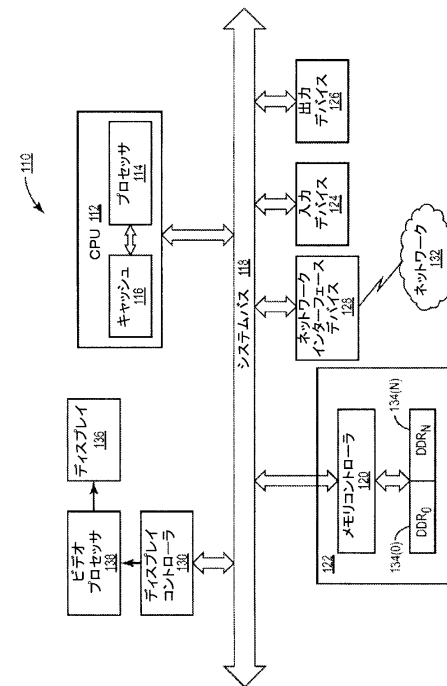


FIG. 10

 フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 2 6 C
 H 0 1 L 21/336 (2006.01)

(72)発明者 ドゥ、ヤン
 アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
 7 5

審査官 宇多川 勉

(56)参考文献 米国特許出願公開第 2 0 1 2 / 0 3 1 3 2 2 7 (U S , A 1)
 特表 2 0 1 3 - 5 2 2 8 7 3 (J P , A)
 特開昭 6 3 - 1 5 5 6 5 3 (J P , A)
 特開昭 6 2 - 2 5 4 4 5 9 (J P , A)
 特開 2 0 1 2 - 0 0 4 5 6 0 (J P , A)
 特開 2 0 1 3 - 1 7 9 1 7 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 7 / 0 0
 H 0 1 L 2 7 / 0 4
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 9 / 7 8 6