



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201737618 A

(43)公開日：中華民國 106 (2017) 年 10 月 16 日

(21)申請案號：104132272

(22)申請日：中華民國 104 (2015) 年 09 月 30 日

(51)Int. Cl. : *H03F1/02 (2006.01)* *H03F1/22 (2006.01)*  
*H03F3/68 (2006.01)*

(30)優先權：2015/02/15 美國 62/116,508  
 2015/09/22 美國 14/860,971

(71)申請人：西凱渥資訊處理科技公司 (美國) SKYWORKS SOLUTIONS, INC. (US)  
 美國

(72)發明人：勒托拉 菲利浦 約翰 LEHTOLA, PHILIP JOHN (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：21 共 37 頁

(54)名稱

用於增強散熱耐用性之疊接放大器分段

CASCODE AMPLIFIER SEGMENTATION FOR ENHANCED THERMAL RUGGEDNESS

(57)摘要

根據一些實施，一種功率放大器包括複數對電晶體，每一對電晶體包括以一疊接組態配置之一共發射極電晶體及一共基極電晶體。該功率放大器進一步包括經實施以在一輸入節點與一輸出節點之間以一並聯組態連接該複數對的電連接件。根據一些實施，該等電連接件經組態以將一集極電流分配至所有該等共基極電晶體，以藉此減小在一熱失控事件期間對一或多個共基極電晶體之損害的可能性。

According to some implementation, a power amplifier includes a plurality of pairs of transistors, each pair of transistors including a common emitter transistor and a common base transistor arranged in a cascode configuration. The power amplifier further includes electrical connections implemented to connect the plurality of pairs in a parallel configuration between an input node and an output node. According to some implementations, the electrical connections are configured to distribute a collector current to all of the common base transistors to thereby reduce likelihood of damage to one or more common base transistors during a thermal run-away event.

指定代表圖：

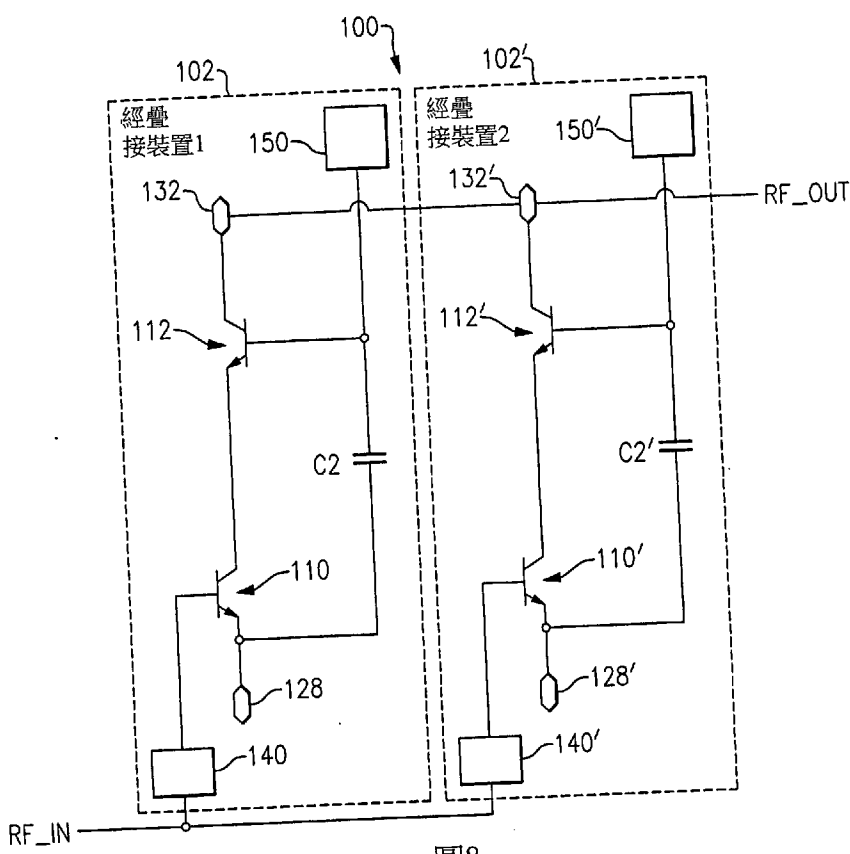


圖8

符號簡單說明：

- 100 . . . 獨立疊接陣列
- 102 . . . 經疊接裝置
- 102' . . . 經疊接裝置
- 110 . . . 共發射極 (CE)裝置/RF 電晶體
- 110' . . . RF 電晶體
- 112 . . . 共基極(CB)裝置/疊接電晶體
- 112' . . . 疊接電晶體
- 128 . . . 接地
- 132 . . . 供電電壓節點/集極
- 132' . . . 集極
- 140 . . . 輸入偏壓電路
- 140' . . . 輸入偏壓電路
- 150 . . . 疊接偏壓電路
- 150' . . . 疊接偏壓電路
- C2 . . . 疊接旁路電容

201737618

## 發明摘要

※ 申請案號：104132272

※ 申請日：1040930

※IPC 分類：H03F 1/02 (2006.01)

H03F 1/22 (2006.01)

H03F 3/68 (2006.01)

## 【發明名稱】

用於增強散熱耐用性之疊接放大器分段

CASCODE AMPLIFIER SEGMENTATION FOR ENHANCED  
THERMAL RUGGEDNESS

## 【中文】

根據一些實施，一種功率放大器包括複數對電晶體，每一對電晶體包括以一疊接組態配置之一共發射極電晶體及一共基極電晶體。該功率放大器進一步包括經實施以在一輸入節點與一輸出節點之間以一並聯組態連接該複數對的電連接件。根據一些實施，該等電連接件經組態以將一集極電流分配至所有該等共基極電晶體，以藉此減小在一熱失控事件期間對一或多個共基極電晶體之損害的可能性。

## 【英文】

According to some implementation, a power amplifier includes a plurality of pairs of transistors, each pair of transistors including a common emitter transistor and a common base transistor arranged in a cascode configuration. The power amplifier further includes electrical connections implemented to connect the plurality of pairs in a parallel configuration between an input node and an output node. According to some implementations, the electrical connections are configured to distribute a collector current to all of the common base transistors to thereby reduce likelihood of damage to one or more common base transistors during a thermal run-away event.

【代表圖】

【本案指定代表圖】：第（8）圖。

【本代表圖之符號簡單說明】：

- 100           獨立疊接陣列
- 102           經疊接裝置
- 102'          經疊接裝置
- 110           共發射極(CE)裝置/RF電晶體
- 110'          RF電晶體
- 112           共基極(CB)裝置/疊接電晶體
- 112'          疊接電晶體
- 128           接地
- 132           供電電壓節點/集極
- 132'          集極
- 140           輸入偏壓電路
- 140'          輸入偏壓電路
- 150           疊接偏壓電路
- 150'          疊接偏壓電路
- C2           疊接旁路電容

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

用於增強散熱耐用性之疊接放大器分段

CASCODE AMPLIFIER SEGMENTATION FOR ENHANCED  
THERMAL RUGGEDNESS

## 對相關申請案之交叉參考

本申請案主張題為「CASCODE AMPLIFIER SEGMENTATION FOR ENHANCED THERMAL RUGGEDNESS」之2015年2月15日申請的美國臨時申請案第62/116,508號及題為「CASCODE AMPLIFIER SEGMENTATION FOR ENHANCED THERMAL RUGGEDNESS」之2015年9月22日申請的美國申請案第14/860,971號之優先權，該等申請案中每一者之揭示內容在此明確地被以引用之方式全部併入本文中。

## 【技術領域】

本發明係關於射頻(RF)應用中之功率放大器。

## 【先前技術】

諸如無線裝置之許多裝置需要或利用疊接放大器結構以自高效能射頻(RF)功率陣列元件來解耦效能降級熱保護解決方案。

在一些應用中，散熱耐用性可藉由增加功率陣列中之裝置之間的距離且藉由經由鎮流技術而建置之陣列中。此等技術可在功率陣列內之裝置中的每一者處引入局部回饋。

陣列之散開可減小鄰接陣列元件之加熱且可有效地減小陣列至散熱結構的熱阻。此技術可導致陣列的增大之區域，且亦可增大對應的晶粒大小及成本。

鎮流技術常常呈發射極退化或基極退化之形式。此等解決方案

可在RF信號路徑中帶來損失，其可使增益、效率及飽和功率降級，藉此降低性能。利用疊接架構之其他解決方案可包括疊接發射極之共同連接，其通常涉及疊接裝置之鎮流以防止熱失控。

### 【發明內容】

根據多個實施，本發明係關於一種功率放大器，其包括複數對電晶體，每一對電晶體包括以一疊接組態配置之一共發射極電晶體及一共基極電晶體。該功率放大器進一步包括電連接件，其經實施以在一輸入節點與一輸出節點之間以一並聯組態連接該複數對，該等電連接件經組態以分配一集極電流至所有該等共基極電晶體以藉此減小一熱失控事件期間對一或多個共基極電晶體之損害的可能性。

在一些實施中，對於該複數對電晶體中之每一者，該共發射極電晶體之該發射極經由一旁路電容耦接至該共基極電晶體之該基極。

在一些實施中，對於該複數對電晶體中之每一者而言，該共發射極電晶體之該基極耦接至一輸入偏壓電路。在一些實施中，該輸入偏壓電路包括一射頻(RF)鎮流電阻。在一些實施中，該複數對電晶體之該等輸入偏壓電路耦接至一共RF輸入端。

在一些實施中，對於該複數對電晶體中之每一者而言，該共發射極電晶體之該發射極耦接至一接地電位。

在一些實施中，對於該複數對電晶體中之每一者而言，該共基極電晶體之該基極耦接至一疊接偏壓電路。在一些實施中，該疊接偏壓電路包括一疊接鎮流電阻。

在一些實施中，對於該複數對電晶體中之每一者而言，該共基極電晶體之該集極耦接至一供電電壓。

在一些實施中，該複數對電晶體中的該等共基極電晶體之該等集極經耦接以產生一共RF輸出。

在一些實施中，本發明係關於一種射頻(RF)模組，其包括經組態

以收納複數個組件之一封裝基板。RF模組進一步包括實施於該封裝基板上之一功率放大系統，該功率放大系統包括經組態以接收並放大一RF信號之一功率放大器(PA)。該PA包括複數對電晶體，每一對電晶體包括以一疊接組態配置之一共發射極電晶體及一共基極電晶體。該PA進一步包括電連接件，其經實施以在一輸入節點與一輸出節點之間以一並聯組態連接該複數對，該等電連接件經組態以分配一集極電流至所有該等共基極電晶體以藉此減小一熱失控事件期間對一或多個共基極電晶體之損害的可能性。

根據一些實施，RF模組之PA包括本文中所描述之PA及/或放大系統中任一者的功能及/或特徵。

根據一些教示內容，本發明係關於一種射頻(RF)裝置，該射頻(RF)裝置包括產生RF信號的收發器。該RF裝置亦包括與該收發器通信之一前端模組(FEM)，該FEM包括經組態以收納複數個組件之一封裝基板。FEM進一步包括經組態以並放大該RF信號之一功率放大器(PA)。該PA包括複數對電晶體，每一對電晶體包括以一疊接組態配置之一共發射極電晶體及一共基極電晶體。該PA進一步包括電連接件，其經實施以在一輸入節點與一輸出節點之間以一並聯組態連接該複數對，該等電連接件經組態以分配一集極電流至所有該等共基極電晶體以藉此減小一熱失控事件期間對一或多個共基極電晶體之損害的可能性。RF裝置進一步包括與該FEM通信之一天線，該天線經組態以傳輸該經放大RF信號。

在一些實施中，RF裝置包括一無線裝置。在一些實施中，無線裝置為蜂巢式電話。

根據一些實施，FEM模組之PA包括本文中所描述之PA及/或放大系統中任一者的功能及/或特徵。

出於概述本發明之目的，本文中已描述本發明之某些態樣、優

點及新穎特徵。應理解，根據本發明之任何特定實施例未必可達成所有此等優點。因此，可以達成或最佳化如本文所教示之一個優點或優點之群組而未必達成如可在本文中教示或建議之其他優點的方式來體現或進行本發明。

### 【圖式簡單說明】

為了可更詳細地理解本發明，可能已參考各種實施之特徵來進行更特定描述，各種實施中的一些係於附圖中說明。然而，附圖僅說明本發明之更多相干特徵，且因此不應考慮為限制性的，對於描述，可容許其他有效特徵。

圖1為根據一些實施之無線系統或架構的方塊圖。

圖2為根據一些實施之放大系統的方塊圖。

圖3A至圖3E展示根據一些實施之功率放大器的示意圖。

圖4為根據一些實施之放大系統的方塊圖。

圖5A為根據一些實施之經疊接裝置之陣列的示意圖。

圖5B展示根據一些實施之經由圖5A中之經疊接裝置之陣列之一實例集極電流路徑。

圖6為根據一些實施之獨立疊接陣列的示意圖。

圖7為根據一些實施之經疊接裝置的示意圖。

圖8為根據一些實施之兩個經疊接裝置之陣列的示意圖。

圖9為根據一些實施之形成經疊接裝置之共發射極(CE)/共基極(CB)對及相關連接件之一實例佈局。

圖10為根據一些實施之形成經疊接裝置之兩個CE/CB對及相關連接之一實例佈局。

圖11為根據一些實施之二維陣列中之CE/CB對之一實例佈局。

圖12展示根據一些實施之為裝置間距之函數的溫度上升曲線。

圖13展示根據一些實施之在各種操作條件下的振幅與振幅(AM-

AM)失真效能曲線圖。

圖14展示根據一些實施之在各種操作條件下的振幅與相位(AM-PM)失真效能曲線圖。

圖15展示根據一些實施之在各種操作條件下集極效率對輸出功率以及功率附加效率對輸出功率的效能曲線圖。

圖16展示根據一些實施之圖15中之效能曲線圖的放大圖。

圖17展示根據一些實施之作為輸出功率之函數之經調整通道洩漏比率(ACLR1)曲線的效能曲線圖。

圖18展示根據一些實施之圖17中之效能曲線圖的放大圖。

圖19展示根據一些實施之作為輸出功率之函數之ACLR2曲線的效能曲線圖。

圖20為根據一些實施之一實例射頻(RF)模組的示意圖。

圖21為根據一些實施之一實例RF裝置的示意圖。

根據慣例，圖式中所說明之各種特徵可能並非按比例繪製。因此，為清楚起見，可任意擴大或減小各種特徵的尺寸。另外，一些圖式可能未描繪給定系統、方法或裝置的所有組件。最後，可貫穿說明書及諸圖使用類似參考數字來表示類似特徵。

### 【實施方式】

本文中所提供之標題(若存在)僅係為方便起見，且未必影響所主張發明之範疇或含義。

參看圖1，本發明之一或多個特徵大體上係關於具有一放大系統52之無線系統或架構50。在一些實施例中，放大系統52可係實施為一或多個裝置，且此(等)裝置可用於無線系統/架構50中。在一些實施例中，無線系統/架構50可係實施於(例如)攜帶型無線裝置中。本文中描述此類無線裝置之實例。

圖2展示圖1之放大系統52通常包括具有一或多個功率放大器(PA)

之射頻(RF)放大器總成54。在圖2之實例中，三個PA 60a至60c被描繪為形成RF放大器總成54。應理解，亦可實施其他數目個PA。亦應理解，本發明之一或多個特徵亦可係實施於具有其他類型之RF放大器的RF放大器總成中。

在一些實施例中，RF放大器總成54可係實施於一或多個半導體晶粒上，且此晶粒可被包括於諸如功率放大器模組(PAM)或前端模組(FEM)之封裝模組中。此封裝模組通常係安裝於與(例如)攜帶型無線裝置相關聯之電路板上。

放大系統52中之PA (例如，60a至60c)通常係由偏壓系統56加偏壓。另外，PA之供電電壓通常係由供電系統58來提供。在一些實施例中，偏壓系統56及供電系統58中之任一者或兩者可被包括於具有RF放大器總成54的前述封裝模組中。

在一些實施例中，放大系統52可包括匹配網路62。此匹配網路可經組態以向RF放大器總成54提供輸入匹配及/或輸出匹配功能性。

出於描述之目的，應理解，圖2之每一PA (60)可以多種方式實施。圖3A至圖3E展示可如何組態此PA之非限制性實例。圖3A展示具有一放大電晶體64之一實例PA，其中輸入RF信號(RF\_in)被提供至電晶體64之基極，且經放大RF信號(RF\_out)經由電晶體64之集極輸出。

圖3B展示具有按級配置之複數個放大電晶體(例如，64a、64b)的一實例PA。輸入RF信號(RF\_in)被提供至第一電晶體64a之基極，且來自第一電晶體64a之經放大RF信號經由其集極輸出。來自第一電晶體64a之經放大RF信號被提供至第二電晶體64b之基極，且來自第二電晶體64b之經放大RF信號經由其集極輸出，以藉此產生PA之輸出RF信號(RF\_out)。

在一些實施例中，圖3B之前述實例PA組態可描繪為如圖3C中所示之兩個或兩個以上級。第一級64a可經組態為(例如)驅動器級；且

第二級64b可經組態為(例如)輸出級。

圖3D展示，在一些實施例中，PA可經組態為杜赫(Doherty) PA。此杜赫PA可包括放大電晶體64a、64b，其經組態以提供輸入RF信號(RF\_in)之載波放大及峰值放大，以產生經放大輸出RF信號(RF\_out)。該輸入RF信號可由分裂器分裂成載波部分及峰值部分。經放大之載波信號與峰值信號可由組合器組合以產生輸出RF信號。

圖3E展示在一些實施例中，PA可以疊接組態實施。輸入RF信號(RF\_in)可被提供至作為共發射極裝置操作的第一放大電晶體64a之基極。第一放大電晶體64a之輸出可經由其集極提供，且經提供至作為共基極裝置操作的第二放大電晶體64b之發射極。第二放大電晶體64b之輸出可經由其集極提供，以便產生PA之經放大輸出RF信號(RF\_out)。

在圖3A至圖3E之各種實例中，放大電晶體經描述為雙極接面電晶體(BJT),諸如，異質接面雙極電晶體(HBT)。應理解，本發明之一或多個特徵亦可實施於諸如場效電晶體(FET)之其他類型之電晶體中，或與該等其他類型之電晶體一起實施。

圖4展示，在一些實施例中，圖2之放大系統52可實施為高電壓(HV)功率放大系統70。此系統可包括一HV功率放大器總成54，其經組態以包括一些或所有PA (例如，60a至60c)之HV放大操作。如本文所描述，此等PA可由偏壓系統56加偏壓。在一些實施例中，前述HV放大操作可由HV供電系統58來促進。在一些實施例中，介面系統72可經實施以提供HV功率放大器總成54與偏壓系統56及HV供電系統58中任一者或兩者之間的介面功能性。

功率放大器(PA)常常包括具有並行操作之多個半導體裝置的輸出功率陣列。雖然需要使個別裝置中之每一者在準確相同之條件下操作，但裝置之間的缺陷以及跨陣列之溫度梯度可引起其操作點的變

化。在極端條件下，裝置中之一者可熱失控，從而使功率陣列崩潰，且藉此導致永久性故障。此問題在以較高供電電壓操作時可變得更複雜，此係由於更多電力耗散被引入於陣列中。

本文中所描述為與使用疊接放大器結構以自高效能射頻(RF)功率陣列元件解耦效能降級熱保護解決方案相關的實例。

在一些應用中，散熱耐用性可藉由增加功率陣列中之裝置之間的距離且藉由經由鎮流技術而建置之陣列中。此等技術可在功率陣列內之裝置中的每一者處引入局部回饋。

陣列之散開可減小鄰接陣列元件之加熱且可有效地減小陣列至散熱結構的熱阻。此技術可導致陣列之增大之區域，且亦可增大對應的晶粒大小及成本。

鎮流技術常常呈發射極退化或基極退化之形式。此等解決方案可在RF信號路徑中帶來損失，其可使增益、效率及飽和功率降級，藉此降低效能。利用疊接架構之其他解決方案可包括疊接發射極之共同連接，其通常涉及疊接裝置之鎮流以防止熱失控。

本文所述為與可以較高供電電壓操作之疊接PA架構相關的一或多個特徵。此較高供電電壓操作可使熱問題更複雜，此係由於每單位面積之功率傾向於隨著增大之電壓而增大。利用較高供電電壓，疊接PA架構可經分段，使得每一個別功率陣列元件具有至其關聯疊接元件的獨立連接。所得結構可迫使大多數供電電壓及電力耗散跨疊接元件，且可減小跨RF功率裝置的最大電壓為(例如)小於1 V。跨RF裝置之低電壓可減小或消除對於鎮流的要求，而疊接裝置之個別連接件可提供用於疊接陣列之自鎮流功能性以藉此防止或減少熱失控。

在一些實施例中，具有如本文中所描述之一或多個特徵的疊接PA架構可經實施以便減小功率陣列之陣列佔據面積，同時維持高增益。由於高功率耗散跨歸因於個別連接件經自鎮流之疊接裝置置放，

此等裝置可比其他組態更靠近地置放在一起，且仍需要RF陣列裝置之較少鎮流。

圖5A展示一實例陣列90，其中複數個經疊接裝置92經並聯配置，且具有疊接分段之鎮流及RF陣列的增加之鎮流以防止電流擁堵及熱失控。此組態導致經疊接裝置如由94所指示而耦接。

圖5B展示圖5A之相同實列陣列90。在圖5B中，描繪一實例集極電流路徑96。在熱失控事件期間可經歷此集極電流。在此事件中，實質上所有集極電流可穿過單一共基極電晶體(例如，右上電晶體)，藉此損害電晶體。

圖6展示獨立疊接陣列100之實例，其可經組態以迫使集極電流跨所有共基極電晶體更均勻分配。因此，在熱失控事件期間可減小或消除損害的可能性。

在圖6中，每一經疊接裝置係指示為102。圖7展示此經疊接裝置之更詳細實例，且圖8展示複數個此等經疊接裝置可如何經配置以形成陣列。

在圖7之實例中，經疊接裝置102經展示以包括經耦接至共基極(CB)裝置112 (在本文中亦被稱作疊接電晶體)的共發射極(CE)裝置110 (在本文中亦被稱作RF電晶體)。RF電晶體110之發射極係展示為經由疊接旁路電容C2耦接至疊接電晶體112之基極。

RF電晶體110之基極係展示為經耦接至RF鎮流電阻R2。又，RF鎮流電阻R2經耦接至節點126。偏壓輸入120、RF輸入122及第二諧波輸入124與節點126係並聯耦接。如圖7中所展示，偏壓輸入120係經由DC鎮流電阻R1耦接至節點126，RF輸入122係經由DC阻斷電容C1耦接至節點126，且第二諧波輸入124係經由電容C3耦接至節點126。R1，C1，C3，節點126、R2及輸入120、122、124為易於參考而被共同稱為輸入偏壓電路140。

疊接電晶體112之基極係展示為與疊接鎮流電阻148串聯地耦接至偏壓輸入端130，為易於參考，其被通稱為疊接偏壓電路150。RF電晶體110之發射極可經耦接至接地128，且疊接電晶體112之集極可經耦接至供電電壓節點132。

圖8展示具有兩個經疊接裝置102、102'之陣列100之一實例，該兩個經疊接裝置經配置以便提供隔離性質。每一經疊接裝置類似於圖7之實例。應理解，兩個以上經疊接裝置可以類似方式配置。

在圖8之實例陣列100中，每一經疊接裝置可包括其自身之用於RF電晶體及疊接電晶體的偏壓電路。更明確而言，第一經疊接裝置102之RF電晶體110係展示為具有經耦接至其基極之輸入偏壓電路140，且疊接電晶體112係展示為具有經耦接至其基極之疊接偏壓電路150。類似地，第二經疊接裝置102'之RF電晶體110'係展示為具有經耦接至其基極的輸入偏壓電路140'，且疊接電晶體112'係展示為具有經耦接至其基極的疊接偏壓電路150'。

在圖8之實例中，輸入偏壓電路140、140'之至少一些部分可經耦接以促進(例如)共RF輸入。類似地，疊接電晶體112、112'之集極132、132'可經耦接以產生共RF輸出且接收共供電電壓。

在一些實施例中，圖8之經疊接裝置的陣列可經實施以便產生並聯元件之間的獨立連接。舉例而言，陣列可建置有複數個CE(110)/CB(112)對，而非建置分離CE陣列與分離CB陣列。

圖9展示形成經疊接裝置之CE/CB對及相關連接件之一實例佈局200。實例佈局200類似於圖7中經疊接裝置102之實例，且自該實例調適。此對在與其他對組合時，可產生前述隔離功能性。各種部分及連接件係展示及/或指示於圖9中。應理解，佈局200僅為一實例；且可實施其他佈局。

圖10展示形成類似於圖8之實例之經疊接裝置之兩個CE/CB對及

相關連接件之一實例佈局210。實例佈局210類似於圖8中之兩個經疊接裝置102、102'之陣列100的實例，並自該實例調適。如圖10中所展示，兩個CE/CB對係類似於圖8中之經疊接裝置102、102'經並聯地組合。各種部分及連接係展示及/或指示於圖10中。應理解，佈局210僅為一實例；且可實施其他佈局。

圖11展示18個CE/CB對以二維陣列配置且經並聯電連接之一實例佈局220。在所展示之實例中，CB電晶體(112)中為較高功率裝置的一些及CE電晶體(110)被突出。如圖11中所展示，包括CB 112及CE 110之第一CE/CB在區130中係與包括CB 112'及CE 110'之第二CE/CB對並聯地組合。類似地，包括CB 112''及CE 110''的第三CE/CB對在區130'中係與包括CB 112'''及CE 110'''之第四CE/CB對並聯地組合。

在圖11之實例中，由CB電晶體112佔據之面積為 $160\ \mu\text{m}^2$ ，且由CE電晶體110佔據之面積為 $40\ \mu\text{m}^2$ 。在圖11之實例中，區130中之CB 112與CB112'之中心之間的距離為 $55\ \mu\text{m}$ ，且區130中之CB112'之中心與區130'中CB112''之中心之間的距離為 $70\ \mu\text{m}$ 。在圖11之實例中，CB 112與CB 112'''之中心之間的距離為 $155\ \mu\text{m}$ 。應理解，各種值為僅實例；且可實施其他值。亦應理解，可實施其他數目個對及其他二維組合。

圖12展示作為裝置間距之函數的溫度上升曲線。在約 $55\ \mu\text{m}$ 之最近裝置間距(圖11中)下，溫度升高展示為約 $4^\circ\text{C}$ 。圖12中之曲線假定疊接裝置中 $3000\ \mu\text{W}/\mu\text{m}^2$ 的功率耗散密度。疊接裝置中之實際功率耗散密度為約 $200\ \mu\text{W}/\mu\text{m}^2$ ；因此，溫度升高預期為甚至更低。

圖13及圖14分別展示在經疊接裝置之陣列之各種操作條件下振幅與振幅(AM-AM)失真及振幅與相位(AM-PM)失真的效能曲線圖。圖15展示在經疊接裝置之陣列之類似操作條件下作為輸出功率之函數的集極效率及功率附加效率(PAE)之效能曲線圖。圖16展示圖15之效能

曲線圖的放大圖。圖17展示在經疊接裝置之陣列之類似操作條件下作為輸出功率之函數的經調整通道洩漏比率1 (ACLR1)之效能曲線圖。圖18展示圖17之效能曲線圖的放大圖。圖19展示在經疊接裝置之陣列之類似操作條件下作為輸出功率之函數的ACLR2之效能曲線圖。對於圖13至圖19中之前述曲線圖，經疊接裝置之實例陣列藉由大致10 V之供電電壓操作。

圖20展示，在一些實施例中，與如本文中所描述之疊接架構相關聯的一或多個特徵(例如，圖6、圖8、圖10及圖11中之陣列100)可以射頻(RF)模組來實施。此模組可為(例如)前端模組(FEM)。在圖21之實例中，模組300可包括一封裝基板302，且多個組件可安裝於此封裝基板上。舉例而言，可將前端功率管理積體電路(FE-PMIC )組件304、功率放大器總成306、匹配組件308及雙工器總成310安裝及/或實施於封裝基板302上及/或內。諸如許多表面黏著技術(SMT)裝置314及天線開關模組(ASM) 312之其他組件亦可安裝於封裝基板302上。在一些實施中，功率放大器總成306包括展示於圖6、圖8、圖10及圖11中之陣列100。儘管所有各種組件描繪為被佈置於封裝基板302上，但應理解，一些組件可實施於其他組件上方。

在一些實施中，具有本文中所描述之一或多個特徵的裝置及/或電路可包括於諸如無線裝置之RF裝置中。可在無線裝置中、以如本文中所描述之模組形式或以其某一組合直接實施此裝置及/或電路。在一些實施例中，此無線裝置可包括(例如)蜂巢式電話、智慧型電話、具有或不具有電話功能性之手持型無線裝置、無線平板電腦等。

圖21描繪具有本文中所描述之一或多個有利特徵的一實例射頻(RF)裝置400。在具有如本文中所描述之一或多個特徵的模組之情況下，此模組可由虛線框300大體上描繪，且可實施為(例如)前端模組(FEM)。此模組可包括如本文中所描述的經疊接裝置之陣列100。

參看圖21，功率放大器陣列100可自可以已知方式組態及操作以產生待放大及傳輸之RF信號且處理所接收信號的收發器410接收其各別RF信號。在一些實施中，功率放大器陣列100類似於展示於圖6、圖8、圖10及圖11中之陣列100且自該陣列調適。收發器410展示為與基頻子系統408相互作用，該基頻子系統經組態以提供適於使用者之資料及/或語音信號與適於收發器410之RF信號之間的轉換。收發器410亦可與經組態以管理用於RF裝置400之操作之功率的功率管理組件406通信。在一些實施中，功率管理組件406亦可控制基頻子系統408及模組300之操作。

基頻子系統408展示為連接至使用者介面402，以有助於提供至使用者及自使用者接收的語音及/或資料之各種輸入及輸出。基頻子系統408亦可連接至經組態以儲存資料及/或指令之記憶體404，以有助於無線裝置之操作，及/或提供對用於使用者之資訊的儲存。

在實例RF裝置400中，PA陣列100之輸出展示為經匹配(經由各別匹配電路422)且路由至其各別雙工器424。此等經放大及濾波之信號可經由天線開關414路由至天線416以供傳輸。在一些實施例中，雙工器424可允許使用共同天線(例如，416)同時執行傳輸與接收操作。在圖21中，所接收信號展示為經路由至可包括(例如)低雜訊放大器(LNA)之「Rx」路徑(未圖示)。

在一些實施中，RF裝置400為無線裝置，諸如，蜂巢式電話、膝上型電腦、平板電腦、可佩戴計算裝置或類似者。多個其他無線裝置組態可利用本文中所描述之一或多個特徵。舉例而言，無線裝置無需為多頻帶裝置。在另一實例中，無線裝置可包括諸如分集天線之額外天線，及諸如Wi-Fi、藍芽及GPS之額外連接性特徵。

除非上下文另外明確要求，否則貫穿說明書及申請專利範圍，詞「包含」及其類似者應以包括性意義解釋，而非排他性或窮盡性意

義；換言之，以「包括(但不限於)」之意義。如本文一般所使用，詞「耦接」指可直接連接，或藉助於一個或多個中間元件連接之兩個或兩個以上元件。此外，當用於本申請案中時，詞「本文中」、「上文」、「下文」及類似意義之詞應指本申請案整體而非本申請案之任何特定部分。在上下文准許之情況下，則使用單數或複數數目之以上【實施方式】中之詞亦可分別包括複數或單數數目。關於兩個或兩個以上項目之清單之詞「或」，彼詞涵蓋該詞之所有以下解釋：清單中之項目中之任一者、清單中之所有項目及清單中之項目之任何組合。

本發明之實施例之以上詳細描述並不意欲為窮盡的或將本發明限制於上文所揭示之確切形式。如熟習相關技術者將認識到，雖然上文出於說明之目的描述本發明之特定實施例及實例，但在本發明之範疇內各種等效修改係可能的。舉例而言，雖然以給定順序呈現處理程序或區塊，但替代實施例可以不同順序執行具有步驟之常式，或採用具有區塊之系統，且可刪除、移動、添加、細分、組合及/或修改一些處理程序或區塊。可以多種不同方式實施此等處理程序或區塊中之每一者。此外，雖然有時處理程序或區塊展示為連續執行，但此等處理程序或區塊可替代地並行執行，或可在不同時間執行。

本文所提供的本發明之教示可應用於其他系統，未必為上文所描述之系統。可組合上文所描述的各種實施例之元件及動作以提供另外實施例。

雖然已描述本發明之一些實施例，但此等實施例僅藉助於實例提出，且並不意欲限制本發明之範疇。實際上，本文中所描述之新穎方法及系統可以多種其他形式實施；此外，在不脫離本發明之精神之情況下，可進行本文中所描述之方法及系統的形式之各種省略、替代及改變。隨附申請專利範圍及其等效物意欲涵蓋如將屬於本發明之範疇及精神之此類形式或修改。

【符號說明】

|        |                            |
|--------|----------------------------|
| 50     | 無線系統/架構                    |
| 52     | 放大系統                       |
| 54     | 射頻(RF)放大器總成/高電壓(HV)功率放大器總成 |
| 56     | 偏壓系統                       |
| 58     | 供電系統                       |
| 60a    | 功率放大器(PA)                  |
| 60b    | 功率放大器(PA)                  |
| 60c    | 功率放大器(PA)                  |
| 62     | 匹配網路                       |
| 64     | 放大電晶體                      |
| 64a    | 放大電晶體/第一電晶體/第一級            |
| 64b    | 放大電晶體/第二電晶體/第二級            |
| 70     | 高電壓(HV)功率放大系統              |
| 72     | 介面系統                       |
| 90     | 實例陣列                       |
| 92     | 經疊接裝置                      |
| 96     | 實例集極電流路徑                   |
| 100    | 獨立疊接陣列                     |
| 102    | 經疊接裝置                      |
| 102'   | 經疊接裝置                      |
| 110    | 共發射極(CE)裝置/RF電晶體           |
| 110'   | RF電晶體                      |
| 110''  | 共發射極(CE)                   |
| 110''' | 共發射極(CE)                   |
| 112    | 共基極(CB)裝置/疊接電晶體            |

|         |                       |
|---------|-----------------------|
| 112'    | 疊接電晶體                 |
| 112"    | 共基極(CB)               |
| 112'''  | 共基極(CB)               |
| 112'''' | 共基極(CB)               |
| 120     | 偏壓輸入                  |
| 122     | RF輸入                  |
| 124     | 第二諧波輸入                |
| 126     | 節點                    |
| 128     | 接地                    |
| 130     | 偏壓輸入端/區               |
| 130'    | 區                     |
| 132     | 供電電壓節點/集極             |
| 132'    | 集極                    |
| 140     | 輸入偏壓電路                |
| 140'    | 輸入偏壓電路                |
| 148     | 疊接鎮流電阻                |
| 150     | 疊接偏壓電路                |
| 150'    | 疊接偏壓電路                |
| 200     | 實例佈局                  |
| 210     | 實例佈局                  |
| 220     | 實例佈局                  |
| 300     | 模組/虛線框                |
| 302     | 封裝基板                  |
| 304     | 前端功率管理積體電路(FE-PMIC)組件 |
| 306     | 功率放大器總成               |
| 308     | 匹配組件                  |

|     |               |
|-----|---------------|
| 310 | 雙工器總成         |
| 312 | 天線開關模組(ASM)   |
| 314 | 表面黏著技術(SMT)裝置 |
| 400 | 實例射頻(RF)裝置    |
| 402 | 使用者介面         |
| 404 | 記憶體           |
| 406 | 功率管理組件        |
| 408 | 基頻子系統         |
| 410 | 收發器           |
| 414 | 天線開關          |
| 416 | 天線            |
| 422 | 各別匹配電路        |
| 424 | 雙工器           |
| C1  | DC阻斷電容        |
| C2  | 疊接旁路電容        |
| C3  | 電容            |
| R1  | DC鎮流電阻        |
| R2  | RF鎮流電阻        |

## 申請專利範圍

1. 一種功率放大器，其包含：

複數對電晶體，每一對電晶體包括以一疊接組態配置之一共發射極電晶體及一共基極電晶體；及

電連接件，其經實施以在一輸入節點與一輸出節點之間以一並聯組態連接該複數對，該等電連接件經組態以分配一集極電流至所有該等共基極電晶體，以藉此減小一熱失控事件期間對一或多個共基極電晶體之損害的可能性。

2. 如請求項1之功率放大器，其中對於該複數對電晶體中之每一者，該共發射極電晶體之發射極係經由一旁路電容耦接至該共基極電晶體之基極。

3. 如請求項1之功率放大器，其中對於該複數對電晶體中之每一者，該共發射極電晶體之基極係耦接至一輸入偏壓電路。

4. 如請求項3之功率放大器，其中該輸入偏壓電路包括一射頻(RF)鎮流電阻。

5. 如請求項3之功率放大器，其中該複數對電晶體之該等輸入偏壓電路經耦接至一共RF輸入端。

6. 如請求項1之功率放大器，其中對於該複數對電晶體中之每一者，該共發射極電晶體之該發射極係耦接至一接地電位。

7. 如請求項1之功率放大器，其中對於該複數對電晶體中之每一者，該共基極電晶體之該基極係耦接至一疊接偏壓電路。

8. 如請求項7之功率放大器，其中該疊接偏壓電路包括一疊接鎮流電阻。

9. 如請求項1之功率放大器，其中對於該複數對電晶體中之每一者，該共基極電晶體之集極係耦接至一供電電壓。

10. 如請求項1之功率放大器，其中該複數對電晶體中之該等共基極電晶體之該等集極經耦接以產生一共RF輸出。
11. 一種射頻(RF)模組，其包含：  
一封装基板，其經組態以收納複數個組件；及  
經實施於該封装基板上之一功率放大系統，該功率放大系統包括經組態以接收並放大一RF信號之一功率放大器(PA)，該PA包括複數對電晶體，每一對電晶體包括以一疊接組態配置之一共發射極電晶體及一共基極電晶體，該PA進一步包括經實施以在一輸入節點與一輸出節點之間以一並聯組態連接該複數對之電連接件，該等電連接件經組態以將一集極電流分配至所有該等共基極電晶體，以藉此減小在一熱失控事件期間對一或多個共基極電晶體之損害的可能性。
12. 如請求項11之RF模組，其中對於該複數對電晶體中之每一者，該共發射極電晶體之發射極係經由一旁路電容耦接至該共基極電晶體之基極。
13. 如請求項11之RF模組，其中對於該複數對電晶體中之每一者，該共發射極電晶體之基極係耦接至一輸入偏壓電路。
14. 如請求項11之RF模組，其中對於該複數個對電晶體中之每一者，該共基極電晶體之該基極係耦接至一疊接偏壓電路。
15. 一種射頻(RF)裝置，其包含：  
一收發器，其經組態以產生一RF信號；  
與該收發器通信之一前端模組(FEM)，該FEM包括經組態以收納複數個組件之一封装基板，該FEM進一步包括經組態以並放大該RF信號之一功率放大器(PA)，該PA包括複數對電晶體，每一對電晶體包括以一疊接組態配置之一共發射極電晶體及一共基極電晶體，該PA進一步包括經實施以在一輸入節點與一輸出

節點之間以一並聯組態連接該複數對的電連接件，該等電連接件經組態以將一集極電流分配至所有該等共基極電晶體，以藉此減小在一熱失控事件期間對一或多個共基極電晶體之損害的可能性；及

一天線，其與該FEM通信，該天線經組態以傳輸該經放大RF信號。

16. 如請求項15之RF裝置，其中該RF裝置包括一無線裝置。
17. 如請求項16之RF裝置，其中該無線裝置包括一蜂巢式電話。
18. 如請求項15之RF裝置，其中對於該複數對電晶體中之每一者，該共發射極電晶體之發射極係經由一旁路電容耦接至該共基極電晶體之基極。
19. 如請求項15之RF裝置，其中對於該複數對電晶體中之每一者，該共發射極電晶體之基極係耦接至一輸入偏壓電路。
20. 如請求項15之RF裝置，其中對於該複數對電晶體中之每一者，該共基極電晶體之該基極係耦接至一疊接偏壓電路。

圖式

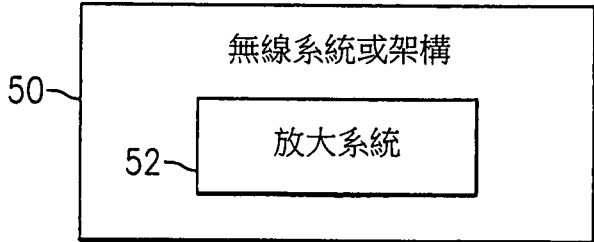


圖1

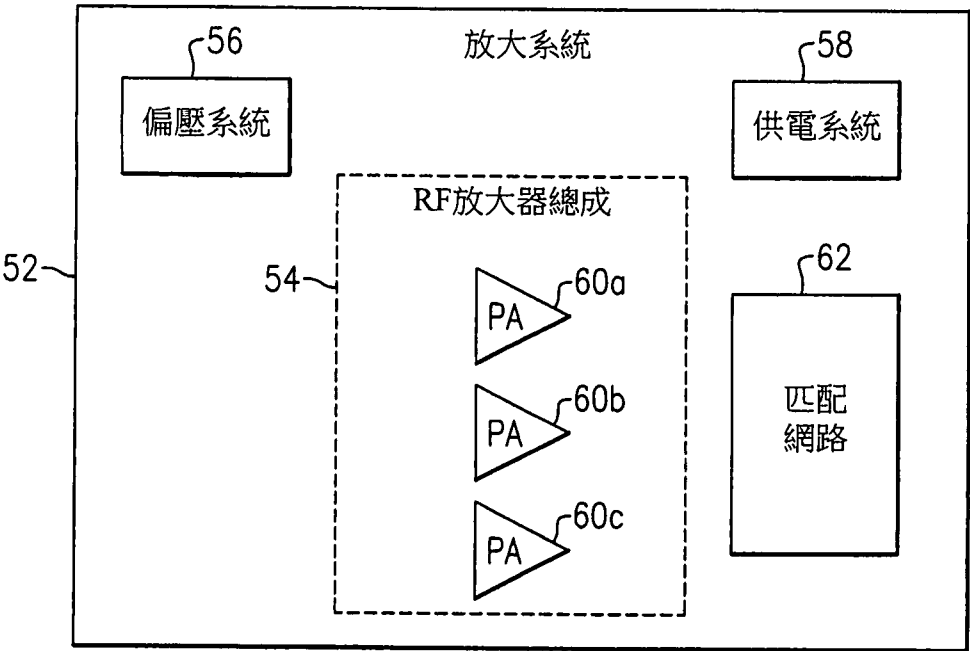


圖2

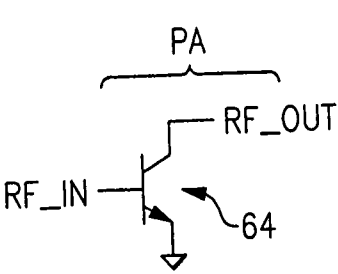


圖3A

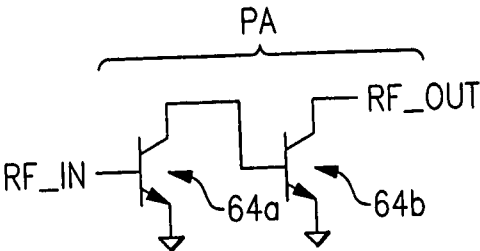


圖3B

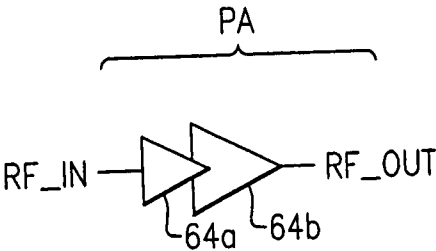


圖3C

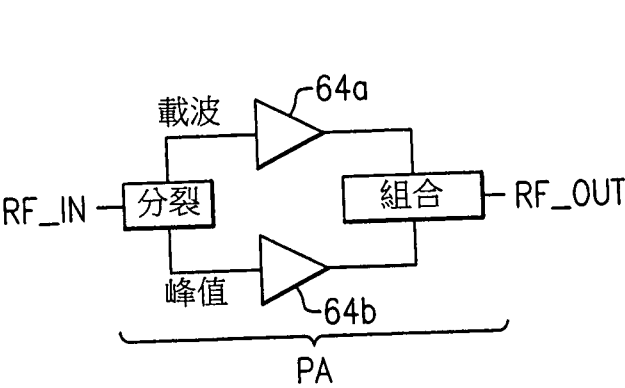


圖3D

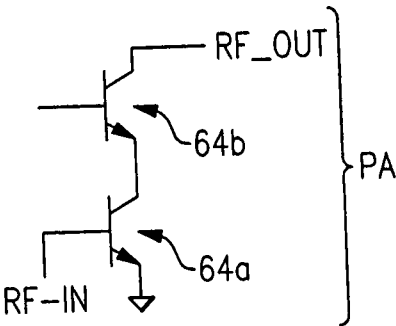


圖3E

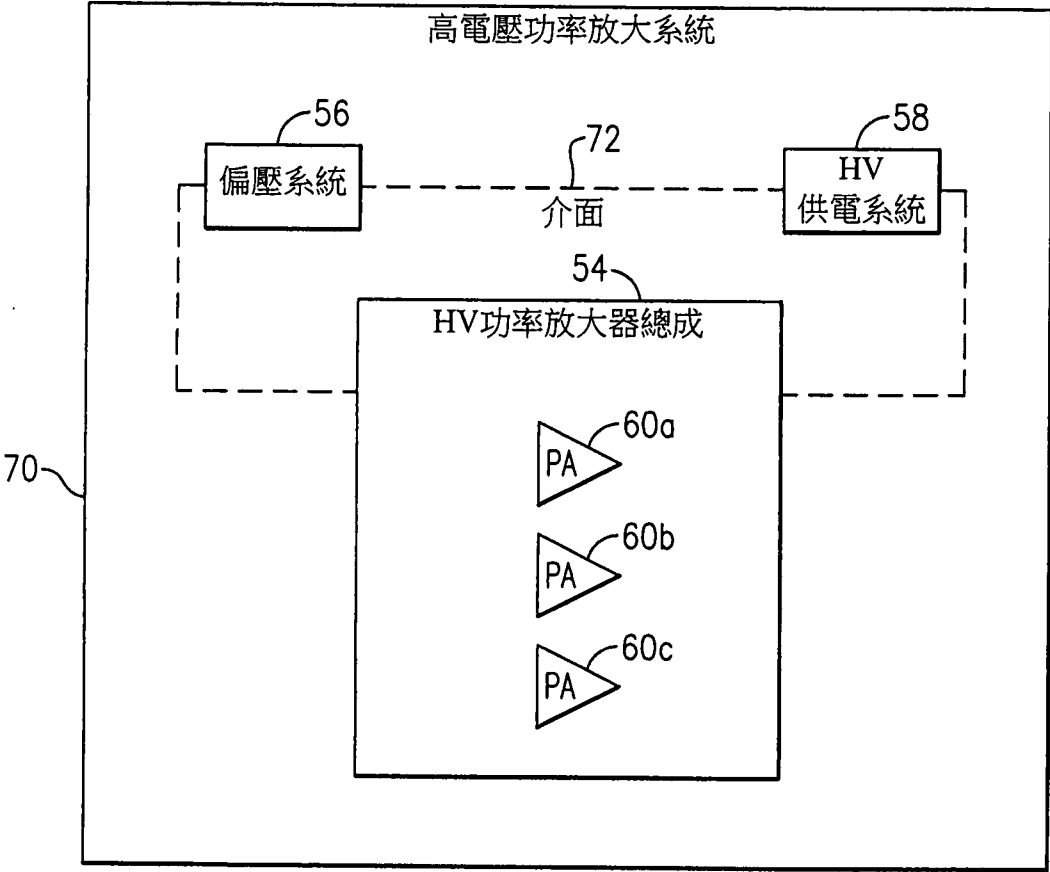
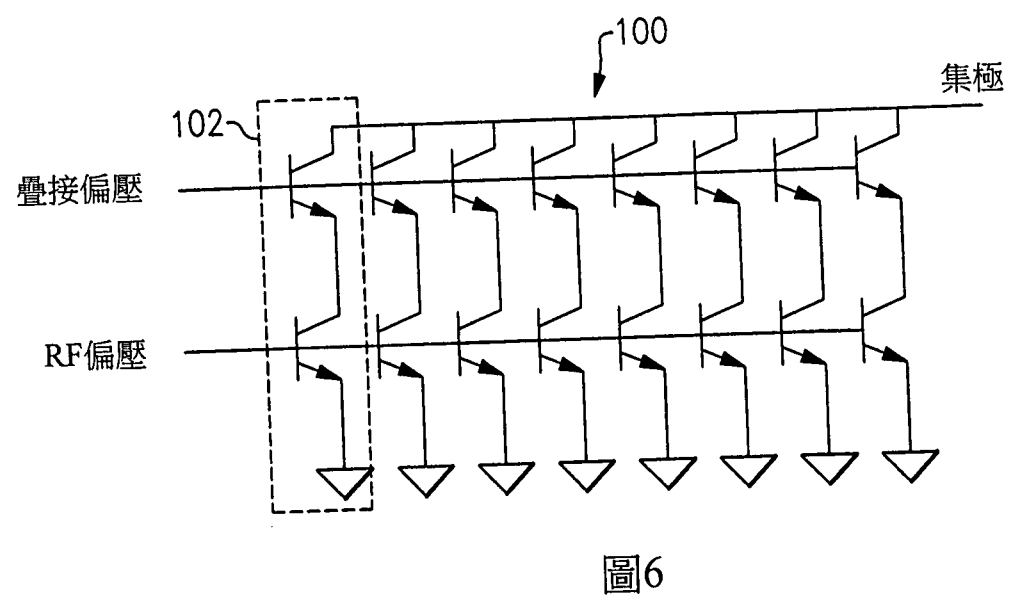
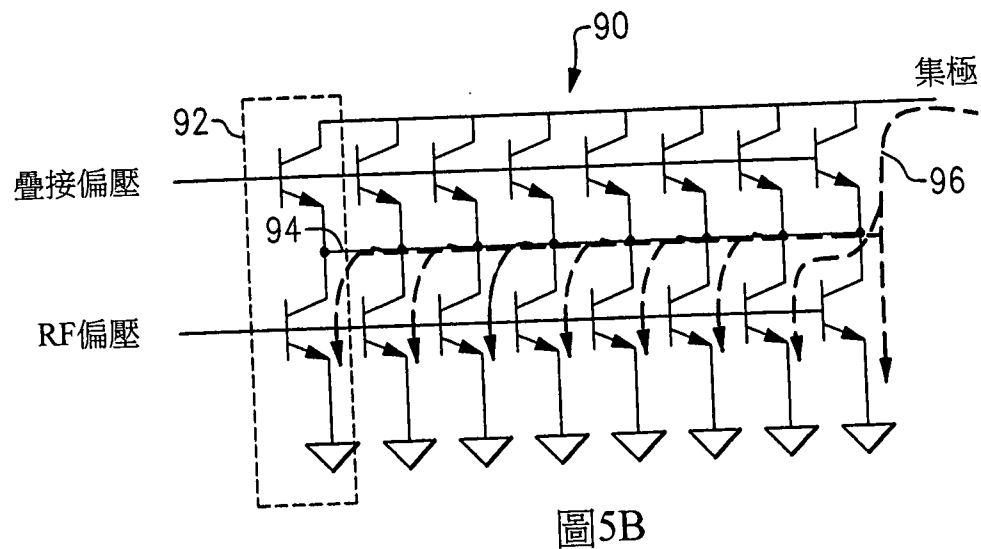
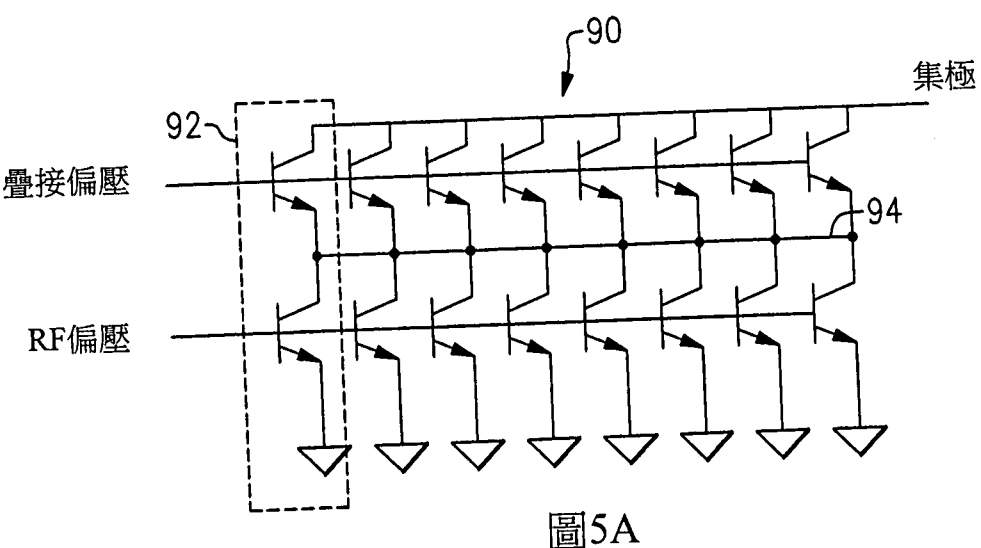


圖4



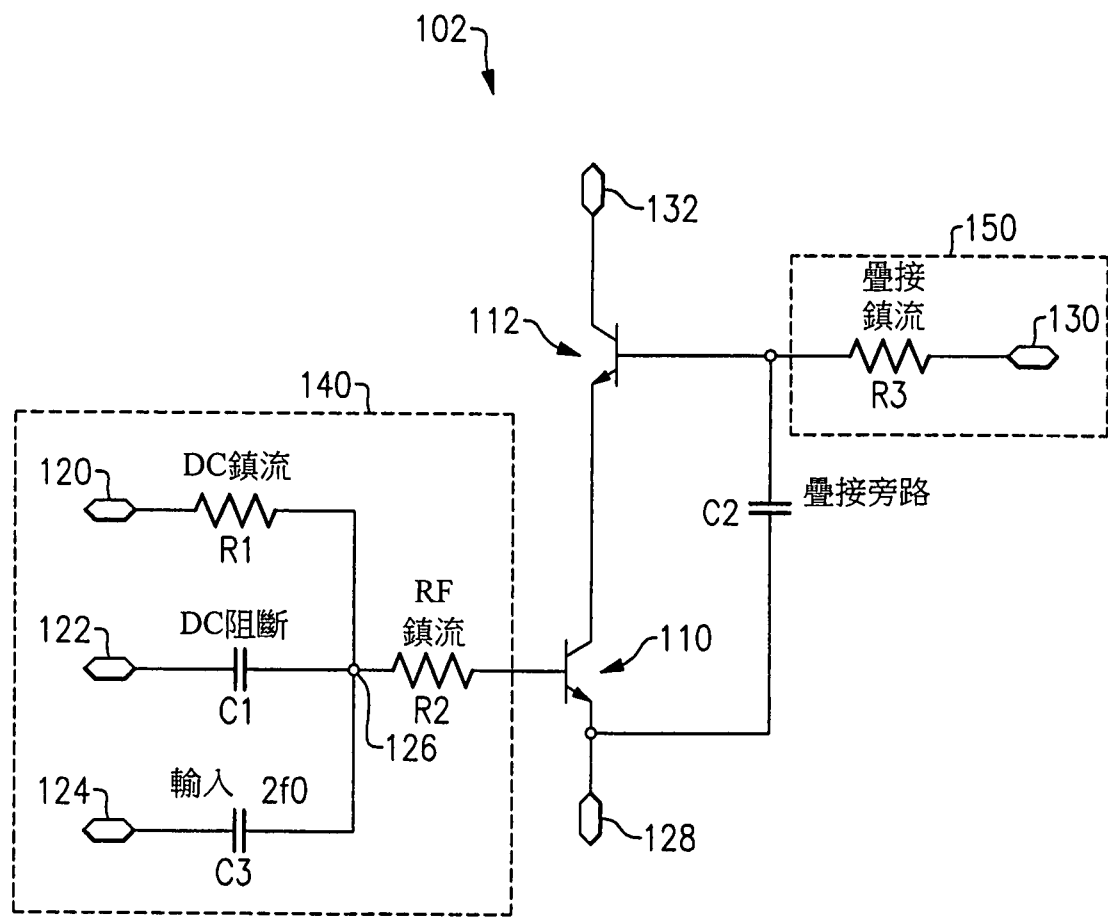


圖7

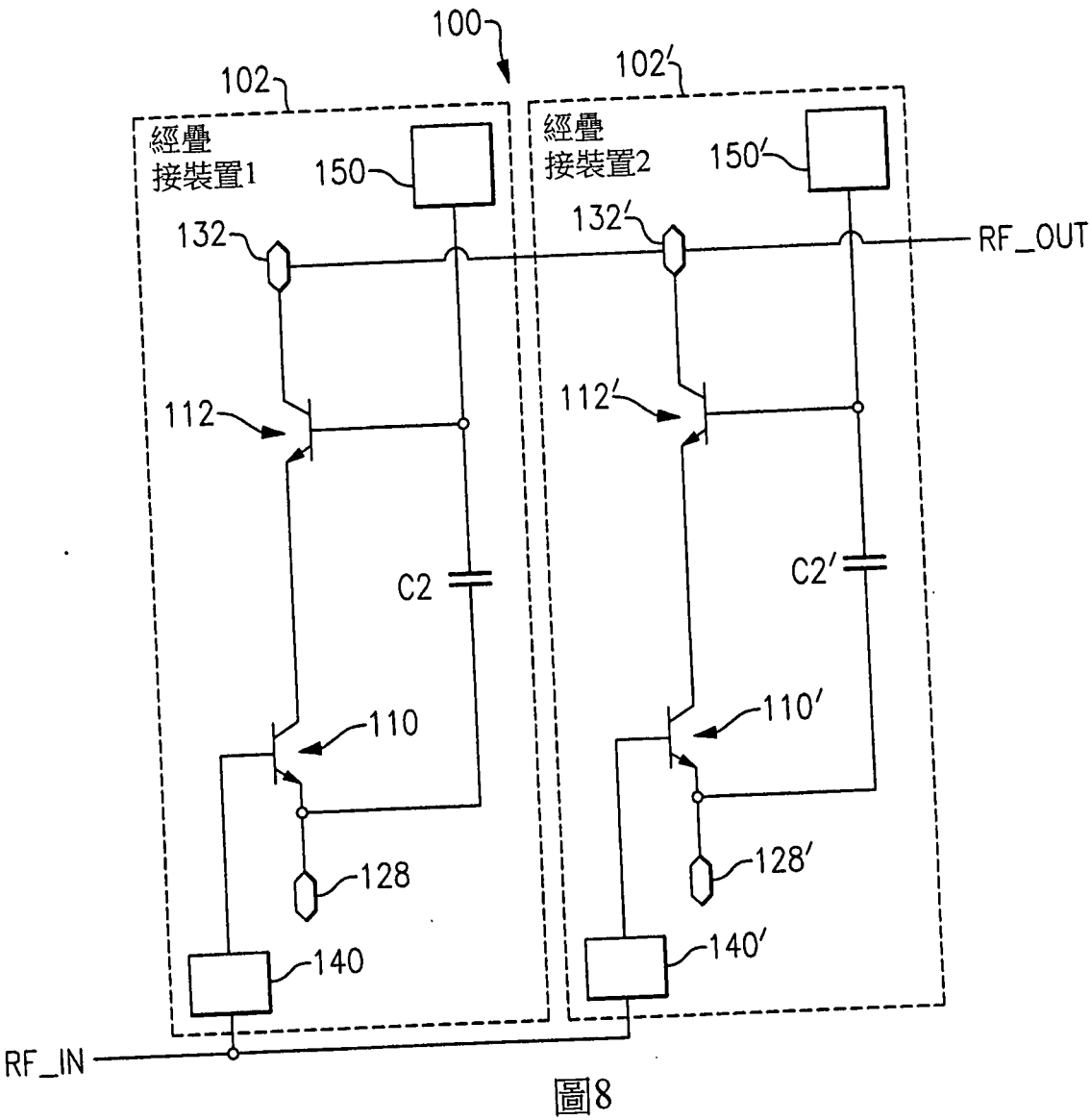


圖8

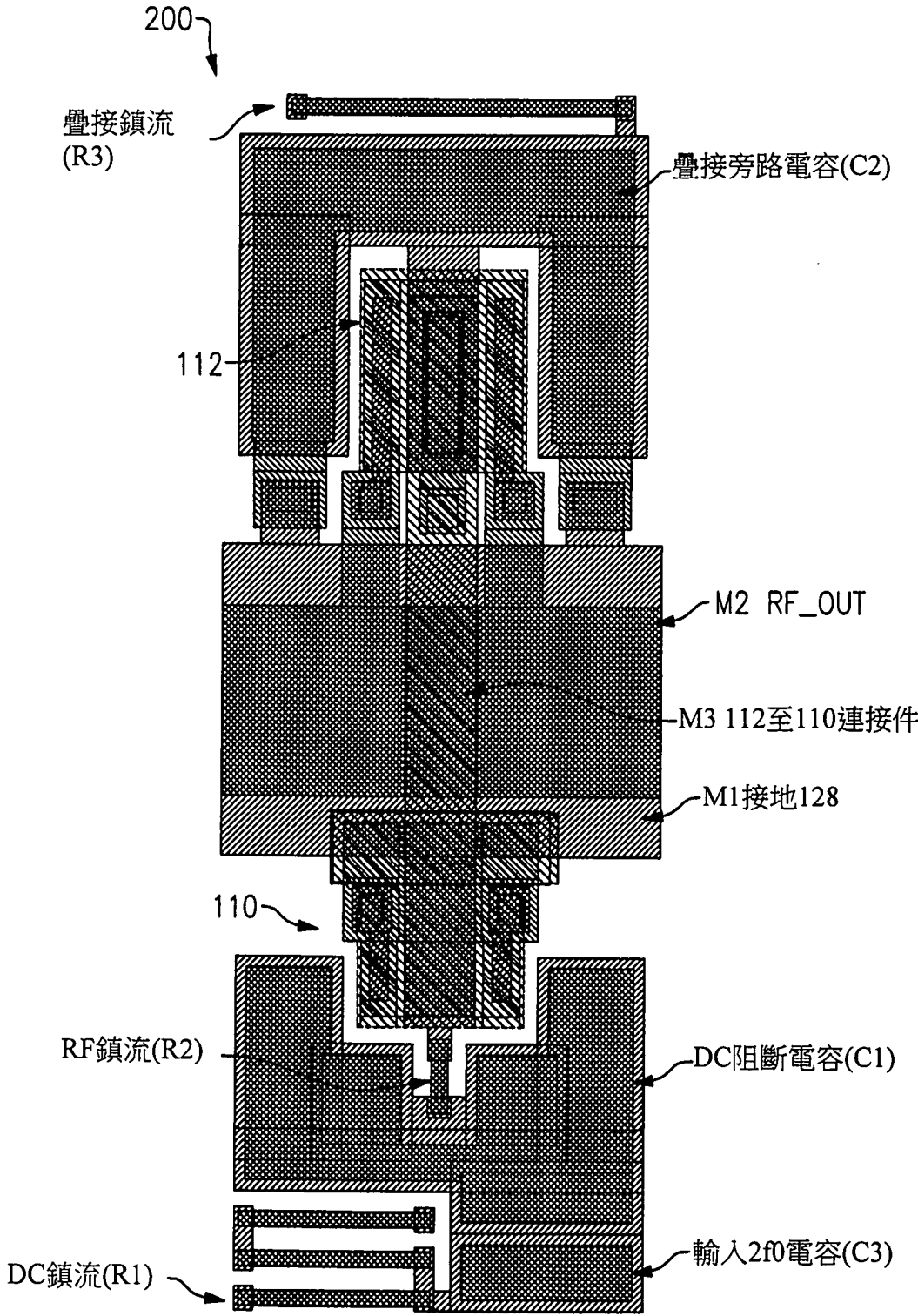


圖9

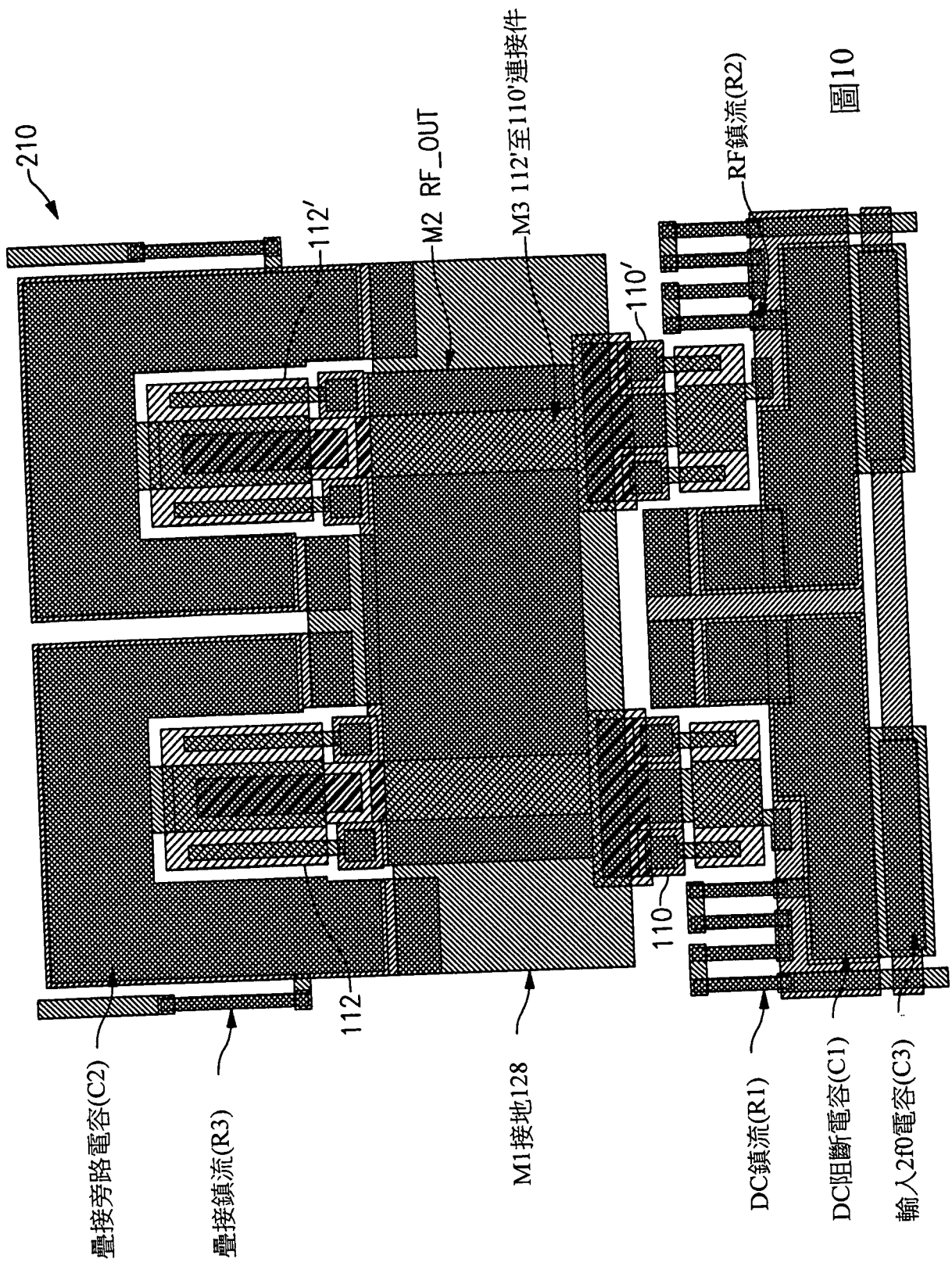


圖10

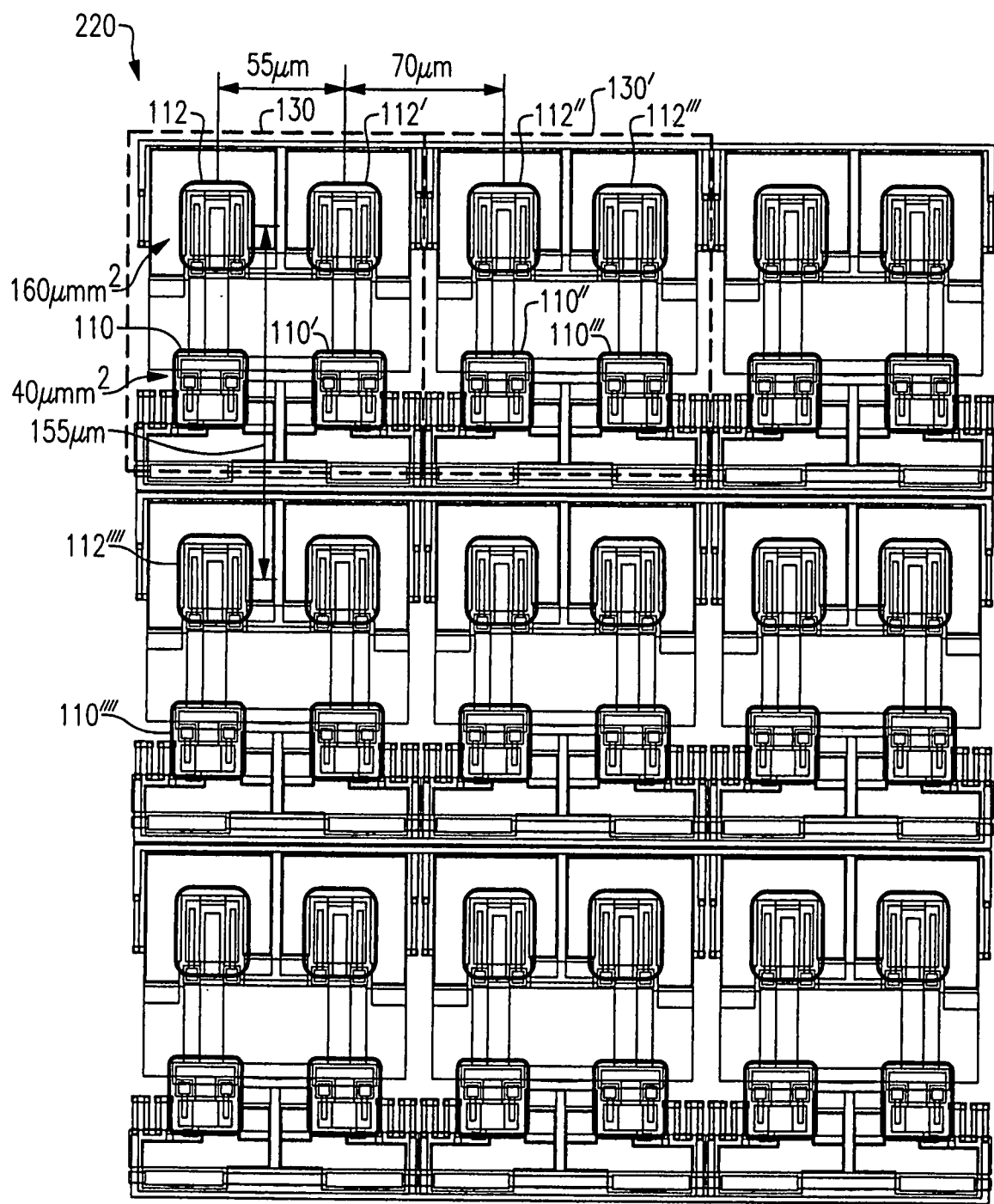


圖 11

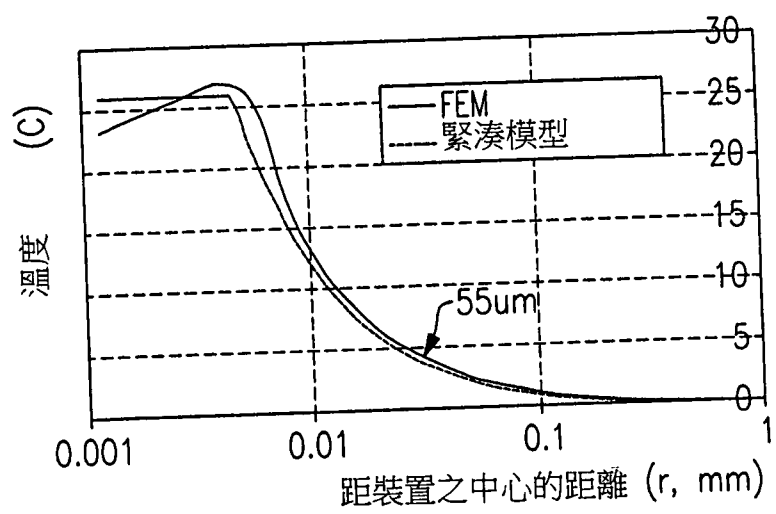


圖12

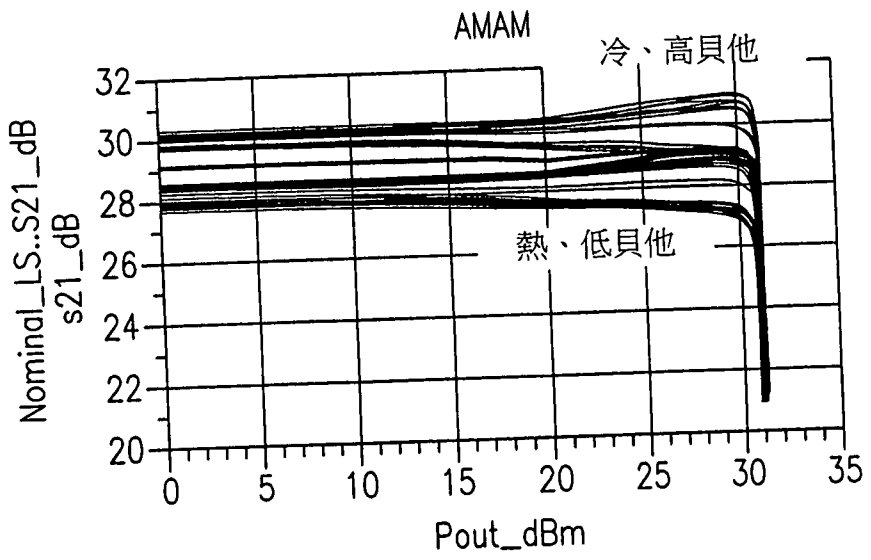


圖13

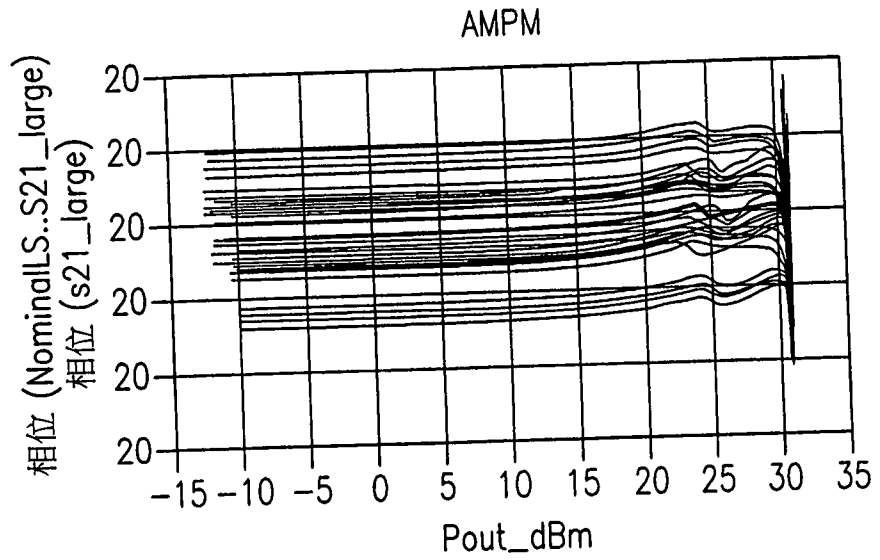


圖14

集極效率及PAE對輸出功率

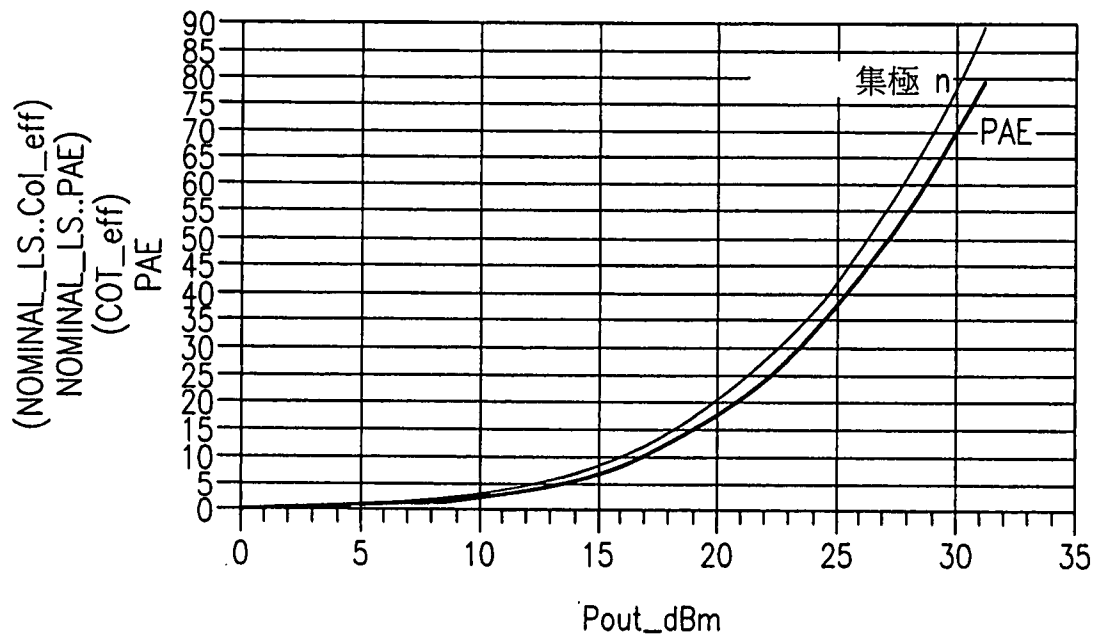


圖15

集極效率及PAE對輸出功率

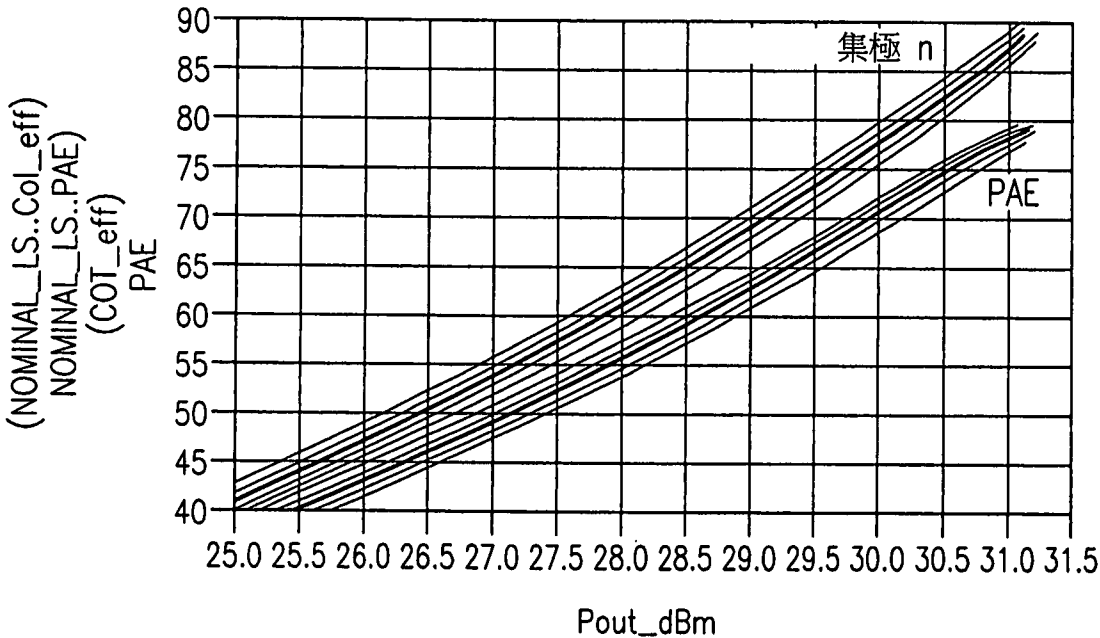
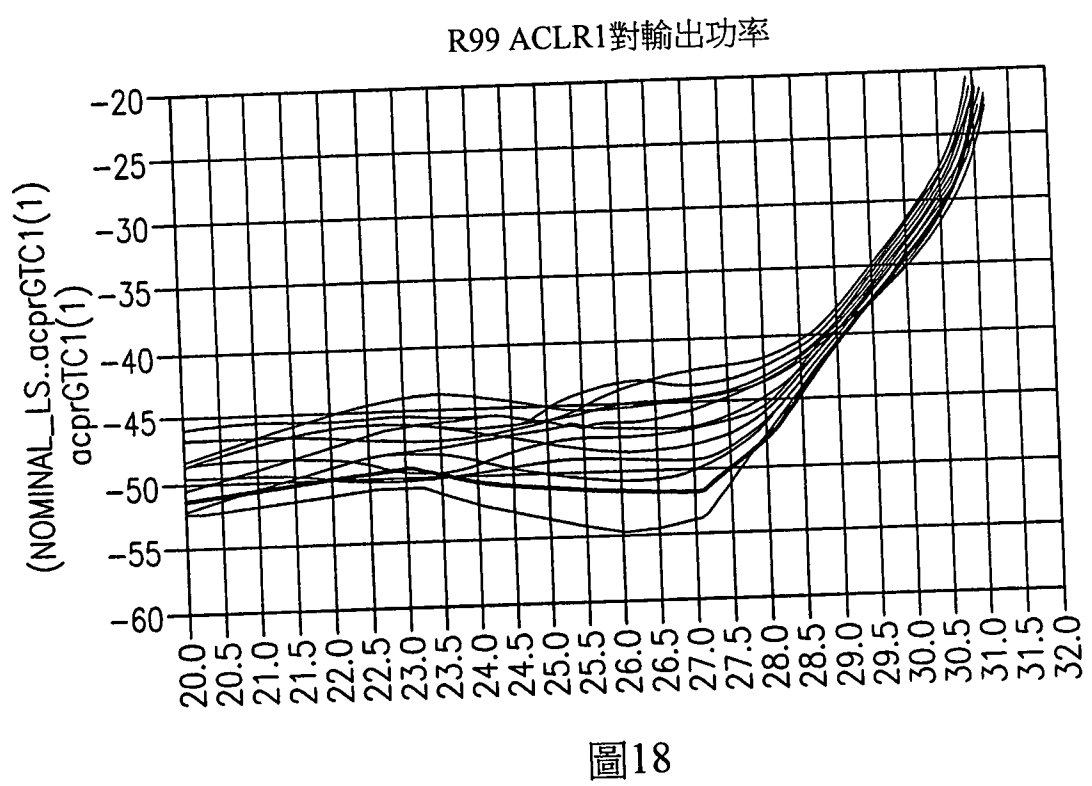
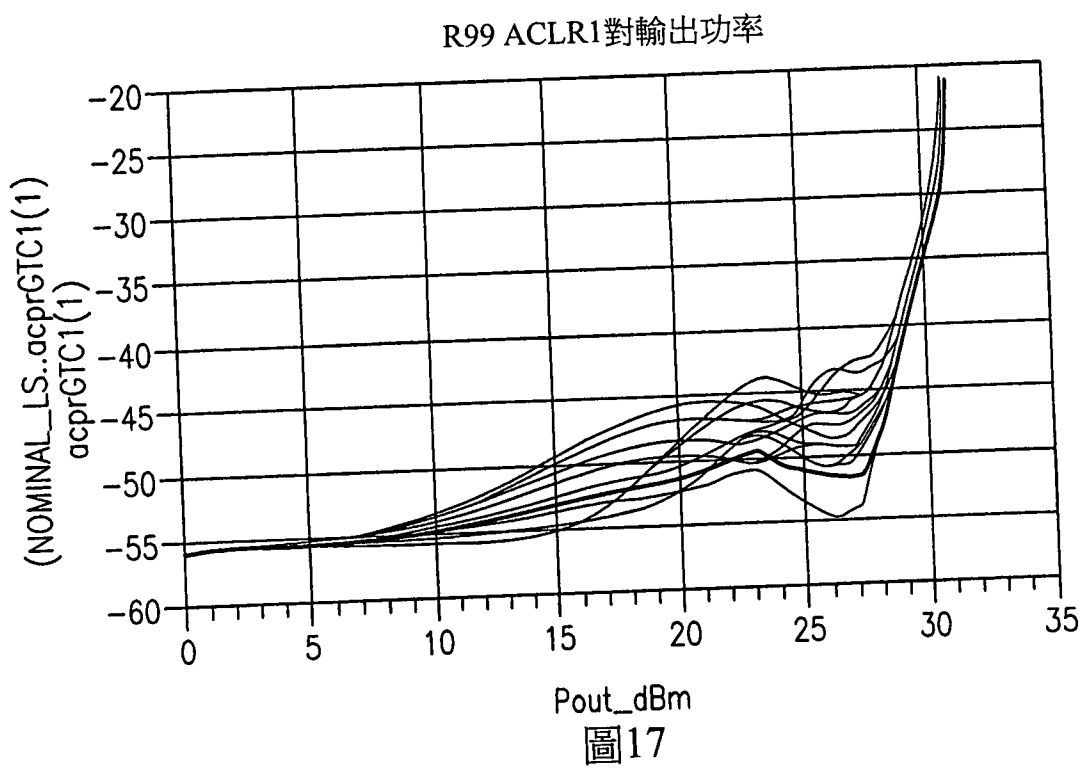


圖16



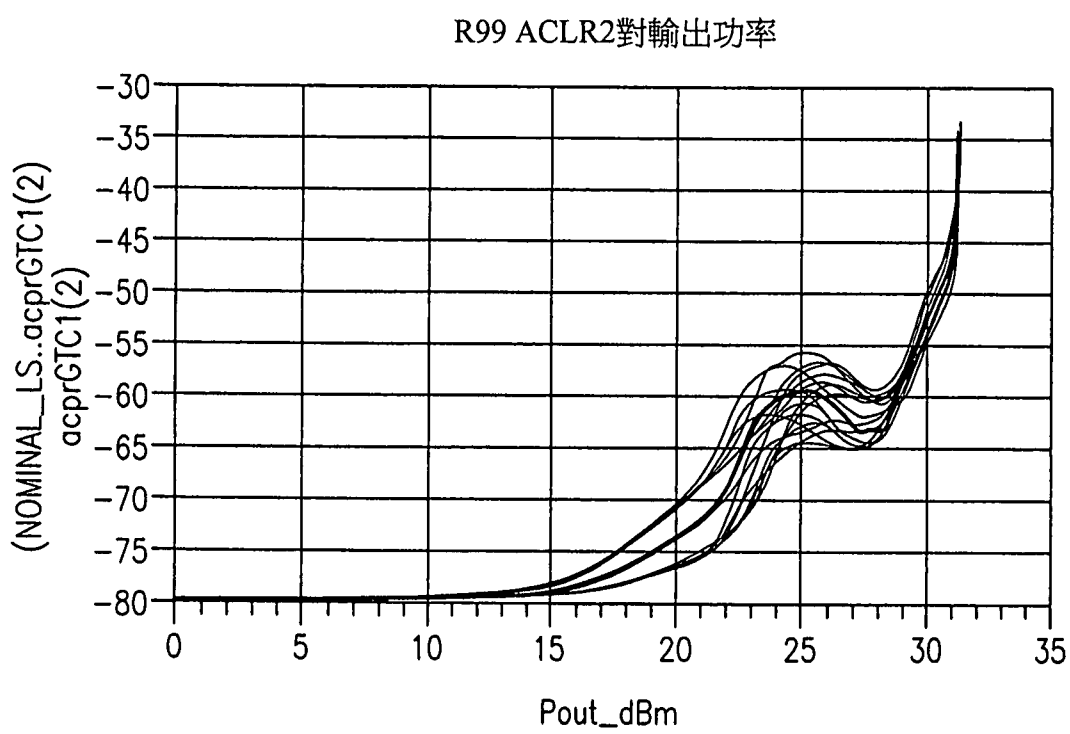


圖19

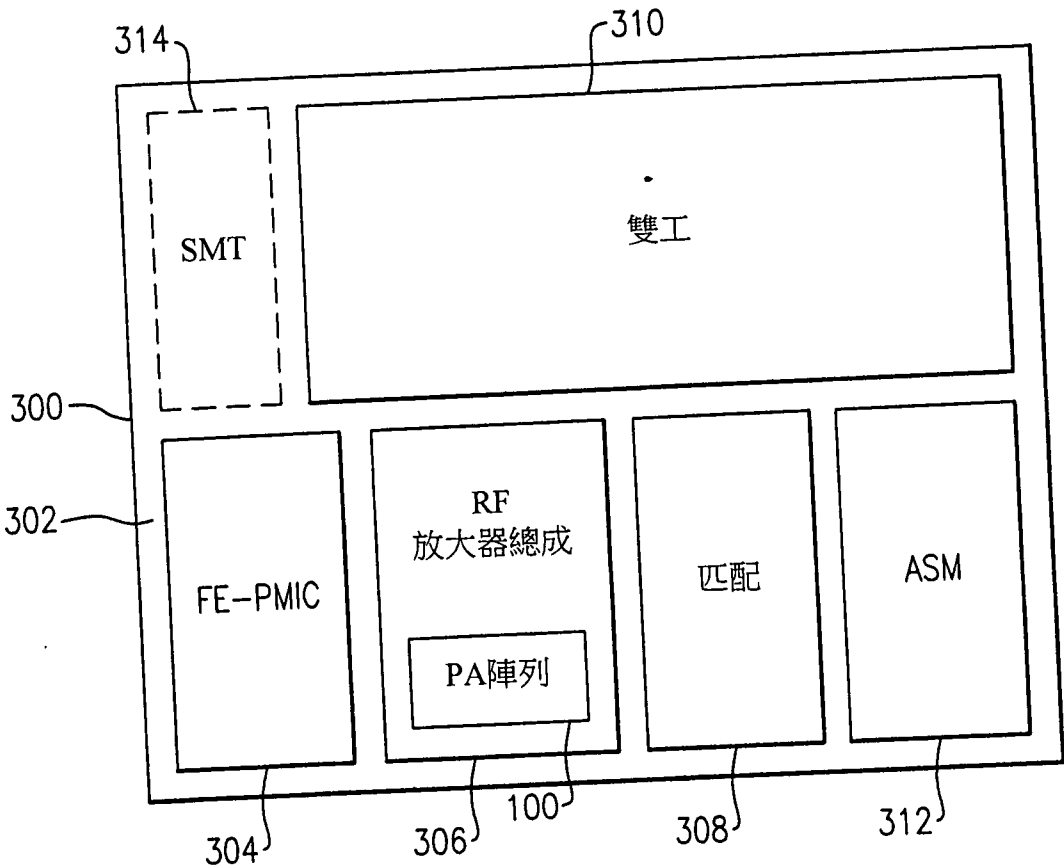


圖20

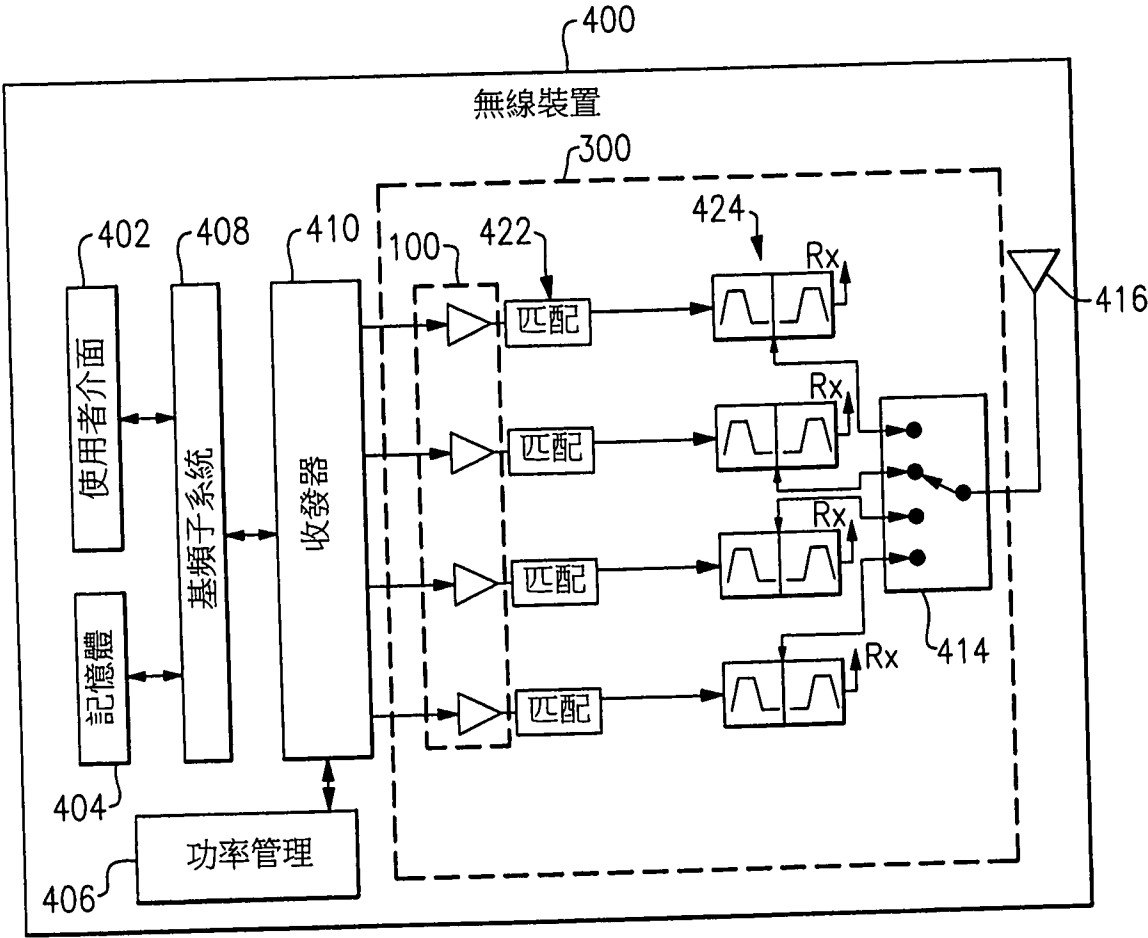


圖21