

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

244 052

(11) (B1)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

(61)
(23) Výstavní priorita
(22) Přihlášeno 14 03 84
(21) PV 1837-84

(51) Int. Cl.⁴
H 03 M 1/12

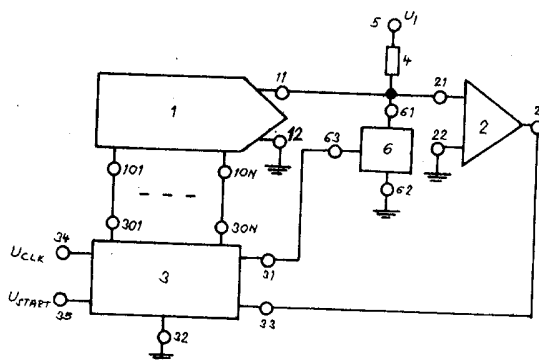
(40) Zveřejněno 17 09 85
(45) Vydáno 01 06 88

(75)
Autor vynálezu

DOSTÁL JIŘÍ ing., PRAHA

(54) Analogově číslicový převodník

Zapojení řeší konstrukci rychlého analogově číslicového převodníku na principu postupné aproximace neznámé vstupní analogové veličiny sadou odstupňovaných analogových vah (zkráceně A/D převodníku s postupnou aproximací). Analogově číslicový převodník je podle vynálezu složen tak, že výstup D/A převodníku je prostřednictvím paralelního spínače, řízeného synchronně s aproximačním postupem, zapojen časově selektivním zkratem. Zapojení lze využít v oboru "Sběr a číslicové zpracování analogových dat".



Vynález se týká zapojení rychlého analogově číslicového převodníku, zejména převodníku konstruovaného na principu postupné aproximace.

Analogově číslicový převodník na principu postupné aproximace neznámé vstupní analogové veličiny sadou odstupňovaných analogových vah (v dalším textu zkráceně A/D převodník s postupnou aproximací) je nejpoužívanějším typem analogově číslicového převodníku s dobou převodu od 1 do 100 μ s.

V obvyklém známém provedení sestává A/D převodník s postupnou aproximací z číslicově analogového převodníku s proudovým výstupem, vstupního odporu, analogového komparátoru a číslicového řadiče, zapojených ve zpětnovazebním uspořádání. Činnost A/D převodníku s postupnou aproximací spočívá v postupném porovnávání kumulovaných testovacích analogových vah, generovaných na výstupu číslicově analogového převodníku řízeného číslicovým řadičem, a neznámé vstupní analogové veličiny. Výsledek porovnání, zjištěný analogovým komparátorem a indikovaný číslicovým stavem na jeho výstupu, představuje výsledek testu dílčí analogové váhy. Výsledky testů dílčích analogových vah se ukládají do aproximačního registru obsaženého v řadiči. Číslicová informace, uložená v aproximačním registru, představuje postupně zpřesňované číslicové přiblížení (číslícovou aproximací) vstupní analogové veličiny.

Hlavní překážkou, která působí proti zrychlování aproximačního postupu a proti zkracování doby převodu ve známém provedení A/D převodníku, je zpožděná reakce komparátoru. Na této zpožděné reakci se značnou měrou podílí zejména velká časová konstanta na vstupu komparátoru, způsobená výslednou parazitní kapacitou složenou z výstupní kapacity D/A převodníku, vstupní kapacity komparátoru a paralelní montážní kapa-

city jejich spoje. Tato výsledná parazitní kapacita se nabíjí v jednotlivých krocích aproximačního postupu na napětí, jehož velikost mnohonásobně přesahuje velikost elementárního kvantizačního kroku analogově číslicového převodu. Vybíjení parazitní kapacity je určeno časovou konstantou na vstupu komparátoru, jejíž velikost nemůže být ve známém provedení A/D převodníku zmenšena z praktických důvodů pod jistou mez. Hlavní překážkou proti zmenšení zmíněné časové konstanty prostým snížením odporové úrovně na vstupu komparátoru je nepříznivé zhoršení stejnosměrné přesnosti analogově číslicového převodu.

Uvedený nedostatek známého provedení A/D převodníku s postupnou aproximací odstraňuje zapojení podle vynálezu. Dosahuje se toho časově selektivním zkratem vstupu komparátoru prostřednictvím paralelního spínače, řízeného synchronně s aproximačním postupem.

Předmětem zapojení podle vynálezu je analogově číslicový převodník, který obsahuje číslicově analogový převodník, analogový komparátor, řadič a vstupní odpor, zapojený tak, že datové výstupy řadiče, které tvoří zároveň N-bitový paralelní číslicový výstup výsledného analogově číslicového převodníku, jsou spojeny s číslicovými vstupy číslicově analogového převodníku, výstupní svorka číslicově analogového převodníku je spojena s prvním vstupem analogového komparátoru a s prvním vývodem vstupního odporu, jehož druhý vývod je spojen s analogovým vstupem výsledného analogově číslicového převodníku, zemní svorky číslicově analogového převodníku, analogového komparátoru a řadiče jsou spojeny se signálovým vztažným bodem a výstup analogového komparátoru je spojen s datovým vstupem řadiče, charakterizovaný tím, že k prvnímu vstupu analogového komparátoru je připojena první spínací elektroda spínacího prvku, k druhému vstupu analogového komparátoru je připojena druhá spínací elektroda spínacího prvku, přičemž řídicí elektroda spínacího prvku je spojena s řídicím výstupem řadiče.

Příklad zapojení analogově číslicového převodníku podle vynálezu je znázorněn na obr.

Na obr. 1 je znázorněn N-bitový číslicově analogový převodník 1 s proudovým výstupem, analogový komparátor 2, řadič 3, vstupní odpor 4 a spínací prvek 6. První 101 až N-tý 10N čísli-

cový vstup D/A převodníku 1 je spojen s prvním 301 až N-tým 30N datovým výstupem řadiče 3. Výstupní svorka 11 D/A převodníku 1 je spojena s první spínací elektrodou 61 spínacího prvku 6, s prvním vstupem 21 analogového komparátoru 2 a s prvním vývodem vstupního odporu 4, jehož druhý vývod je spojen s analogovým vstupem 5 výsledného A/D převodníku. Výstup 23 analogového komparátoru 2 je spojen s datovým vstupem 33 řadiče 3. Řídicí výstup 31 řadiče 3 je spojen s řídicí elektrodou 63 spínacího prvku 6. Zemní svorka 12 D/A převodníku 1, druhý vstup 22 analogového komparátoru 2, zemní svorka 32 řadiče 3 a druhá spínací elektroda 62 spínacího prvku 6 jsou spojeny se signálovým vztažným bodem (se signálovou zemí). Řadič 3 je opatřen ještě hodinovým vstupem 34 a spouštěcím vstupem 35. Datové výstupy 301 až 30N řadiče 3 tvoří zároveň N-bitový paralelní číselný výstup výsledného A/D převodníku.

Činnost analogově číslicového převodníku podle vynálezu je vysvětlena na příkladném zapojení podle obr. Aproximační postup je spuštěn spouštěcím pulsem U_{START} , přivedeným ke spouštěcímu vstupu 35 řadiče 3, a probíhá synchronně s hodinovými pulsy U_{CLK} , přivedenými k hodinovému vstupu 34 řadiče 3. V rytmu přivedených hodinových pulsů se postupně aktivuje první 101 až N-tý 10N číslicový vstup D/A převodníku 1. Na prvním vstupu 21 analogového komparátoru 2 se testuje váha příslušného prvního až N-tého bitu číslicového výstupu A/D převodníku vzhledem ke vstupnímu napětí U_I , připojenému na analogový vstup 5 výsledného A/D převodníku. Synchronně s hodinovými pulsy U_{CLK} , které řídí aproximační postup, se aktivuje spínací prvek 6. Na počátku každého z N kroků aproximačního postupu se spínací prvek 6 uvede do sepnutého stavu. Malý odpor sepnutého spínacího prvku 6 mezi první a druhou spínací elektrodou 61 a 62 způsobí rychlé vybití parazitní kapacity na vstupu analogového komparátoru. Po odeznění prepínacích tranzient, které provázejí počátek každého kroku aproximačního postupu, se spínací prvek 6 rozpojí. Analogový komparátor 2 provede test váhy příslušného bitu a výsledek testu se uloží v řadiči 3.

Z popisu činnosti A/D převodníku podle vynálezu je zřejmé, že spínací prvek 6 vytváří časově selektivní zkrat a účinně zmenšuje vybíjecí časovou konstantu na vstupu analogového komparátoru 2 bez zhoršení stejnosměrné přesnosti analogově číslico-

vého převodu. Požadavky, kladené na spínací prvek 6 v této funkci, jsou malý odpor a malé zbytkové napětí v sepnutém stavu, velký odpor a malý zbytkový proud v rozpojeném stavu a malá přenosová kapacita mezi řídicí elektrodou 63 a první spínací elektrodou 61. Těmto požadavkům vyhovuje nejlépe spínací prvek 6 realizovaný jako tranzistor řízený polem typu DMOS, jehož kolektor představuje první spínací elektrodu 61, jehož emitor představuje druhou spínací elektrodu 62 a jehož hradlo představuje řídicí elektrodu 63.

Z popisu vynálezu v příkladném zapojení podle obr. 1 a z vysvětlení jeho činnosti je zřejmé, že analogově číslicový převodník podle vynálezu je vhodný ke konstrukci rychlých A/D převodníků, zejména převodníků s postupnou aproximací.

PŘEDMĚT VYNÁLEZU

244 052

1. Analogově číslicový převodník, který obsahuje číslicově analogový převodník, analogový komparátor, řadič a vstupní odpor, zapojený tak, že datové výstupy řadiče, které tvoří zároveň N-bitový paralelní číslicový výstup výsledného analogově číslicového převodníku, jsou spojeny s číslicovými vstupy číslicově analogového převodníku, výstupní svorka číslicově analogového převodníku je spojena s prvním vstupem analogového komparátoru a s prvním vývodem vstupního odporu, jehož druhý vývod je spojen s analogovým vstupem výsledného analogově číslicového převodníku, zemní svorka číslicově analogového převodníku a řadiče a druhý vstup analogového komparátoru jsou spojeny se signálovým vztažným bodem a výstup analogového komparátoru je spojen s datovým vstupem řadiče, v y z n a č e n ý t í m , že k prvnímu vstupu (21) analogového komparátoru (2) je připojena první spínací elektroda (61) spínacího prvku (6), k druhému vstupu (22) analogového komparátoru (2) je připojena druhá spínací elektroda (62) spínacího prvku (6), přičemž řídicí elektroda (63) spínacího prvku (6) je spojena s řídicím výstupem (31) řadiče (3).
2. Analogově číslicový převodník podle bodu 1, v y z n a č e n ý t í m , že spínací prvek (6) je vytvořen z tranzistoru řízeného polem zapojeného tak, že jeho kolektor tvoří první spínací elektrodu (61), jeho emitor tvoří druhou spínací elektrodu (62) a jeho hradlo tvoří řídicí elektrodu (63).

1 výkres

