

阵列基板及其制造方法、显示面板

【技术领域】

本发明涉及显示技术领域，具体而言涉及一种阵列基板及其制造方法、显示面板。

【背景技术】

作为一项极具市场应用前景的显示技术，QLED（Quantum Dot Light Emitting Diodes，量子点发光二极管）近年来受到了业界的广泛关注，并在短时间内取得了巨大的发展。当前，QLED 器件可以与 TFT（Thin Film Transistor，薄膜晶体管）集成在一起，通过 TFT 控制 QLED 器件发光。但是，现有 TFT 的结构元件较多，且多为非透明器件，会遮蔽 QLED 器件发出的光，从而影响显示面板的开口率。

【发明内容】

有鉴于此，本发明提供一种阵列基板及其制造方法、显示面板，能够提高显示面板的开口率。

本发明一实施例的阵列基板，包括：

基板；

形成于基板上的第一栅极图案和覆盖第一栅极图案的第一绝缘层；

形成于第一绝缘层上的第一半导体图案，所述第一半导体图案位于第一栅极图案的正上方，且用于通电产生空穴；

覆盖第一半导体图案的坝层，所述坝层开设有凹槽及位于凹槽外围的两个第一接触孔，凹槽和两个第一接触孔均暴露第一半导体图案的表面；

形成于凹槽中且与第一半导体图案接触的 QLED 器件；

形成于坝层上的第二半导体图案，所述第二半导体图案用于通电产生电子，且直接覆盖 QLED 器件和两个第一接触孔，并可通过两个第一接触孔与第一半导体图案电性连接；

覆盖第二半导体图案的第二绝缘层，所述第二绝缘层开设有暴露第二半导体图案表面的两个第二接触孔；

间隔形成于第二绝缘层上的源极图案和漏极图案，所述源极图案和漏极图案覆盖两个第二接触孔，并可分别通过两个第二接触孔与第二半导体图案电性连接；

覆盖源极图案和漏极图案的第三绝缘层；

形成于第三绝缘层上的第二栅极图案，所述第二栅极图案为透明电极图案且位于 QLED 器件的正上方。

本发明一实施例的显示面板的阵列基板包括：

基板；

形成于基板上的第一栅极图案和覆盖第一栅极图案的第一绝缘层；

形成于第一绝缘层上的第一半导体图案，所述第一半导体图案位于第一栅极图案的正上方，且用于通电产生空穴；

覆盖第一半导体图案的坝层，所述坝层开设有凹槽及位于凹槽外围的两个第一接触孔，凹槽和两个第一接触孔均暴露第一半导体图案的表面；

形成于凹槽中且与第一半导体图案接触的 QLED 器件；

形成于坝层上的第二半导体图案，所述第二半导体图案用于通电产生电子，且直接覆盖 QLED 器件和两个第一接触孔，并可通过两个第一接触孔与第一半导体图案电性连接；

覆盖第二半导体图案的第二绝缘层，所述第二绝缘层开设有暴露第二半导体图案表面的两个第二接触孔；

间隔形成于第二绝缘层上的源极图案和漏极图案，所述源极图案和漏极图案覆盖两个第二接触孔，并可分别通过两个第二接触孔与第二半导体图案电性连接；

覆盖源极图案和漏极图案的第三绝缘层；

形成于第三绝缘层上的第二栅极图案，所述第二栅极图案为透明电极图案且位于 QLED 器件的正上方。

本发明一实施例的阵列基板的制造方法，包括：

在基板上依次形成第一栅极图案及覆盖第一栅极图案的第一绝缘层；

在第一绝缘层上形成第一半导体图案，所述第一半导体图案位于第一栅极图案的正上方，且用于通电产生空穴；

形成覆盖第一半导体图案的坝层，所述坝层开设有凹槽；以及形成位

于凹槽中且与第一半导体图案接触的 QLED 器件；所述坝层还开设有位于凹槽外围且暴露第一半导体图案表面的两个第一接触孔；

在坝层上形成第二半导体图案，所述第二半导体图案用于通电产生电子，且直接覆盖 QLED 器件和两个第一接触孔，并可通过两个第一接触孔与第一半导体图案电性连接；

形成覆盖第二半导体图案的第二绝缘层，所述第二绝缘层开设有暴露第二半导体图案表面的两个第二接触孔；

在第二绝缘层上形成间隔的源极图案和漏极图案，所述源极图案和漏极图案覆盖两个第二接触孔，并可分别通过两个第二接触孔与第二半导体图案电性连接；

形成覆盖源极图案和漏极图案的第三绝缘层；

在第三绝缘层上形成第二栅极图案，所述第二栅极图案为透明电极图案且位于 QLED 器件的正上方。

有益效果：本发明设计源极图案和漏极图案与第二半导体图案连接以作为 QLED 器件的上电极，且第一半导体图案作为 QLED 器件的下电极，相当于采用垂直叠加方式将 QLED 器件与 TFT 相连，在对第二栅极图案和第一栅极图案分别施加正负电压时，第一半导体图案和第二半导体图案分别产生的空穴和电子朝向 QLED 器件移动，并在 QLED 器件的发光层中重组而实现发光，光可以从位于 QLED 器件正上方出射，从而能够实现 TFT 区域发光，提高显示面板的开口率。

【附图说明】

图 1 是本发明一实施例的阵列基板的结构剖视图；

图 2 是本发明阵列基板的制造方法一实施例的流程示意图；

图 3 是基于图 2 所示方法制造阵列基板的场景示意图；

图 4 是本发明一实施例的显示面板的结构剖视图。

【具体实施方式】

下面结合本发明实施例中的附图，对本发明所提供的示例性的实施例的技术方案进行清楚、完整地描述。在不冲突的情况下，下述各个实施例

及实施例中的技术特征可以相互组合。

图 1 是本发明一实施例的阵列基板的结构剖视图。如图 1 所示, 本实施例的阵列基板 10 包括基板 11 及形成于基板 11 上的各层结构元件: 第一栅极图案 121、第一绝缘层 131、第一半导体图案 14、坝层 (Bank Layer) 15、QLED 器件 16、第二半导体图案 17、第二绝缘层 132、源极图案 122、漏极图案 123、第三绝缘层 133、第二栅极图案 18。

第一绝缘层 131 又称栅极绝缘层 (Gate Insulation Layer, GI 层), 形成于基板 11 上并覆盖第一栅极图案 121。

第一半导体图案 14 形成于第一绝缘层 131 上, 且位于第一栅极图案 121 的正上方。

坝层 15 形成于第一绝缘层 131 上并覆盖第一半导体图案 14, 且坝层 15 开设有凹槽 151 以及位于凹槽 151 外围的两个第一接触孔 152, 两个第一接触孔 152 的尺寸可以相同, 凹槽 151 的尺寸大于任一个第一接触孔 152 的尺寸, 凹槽 151 和两个第一接触孔 152 可视为坝层 15 的开口, 该开口用于暴露第一半导体图案 14 的表面。

QLED 器件 16 形成于凹槽 151 中且与第一半导体图案 14 面接触。

第二半导体图案 17 形成于坝层 15 上, 且直接覆盖 QLED 器件 16 和两个第一接触孔 152, 第二半导体图案 17 可分别通过两个第一接触孔 152 与第一半导体图案 14 电性连接。

第二绝缘层 132 形成于坝层 15 上并覆盖第二半导体图案 17, 且第二绝缘层 132 开设有暴露第二半导体图案 17 表面的两个第二接触孔 134。

源极图案 122 和漏极图案 123 为同层结构, 两者间隔形成于第二绝缘层 132 上, 源极图案 122 覆盖其中一个第二接触孔 134, 漏极图案 123 覆盖另一个第二接触孔 134, 源极图案 122 和漏极图案 123 可分别通过两个第二接触孔 134 与第二半导体图案 17 电性连接。

第三绝缘层 133 形成于第二绝缘层 132 上, 并覆盖源极图案 122 和漏极图案 123。

第二栅极图案 18 形成于第三绝缘层 133 上, 并位于 QLED 器件 16 的正上方。该第二栅极图案 18 可以为透明电极图案, 其制造材质包括但不限于 ITO (Indium Tin Oxide, 氧化铟锡)。

其中,第一栅极图案 121、源极图案 122 和漏极图案 123 所在区域为阵列基板 10 的 TFT 区域,鉴于 QLED 器件 16 设置于第一栅极图案 121 与源极图案 122 (或漏极图案 123) 之间,因此本实施例相当于采用垂直叠加方式将 QLED 器件 16 与 TFT 相连。

另外,源极图案 122 和漏极图案 123 与第二半导体图案 17 连接,且第二半导体图案 17 覆盖 QLED 器件 16,相当于源极图案 122 和漏极图案 123 与 QLED 器件 16 的上电极连接,或者说,源极图案 122 和漏极图案 123 可视为 QLED 器件 16 的上电极。第一半导体图案 14 与 QLED 器件 16 连接,相当于第一半导体图案 14 与 QLED 器件 16 的下电极连接,或者说,第一半导体图案 14 可视为 QLED 器件 16 的下电极。

在对第二栅极图案 18 施加正电压,并对第一栅极图案 121 施加负电压时,第一半导体图案 14 中的原子会聚集形成空穴,以第一半导体图案 14 为 p 型 LTPS (Low Temperature Poly-silicon, 低温多晶硅) 图案为例, p 型 LTPS 图案中的 P-Si (多晶硅) 会聚集形成空穴,而第二半导体图案 17 会产生电子。当对源极图案 122 和漏极图案 123 施加电压降,例如对源极图案 122 施加灰阶电压而未对漏极图案 123 施加电压时,电子受到电压降所提供的电场力作用在第二半导体图案 17 中运动,空穴受到电场力作用在第一半导体图案 14 中移动,朝向 QLED 器件 16 移动的电子和空穴在 QLED 器件 16 的发光层中汇聚形成光子 (Exciton, 又称激发子),光子重组即可发光。鉴于第二半导体图案 17、第二绝缘层 132、第三绝缘层 133 以及第二栅极图案 18 均由透光材料制得,因此 QLED 器件 16 发出的光可以从位于 QLED 器件 16 正上方的第二栅极图案 18 出射,从而实现 TFT 区域发光,相比较于现有技术,本实施例增大了每一像素的发光面积,因此能够提高显示面板的开口率。

在本实施例中,第二半导体图案 17 可以为 n 型 IGZO (Indium Gallium Zinc Oxide, 铟镓锌氧化物) 图案。第一半导体图案 14 可以为经过重掺杂处理的 p 型 LTPS 图案,具体地,第一半导体图案 14 的中间区域未经过重掺杂处理,而其两端为重掺杂有硼离子的重掺杂区域 141,由此,第二半导体图案 17 通过两个第一接触孔 152 与第一半导体图案 14 的重掺杂区域 141 电性连接,两者之间的接触阻抗较小。

下面介绍图 1 实施例的阵列基板 10 的制造方法。

图 2 是本发明一实施例的阵列基板的制造方法的流程示意图，图 3 是基于图 2 所示方法制造阵列基板的场景示意图。为便于描述，对于相同结构元件，本实施例采用与图 1 所示的相同标号进行标识。

请参阅图 2，本实施例的制造方法包括步骤 S21~S28。

S21：在基板上依次形成第一栅极图案及覆盖第一栅极图案的第一绝缘层。

如图 3 所示，基板 11 可以为玻璃基材、透明塑料基材、可挠式基材等透光基材。当然，本实施例的基板 11 也可以设置有钝化保护层，例如基板 11 可以包括衬底基材和形成于衬底基材上的钝化保护层，衬底基材可以为玻璃基材、透明塑料基材、可挠式基材等透光基材，钝化保护层的材料包括但不限于硅氮化合物，例如 Si_3N_4 （四氮化三硅，简称氮化硅），以保护基板 11 表面的结构稳定性。

本实施例可以通过光罩制程在基板 11 上形成具有预定图案的第一栅极图案 121。具体而言，首先可以采用 CVD（Chemical vapor deposition，化学气相沉积）方法在基板 11 上形成一整面金属层，然后在该金属层上涂布一整面光阻层，再采用光罩对光阻层依次曝光处理和显影处理，完全曝光部分的光阻可以被显影液去除，未曝光部分的光阻未被显影液去除，接着刻蚀去除未被光阻层遮盖的金属层，并去除光阻层，最终保留的金属层即可形成为 TFT 的第一栅极图案 121。

本实施例可采用 CVD 方法在第一栅极图案 121 上形成第一绝缘层（Gate Insulation Layer, GI，又称栅极绝缘层）131，该第一绝缘层 131 为覆盖第一栅极图案 121 的一整面结构，其材质可以为硅氧化物（ SiO_x ）。当然，栅极第一绝缘层 131 也可以包括依次形成于第一栅极图案 121 上的硅氧化物层和硅氮化合物，例如 SiO_2 （二氧化硅）和 Si_3N_4 （三氮化硅），从而能够提高栅极第一绝缘层 131 的耐磨损能力和绝缘性能。

S22：在第一绝缘层上形成第一半导体图案，所述第一半导体图案位于第一栅极图案的正上方，且用于通电产生空穴。

参阅图 3，本实施例可以采用 CVD 方法在第一绝缘层 131 上形成无定形硅（a-Si）图案，然后对无定形硅图案进行除氢处理，并利用铝、铜等金

属诱导 a-Si 结晶，接着对结晶后的无定形硅图案进行 p 型处理。所谓 p 型处理是指在结晶后的无定形硅图案中掺入三价元素，例如硼，使之取代晶格中硅原子，从而形成 p 型 LTPS 图案。

进一步地，本实施例可以仅对 p 型 LTPS 图案的两端进行重掺杂处理，以在 p 型 LTPS 图案的两端形成重掺杂区域 141。

当然，其他实施例也可以直接在第一绝缘层 131 覆盖一整面结构的无定形硅，然后通过除氢处理、结晶处理及 p 型处理得到一整面结构的 p 型 LTPS，接着在一整面结构的 p 型 LTPS 上覆盖一光阻层，并对光阻层曝光及显影处理，以去除位于第一栅极图案 121 正上方之外的光阻层，而第一栅极图案 121 正上方的光阻层被保留，继而刻蚀去除未被所述曝光后的光阻层遮盖的 p 型 LTPS，从而形成 p 型 LTPS 图案。

S23：形成覆盖第一半导体图案的坝层，所述坝层设有凹槽；以及形成位于凹槽中且与第一半导体图案接触的 QLED 器件；坝层还开设有位于凹槽外围且暴露第一半导体图案表面的两个第一接触孔。

本实施例可以通过光罩制程形成所述坝层 15。具体而言：

首先可以采用 CVD 方法形成一整面硅氧化合物层 30，然后在该硅氧化合物层 30 上涂布一整面光阻层（称为第一光阻层），再采用光罩对该第一光阻层依次进行曝光处理和显影处理，位于两个重掺杂区域 141 之间的正上方的第一光阻层被完全曝光，完全曝光部分的光阻可以被显影液去除，而未曝光部分的光阻未被显影液去除，接着刻蚀去除未被本次显影后的第一光阻层遮盖的硅氧化合物层 30，从而形成暴露第一半导体图案 14 表面的凹槽 151。接着去除剩余的第一光阻层。

继而，在凹槽 151 中形成与第一半导体图案 14 接触的 QLED 器件 16。其中，QLED 器件 16 的尺寸受凹槽 151 的尺寸所限定，本实施例可以根据实际需要设置凹槽 151 的大小。

进一步地，在硅氧化合物层 30 上涂布一整面光阻层（称为第二光阻层），并采用光罩对该第二光阻层依次进行曝光处理和显影处理，以去除位于两个重掺杂区域 141 正上方的第二光阻层，接着刻蚀去除未被本次显影处理后的第二光阻层遮盖的硅氧化合物层 30，以此形成分别暴露两个重掺杂区域 141 表面的两个第一接触孔 152。最后通过灰化处理去除剩余的第二光阻

层，从而得到上述坝层 15。

上述方法通过两次光罩制程形成坝层 15，即，凹槽 151 和第一接触孔 152 分别通过一次光罩制程制得。本发明其他实施例可以仅通过一次光罩制程制得凹槽 151 和两个第一接触孔 152。具体地，首先在第二半导体图案 14 上覆盖一整面硅氧化合物层 30，并在该一整面硅氧化合物层 30 上覆盖光阻层，接着对光阻层依次进行曝光处理和显影处理，以去除位于两个重掺杂区域 141 正上方的光阻层、以及位于两个重掺杂区域 141 之间的正上方的光阻层。进一步地，刻蚀去除未被显影处理后的光阻层遮盖的硅氧化合物层 30，以形成暴露第二半导体图案 14 表面的凹槽 151 和分别暴露两个重掺杂区域 141 表面的两个第一接触孔 152。最后通过灰化处理去除剩余的光阻层，即可得到上述坝层 15。

S24：在坝层上形成第二半导体图案，第二半导体图案用于通电产生电子，且直接覆盖 QLED 器件和两个第一接触孔，并可通过两个第一接触孔与第二半导体图案电性连接。

本实施例可以采用 CVD 方法在坝层 15 上形成一整面结构的 IGZO 层，然后在 IGZO 层上涂布一整面光阻层，再采用光罩对该光阻层依次进行曝光处理和显影处理，位于第二栅极图案 121 正上方之外的光阻层被完全曝光，完全曝光部分的光阻可以被显影液去除，而未曝光部分的光阻未被显影液去除，接着刻蚀去除未被本次显影后的光阻层遮盖的 IGZO 层，从而形成图 3 所示的第二半导体图案 17。

S25：形成覆盖第二半导体图案的第二绝缘层，所述第二绝缘层开设有暴露第二半导体图案表面的两个第二接触孔。

S26：在第二绝缘层上形成间隔的源极图案和漏极图案，所述源极图案和漏极图案覆盖两个第二接触孔，并可分别通过两个第二接触孔与第二半导体图案电性连接。

S27：形成覆盖源极图案和漏极图案的第三绝缘层。

S28：在第三绝缘层上形成第二栅极图案，第二栅极图案为透明电极图案且位于 QLED 器件的正上方。

第二绝缘层 132、源极图案 122、漏极图案 123、第三绝缘层 133 以及第二栅极图案 18 的制造原理及过程，可参阅现有技术，此处不再予以赘述。

本实施例的方法可制得与图 1 所示结构相同的阵列基板，因此本实施例的方法也具有上述有益效果。

本发明还提供一实施例的显示面板，如图 4 所示，该显示面板 40 包括第一基板 41 和第二基板 42，上述阵列基板 10 可以为两基板中的任一个。因此，该显示面板 40 也具有上述有益效果。

以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，例如各实施例之间技术特征的相互结合，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

1. 一种阵列基板，其中，所述阵列基板包括：

基板；

形成于所述基板上的第一栅极图案和覆盖所述第一栅极图案的第一绝缘层；

形成于所述第一绝缘层上的第一半导体图案，所述第一半导体图案位于所述第一栅极图案的正上方，且用于通电产生空穴；

覆盖所述第一半导体图案的坝层，所述坝层开设有凹槽及位于所述凹槽外围的两个第一接触孔，所述凹槽和所述两个第一接触孔均暴露所述第一半导体图案的表面；

形成于所述凹槽中且与所述第一半导体图案接触的 QLED 器件；

形成于所述坝层上的第二半导体图案，所述第二半导体图案用于通电产生电子，且直接覆盖所述 QLED 器件和所述两个第一接触孔，并可通过所述两个第一接触孔与所述第一半导体图案电性连接；

覆盖所述第二半导体图案的第二绝缘层，所述第二绝缘层开设有暴露所述第二半导体图案表面的两个第二接触孔；

间隔形成于所述第二绝缘层上的源极图案和漏极图案，所述源极图案和漏极图案覆盖所述两个第二接触孔，并可分别通过所述两个第二接触孔与所述第二半导体图案电性连接；

覆盖所述源极图案和漏极图案的第三绝缘层；

形成于所述第三绝缘层上的第二栅极图案，所述第二栅极图案为透明电极图案且位于所述 QLED 器件的正上方。

2. 根据权利要求 1 所述的阵列基板，其中，所述第一半导体图案包括 p 型低温多晶硅 LTPS 图案，所述第二半导体图案包括 n 型铟镓锌氧化物 IGZO 图案。

3. 根据权利要求 2 所述的阵列基板，其中，所述 p 型 LTPS 图案还包括位于其两端的重掺杂区域，所述第二半导体图案通过所述两个第一接触孔与所述第一半导体图案的重掺杂区域电性连接。

4. 一种显示面板，其中，所述显示面板的阵列基板包括：

基板;

形成于所述基板上的第一栅极图案和覆盖所述第一栅极图案的第一绝缘层;

形成于所述第一绝缘层上的第一半导体图案, 所述第一半导体图案位于所述第一栅极图案的正上方, 且用于通电产生空穴;

覆盖所述第一半导体图案的坝层, 所述坝层开设有凹槽及位于所述凹槽外围的两个第一接触孔, 所述凹槽和所述两个第一接触孔均暴露所述第一半导体图案的表面;

形成于所述凹槽中且与所述第一半导体图案接触的 QLED 器件;

形成于所述坝层上的第二半导体图案, 所述第二半导体图案用于通电产生电子, 且直接覆盖所述 QLED 器件和所述两个第一接触孔, 并可通过所述两个第一接触孔与所述第一半导体图案电性连接;

覆盖所述第二半导体图案的第二绝缘层, 所述第二绝缘层开设有暴露所述第二半导体图案表面的两个第二接触孔;

间隔形成于所述第二绝缘层上的源极图案和漏极图案, 所述源极图案和漏极图案覆盖所述两个第二接触孔, 并可分别通过所述两个第二接触孔与所述第二半导体图案电性连接;

覆盖所述源极图案和漏极图案的第三绝缘层;

形成于所述第三绝缘层上的第二栅极图案, 所述第二栅极图案为透明电极图案且位于所述 QLED 器件的正上方。

5. 根据权利要求 4 所述的显示面板, 其中, 所述第一半导体图案包括 p 型低温多晶硅 LTPS 图案, 所述第二半导体图案包括 n 型铟镓锌氧化物 IGZO 图案。

6. 根据权利要求 5 所述的显示面板, 其中, 所述 p 型 LTPS 图案还包括位于其两端的重掺杂区域, 所述第二半导体图案通过所述两个第一接触孔与所述第一半导体图案的重掺杂区域电性连接。

7. 一种阵列基板的制造方法, 其中, 所述方法包括:

在基板上依次形成第一栅极图案及覆盖所述第一栅极图案的第一绝缘层;

在所述第一绝缘层上形成第一半导体图案, 所述第一半导体图案位于

所述第一栅极图案的正上方，且用于通电产生空穴；

形成覆盖所述第一半导体图案的坝层，所述坝层设有凹槽；以及形成位于所述凹槽中且与所述第一半导体图案接触的 QLED 器件；所述坝层还开设有位于所述凹槽外围且暴露所述第一半导体图案表面的两个第一接触孔；

在所述坝层上形成第二半导体图案，所述第二半导体图案用于通电产生电子，且直接覆盖所述 QLED 器件和所述两个第一接触孔，并可通过所述两个第一接触孔与所述第一半导体图案电性连接；

形成覆盖所述第二半导体图案的第二绝缘层，所述第二绝缘层开设有暴露所述第二半导体图案表面的两个第二接触孔；

在所述第二绝缘层上形成间隔的源极图案和漏极图案，所述源极图案和漏极图案覆盖所述两个第二接触孔，并可分别通过所述两个第二接触孔与所述第二半导体图案电性连接；

形成覆盖所述源极图案和漏极图案的第三绝缘层；

在所述第三绝缘层上形成第二栅极图案，所述第二栅极图案为透明电极图案且位于所述 QLED 器件的正上方。

8. 根据权利要求 7 所述的方法，其中，所述在所述第一绝缘层上形成第一半导体图案，包括：

在所述第一绝缘层上形成无定形硅图案；

对所述无定形硅图案依次进行结晶处理和 p 型处理，以得到 p 型低温多晶硅 LTPS 图案。

9. 根据权利要求 8 所述的方法，其中，所述无定形硅图案为覆盖所述第一绝缘层的一整面结构，得到的 p 型 LTPS 图案为覆盖所述第一绝缘层的一整面结构，在得到所述 p 型 LTPS 图案之后，

所述在所述第一绝缘层上形成第一半导体图案，还包括：

在所述 p 型 LTPS 图案上覆盖一光阻层；

对所述光阻层曝光，以去除位于第一栅极图案正上方之外的光阻层；

刻蚀去除未被所述曝光后的光阻层遮盖的 p 型 LTPS 图案。

10. 根据权利要求 8 所述的方法，其中，在得到所述 p 型 LTPS 图案之后，所述在所述第一绝缘层上形成第一半导体图案，还包括：

对所述 p 型 LTPS 图案的两端进行重掺杂处理，以在所述 p 型 LTPS 图案的两端形成重掺杂区域。

11. 根据权利要求 10 所述的方法，其中，

形成覆盖所述第一半导体图案的坝层，所述坝层设有凹槽；以及形成位于所述凹槽中且与所述第一半导体图案接触的 QLED 器件；所述坝层还开设有位于所述凹槽外围且暴露所述第一半导体图案表面的两个第一接触孔，包括：

在所述第一半导体图案上覆盖一整面坝层；

在所述一整面坝层上覆盖第一光阻层；

对所述第一光阻层进行曝光，以去除位于两个所述重掺杂区域之间的正上方的第一光阻层；

刻蚀去除未被所述曝光后的第一光阻层遮盖的坝层，以此形成暴露所述第一半导体图案表面的凹槽；

去除剩余的第一光阻层；

在所述凹槽中形成与所述第一半导体图案接触的 QLED 器件；

在所述坝层上覆盖第二光阻层；

对所述第二光阻层进行曝光，以去除位于两个所述重掺杂区域正上方的第二光阻层；

刻蚀去除未被所述曝光后的第二光阻层遮盖的坝层，以此形成暴露所述重掺杂区域表面的两个第一接触孔；

去除剩余的第二光阻层。

12. 根据权利要求 10 所述的方法，其中，

形成覆盖所述第一半导体图案的坝层，所述坝层设有凹槽；以及形成位于所述凹槽中且与所述第一半导体图案接触的 QLED 器件；所述坝层还开设有位于所述凹槽外围且暴露所述第一半导体图案表面的两个第一接触孔，包括：

在所述第一半导体图案上覆盖一整面坝层；

在所述一整面坝层上覆盖光阻层；

对所述光阻层进行曝光，以去除位于两个所述重掺杂区域正上方的光阻层，以及位于两个所述重掺杂区域之间的正上方的光阻层；

刻蚀去除未被所述曝光后的光阻层遮盖的坝层，以形成暴露所述第一半导体图案表面的凹槽和分别暴露两个所述重掺杂区域表面的两个第一接触孔；

在所述凹槽中形成与所述第一半导体图案接触的 QLED 器件。

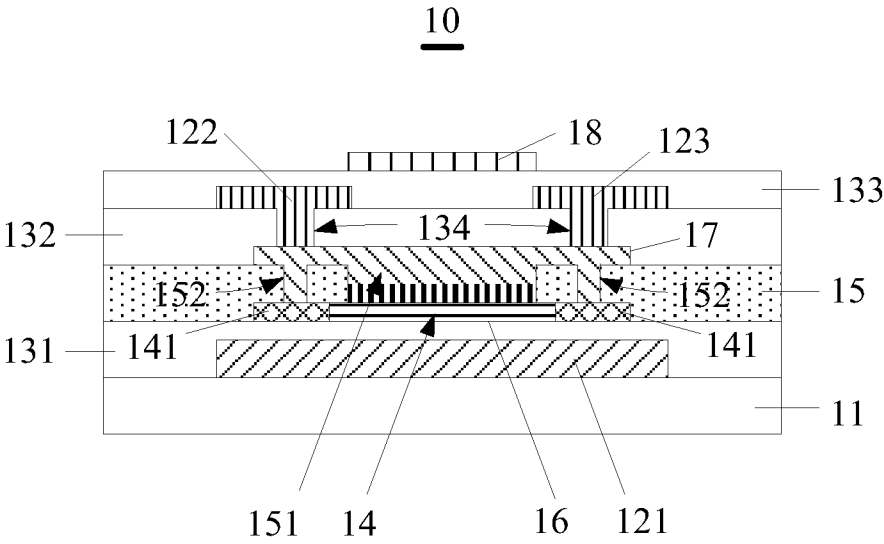


图 1

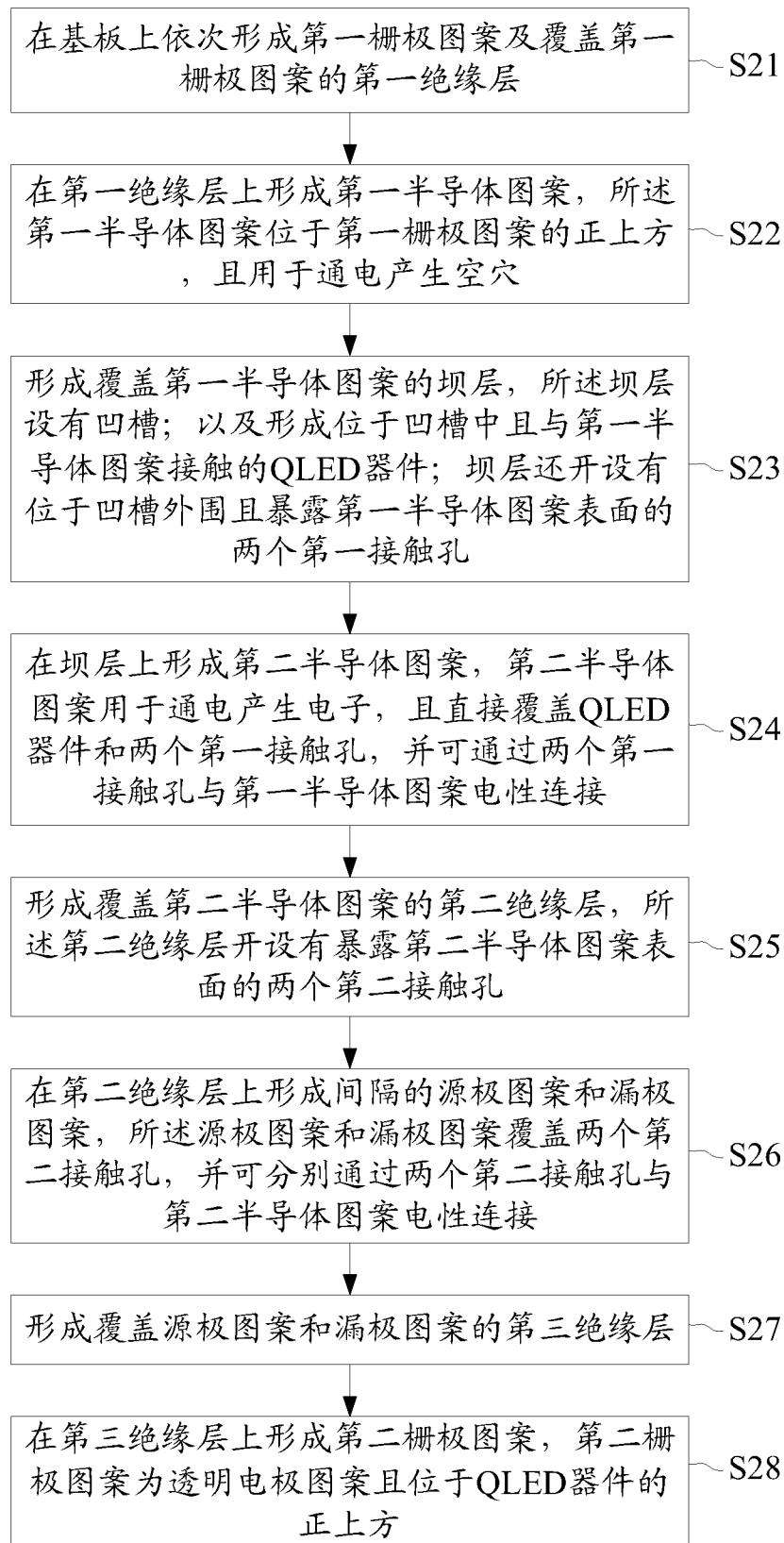


图 2

3/4

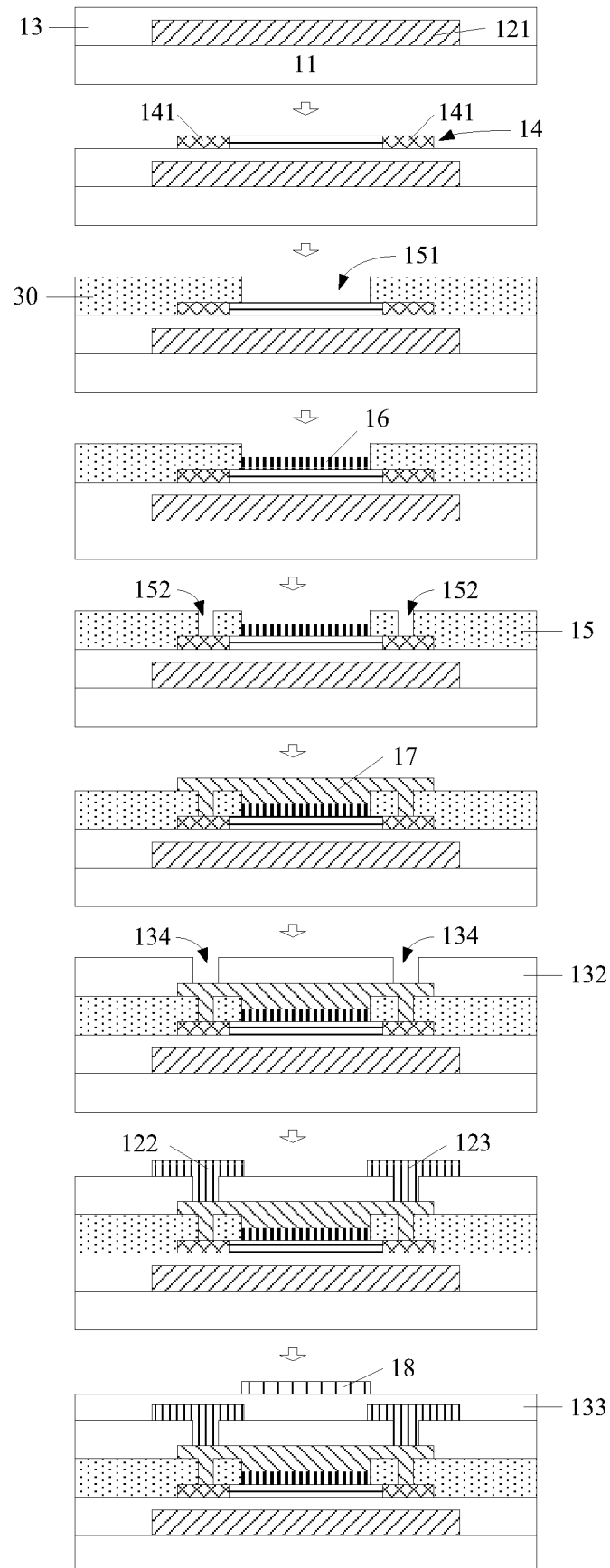


图 3

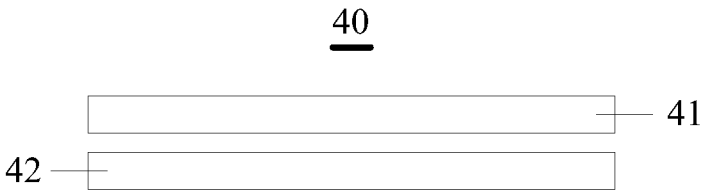


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/098441

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 51/50 (2006.01) n; G02F 1/1362 (2006.01) i; G02F 1/1362 (2006.01) n
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L, G02F; G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS: 量子点, 薄膜晶体管, 半导体, 栅极, 栅电极, tft, quantum, dot, qd, qled, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105206641 A (TCL CORPORATION) 30 December 2015 (30.12.2015), description, paragraphs [0016]-[0058], and figures 1-4	1-12
A	JP 2016042449 A (JAPAN DISPLAY INC.) 31 March 2016 (31.03.2016), entire document	1-12
A	CN 105185790 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 23 December 2015 (23.12.2015), entire document	1-12
A	CN 105304651 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 03 February 2016 (03.02.2016), entire document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11 April 2018	Date of mailing of the international search report 20 April 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimengqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer MA, Meijuan Telephone No. (86-10) 62085692

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/098441

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105206641 A	30 December 2015	None	
JP 2016042449 A	31 March 2016	None	
CN 105185790 A	23 December 2015	US 2017261788 A1	14 September 2017
		WO 2017049788 A1	30 March 2017
CN 105304651 A	03 February 2016	None	

国际检索报告

国际申请号

PCT/CN2017/098441

A. 主题的分类 H01L 27/12(2006.01)i; H01L 51/50(2006.01)n; G02F 1/1362(2006.01)i; G02F 1/1362(2006.01)n 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L, G02F; G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) VEN, CNABS:量子点, 薄膜晶体管, 半导体, 栅极, 栅电极, tft, quantum, dot, qd, qled, gate																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 105206641 A (TCL集团股份有限公司) 2015年 12月 30日 (2015 - 12 - 30) 说明书第[0016]-[0058]段, 图1-4</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>JP 2016042449 A (JAPAN DISPLAY INC) 2016年 3月 31日 (2016 - 03 - 31) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 105185790 A (深圳市华星光电技术有限公司) 2015年 12月 23日 (2015 - 12 - 23) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 105304651 A (深圳市华星光电技术有限公司) 2016年 2月 3日 (2016 - 02 - 03) 全文</td> <td>1-12</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 105206641 A (TCL集团股份有限公司) 2015年 12月 30日 (2015 - 12 - 30) 说明书第[0016]-[0058]段, 图1-4	1-12	A	JP 2016042449 A (JAPAN DISPLAY INC) 2016年 3月 31日 (2016 - 03 - 31) 全文	1-12	A	CN 105185790 A (深圳市华星光电技术有限公司) 2015年 12月 23日 (2015 - 12 - 23) 全文	1-12	A	CN 105304651 A (深圳市华星光电技术有限公司) 2016年 2月 3日 (2016 - 02 - 03) 全文	1-12
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 105206641 A (TCL集团股份有限公司) 2015年 12月 30日 (2015 - 12 - 30) 说明书第[0016]-[0058]段, 图1-4	1-12															
A	JP 2016042449 A (JAPAN DISPLAY INC) 2016年 3月 31日 (2016 - 03 - 31) 全文	1-12															
A	CN 105185790 A (深圳市华星光电技术有限公司) 2015年 12月 23日 (2015 - 12 - 23) 全文	1-12															
A	CN 105304651 A (深圳市华星光电技术有限公司) 2016年 2月 3日 (2016 - 02 - 03) 全文	1-12															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2018年 4月 11日		国际检索报告邮寄日期 2018年 4月 20日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 马美娟 电话号码 (86-10)86-10-62085692															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/098441

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	105206641	A	2015年 12月 30日	无	
JP	2016042449	A	2016年 3月 31日	无	
CN	105185790	A	2015年 12月 23日	US 2017261788 A1	2017年 9月 14日
				WO 2017049788 A1	2017年 3月 30日
CN	105304651	A	2016年 2月 3日	无	