



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년01월22일

(11) 등록번호 10-1820973

(24) 등록일자 2018년01월16일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/1368 (2006.01)
H01L 21/336 (2006.01)

(21) 출원번호 10-2012-7009204

(22) 출원일자(국제) 2010년09월08일

심사청구일자 2015년08월26일

(85) 번역문제출일자 2012년04월10일

(65) 공개번호 10-2012-0093873

(43) 공개일자 2012년08월23일

(86) 국제출원번호 PCT/JP2010/065883

(87) 국제공개번호 WO 2011/043162

국제공개일자 2011년04월14일

(30) 우선권주장

JP-P-2009-235740 2009년10월09일 일본(JP)

(56) 선행기술조사문헌

KR1020080048936 A*

(뒷면에 계속)

전체 청구항 수 : 총 7 항

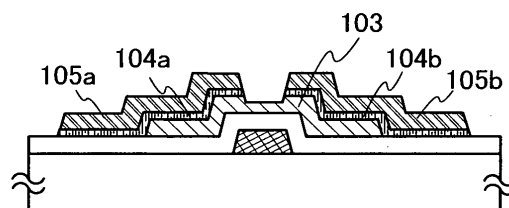
심사관 : 최혜미

(54) 발명의 명칭 반도체 장치 및 반도체 장치 제조 방법

(57) 요약

목적은 산화물 반도체층에 사용한 금속 및 소스 전극층과 드레인 전극층에 사용한 금속이 서로 반응하는 것을 방지하는, 산화물 반도체층을 포함하는 박막 트랜지스터를 제공하는 데 있다. 절연 표면을 갖는 기판 위에 제공된 소스 전극층 및 드레인 전극층은 2층 이상의 적층 구조를 갖는다. 복수의 층의 적층체에서, 산화물 반도체층과 접하는 층은 산화물 반도체층에 포함된 금속 원소와는 상이한 금속 원소를 포함하는 금속층이다. Sn, Sb, Se, Te, Pd, Ag, Ni, 및 Cu로부터 선택된 원소; 이러한 원소 중 임의의 원소를 성분으로서 함유하는 합금; 이러한 원소 중 임의의 원소를 조합하여 함유하는 합금 등을 금속층의 재료에 사용한다.

대표도 - 도1b



(56) 선행기술조사문헌

JP2009231664 A*

JP2007123861 A*

JP2007073702 A*

JP2009141002 A*

KR1020070107058 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 장치로서,
 절연 표면을 갖는 기판;
 상기 절연 표면을 갖는 상기 기판 위의 게이트 전극층;
 상기 게이트 전극층 위의 게이트 절연층;
 상기 게이트 절연층 위의 소스 전극층 및 드레인 전극층; 및
 상기 소스 전극층 및 상기 드레인 전극층 위의 산화물 반도체층
 을 포함하고,
 상기 소스 전극층 및 상기 드레인 전극층은 제1 금속층과 제2 금속층의 적층체로 형성되고,
 상기 제1 금속층과 상기 제2 금속층은 상기 산화물 반도체층과 접하고,
 상기 제1 금속층에 포함된 금속 원소는 Sn이고,
 상기 제1 금속층은 상기 산화물 반도체층과 상기 제2 금속층 사이에 있고,
 상기 제2 금속층은 상기 제1 금속층과 상기 게이트 절연층 사이에 있고,
 상기 제1 금속층의 에지는 상기 산화물 반도체층의 에지와 정렬되고,
 상기 산화물 반도체층은 상기 제2 금속층의 상부 표면과 접하지 않고,
 상기 제1 금속층에 포함된 상기 금속 원소는 상기 산화물 반도체층에 포함된 금속 원소 외의 금속 원소인, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,
 상기 제1 금속층에 포함된 상기 금속 원소는 상기 제2 금속층에 포함된 금속 원소와는 상이한, 반도체 장치.

청구항 5

제4항에 있어서,
 상기 제2 금속층은 Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소, 이러한 원소 중 임의의 원소를 성분으로
 서 함유하는 합금, 또는 이러한 원소 중 임의의 원소를 조합하여 함유하는 합금의 금속층을 사용하여 형성되는,
 반도체 장치.

청구항 6

제1항에 있어서,
 상기 제2 금속층은 순차적으로 적층된 제1 폴리브덴층, 알루미늄층, 및 제2 폴리브덴층을 포함하고,

상기 제1 몰리브덴층은 상기 제1 금속층과 접하는, 반도체 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

반도체 장치 제조 방법으로서,

절연 표면을 갖는 기판 위에 게이트 전극층을 형성하는 단계;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 위에 제1 금속층과 제2 금속층의 적층체를 형성하는 단계;

상기 제1 금속층과 상기 제2 금속층의 상기 적층체를 선택적으로 에칭하여, 상기 적층체를 갖는 소스 전극층 및 드레인 전극층을 형성하는 단계;

상기 소스 전극층 및 상기 드레인 전극층 위에 산화물 반도체층을 형성하는 단계; 및

상기 산화물 반도체층과 상기 제1 금속층을 선택적으로 에칭하여, 상기 제1 금속층의 에지가 상기 산화물 반도체층의 에지와 정렬되는 단계

를 포함하고,

상기 제1 금속층에 포함된 금속 원소는 Sn이고,

상기 제1 금속층과 상기 제2 금속층은 상기 산화물 반도체층과 접하고,

상기 제1 금속층은 상기 산화물 반도체층과 상기 제2 금속층 사이에 있고,

상기 제2 금속층은 상기 제1 금속층과 상기 게이트 절연층 사이에 있고,

상기 산화물 반도체층은 상기 제2 금속층의 상부 표면에 접하지 않고,

상기 제1 금속층에 포함된 상기 금속 원소는 상기 산화물 반도체층에 포함된 금속 원소 외의 금속 원소인, 반도체 장치 제조 방법.

청구항 10

삭제

청구항 11

제9항에 있어서,

상기 제2 금속층에 포함된 금속 원소는 Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 적어도 하나의 금속 원소인, 반도체 장치 제조 방법.

청구항 12

제9항에 있어서,

상기 제2 금속층은 순차적으로 적층된 제1 몰리브덴층, 알루미늄층, 및 제2 몰리브덴층을 포함하고,

상기 제1 몰리브덴층은 상기 제1 금속층과 접하는, 반도체 장치 제조 방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

발명의 설명

기술 분야

- [0001] 본 발명은 박막 트랜지스터(이하에서 TFT로 칭함)를 사용하여 형성한 회로를 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다. 예를 들어, 본 발명은 액정 표시 패널로 대표되는 전기 광학 장치, 또는 유기 발광 소자를 컴포넌트로서 포함하는 발광 표시 장치를 구비한 전자 장치에 관한 것이다.
- [0002] 본 명세서에서, 반도체 장치는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미하고, 전기 광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치이다.

배경 기술

- [0003] 최근, 절연 표면을 갖는 기판 위에 형성된 반도체 박막(대략 수 나노미터 내지 수백 나노미터의 두께를 가짐)을 사용함으로써 박막 트랜지스터(TFT)를 형성하기 위한 기술이 주목받고 있다. 박막 트랜지스터는 넓은 범위의 전자 장치, 예컨대 IC 또는 전기 광학 장치에 적용하고, 화상 표시 장치의 스위칭 소자로서 사용하는 박막 트랜지스터의 신속한 개발이 특히 시급하다.
- [0004] 또한, 넓은 범위의 응용에 사용하는 다양한 종류의 금속 산화물이 존재한다. 산화인듐은 잘 알려진 재료이고, 액정 디스플레이 등에 필요한 투광성 전극 재료로서 사용한다. 몇몇 금속 산화물은 반도체 특성이 있다. 이러한 반도체 특성을 갖는 금속 산화물의 예는 산화텅스텐, 산화주석, 산화인듐, 산화아연 등을 포함한다. 이러한 반도체 특성을 갖는 금속 산화물을 사용하여 채널 형성 영역이 형성되어 있는 박막 트랜지스터는 이미 알려져 있다(예를 들어, 특허문헌 1 및 2 참조).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본공개특허출원번호 2007-123861
(특허문헌 0002) 일본공개특허출원번호 2007-096055

발명의 내용

- [0006] 본 발명의 한 실시형태의 목적은 산화물 반도체층에 사용한 재료 및 소스 전극층과 드레인 전극층에 사용한 재료가 서로 반응하는 것을 방지하는, 산화물 반도체층을 포함하는 박막 트랜지스터를 제공하는 데 있다.
- [0007] 또한, 목적은 높은 전기적 특성을 갖는 박막 트랜지스터를 산화물 반도체층을 포함하는 박막 트랜지스터로서 제공하는 데 있다.

- [0008] 본 명세서에서 개시하는 본 발명의 한 실시형태에서, 절연 표면을 갖는 기판 위에 제공된 소스 전극층 및 드레인 전극층은 2층 이상의 적층 구조를 갖는다. 복수의 층의 적층체에서, 산화물 반도체층과 접하는 층은 산화물 반도체층에 포함된 금속 원소 외의 금속 원소를 포함하는 금속층이다. Sn, Sb, Se, Te, Pd, Ag, Ni, 및 Cu로부터 선택된 원소; 이러한 원소 중 임의의 원소를 성분으로서 함유하는 합금; 이러한 원소 중 임의의 원소를 조합하여 함유하는 합금 등을 금속층의 재료에 사용한다.
- [0009] 또한, 본 발명의 또 다른 실시형태는 산화되지 않는 금속인 Pt 또는 Au를 사용된 금속층의 재료로서 사용할 수 있는 반도체 장치이다. 반도체 장치에서, 절연 표면을 갖는 기판 위에 산화물 반도체층, 소스 전극층, 및 드레인 전극층을 제공한다. 소스 전극층 및 드레인 전극층은 복수의 층의 적층체로 형성한다. 복수의 층의 적층체에서, 산화물 반도체층과 접하는 층은 Au 또는 Pt로부터 형성된 금속층이다. 금속층은 산화물 반도체층에 포함된 금속 원소와는 상이한 금속 원소의 재료를 사용하여 형성함을 알아야 한다.
- [0010] 소스 전극층 및 드레인 전극층에서 제2 층 또는 제2 및 임의의 후속 층은 제1 층의 재료와는 상이한 재료, 즉 Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소, 이러한 원소 중 임의의 원소를 성분으로서 함유하는 합금, 이러한 원소 중 임의의 원소를 조합하여 함유하는 합금 등을 사용하여 형성한다.
- [0011] 산화물 반도체층은 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Sn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, 또는 Zn-O계 산화물 반도체층을 사용하여 형성한다. Sn을 금속층의 재료로서 사용하는 경우, Sn을 포함하지 않는 재료, 예컨대 Al-Ga-Zn-O계, In-Zn-O계, Al-Zn-O계, In-O계, 또는 Zn-O계 산화물 반도체 재료를 산화물 반도체층에 사용함을 알아야 한다.
- [0012] 상술한 구조로, 상술한 목적 중 적어도 하나를 달성할 수 있다.
- [0013] 상술한 구조를 얻는 본 발명의 한 실시형태는 반도체 장치를 제조하기 위한 방법으로서, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고; 게이트 전극층 위에 게이트 절연층을 형성하고; 게이트 절연층 위에 산화물 반도체층을 형성하고; 산화물 반도체층 위에 산화물 반도체층에 포함된 금속 원소 외의 금속 원소를 함유하는 제1 금속층, 및 제2 금속층을 성막하고; 제1 금속층 및 제2 금속층을 선택적으로 에칭하여 제1 금속층과 제2 금속층의 적층 구조를 갖는 소스 전극층 및 드레인 전극층을 형성한다. 제1 금속층에 포함된 원소는 Sn, Sb, Se, Te, Pd, Ag, Ni, Cu, Pt, 및 Au로부터 선택된 적어도 하나의 원소이다.
- [0014] 상술한 제조 방법에 따라 보텀-게이트 박막 트랜지스터를 제조할 수 있다.
- [0015] 또한, 역 동일평면(inverted coplanar)(보텀-콘택트로도 칭함) 박막 트랜지스터를 제조하는 경우, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고; 게이트 전극층 위에 게이트 절연층을 형성하고; 게이트 절연층 위에 제1 금속층과 제2 금속층의 적층체를 형성하고; 제1 금속층 및 제2 금속층을 선택적으로 에칭하여 제1 금속층과 제2 금속층의 적층 구조를 갖는 소스 전극층 및 드레인 전극층을 형성하고; 소스 전극층 및 드레인 전극층 위에 산화물 반도체층을 형성한다. 제2 금속층에 포함된 원소는 산화물 반도체층에 포함된 금속 원소 외의 금속 원소 및 Sn, Sb, Se, Te, Pd, Ag, Ni, Cu, Pt 및 Au로부터 선택된 적어도 하나의 원소이다.
- [0016] 각 제조 방법의 구조에서, 제1 금속층 및 제2 금속층은 스퍼터링법 또는 증발법으로 성막한다. 또한, 제1 금속층의 성막 후 대기에 노출하지 않으면서 제1 금속층 위에 제2 금속층을 성막하는 것이 바람직하다.
- [0017] 또한, 타깃을 제조하는 것이 어려운 금속 또는 합금을 산화물 반도체층과 접하는 금속층으로서 사용하는 경우, 금속 타깃 위에 상이한 금속의 펠릿을 놓고, 이어서 스퍼터링법으로 연속 성막을 수행한다. 이 경우, 대기에 노출하지 않으면서 하나의 스퍼터링 장치에서 성막을 수행할 수 있다. 스퍼터링 조건에 좌우되지만, 몇몇 경우에서 금속 타깃의 재료와 펠릿의 금속 재료의 혼합층을 형성한다. 또한, 금속 타깃 위에 복수의 금속 펠릿을 배열한 상태에서 스퍼터링을 수행할 수 있다. 펠릿은 5mm 내지 50mm의 직경 및 2mm 내지 30mm의 높이를 갖는 원주 형상을 갖는다. 펠릿의 형상에 대한 특별한 제한은 없음을 알아야 한다. 펠릿은 정육면체, 직사각형 고체, 타원형 원기둥 등일 수 있다.
- [0018] 본 명세서에서 "연속 성막(successive deposition)"이란 용어는 스퍼터링법(증발법 등)에 의한 제1 성막 공정과 스퍼터링법(증착법 등)에 의한 제2 성막 공정의 일련의 공정 동안 가공되는 기판이 배치되는 분위기가 대기와 같은 오염 분위기에 의해 오염되지 않고, 진공 또는 불활성 가스 분위기(질소 분위기 또는 희가스 분위기)로 항상 제어되는 것을 의미한다. 연속 성막으로, 세정된 기판에 수분 등의 재부착 없이 성막을 수행할 수 있다.
- [0019] 동일한 챔버에서 제1 성막 공정부터 제2 성막 공정까지의 처리를 수행하는 것은 본 명세서의 연속 성막의 범위 내에 있다.

[0020] 또한, 복수의 챔버에서 제1 성막 공정부터 제2 성막 공정까지의 처리를 수행하는 경우, 제1 성막 공정 후 기판을 대기에 노출하지 않으면서 또 다른 챔버로 반송하여 제2 성막을 수행하는 것도 본 명세서의 연속 성막의 범위 내에 있다.

[0021] 제1 성막 공정과 제2 성막 공정 사이에 기관 반송 공정, 정렬 공정, 서냉 공정을, 기관을 제2 성막 공정에 필요한 온도까지 가열 또는 냉각하는 공정 등을 제공할 수 있음을 알아야 한다. 이러한 처리도 본 명세서의 연속 성막의 범위 내에 있다.

[0022] 그러나 세정 공정, 습식 에칭, 또는 레지스트 형성과 같은 액체를 사용하는 공정이 제1 성막 공정과 제2 성막 공정 사이에 존재하는 경우는 본 명세서의 연속 성막의 범위에 있지 않다.

[0023] 산화물 반도체층을 포함하는 박막 트랜지스터에서, 소스 전극층 및 드레인 전극층에 포함된 금속 재료 및 산화물 반도체층에 포함된 재료가 서로 반응하는 것을 방지하여 고주파 특성(f 특성으로 칭함)을 갖는 박막 트랜지스터를 얻을 수 있다.

도면의 간단한 설명

[0024] 도 1a 내지 1d는 본 발명의 한 실시형태를 도시하는 단면도이다.

도 2는 본 발명의 한 실시형태를 도시하는 상면도이다.

도 3a 내지 3c는 본 발명의 한 실시형태를 각각 도시하는 단면도이다.

도 4a 및 4b는 본 발명의 한 실시형태를 도시하는 상면도 및 단면도이다.

도 5는 본 발명의 한 실시형태를 도시하는 단면도이다.

도 6a 및 6b는 본 발명의 한 실시형태를 도시하는 평면도 및 단면도이다.

도 7a 및 7b는 전자 장치의 예를 도시하는 도면이다.

도 8a 및 8b는 전자 장치의 예를 도시하는 도면이다.

도 9는 전자 장치의 예를 도시하는 도면이다.

도 10은 전자 장치의 예를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서, 본 발명의 실시형태는 첨부한 도면을 참조하여 상세하게 설명할 것이다. 그러나 본 발명은 이하의 설명에 한정하지 않고, 본 기술분야의 통상의 기술자는 본 명세서에서 기술한 모드 및 상세한 내용을 본 발명의 사상 및 범위를 벗어나지 않으면서 다양한 방식으로 변경할 수 있음을 쉽게 이해한다. 그러므로 본 발명은 실시형태의 기재 내용에 한정하는 것으로서 해석하지 않는다.

[0026] [실시 형태 1]

[0027] 본 실시형태에서, 도 1d에 도시한 박막 트랜지스터(150)를 제조하기 위한 방법의 한 형태는 박막 트랜지스터 제조 공정을 도시하는 단면도인 도 1a 내지 1d를 참조하여 기술한다. 박막 트랜지스터(150)는 보텀-게이트 구조 중 하나이다.

[0028] 유리 기판을 기판(100)으로서 사용하는 것이 바람직하다. 기판(100)에 사용하는 유리 기판으로서, 나중에 수행하는 가열 처리의 온도가 높은 경우에는 바람직하게는 왜곡점(strain point)이 730℃ 이상인 유리 기판을 사용한다. 또한, 기판(100)의 재료로서, 예를 들어 유리 재료, 예컨대 알루미늄노실리케이트 유리, 알루미늄노실리케이트 유리, 또는 바륨 보로실리케이트 유리를 사용한다. 산화붕소의 양보다 산화바륨(BaO)의 양을 더 많이 함유함으로써, 유리 기판은 내열성이고, 더욱 실용적으로 사용함을 알아야 한다. 그러므로 바람직하게는 B₂O₃의 양보다 BaO의 양이 더 많도록 BaO 및 B₂O₃을 함유하는 유리 기판을 사용한다.

[0029] 기판(100) 대신 절연체로부터 형성된 기판, 예컨대 세라믹 기판, 석영 유리 기판, 석영 기판, 또는 사파이어 기판을 사용할 수 있음을 알아야 한다. 대안으로, 결정화된 유리 기판 등을 사용할 수 있다.

[0030] 베이스층의 역할을 하는 절연층을 기판(100)과 게이트 전극층(101) 사이에 제공할 수 있다. 베이스층은 기판(100)으로부터의 불순물 위소의 확산을 방지하는 기능이 있고, 질화 실리콘층, 산화 실리콘층, 질화 산화 실리

콘층, 및 산화 질화 실리콘층 중 하나 이상을 사용하여 단층 또는 적층 구조로 형성할 수 있다.

- [0031] 게이트 전극층(101)으로서, 금속 도전층을 사용할 수 있다. 금속 도전층의 재료로서, 바람직하게는 Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 이러한 원소 중 임의의 원소를 성분으로서 함유하는 합금; 이러한 원소 중 임의의 원소를 조합하여 함유하는 합금 등을 사용한다. 예를 들어, 티타늄층 위에 알루미늄층이 적층되어 있고, 알루미늄층 위에 티타늄층이 적층되어 있는 3층 구조, 또는 몰리브덴층 위에 알루미늄층이 적층되어 있고, 알루미늄층 위에 몰리브덴층이 적층되어 있는 3층 구조가 바람직하다. 물론, 금속 도전층은 단층 구조, 2층 구조, 또는 4층 이상이 적층되어 있는 적층 구조일 수 있다.
- [0032] 이어서, 게이트 전극층(101) 위에 게이트 절연층(102)을 형성한다.
- [0033] 본 실시형태에서, 게이트 절연층(102)의 형성은 고밀도 플라즈마 장치로 수행한다. 여기서, 고밀도 플라즈마 장치는 $1 \times 10^{11}/\text{cm}^3$ 이상의 플라즈마 밀도를 실현할 수 있는 장치를 의미한다. 예를 들어, 3kW 내지 6kW의 마이크로파 전력을 인가함으로써 플라즈마를 발생시켜 절연막을 형성한다.
- [0034] 모노실란 가스(SiH_4), 아산화질소(N_2O), 및 희가스를 소스 가스로서 챔버에 도입하여 10Pa 내지 30Pa의 압력에서 고밀도 플라즈마를 발생시켜 절연 표면을 갖는 기관, 예컨대 유리 기관 위에 절연막을 형성한다. 그 후, 모노실란 가스의 공급을 정지할 수 있고, 아산화질소(N_2O) 및 희가스를 대기에 노출하지 않으면서 도입하여 절연막의 표면에 플라즈마 처리를 수행할 수 있다. 아산화질소(N_2O) 및 희가스를 도입함으로써 절연막의 표면에 수행한 플라즈마 처리는 적어도 절연막을 형성한 후에 수행한다. 상술한 처리 절차를 통해 형성한 절연막은 얇은 두께를 갖고, 예를 들어 100nm 미만의 두께를 갖더라도 신뢰성을 보장할 수 있는 절연막에 상응한다.
- [0035] 게이트 절연층(102)의 형성 시, 챔버에 도입하는 모노실란 가스(SiH_4) 대 아산화질소(N_2O)의 유량 비(flow ratio)는 1:10 내지 1:200의 범위이다. 또한, 챔버에 도입하는 희가스로서, 헬륨, 아르곤, 크립톤, 크세논 등을 사용할 수 있다. 특히, 바람직하게는 저렴한 아르곤을 사용한다.
- [0036] 또한, 고밀도 플라즈마 장치를 사용함으로써 형성한 절연막은 특정 두께를 가질 수 있으므로, 절연막은 우수한 단차 피복성(step coverage)을 갖는다. 또한, 고밀도 플라즈마 장치를 사용함으로써, 얇은 절연막의 두께를 정밀하게 제어할 수 있다.
- [0037] 통상적인 평행 평판형 PCVD 장치를 사용함으로써 형성한 절연막과는 많은 부분에서 상이한 상술한 처리 절차를 통해 형성한 절연막은, 동일한 예컨대를 사용한 예칭 속도를 서로 비교하는 경우, 통상적인 평행 평판형 PCVD 장치를 사용함으로써 형성한 절연막의 예칭 속도보다 10% 이상 또는 20% 이상만큼 낮은 예칭 속도를 갖는다. 따라서, 고밀도 플라즈마 장치로 얻은 절연막은 치밀한 막이라고 할 수 있다.
- [0038] 본 실시형태에서, 게이트 절연층(102)으로서, 고밀도 플라즈마 장치로 형성한 100nm의 두께를 갖는 산화 질화 실리콘막(SiO_xN_y 로도 칭함, 여기서 $x > y > 0$)을 사용한다.
- [0039] 다음으로, 게이트 절연층(102) 위에 5nm 이상 200nm 이하, 바람직하게는 10nm 이상 50nm 이하의 두께로 산화물 반도체막을 형성한다. 또한, 산화물 반도체막은 희가스(일반적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(일반적으로 아르곤) 및 산소를 함유하는 분위기에서 스퍼터링법으로 성막할 수 있다.
- [0040] 산화물 반도체막은 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, In-Sn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, 또는 Zn-O계 산화물 반도체층을 사용하여 형성한다. 본 실시형태에서, 예를 들어 산화물 반도체막은 성막용 In-Ga-Zn-O계 산화물 반도체 타깃을 사용하여 스퍼터링법으로 성막한다.
- [0041] 또한, 성막용 산화물 반도체 타깃에 함유된 산화물 반도체는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상의 상대 밀도를 갖는 것이 바람직하다. 높은 상대 밀도를 갖는 타깃을 사용하는 경우, 형성되는 산화물 반도체막의 불순물 농도를 줄일 수 있어 우수한 전기적 특성 또는 높은 신뢰성을 갖는 박막 트랜지스터를 얻을 수 있다.
- [0042] 또한, 산화물 반도체막의 성막 전에, 스퍼터링 장치의 내벽, 타깃 표면, 또는 타깃의 재료에 남아있는 수분 또는 수소를 제거하기 위하여 바람직하게는 예열 처리를 수행한다. 예열 처리로서, 성막 챔버의 내부를 감압하에서 200℃ 내지 600℃로 가열하는 방법, 성막 챔버의 내부를 가열하면서 질소 또는 불활성 가스의 도입 및 배기를 반복하는 방법 등을 제공한다. 이 경우, 바람직하게는 물이 아닌 오일 등을 타깃을 위한 냉각수로서 사용한

다. 가열하지 않으면서 질소의 도입 및 배기를 반복하는 경우 특정 수준의 효과를 얻을 수 있지만, 성막 챔버의 내부를 가열하면서 처리를 수행하는 것이 더욱 바람직하다. 예열 처리를 수행한 후, 기관 또는 스퍼터링 장치를 냉각하고, 이어서 산화물 반도체막을 성막한다.

[0043] 또한, 스퍼터링법으로 성막을 수행하는 경우, 기관을 400℃ 이상 700℃ 이하의 온도까지 가열할 수 있다.

[0044] 또한, 산화물 반도체막의 성막 전, 중, 또는 후에 크라이오펌프(cryopump)를 사용하여 스퍼터링 장치에 남아있는 수분 등을 제거하는 것이 바람직하다.

[0045] 또한, 게이트 절연층(102) 및 산화물 반도체막은 대기에 노출하지 않으면서 연속적으로 형성할 수 있다. 대기에 노출하지 않는 성막은 대기 성분 또는 대기에 부유하는 불순물 원소, 예컨대 물 또는 탄화수소에 의해 오염되지 않는, 적층된 층들 간의 계면을 얻을 수 있게 한다. 그러므로 박막 트랜지스터의 특성 변화를 줄일 수 있다.

[0046] 다음으로, 산화물 반도체막을 포토리소그래피 공정을 통해 섬 형상의 산화물 반도체층(103)으로 가공한다(도 1a 참조). 또한, 섬 형상의 산화물 반도체층의 형성을 위한 레지스트 마스크는 잉크젯법으로 형성할 수 있다. 잉크젯법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않고, 따라서 제조 비용을 줄일 수 있다.

[0047] 이어서, 제1 가열 처리를 수행하여 산화물 반도체층(103)의 탈수화 또는 탈수소화를 수행한다. 탈수화 또는 탈수소화를 위한 제1 가열 처리 동안의 최대 온도는 350℃ 이상 750℃ 이하, 바람직하게는 425℃ 이상이다. 425℃ 이상인 온도의 경우에는 가열 처리 시간이 1시간 이하일 수 있는 한편 425℃ 미만인 온도의 경우에는 가열 처리 시간이 1시간보다 길 수 있음을 알아야 한다. 본 실시형태에서, 가열 처리는 1시간 동안 450℃의 로에서 질소 분위기로 수행한다.

[0048] 제1 가열 처리에서, 질소 또는 희가스, 예컨대 헬륨, 네온, 또는 아르곤에 물, 수소, 등이 함유되지 않는 것이 바람직함을 알아야 한다. 가열 처리 장치에 도입하는 질소 또는 희가스, 예컨대 헬륨, 네온, 또는 아르곤의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하임)으로 설정하는 것이 바람직하다.

[0049] 또한, 제1 가열 처리에서, 전기로를 사용하는 가열 방법을 이용할 수 있다. 제1 가열 처리에서, 가열 처리 장치는 전기로에 한정하지 않고, 저항 가열기와 같은 가열기로부터의 열 전도 또는 열 복사를 이용함으로써 대상을 가열하는 장치를 구비할 수 있음을 알아야 한다. 예를 들어, 급속 열 어닐 장치, 예컨대 가스 급속 열 어닐링(GRTA) 장치 또는 램프 급속 열 어닐링(LRTA) 장치를 사용할 수 있다. LRTA 장치는 램프, 예컨대 할로젠 램프, 급속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프로부터 방출된 광(전자기파)의 복사를 통해 가공되는 대상을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 사용하여 가열 처리를 수행하는 장치이다. 가스로서, 가열 처리를 통해 대상과 거의 반응하지 않는 불활성 가스, 예컨대 질소 또는 희가스, 예컨대 아르곤을 사용한다.

[0050] 다음으로, 게이트 절연층(102) 및 산화물 반도체층(103) 위에 소스 전극층 및 드레인 전극층을 형성하기 위한 도전층들의 적층체를 성막한다.

[0051] 제1 금속층은 1nm 이상 50nm 이하의 두께로 산화물 반도체층(103) 위에 접하여 적층하고, 이어서 그 위에 Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 이러한 원소 중 임의의 원소를 성분으로서 함유하는 합금; 또는 이러한 원소 중 임의의 원소를 조합하여 함유하는 합금으로부터 형성된 제2 금속층인 도전층을 적층한다.

[0052] 본 실시형태에서, 산화물 반도체층의 두께보다 얇은 1nm 이상 50nm 이하의 두께를 갖는 주석 혼합층 위에 제1 몰리브덴층, 알루미늄층, 및 제2 몰리브덴층이 적층되어 있는 4층의 적층 구조를 이용한다. 상이한 재료의 복수의 타깃을 설정할 수 있는 하나의 멀티-소스 스퍼터링 장치에서 주석의 펄릿이 놓여있는 제1 몰리브덴 타깃, 펄릿이 없는 제2 몰리브덴 타깃, 및 알루미늄 타깃을 사용하여 4개의 층을 대기에 노출하지 않으면서 연속적으로 적층한다. 주석 혼합층은 4개의 층 중에서 가장 얇은 층이고, 산화물 반도체층보다 얇음을 알아야 한다. 연속 성막을 통해, 얇은 주석 혼합층의 산화 및 저항 증가를 방지한다.

[0053] 본 실시형태에서, 주석 혼합층은 소스 전극층과 드레인 전극층의 적층체 각각에 포함되고 산화물 반도체층과 접하는 층의 예로서 기술하지만, 본 실시형태는 이에 한정하지 않는다. Sb, Se, Te, Pd, Ag, Ni, Cu, Pt, 및 Au로부터 선택된 적어도 하나의 원소를 사용한다.

[0054] 이어서, 포토마스크를 사용하여 포토리소그래피 공정을 수행하고, 소스 전극층 및 드레인 전극층을 형성하기 위

한 4개 층의 적층체를 선택적으로 에칭하여 적층 구조를 갖는 소스 전극층(104a 및 105a) 및 드레인 전극층(104b 및 105b)을 형성한다(도 1b 참조). 산화물 반도체층(103) 위에 접하는 주석 혼합층은 소스 전극층 및 드레인 전극층 중 소스 전극층(104a) 및 드레인 전극층(104b)에 대응함을 알아야 한다. 또한, 이때 산화물 반도체층(103)의 일부를 에칭하여 산화물 반도체층(103)은 그루브(오목부)를 갖는다. 산화물 반도체층(103)의 재료, 소스 전극층 및 드레인 전극층의 재료, 또는 에칭 조건에 따라 몇몇 경우에서 산화물 반도체층(103)은 그루브(오목부)를 갖지 않음을 알아야 한다. 예를 들어, 소스 전극층과 드레인 전극층의 적층체에 있고 산화물 반도체층과 접하는 층은 Au 또는 Pt를 사용할 때 에칭 스톱퍼(etching stopper)로서도 기능할 수 있다.

[0055] 다음으로, 게이트 절연층(102), 산화물 반도체층(103), 소스 전극층(104a 및 105a) 및 드레인 전극층(104b 및 105b)을 덮고, 산화물 반도체층(103)의 일부와 접하는 보호 절연층(107)을 형성한다(도 1c 참조). 보호 절연층(107)은, 불순물, 예컨대 물 및 수소가 보호 절연층(107)에 혼합되는 것을 방지하는 방법, 예컨대 CVD법 또는 스퍼터링법을 적절하게 이용하여 적어도 1nm 이상의 두께로 성막할 수 있다. 여기서, 보호 절연층(107)은 스퍼터링법의 한 종류인 반응성 스퍼터링법을 이용하여 형성한다. 산화물 반도체층(103)의 일부와 접하는 보호 절연층(107)은 불순물, 예컨대 수분, 수소 이온, 및 OH⁻를 함유하지 않고, 이들의 외부로부터의 침입을 방지하는 무기 절연층을 사용하여 형성한다. 구체적으로, 산화 실리콘층, 질화 산화 실리콘층, 질화 실리콘층, 산화 알루미늄층, 산화 질화 알루미늄층, 또는 질화 알루미늄층을 사용할 수 있다.

[0056] 또한, 보호 절연층(107)은 산화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 또는 산화 질화 알루미늄층 위에 질화 실리콘층 또는 질화 알루미늄층을 적층하는 구조를 가질 수 있다. 특히, 질화 실리콘막은 불순물, 예컨대 수분, 수소 이온, 및 OH⁻을 함유하지 않고, 불순물의 외부로부터의 침입을 방지한다.

[0057] 보호 절연층(107)을 성막하는 경우의 기판 온도는 실온 이상 300℃ 이하일 수 있다. 스퍼터링법에 의한 산화 실리콘층의 성막은 회가스(일반적으로 아르곤) 분위기, 산소 분위기, 또는 회가스(일반적으로 아르곤) 및 산소의 혼합 분위기에서 수행할 수 있다. 타깃으로서, 산화 실리콘 타깃 또는 실리콘 타깃을 사용할 수 있다. 예를 들어, 실리콘 타깃을 사용하여, 산소 및 회가스의 분위기에서 스퍼터링법으로 산화 실리콘층을 형성할 수 있다. 본 실시형태에서, 실리콘 타깃을 사용하여 성막한 300nm의 두께를 갖는 산화 실리콘층은 보호 절연층(107)으로서 사용한다.

[0058] 상술한 공정을 통해, 보텀-게이트 박막 트랜지스터(150)를 형성할 수 있다. 보텀-게이트 박막 트랜지스터(150)에서, 절연 표면을 갖는 기판인 기판(100) 위에 게이트 전극층(101)을 제공하고; 게이트 전극층(101) 위에 게이트 절연층(102)을 제공하고; 게이트 절연층(102) 위에 산화물 반도체층(103)을 제공하고; 산화물 반도체층(103) 위에 적층체로부터 형성되는 소스 전극층(104a 및 105a) 및 드레인 전극층(104b 및 105b)을 제공하고; 게이트 절연층(102), 산화물 반도체층(103), 소스 전극층(104a 및 105a) 및 드레인 전극층(104b 및 105b)을 덮고, 산화물 반도체층(103)의 일부와 접하는 보호 절연층(107)을 제공한다(도 1d 참조).

[0059] 도 2는 본 실시형태에서 기술한 박막 트랜지스터(150)의 상면도이다. 도 1d는 도 2의 X1-X2를 따라 얻은 부분의 단면 구조를 도시한다. 도 2에서, L은 채널 길이를 나타내고, W는 채널 폭을 나타낸다. 또한, A는 채널 폭 방향과 평행한 방향에서 산화물 반도체층(103)이 소스 전극층(105a) 및 드레인 전극층(105b)과 겹치지 않는 영역의 길이를 나타낸다. Ls는 소스 전극층(105a)과 게이트 전극층(101)이 서로 겹치는 영역의 길이를 나타내고, Ld는 드레인 전극층(105b)과 게이트 전극층(101)이 서로 겹치는 영역의 길이를 나타낸다.

[0060] 또한, 필요하면, 300nm의 두께를 갖는 산화 실리콘막을 보호 절연층(107)으로서 형성한 후, 100℃ 이상 400℃ 이하의 온도에서 제2 가열 처리를 수행할 수 있다. 본 실시형태에서, 가열은 150℃의 기판 온도에서 10시간 동안 수행한다. 제2 가열 처리를 통해, 높은 신뢰성의 박막 트랜지스터를 제조할 수 있다.

[0061] 또한, 제2 가열 처리의 타이밍은 보호 절연층(107)의 형성 직후에 한정하지 않는다. 제2 가열 처리는 보호 절연층(107) 위에 배선 또는 전극(예를 들어 화소 전극)을 형성한 후 수행할 수 있다.

[0062] 또한, 본 실시형태에서는 도 1d에 도시한 보텀-게이트 박막 트랜지스터(150)를 제조하기 위한 방법을 기술하지만, 본 실시형태는 이러한 구조에 한정하지 않는다. 도 3a에 도시한 바와 같은 보텀-게이트 구조를 갖는 보텀-콘택트(역 동일평면으로도 칭함) 박막 트랜지스터(160), 도 3b에 도시한 바와 같은 채널 보호층(110)을 포함하는 채널-보호(채널-스톱으로도 칭함) 박막 트랜지스터(170) 등을 동일한 재료 및 동일한 방법을 이용하여 형성할 수 있다. 도 3c는 채널-에치 박막 트랜지스터의 또 다른 예를 나타낸다. 도 3c에 도시한 박막 트랜지스터(180)는 게이트 전극층(101)이 산화물 반도체층(103)의 에지 부분의 외부로 연장되는 구조를 갖는다.

- [0063] 또한, 포토리소그래피 공정을 위한 포토마스크의 수 및 공정의 수를 줄이기 위하여, 광이 복수의 세기를 갖도록 투과되는 노광 마스크인 멀티-톤 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 에칭을 수행할 수 있다. 멀티-톤 마스크를 사용하여 형성한 레지스트 마스크는 복수의 막 두께를 갖고, 에칭을 수행함으로써 형상을 더욱 변화시킬 수 있으므로, 레지스트 마스크는 상이한 패턴을 제공하는 복수의 에칭 공정에 사용할 수 있다. 그러므로 멀티-톤 마스크를 사용함으로써 적어도 두 종류의 상이한 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크의 수를 줄일 수 있고, 대응하는 포토리소그래피 공정의 수도 줄일 수 있어, 공정의 간소화를 실현할 수 있다.
- [0064] 채널 길이(도 2의 L)는 소스 전극층(105a)과 드레인 전극층(105b) 사이의 거리에 의해 정의되고, 채널-보호 박막 트랜지스터의 채널 길이는 캐리어가 흐르는 방향과 평행한 방향의 채널 보호층의 폭에 의해 정의됨을 알아야 한다.
- [0065] [실시형태 2]
- [0066] 본 실시형태에서, 박막 트랜지스터를 제조하고, 박막 트랜지스터를 화소부 및 더 나아가 구동 회로에 사용하여 표시 기능을 갖는 반도체 장치(표시 장치로도 칭함)를 제조한다. 또한, 구동 회로의 일부 또는 전체를 위한 박막 트랜지스터를 화소부의 박막 트랜지스터가 형성되는 기판 위에 형성하여 시스템-온-패널을 형성할 수 있다.
- [0067] 표시 장치는 표시 소자를 포함한다. 표시 소자로서, 액정 소자(액정 표시 소자로도 칭함) 또는 발광 소자(발광 표시 소자로도 칭함)를 사용할 수 있다. 발광 소자는 휘도가 전류 또는 전압에 의해 제어되는 소자를 그 범주에 포함하고, 구체적으로 무기 전계발광(EL) 소자, 유기 EL 소자 등을 그 범주에 포함한다. 또한, 콘트라스트가 전기적 효과에 의해 변하는 표시 매체, 예컨대 전자 잉크를 사용할 수 있다.
- [0068] 또한, 표시 장치는 표시 소자가 밀봉되어 있는 패널, 및 컨트롤러를 포함하는 IC 등이 패널에 장착되어 있는 모듈을 포함한다. 표시 장치는 표시 소자가 표시 장치의 제조 공정에서 완성되기 전의 소자 기판(element substrate)의 한 형태에 관한 것이고, 소자 기판은 복수의 화소 각각의 표시 소자에 전류를 공급하기 위한 수단을 구비한다. 구체적으로, 소자 기판은 표시 소자의 화소 전극만을 형성한 후의 상태, 화소 전극이 되는 도전층을 형성한 후 도전층을 에칭하여 화소 전극을 형성하기 전의 상태, 또는 임의의 다른 상태일 수 있다.
- [0069] 본 명세서에서 표시 장치는 화상 표시 장치, 디스플레이 장치, 또는 광원(조명 장치를 포함함)을 의미함을 알아야 한다. 또한, 표시 장치는 다음의 모듈, 즉 커넥터, 예컨대 플렉시블 인쇄 회로(FPC), 테이프 자동화 접합(TAB) 테이프, 또는 테이프 캐리어 패키징(TCP)을 포함하는 모듈; 그 단부에 인쇄 배선 보드를 구비하는 TAB 테이프 또는 TCP를 갖는 모듈; 또는 칩 온 글래스(COG) 방법으로 표시 소자에 직접 장착되어 있는 집적회로(IC)를 갖는 모듈을 그 범주에 포함한다.
- [0070] 본 실시형태에서, 액정 표시 장치의 예는 본 발명의 한 형태인 반도체 장치로서 기술한다. 우선, 반도체 장치의 한 형태인 액정 표시 패널의 외관 및 단면은 도 4a 및 4b를 참조하여 설명한다. 도 4a의 A1 및 A2 각각은, 제1 기판(4001) 위에 형성되어 있는 In-Ga-Zn-O계 층의 반도체층을 포함하는 박막 트랜지스터(4010 및 4011) 및 액정 소자(4013)가 제1 기판(4001)과 제2 기판(4006) 사이에 밀봉재(4005)로 밀봉되어 있는 패널의 상면도이다. 도 4b는 도 4a의 A1 및 A2의 M-N 라인에 따른 단면도에 대응한다.
- [0071] 제1 기판(4001) 위에 제공되어 있는 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸기 위하여 밀봉재(4005)를 제공한다. 화소부(4002) 및 주사선 구동 회로(4004) 위에 제2 기판(4006)을 제공한다. 그러므로 화소부(4002) 및 주사선 구동 회로(4004)는 제1 기판(4001), 밀봉재(4005), 및 제2 기판(4006)에 의해 액정층(4008)과 함께 밀봉되어 있다. 별도로 준비된 기판 위에 단결정 반도체 또는 다결정 반도체로부터 형성되는 신호선 구동 회로(4003)는 제1 기판(4001) 위의 밀봉재(4005)로 둘러싸인 영역과는 상이한 영역에 장착되어 있다.
- [0072] 별도로 형성한 구동 회로의 접속 방법은 특별히 한정하지 않고, COG법, 와이어 본딩법, TAB법 등을 이용할 수 있음을 알아야 한다. 도 4a의 A1은 COG법으로 신호선 구동 회로(4003)를 장착하는 예를 나타내고, 도 4a의 A2는 TAB법으로 신호선 구동 회로(4003)를 장착하는 예를 나타낸다.
- [0073] 또한, 제1 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004) 각각은 복수의 박막 트랜지스터를 포함한다. 도 4b는 화소부(4002)에 포함된 박막 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함된 박막 트랜지스터(4011)를 나타낸다. 박막 트랜지스터(4010 및 4011) 위에 절연층(4020 및 4021)을 제공한다.
- [0074] 실시형태 1에서 기술한 산화물 반도체층을 포함하는 박막 트랜지스터를 박막 트랜지스터(4010 및 4011)에 사용할 수 있다. 박막 트랜지스터(4010 및 4011)의 소스 전극층 및 드레인 전극층은 Cu층이 산화물 반도체층과 접

하는, Cu층과 텅스텐층의 적층체를 사용하여 형성함을 알아야 한다. 본 실시형태에서, 박막 트랜지스터(4010 및 4011)는 n채널 박막 트랜지스터이다.

[0075] 구동 회로용 박막 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 겹치도록 절연층(4021) 위에 도전층(4040)을 제공한다. 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 도전층(4040)을 제공함으로써, BT 시험 전후의 박막 트랜지스터(4011)의 임계 전압의 변화량을 줄일 수 있다. 또한, 구동 회로용 박막 트랜지스터(4011)와 겹치는 위치에 도전층(4040)을 제공함으로써 정전 차단을 수행할 수 있어 노멀리-오프(normally-off) 박막 트랜지스터를 얻을 수 있다. 정전 차단(electrostatic blocking)은 외부의 전계를 차단하는 것, 즉 외부의 전계가 내부(TFT 등을 포함하는 회로)에 작용하는 것을 방지하는 것을 의미한다. BT 시험 전후의 박막 트랜지스터(4011)의 임계 전압의 변화량을 줄일 수 있다. 도전층(4040)의 전위는 박막 트랜지스터(4011)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4040)은 또한 제2 게이트 전극층의 역할을 할 수 있다. 대안으로, 도전층(4040)의 전위는 GND 또는 0V일 수 있거나, 도전층(4040)은 플로팅(floating) 상태일 수 있다.

[0076] 액정 소자(4013)에 포함된 화소 전극층(4030)은 박막 트랜지스터(4010)에 전기적으로 접속되어 있다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기판(4006)에 제공한다. 화소 전극층(4030), 대향 전극층(4031) 및 액정층(4008)이 서로 겹치는 부분은 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)은 배향막으로서 각각 기능하는 절연층(4032) 및 절연층(4033)을 각각 구비하고, 액정층(4008)은 그 사이에 절연층(4032 및 4033)을 구비하는 화소 전극층(4030)과 대향 전극층(4031) 사이에 개재되어 있음을 알아야 한다.

[0077] 제1 기판(4001) 및 제2 기판(4006)은 유리, 금속(일반적으로 스테인리스강), 세라믹, 또는 플라스틱으로 형성할 수 있음을 알아야 한다. 플라스틱으로서, 섬유유리-강화 플라스틱(FRP) 플레이트, 폴리비닐 플루오라이드(PVF) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 호일이 PVF 필름들 사이 또는 폴리에스테르 필름들 사이에 개재되어 있는 구조를 갖는 시트를 사용할 수 있다.

[0078] 절연층을 선택적으로 에칭하는 방식으로 얻을 수 있는 참조 부호 4035로 표기한 원주형 스페이서는 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하도록 제공한다. 대안으로, 구형 스페이서도 사용할 수 있다. 또한, 대향 전극층(4031)은 박막 트랜지스터(4010)와 동일한 기판 위에 형성된 공통 전위선에 전기적으로 접속된다. 또한, 공통 접속부를 사용하여, 대향 전극층(4031) 및 공통 전위선은 한 쌍의 기판 사이에 배열된 도전성 입자에 의해 서로 전기적으로 접속할 수 있다. 도전성 입자는 밀봉재(4005)에 포함됨을 알아야 한다.

[0079] 대안으로, 배향막이 불필요한 블루(blue) 상을 나타내는 액정을 사용할 수 있다. 블루 상은 액정 상 중 하나이고, 콜레스테릭 액정의 온도가 증가하면서 콜레스테릭 상이 등방(isotropic) 상으로 변하기 직전에 발생하는 상이다. 블루 상은 좁은 온도 범위 내에서만 발생하므로, 온도 범위를 개선하기 위하여 키랄제(chiral agent)를 5중량% 이상으로 함유하는 액정 조성물을 액정층(4008)에 사용한다. 블루 상을 나타내는 액정 및 키랄제를 포함하는 액정 조성물은 1ms 이하의 짧은 응답 속도를 갖고, 광학적 등방성인데, 이는 배향 공정을 불필요하게 하고, 시야각 의존성이 작다.

[0080] 블루 상을 나타내는 액정을 사용하는 경우, 배향막에 대한 러빙(rubbing) 처리는 불필요하고, 따라서 러빙 처리에 의해 야기되는 정전 방전 손상을 방지할 수 있고, 제조 공정 중의 액정 표시 장치의 불량 및 파손을 줄일 수 있다. 따라서, 액정 표시 장치의 생산성을 높일 수 있다. 산화물 반도체층을 사용하는 박막 트랜지스터는 특히 정전기의 영향에 의해 박막 트랜지스터의 전기적인 특성이 현저하게 변동할 수 있고 설계 범위를 벗어날 수 있는 가능성이 있다. 그러므로 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 액정 표시 장치에 블루 상 액정 재료를 사용하는 것이 더욱 효과적이다.

[0081] 본 실시형태에서 기술한 액정 표시 장치는 투과형 액정 표시 장치의 예이지만, 액정 표시 장치는 반사형 액정 표시 장치 또는 반투과형 액정 표시 장치에도 적용할 수 있음을 알아야 한다.

[0082] 본 실시형태에서 기술한 액정 표시 장치의 예는, 기판의 외부 표면(뷰어 측)에 편광판을 제공하고, 기판의 내부 표면에 착색층 및 표시 소자에 사용하는 전극층을 이러한 순서로 제공하는 것으로 예시되어 있지만, 편광판은 기판의 내부 표면에 제공할 수 있다. 편광판과 착색층의 적층 구조는 본 실시형태에 한정하지 않고, 편광판 및 착색층의 재료 또는 제조 공정 조건에 따라 적절히 설정할 수 있다. 또한, 블랙 매트릭스로서 기능하는 차광층을 필요에 따라 제공할 수 있다.

[0083] 본 실시형태에서, 박막 트랜지스터에 기인한 표면 요철을 감소시키고 박막 트랜지스터의 신뢰성을 개선하기 위하여, 보호층 또는 평탄화 절연층으로서 기능하는 절연층(절연층(4020) 및 절연층(4021))으로 박막 트랜지스터

를 덮는다. 보호층은 오염 불순물, 예컨대 대기에 부유하는 유기 물질, 금속 물질, 또는 수분의 침입을 방지하도록 제공하고, 바람직하게는 치밀한 막이다. 보호층은 스퍼터링법으로 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화 질화 알루미늄층, 또는 질화 산화 알루미늄층의 단층 또는 복수의 층의 적층체를 사용하여 성막할 수 있다. 본 실시형태에서, 보호층을 스퍼터링법으로 성막하는 예를 기술하지만, 방법에 대한 특별한 제한은 없고, 다양한 종류의 방법을 이용할 수 있다.

- [0084] 여기서, 적층 구조를 갖는 절연층(4020)을 보호층으로서 형성한다. 여기서, 절연층(4020)의 제 1층으로서, 스퍼터링법으로 산화 실리콘층을 성막한다. 알루미늄층을 소스 전극층 및 드레인 전극층에 사용하는 경우, 보호층으로서 산화 실리콘층을 사용하는 것은 사용된 알루미늄층의 힐록(hillock)을 방지하는 효과가 있다.
- [0085] 절연층을 보호층의 제2 층으로서 형성한다. 여기서, 절연층(4020)의 제2 층으로서, 스퍼터링법으로 질화 실리콘층을 성막한다. 보호층으로서 질화 실리콘층을 사용하는 것은 나트륨 이온과 같은 이온이 반도체 영역에 침입하는 것을 방지할 수 있고, 이로 인해 TFT의 전기적 특성의 변화를 억제할 수 있다.
- [0086] 평탄화 절연층으로서 절연층(4021)을 형성한다. 절연층(4021)으로서, 내열성을 갖는 유기 재료, 예컨대 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 또는 에폭시를 사용할 수 있다. 이러한 유기 재료 외에, 저유전율 재료(낮은-k 재료), 실록산계 수지, 포스포실리케이트 유리(PSG), 보로포스포실리케이트 유리(BPSG) 등을 또한 사용할 수 있다. 이러한 재료로 형성된 복수의 절연층을 적층함으로써 절연층(4021)을 형성할 수 있음을 알아야 한다.
- [0087] 실록산계 수지는 실록산계 재료를 출발 재료로서 사용하여 형성한 Si-O-Si 결합을 포함하는 수지에 대응함을 알아야 한다. 실록산계 수지는 치환기로서 유기기(예를 들어 알킬기 또는 아릴기) 또는 플루오로기를 포함할 수 있다. 또한, 유기기는 플루오로기를 포함할 수 있다.
- [0088] 절연층(4021)의 형성 방법은 특별히 한정하지 않고, 그 재료에 따라 다음의 방법 또는 수단, 즉 스퍼터링법, SOG법, 스핀 코팅법, 디핑법, 스프레이 코팅법, 또는 액적 토출법(예를 들어 잉크젯법, 스크린 인쇄법, 또는 오프셋 인쇄법)과 같은 방법, 또는 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터와 같은 도구를 사용할 수 있다. 재료 용액을 사용하여 절연층(4021)을 형성하는 경우, 반도체층의 어닐링(300℃ 내지 400℃)은 소성 공정(baking step)과 동시에 수행할 수 있다. 절연층(4021)의 소성 공정은 또한 반도체층의 어닐링의 역할을 하고, 이로 인해 반도체 장치를 효율적으로 제조할 수 있다.
- [0089] 화소 전극층(4030) 및 대향 전극층(4031)은 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물과 같은 투광성 도전성 재료로 제조할 수 있다.
- [0090] 화소 전극층(4030) 및 대향 전극층(4031)에 대하여 도전성 고분자(도전성 중합체로도 칭함)를 포함하는 도전성 조성물을 사용할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 바람직하게는 10000Ω/□ 이하의 시트 저항 및 550nm 파장에서 70% 이상의 투광률을 갖는다. 또한, 도전성 조성물에 포함된 도전성 고분자의 저항률은 바람직하게는 0.1Ω·cm 이하이다.
- [0091] 도전성 고분자로서, 소위 π-전자 공액형 도전성 중합체를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이러한 재료 중 두 종류 이상의 공중합체 등을 제공할 수 있다.
- [0092] 또한, 다양한 신호 및 전위는 FPC(4018)로부터, 별도로 형성되어 있는 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 공급된다.
- [0093] 본 실시형태에서, 접속 단자 전극(4015)은 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전층을 사용하여 형성한다. 단자 전극(4016)은 박막 트랜지스터(4010 및 4011)에 포함된 소스 전극층 및 드레인 전극층과 동일한 도전층을 사용하여 형성한다. 따라서, 단자 전극(4016)은 Cu층과 텅스텐층의 적층체로 형성한다.
- [0094] 접속 단자 전극(4015)은 이방성 도전층(4019)을 통해 FPC(4018)에 포함된 단자에 전기적으로 접속되어 있다.
- [0095] 도 4a 및 4b는, 신호선 구동 회로(4003)를 별도로 형성하고 제1 기관(4001) 위에 장착하는 예를 나타내고 있지만, 본 실시형태는 이러한 구조에 한정하지 않는다. 주사선 구동 회로를 별도로 형성한 후 장착할 수 있거나,

신호선 구동 회로의 일부만 또는 주사선 구동 회로의 일부를 별도로 형성한 후 장착할 수 있다.

- [0096] 또한, 필요하면, 컬러 필터를 각 화소에 제공한다. 또한, 제1 기관(4001)과 제2 기관(4006)의 외부 측에 편광판 및 확산판을 제공한다. 또한, 백라이트의 광원은 냉음극관 또는 LED를 사용하여 형성한다. 따라서, 액정 표시 모듈을 얻는다.
- [0097] 액정 표시 모듈은 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수 있다.
- [0098] 상술한 공정에 따르면, 우수한 전기적 특성을 갖는 박막 트랜지스터를 포함하는 액정 표시 장치를 제조할 수 있다.
- [0099] 본 실시형태는 실시형태 1에서 기술한 구조와 자유롭게 조합함으로써 실시할 수 있다.
- [0100] [실시형태 3]
- [0101] 전자 페이퍼의 예를 반도체 장치의 한 실시형태로서 설명한다.
- [0102] 실시형태 1에서 기술한 박막 트랜지스터는 스위칭 소자에 전기적으로 접속되어 있는 소자가 전자 잉크를 구동시키는 전자 페이퍼에 사용할 수 있다. 전자 페이퍼는 전기 영동 표시 장치(전기 영동 디스플레이)로도 칭하고, 평평한 종이와 동일한 수준의 가독성이 있고, 다른 표시 장치보다 낮은 전력 소비를 갖고, 얇고 가볍게 제조할 수 있다는 점에서 유리하다.
- [0103] 전기 영동 디스플레이는 다양한 모드를 가질 수 있다. 전기 영동 디스플레이는 용매 또는 용질에 분산된 복수의 마이크로캡슐을 함유하고, 각 마이크로캡슐은 플러스 대전된 제1 입자 및 마이너스 대전된 제2 입자를 함유한다. 마이크로캡슐에 전계를 인가함으로써, 마이크로캡슐의 입자들이 서로 반대 방향으로 이동하고, 한 쪽에 모인 입자들의 색만 표시한다. 제1 입자 및 제2 입자 각각은 안료를 함유하고, 전계가 없는 경우에는 이동하지 않음을 알아야 한다. 또한, 제1 입자 및 제2 입자는 (무색일 수 있는) 상이한 색을 갖는다.
- [0104] 따라서, 전기 영동 디스플레이는 높은 유전율을 갖는 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동 효과를 이용하는 디스플레이이다.
- [0105] 상술한 마이크로캡슐이 용매에 분산되어 있는 용액을 전자 잉크로 칭한다. 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터 또는 안료를 갖는 입자를 사용함으로써 컬러 표시를 또한 달성할 수 있다.
- [0106] 또한, 두 전극 사이에 삽입하기 위하여 복수의 상술한 마이크로캡슐을 액티브 매트릭스 기관 위에 적절하게 배열하는 경우, 액티브 매트릭스 표시 장치를 완성할 수 있고, 마이크로캡슐에 전계를 인가함으로써 표시를 수행할 수 있다. 예를 들어, 실시형태 1에서 기술한 박막 트랜지스터로 얻은 액티브 매트릭스 기관을 사용할 수 있다.
- [0107] 마이크로캡슐의 제1 입자 및 제2 입자는 각각 도전성 재료, 절연성 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 전계발광 재료, 전기 변색 재료, 및 자기 영동 재료로부터 선택된 단일 재료로부터 형성할 수 있거나, 이러한 재료 중 임의의 재료의 복합 재료로부터 형성할 수 있음을 알아야 한다.
- [0108] 도 5는 반도체 장치의 예로서 액티브 매트릭스 전자 페이퍼를 도시한다. 반도체 장치에 사용한 박막 트랜지스터(581)는 실시형태 1에서 기술한 박막 트랜지스터와 유사한 방식으로 제조할 수 있고, 산화물 반도체층과 접하는 주석 혼합층을 포함하는 적층체를 소스 전극층 및 드레인 전극층으로서 포함한다.
- [0109] 도 5의 전자 페이퍼는 트위스팅 볼(twisting ball) 표시 시스템을 사용하는 표시 장치의 예이다. 트위스팅 볼 표시 시스템은 각각 흑색 및 백색으로 착색된 구형 입자들을 표시 소자에 사용한 전극층들인 제1 전극층과 제2 전극층 사이에 배열하고, 제1 전극층과 제2 전극층 사이의 전위차를 발생시켜 구형 입자들의 방향을 제어함으로써 표시를 수행하는 방법을 의미한다.
- [0110] 박막 트랜지스터(581)는 보텀-게이트 구조를 갖는 박막 트랜지스터이고, 반도체층과 접하는 절연층(583)으로 덮는다. 박막 트랜지스터(581)의 소스 전극층 또는 드레인 전극층은 절연층(583 및 585)에 형성된 개구에서 제1 전극층(587)과 접해 있고, 이로 인해 박막 트랜지스터(581)는 제1 전극층(587)에 전기적으로 접속되어 있다.

제1 전극층(587)과 제2 전극층(588) 사이에 구형 입자(589)를 제공한다. 각 구형 입자(589)는 흑색 영역(590a), 백색 영역(590b), 및 흑색 영역(590a)과 백색 영역(590b) 둘레에 액체로 충전된 캐비티(594)를 포함한다. 구형 입자(589)는 수지와 같은 충전재(595)로 둘러싸인다(도 5 참조). 제1 전극층(587)은 화소 전극에 대응하고, 제2 전극층(588)은 공통 전극에 대응한다. 제2 전극층(588)은 박막 트랜지스터(581)와 동일한 기판 위에 제공된 공통 전위선에 전기적으로 접속한다. 공통 접속부에서, 제2 전극층(588)은 기판(580)과 기판(596) 사이에 제공된 도전성 입자를 통해 공통 전위선에 전기적으로 접속할 수 있다.

[0111] 또한, 트위스팅 볼 대신 전기 영동 소자를 또한 사용할 수 있다. 투명한 액체, 플러스 대전된 백색 미립자, 및 마이너스 대전된 흑색 미립자가 캡슐화되어 있는 약 10 μ m 내지 200 μ m의 직경을 갖는 마이크로캡슐을 사용한다. 제1 전극층과 제2 전극층 사이에 제공되는 마이크로캡슐에서, 제1 전극층과 제2 전극층에 의한 전계가 인가되는 경우, 백색 미립자 및 흑색 미립자가 서로 반대쪽으로 이동하여 백색 또는 흑색을 표시할 수 있다. 전기 영동 표시 소자는 액정 표시 소자보다 높은 반사율을 갖는다. 전기 영동 표시 소자는 액정 표시 소자보다 높은 반사율을 갖고, 따라서 보조광이 불필요하고, 소비 전력이 작고, 어두운 장소에서도 표시부를 인식할 수 있다. 또한, 표시부에 전력이 공급되지 않는 경우에도, 한 번 표시된 화상을 유지할 수 있다. 따라서, 표시 기능을 갖는 반도체 장치(간단히 표시 장치 또는 표시 장치를 구비한 반도체 장치로도 칭할 수 있음)가 전과 공급원으로 부터 멀리 있는 경우에도 표시된 화상을 보존할 수 있다.

[0112] 상술한 공정을 통해, 높은 전기적 특성을 갖는 박막 트랜지스터를 포함하는 전자 패키지를 제조할 수 있다.

[0113] 본 실시형태는 실시형태 1에서 기술한 구조와 적절히 조합하여 실시할 수 있다.

[0114] [실시형태 4]

[0115] 다음으로, 반도체 장치의 한 형태에 상응하는 발광 표시 패널(발광 패널로도 칭함)의 외관 및 단면은 도 6a 및 6b를 참조하여 설명한다. 도 6a는 제1 기판 위에 형성된 박막 트랜지스터 및 발광 소자를 제1 기판과 제2 기판 사이에 밀봉재로 밀봉한 패널의 평면도이다. 도 6b는 도 6a의 H-I 라인에 따른 단면도이다.

[0116] 제1 기판(4501) 위에 제공되는 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b)를 둘러싸기 위하여 밀봉재(4505)를 제공한다. 또한, 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b) 위에 제2 기판(4506)을 제공한다. 따라서, 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로(4504a 및 4504b)는 제1 기판(4501), 밀봉재(4505), 및 제2 기판(4506)에 의해 충전재(4507)와 함께 밀봉되어 있다. 이러한 방식으로 패널이 외부 대기에 노출되지 않도록, 높은 기밀성 및 낮은 탈가스성을 갖는 보호 필름(예컨대 라미네이트 필름 또는 자외선 경화 수지 필름) 또는 커버 재료로 패널을 패키징(밀봉)하는 것이 바람직하다.

[0117] 또한, 제1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b) 각각은 복수의 박막 트랜지스터를 포함하고, 화소부(4502)에 포함된 박막 트랜지스터(4510) 및 신호선 구동 회로(4503a)에 포함된 박막 트랜지스터(4509)가 도 6b의 예로서 예시되어 있다.

[0118] 주석 혼합층이 산화물 반도체층과 접하는 실시형태 1에서 기술한 박막 트랜지스터를 박막 트랜지스터(4509 및 4510)에 사용할 수 있다. 박막 트랜지스터(4509 및 4510)의 소스 전극층 및 드레인 전극층 각각은 주석 혼합층과 폴리브덴층의 적층체이다. 이러한 적층 구조에서 주석 혼합층은 산화물 반도체층과 접한다. 본 실시형태에서, 박막 트랜지스터(4509 및 4510)는 n 채널 박막 트랜지스터이다.

[0119] 구동 회로용 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 겹치도록 절연층(4544)의 일부 위에 도전층(4540)을 제공한다. 도전층(4540)을 적어도 산화물 반도체층의 채널 형성 영역과 겹치는 부분에 제공하는 경우, BT 시험 전후의 박막 트랜지스터(4509)의 임계 전압의 변화량을 줄일 수 있다. 또한, 구동 회로용 박막 트랜지스터(4509)와 겹치는 부분에 도전층(4540)을 제공함으로써 정전 차단을 수행할 수 있어, 노멀리-오프 박막 트랜지스터를 얻을 수 있다. 또한, 도전층(4540)의 전위는 박막 트랜지스터(4509)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4540)은 제2 게이트 전극층으로서도 기능할 수 있다. 대안으로, 도전층(4540)의 전위는 GND 또는 0V일 수 있거나, 도전층(4540)은 플로팅 상태일 수 있다.

[0120] 박막 트랜지스터(4509)에서, 절연층(4541)은 채널 형성 영역을 포함하는 반도체층과 접하는 보호 절연층으로서 형성되어 있다. 절연층(4541)은 실시형태 1에서 기술한 보호 절연층(107)과 유사한 재료 및 방법을 이용하여 형성할 수 있다. 또한, 박막 트랜지스터에 기인한 표면 요철을 감소하기 위하여 평탄화 절연층으로서 기능하는 절연층(4544)이 박막 트랜지스터를 덮는다. 여기서, 절연층(4541)으로서, 실시형태 1에서 기술한 보호 절연층

(107)과 유사한 방식으로 스퍼터링법을 이용하여 산화 실리콘층을 형성한다.

- [0121] 또한, 절연층(4541) 위에 보호 절연층(4542)이 형성되어 있다. 보호 절연층(4542)은 실시형태 1에서 기술한 보호 절연층(107)과 유사한 재료 및 방법을 이용하여 형성할 수 있다. 여기서, 보호 절연층(4542)으로서, PCVD법으로 질화 실리콘층을 성막한다.
- [0122] 평탄화 절연층으로서 절연층(4544)을 형성한다. 절연층(4544)은 실시형태 2에서 기술한 절연층(4021)과 유사한 재료 및 방법을 이용하여 형성할 수 있다. 여기서, 아크릴 수지를 절연층(4544)에 사용한다.
- [0123] 또한, 참조부호 4511은 발광 소자를 표기한다. 발광 소자(4511)에 포함된 화소 전극인 제1 전극층(4517)은 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되어 있다. 발광 소자(4511)의 구조는 제1 전극층(4517), 전계발광층(4512), 및 제2 전극층(4513)을 포함하는 적층 구조이지만, 이에 한정하지 않음을 알아야 한다. 발광 소자(4511)의 구조는 광이 발광 소자(4511)로부터 추출되는 방향 등에 따라 적절히 변경할 수 있다.
- [0124] 절연층(4544) 대신 컬러 필터층을 제공할 수 있다. 풀 컬러 표시를 수행하는 경우, 예를 들어 발광 소자(4511), 하나의 인접한 발광 소자, 및 다른 하나의 인접한 발광 소자는 각각 녹색 발광 소자, 적색 발광 소자, 및 청색 발광 소자이다. 대안으로, 풀 컬러 표시 가능한 발광 표시 장치는 세 종류의 발광 소자 외에 백색 발광 소자를 포함하는 네 종류의 발광 소자를 사용하여 제조할 수 있다. 배열하는 복수의 발광 소자 모두가 백색 발광 소자이고, 발광 소자(4511) 위에 컬러 필터 등을 갖는 밀봉 기판을 배열하는 방식으로 풀 컬러 표시 가능한 발광 표시 장치를 제조할 수 있다. 백색과 같은 단색을 나타내는 재료를 형성하고, 컬러 필터 또는 색 변환층과 조합함으로써 풀 컬러 표시를 수행할 수 있다. 또한, 적색 발광 소자, 청색 발광 소자, 및 녹색 발광 소자를 화소부에 사용하는 표시 장치를 제조하여 풀 컬러 표시를 수행할 수 있다. 물론, 단색 광의 표시를 또한 수행할 수 있다. 예를 들어, 백색 발광 소자를 사용하여 발광 표시 장치를 조명 장치로서 형성할 수 있거나, 또 다른 단색 발광하는 발광 소자를 사용하여 에어리어(area) 컬러 조명 장치를 형성할 수 있다.
- [0125] 격벽(4520)은 유기 수지층, 무기 절연층, 또는 유기 폴리실록산으로 제조한다. 감광성 재료를 사용하여 격벽(4520)을 형성하고, 제1 전극층(4517) 위에 개구를 형성하여, 개구의 측벽이 연속 곡률을 갖는 경사 표면으로서 형성되는 것이 특히 바람직하다.
- [0126] 전계발광층(4512)은 단층 또는 적층된 복수의 층으로 형성할 수 있다.
- [0127] 산소, 수소, 수분, 이산화탄소 등이 발광 소자(4511)에 침입하는 것을 방지하기 위하여 제2 전극층(4513) 및 격벽(4520) 위에 보호층을 형성할 수 있다. 보호층으로서, 질화 실리콘층, 질화 산화 실리콘층, DLC층 등을 형성할 수 있다.
- [0128] 또한, 다양한 신호 및 전위는 FPC(4518a 및 4518b)로부터 신호선 구동 회로(4503a 및 4503b), 주사선 구동 회로(4504a 및 4504b), 또는 화소부(4502)에 공급된다.
- [0129] 접속 단자 전극(4515)은 발광 소자(4511)에 포함된 제1 전극층(4517)과 동일한 도전층으로부터 형성하고, 단자 전극(4516)은 박막 트랜지스터(4509 및 4510)에 포함된 소스 전극층 및 드레인 전극층과 동일한 도전층으로부터 형성한다. 따라서, 단자 전극(4516)은 주석 혼합층(4514)과 몰리브덴층의 적층체로 형성한다.
- [0130] 접속 단자 전극(4515)은 이방성 도전층(4519)을 통해 FPC(4518a)에 포함된 단자에 전기적으로 접속한다.
- [0131] 광이 발광 소자(4511)로부터 추출되는 방향에 위치한 제2 기판은 투광성이어야 한다. 이 경우, 투광성 재료, 예컨대 유리판, 플라스틱판, 폴리에스테르 필름, 또는 아크릴 필름을 사용한다.
- [0132] 충전재(4507)로서, 불활성 가스, 예컨대 질소 또는 아르곤 외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있다. 예를 들어, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄), 또는 EVA(에틸렌 비닐 아세테이트)를 사용할 수 있다. 예를 들어, 충전재로서 질소를 사용한다.
- [0133] 또한, 필요하면, 광학 필름, 예컨대 편광판, 원 편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 판 또는 $\lambda/2$ 판), 또는 컬러 필터를 발광 소자의 광 방출면 위에 적절히 제공할 수 있다. 또한, 편광판 또는 원 편광판은 반사 방지막을 구비할 수 있다. 예를 들어, 표면 위의 불록부 및 오목부에 의해 반사광을 확산시켜 글레어(glare)를 줄일 수 있는 안티-글레어 처리를 수행할 수 있다.
- [0134] 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는 별도로 준비된 기판 위에 단결정 반도체 또는 다결정 반도체를 사용하여 형성한 구동 회로로서 제공할 수 있다. 대안으로, 신호선 구동 회로만 또

는 그 일부, 또는 주사선 구동 회로만 또는 그 일부를 별도로 형성하여 장착할 수 있다. 본 실시형태는 도 6a 및 6b에 예시한 구조에 한정하지 않는다.

- [0135] 상술한 공정을 통해, 높은 전기적 특성을 갖는 박막 트랜지스터를 포함하는 발광 표시 장치(표시 패널)를 제조할 수 있다.
- [0136] 본 실시형태는 실시형태 1에서 기술한 구조와 적절히 조합하여 실시할 수 있다.
- [0137] [실시형태 5]
- [0138] 본 명세서에서 개시하는 반도체 장치는 다양한 전자 기기(게임기 포함)에 적용할 수 있다. 전자 장치의 예는 텔레비전 세트(텔레비전 또는 텔레비전 수신기로도 칭함), 컴퓨터 등의 모니터, 카메라, 예컨대 디지털 카메라 또는 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화 핸드셋(휴대 전화 또는 휴대 전화 장치로도 칭함), 휴대형 게임기, 휴대 정보 단말기, 음향 재생 장치, 대형 게임기, 예컨대 핀볼 머신, 태양 전지 등을 포함한다.
- [0139] 도 7a는 휴대 전화 핸드셋의 예를 나타낸다. 휴대 전화 핸드셋(1100)은 하우징(1101)에 포함된 표시부(1102), 조작 버튼(1103), 외부 접속 포트(1104), 스피커(1105), 마이크로폰(1106) 등을 구비한다.
- [0140] 도 7a에 도시한 휴대 전화 핸드셋(1100)에서는 표시부(1102)를 손가락 등으로 터치할 때 데이터를 입력할 수 있다. 또한, 전화를 걸거나 메일을 쓰는 것과 같은 조작은 표시부(1102)를 손가락 등으로 터치함으로써 수행할 수 있다.
- [0141] 표시부(1102)의 화면은 주로 세 가지 모드가 있다. 제1 모드는 주로 화상을 표시하기 위한 표시 모드이다. 제2 모드는 주로 텍스트와 같은 데이터를 입력하기 위한 입력 모드이다. 제3 모드는 표시 모드와 입력 모드의 두 가지 모드가 혼합되어 있는 표시 및 입력 모드이다.
- [0142] 예를 들어, 전화를 걸거나 메일을 작성하는 경우, 표시부(1102)를 주로 텍스트를 입력하기 위한 텍스트 입력 모드로 선택하여 화면에 표시되는 텍스트를 입력할 수 있다. 이 경우, 표시부(1102)의 화면의 거의 모든 영역에 키보드 또는 번호 버튼을 표시하는 것이 바람직하다.
- [0143] 자이로스코프 또는 가속도 센서와 같은 기울기를 검출하기 위한 센서를 포함하는 검출 장치를 휴대 전화 핸드셋(1100) 내부에 제공하는 경우, 휴대 전화 핸드셋(1100)의 방향(휴대 전화 핸드셋(1100)이 랜드스케이프 모드(landscape mode) 또는 포트레이트 모드(portrait mode)에 대하여 수평으로 또는 수직으로 놓여있는지 여부)을 판정함으로써 표시부(1102)의 화면의 표시를 자동으로 전환할 수 있다.
- [0144] 화면 모드는 표시부(1102)를 터치하거나 하우징(1101)의 조작 버튼(1103)을 조작함으로써 전환한다. 대안으로, 표시부(1102)에 표시되는 화상의 종류에 따라 화면 모드를 전환할 수 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동화상 데이터의 신호인 경우 화면 모드는 표시 모드로 전환한다. 신호가 텍스트 데이터의 신호인 경우 화면 모드는 입력 모드로 전환한다.
- [0145] 또한, 입력 모드에서, 표시부(1102)를 터치하는 것에 의한 입력이 특정 기간 동안 없으면서 표시부(1102)의 광 센서에 의해 검출된 신호가 검출되는 경우, 입력 모드로부터 표시 모드로 전환하도록 화면 모드를 제어할 수 있다.
- [0146] 표시부(1102)는 화상 센서로서도 기능할 수 있다. 예를 들어, 표시부(1102)를 손바닥 또는 손가락으로 터치하는 경우, 손금, 지문 등의 화상을 취하고, 이로 인해 본인 인증을 수행할 수 있다. 또한, 표시부에 근 적외선 광을 방출하는 백라이트 또는 센싱 광원을 제공함으로써, 손가락 정맥, 손바닥 정맥 등의 화상을 취할 수 있다.
- [0147] 표시부(1102)에는 실시형태 1에서 기술한 복수의 박막 트랜지스터를 화소의 스위칭 소자로서 배열한다.
- [0148] 도 7b도 휴대 정보 단말기의 예이다. 도 7b에 예시한 휴대 정보 단말기의 예는 복수의 기능을 가질 수 있다. 예를 들어, 전화 기능 외에, 그러한 휴대 정보 단말기는 컴퓨터를 포함함으로써 다양한 데이터를 처리하는 기능을 갖출 수 있다.
- [0149] 도 7b에 도시한 휴대 정보 단말기는 하우징(2800) 및 하우징(2801)을 포함한다. 하우징(2801)은 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라 렌즈(2807), 외부 접속 단자(2808) 등을 구비한다. 또한, 하우징(2800)은 휴대 정보 단말기의 충전 기능이 있는 태양 전지(2810), 외부 메모리 슬롯(2811) 등을 포함한다. 또한, 안테나는 하우징(2801)에 포함되어 있다.

- [0150] 표시 패널(2802)은 터치 패널을 구비한다. 화상으로서 표시되어 있는 복수의 조작 키(2805)는 도 7b에 점선으로 도시되어 있다.
- [0151] 또한, 상술한 구조 외에, 비접촉 IC 칩, 소형 메모리 장치 등을 포함할 수 있다.
- [0152] 발광 장치는 표시 패널(2802)에 사용할 수 있고, 표시 방향은 응용 모드에 따라 적절히 변한다. 또한, 발광 장치는 표시 패널(2802)과 동일한 표면 위에 카메라 렌즈(2807)를 구비하고, 따라서 비디오 전하로서 사용할 수 있다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화뿐만 아니라 화상 통화, 녹음, 및 재생 등에 사용할 수 있다. 또한, 하나가 다른 하나 위에 있도록 도 7b에 도시한 바와 같이 전개되어 있는 상태로 하우징(2800 및 2801)을 활주시킬 수 있으므로 휴대 정보 단말기의 크기를 줄일 수 있고, 이는 휴대 정보 단말기를 휴대하기 적합하게 한다.
- [0153] 외부 접속 단자(2808)는 AC 어댑터 및 다양한 케이블, 예컨대 USB 케이블에 접속할 수 있고, 이로 인해 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입함으로써 대량의 데이터를 보존할 수 있고 이동시킬 수 있다.
- [0154] 또한, 상술한 기능 외에, 적외선 통신 기능, 텔레비전 수신 기능 등을 제공할 수 있다.
- [0155] 도 8a는 텔레비전 세트의 예를 나타낸다. 텔레비전 세트(9600)에서 표시부(9603)는 하우징(9601)에 포함되어 있다. 표시부(9603)는 화상을 표시할 수 있다. 여기서, 하우징(9601)은 스탠드(9605)로 지지한다.
- [0156] 텔레비전 세트(9600)는 하우징(9601)의 조작 스위치 또는 별도의 원격 조작기(9610)로 조작할 수 있다. 원격 조작기(9610)의 조작 키(9609)로 채널 및 음량을 제어할 수 있어 표시부(9603)에 표시되는 화상을 제어할 수 있다. 또한, 원격 조작기(9610)는 원격 조작기(9610)로부터 출력된 데이터를 표시하기 위한 표시부(9607)를 구비할 수 있다.
- [0157] 텔레비전 세트(9600)는 수신기, 모뎀 등을 구비함을 알아야 한다. 수신기를 사용하여 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 세트가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속하는 경우, 한 방향(송신자로부터 수신자에게) 또는 쌍방향(송신자와 수신자 사이 또는 수신자들 사이) 정보 통신을 수행할 수 있다.
- [0158] 표시부(9603)에는 실시형태 1에서 기술한 복수의 박막 트랜지스터를 화소의 스위칭 소자로서 배열한다.
- [0159] 도 8b는 디지털 포토 프레임의 예를 나타낸다. 예를 들어, 디지털 포토 프레임(9700)에서, 표시부(9703)는 하우징(9701)에 포함되어 있다. 표시부(9703)는 다양한 화상을 표시할 수 있다. 예를 들어, 표시부(9703)는 디지털 카메라 등으로 촬영한 화상의 데이터를 표시할 수 있고, 통상적인 사진 액자로서 기능할 수 있다.
- [0160] 표시부(9703)에는 실시형태 1에서 기술한 복수의 박막 트랜지스터를 화소의 스위칭 소자로서 배열한다.
- [0161] 디지털 포토 프레임(9700)은 조작부, 외부 접속부(USB 단자, USB 케이블과 같은 다양한 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비함을 알아야 한다. 이러한 컴포넌트는 표시부가 제공되는 표면에 제공할 수 있지만, 디지털 포토 프레임(9700)의 디자인을 위하여 측면 또는 뒷면에 제공하는 것이 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에는 디지털 카메라로 촬영한 화상의 데이터를 저장하는 메모리를 삽입하고, 이로 인해 화상 데이터를 이동시킬 수 있고, 이어서 표시부(9703)에 표시할 수 있다.
- [0162] 디지털 포토 프레임(9700)은 데이터를 무선으로 송수신할 수 있다. 원하는 화상 데이터를 무선으로 전달하여 표시하는 구조를 이용할 수 있다.
- [0163] 도 9는 실시형태 4에 따라 형성한 발광 장치를 실내 조명 장치(3001)로서 사용하는 예이다. 실시형태 4에서 기술한 발광 장치는 면적에 따라 증가할 수 있으므로, 발광 장치는 대면적 조명 장치로서 사용할 수 있다. 또한, 실시형태 4에서 기술한 발광 장치는 탁상 램프(3000)로서 사용할 수 있다. 조명 장치는 천장 조명 및 탁상 램프 외에 벽걸이 조명, 차의 내부 조명, 유도 조명 등을 그 범주에 포함함을 알아야 한다.
- [0164] 상술한 바와 같이, 실시형태 1에서 기술한 박막 트랜지스터는 상술한 것과 같은 다양한 전자 기기에 사용할 수 있다.
- [0165] [실시형태 6]
- [0166] 본 명세서에서 개시하는 반도체 장치는 전자 페이퍼에 적용할 수 있다. 전자 페이퍼는 데이터를 표시할 수 있는 한 다양한 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼는 e-북 판독기(전자 북), 포스터,

기차와 같은 운송수단의 광고, 또는 신용 카드와 같은 다양한 카드의 표시에 적용할 수 있다. 전자 장치의 예를 도 10에 도시한다.

[0167] 도 10은 e-북 판독기의 예를 나타낸다. 예를 들어, e-북 판독기(2700)는 2개의 하우징, 즉 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)을 힌지(2711)로 조합하여 e-북 판독기(2700)는 힌지(2711)를 축으로 개폐할 수 있다. 이러한 구조로, e-북 판독기(2700)는 종이책처럼 동작할 수 있다.

[0168] 표시부(2705) 및 표시부(2707)는 각각 하우징(2701) 및 하우징(2703)에 포함되어 있다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 상이한 화상들을 표시할 수 있다. 표시부(2705) 및 표시부(2707)가 상이한 화상들을 표시하는 경우, 예를 들어 우측 표시부(도 10의 표시부(2705))는 텍스트를 표시할 수 있고, 좌측 표시부(도 10의 표시부(2707))는 그래픽을 표시할 수 있다.

[0169] 도 10은 하우징(2701)이 조작부 등을 구비하는 예를 나타낸다. 예를 들어, 하우징(2701)은 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등을 구비한다. 조작 키(2723)로 페이지를 보낼 수 있다. 표시부가 제공되는 하우징의 표면에 키보드, 포인팅 디바이스 등을 또한 제공할 수 있음을 알아야 한다. 또한, 하우징의 뒷면 또는 측면에 외부 접속용 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블과 같은 다양한 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 제공할 수 있다. 또한, e-북 판독기(2700)는 전자사전의 기능을 가질 수 있다.

[0170] e-북 판독기(2700)는 데이터를 무선으로 송수신할 수 있는 구성을 가질 수 있다. 무선 통신을 통해, 전자책 서버로부터 원하는 책 데이터 등을 구입 및 다운로드할 수 있다.

[0171] 본 실시형태는 실시형태 1에서 기술한 박막 트랜지스터와 실시형태 3에서 기술한 전자 페이퍼를 적절히 조합함으로써 실시할 수 있다.

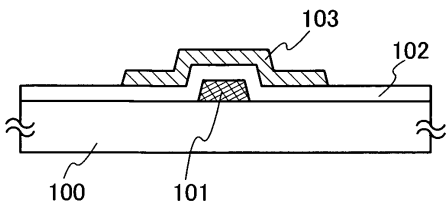
[0172] 본원은 그 전반적인 내용이 본원에 참조로서 포함되는, 일본특허청에 2009년 10월 9일에 출원한 일본특허 출원 번호 2009-235740에 기초한다.

부호의 설명

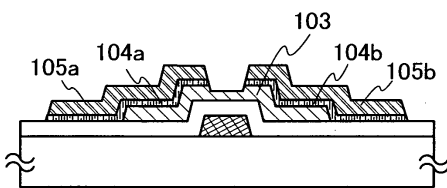
[0173] 100: 기관; 101: 게이트 전극층; 102: 게이트 절연층; 103: 산화물 반도체층; 104a: 소스 전극층; 105a: 소스 전극층; 104b: 드레인 전극층; 105b: 드레인 전극층; 107: 보호 절연층; 110: 채널 보호층; 150: 박막 트랜지스터; 160: 박막 트랜지스터; 170: 박막 트랜지스터; 180: 박막 트랜지스터; 580: 기관; 581: 박막 트랜지스터; 583: 절연층; 587: 전극층; 588: 전극층; 589: 구형 입자; 590a: 흑색 영역; 590b: 백색 영역; 594: 캐비티; 595: 충전재; 596: 기관; 1100: 휴대 전화 핸드셋; 1101: 하우징; 1102: 표시부; 1103: 조작 버튼; 1104: 외부 접속 포트; 1105: 스피커; 1106: 마이크로폰; 2700: e-북 판독기; 2701: 하우징; 2703: 하우징; 2705: 표시부; 2707: 표시부; 2711: 힌지; 2721: 전원 스위치; 2723: 조작 키; 2725: 스피커; 2800: 하우징; 2801: 하우징; 2802: 표시 패널; 2803: 스피커; 2804: 마이크로폰; 2805: 조작 키; 2806: 포인팅 디바이스; 2807: 카메라 렌즈; 2808: 외부 접속 단자; 2810: 태양 전지; 2811: 외부 메모리 슬롯; 3000: 탁상 램프; 3001: 조명 장치; 4001: 기관; 4002: 화소부; 4003: 신호선 구동 회로; 4004: 주사전 구동 회로; 4005: 밀봉재; 4006: 기관; 4006: 대향 기관; 4008: 액정층; 4010: 박막 트랜지스터; 4011: 박막 트랜지스터; 4013: 액정 소자; 4015: 접속 단자 전극; 4016: 단자 전극; 4018: FPC; 4019: 이방성 도전층; 4020: 절연층; 4021: 절연층; 4030: 화소 전극층; 4031: 대향 전극층; 4032: 절연층; 4040: 도전층; 4501: 기관; 4502: 화소부; 4503a: 신호선 구동 회로; 4503b: 신호선 구동 회로; 4504a: 주사전 구동 회로; 4504b: 주사전 구동 회로; 4505: 밀봉재; 4506: 기관; 4507: 충전재; 4509: 박막 트랜지스터; 4510: 박막 트랜지스터; 4511: 발광 소자; 4512: 전계발광층; 4513: 전극층; 4514: 주석 혼합층; 4515: 접속 단자 전극; 4516: 단자 전극; 4517: 전극층; 4518a: FPC; 4518b: FPC; 4519: 이방성 도전층; 4520: 격벽; 4540: 도전층; 4541: 절연층; 4542: 절연층; 4543: 보호 절연층; 4544: 절연층; 9600: 텔레비전 세트; 9601: 하우징; 9603: 표시부; 9605: 스탠드; 9607: 표시부; 9609: 조작 키; 9610: 원격 조작기; 9700: 디지털 포토 프레임; 9701: 하우징; 9703: 표시부.

도면

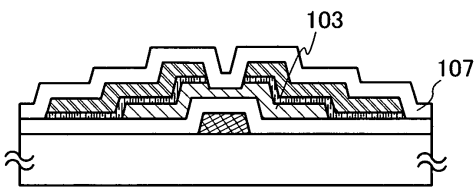
도면1a



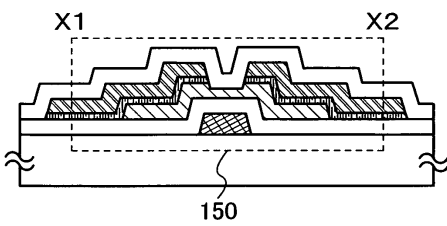
도면1b



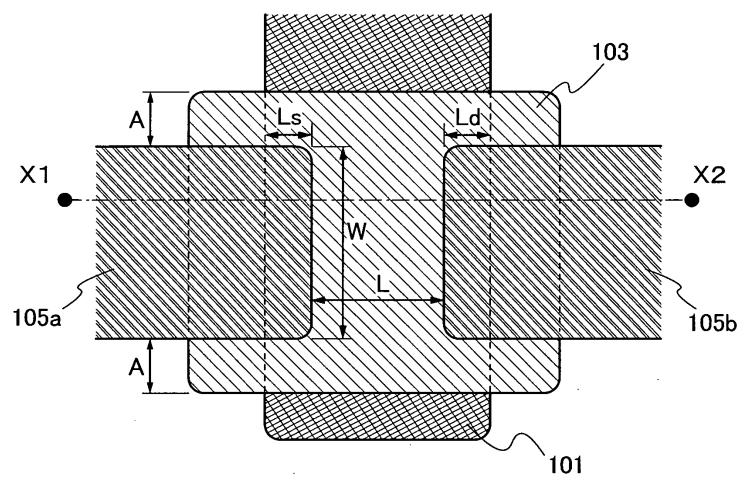
도면1c



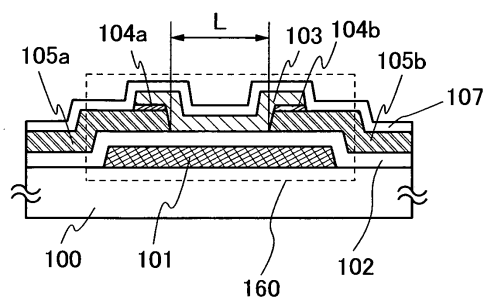
도면1d



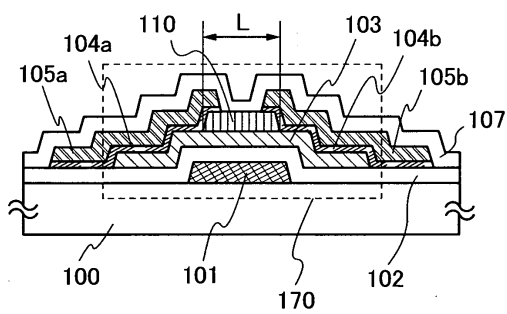
도면2



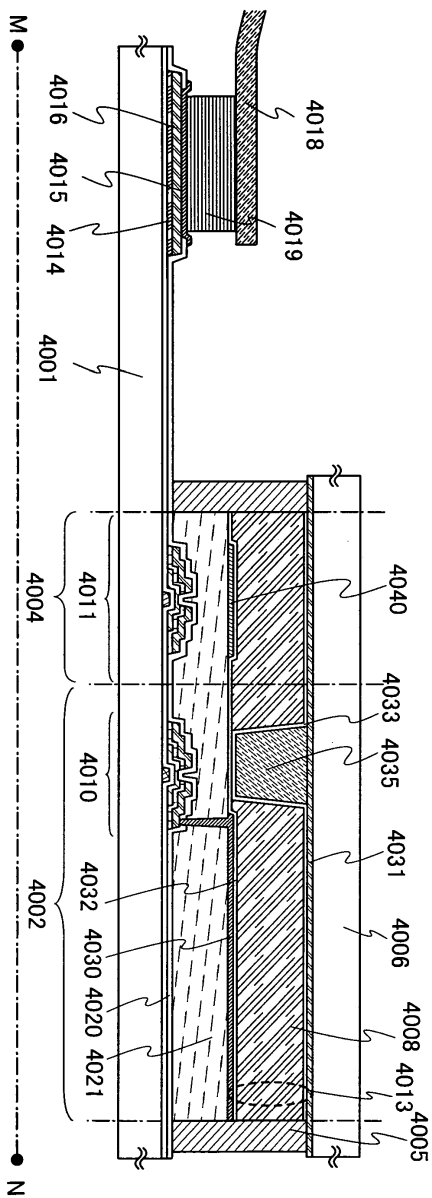
도면3a



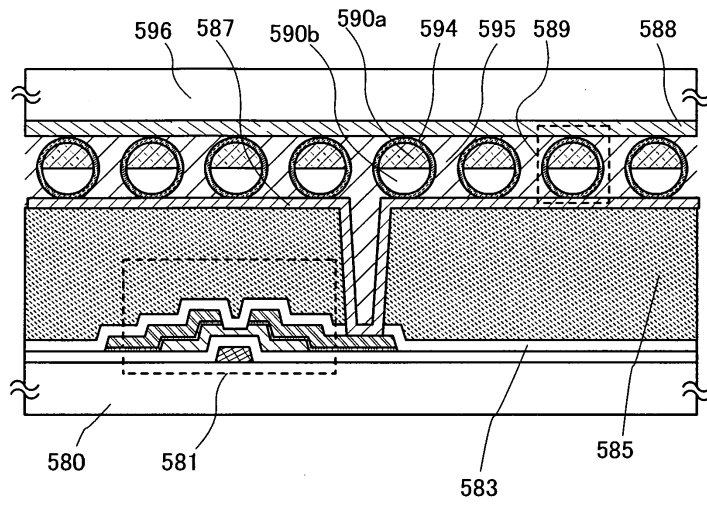
도면3b



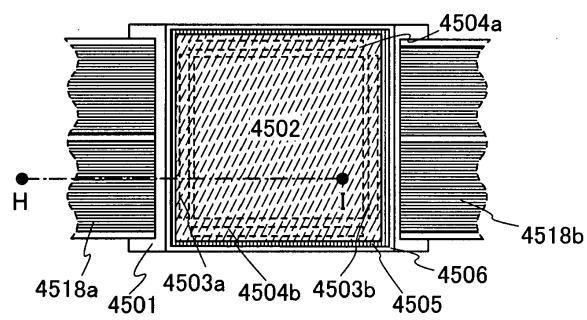
도면4b



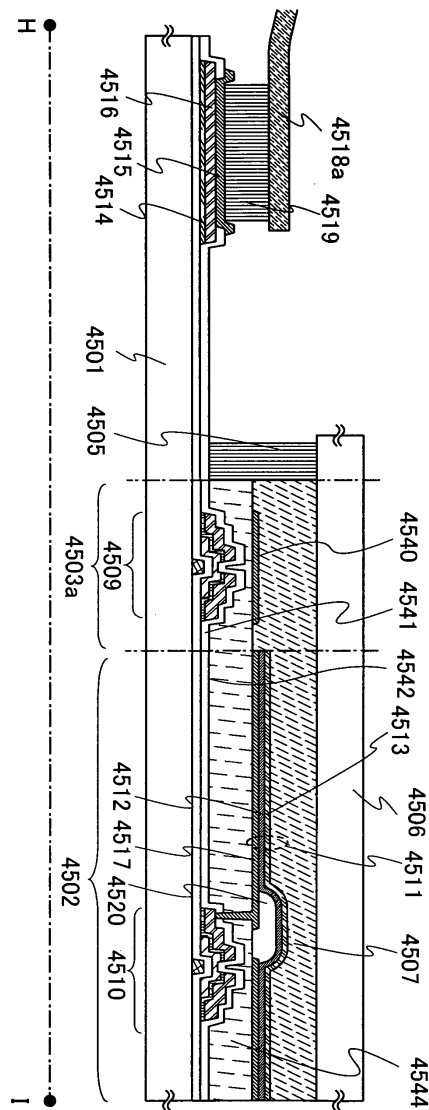
도면5



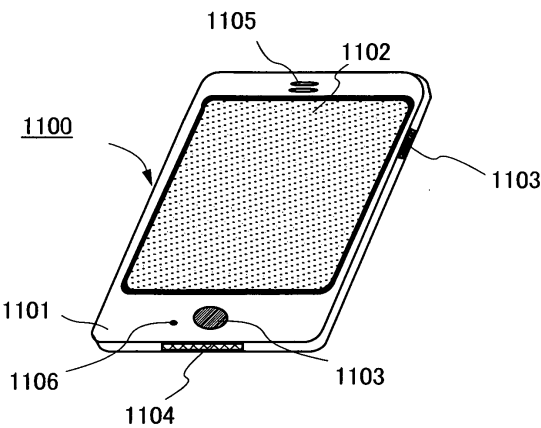
도면6a



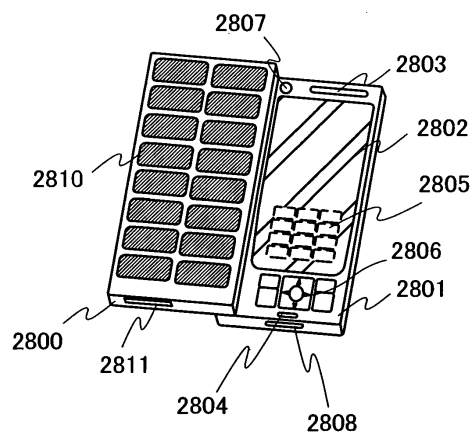
도면6b



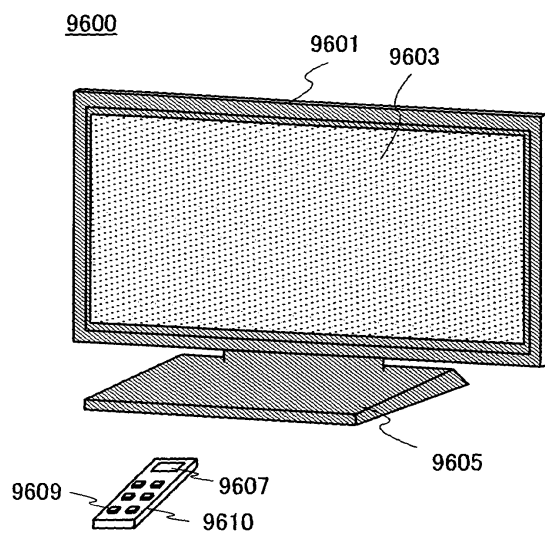
도면7a



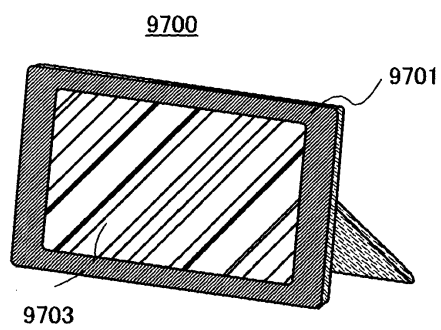
도면7b



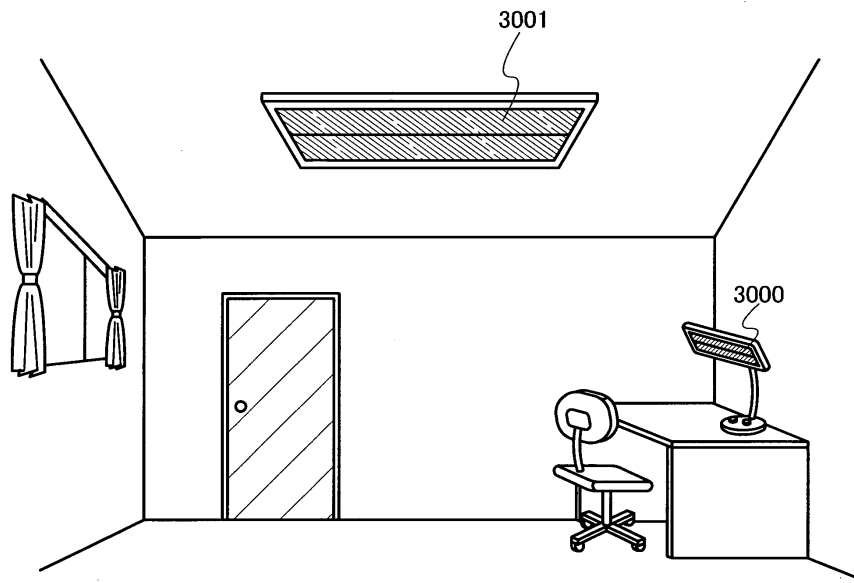
도면8a



도면8b



도면9



도면10

