



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월05일  
(11) 등록번호 10-0809324  
(24) 등록일자 2008년02월26일

(51) Int. Cl.

H01L 21/768 (2006.01) H01L 21/28 (2006.01)

H01L 27/108 (2006.01)

(21) 출원번호 10-2006-0011569

(22) 출원일자 2006년02월07일

심사청구일자 2006년02월07일

(65) 공개번호 10-2007-0080346

(43) 공개일자 2007년08월10일

(56) 선행기술조사문헌

KR1020010095943 A

KR1019970003848 A

KR 1019990084311 A

전체 청구항 수 : 총 12 항

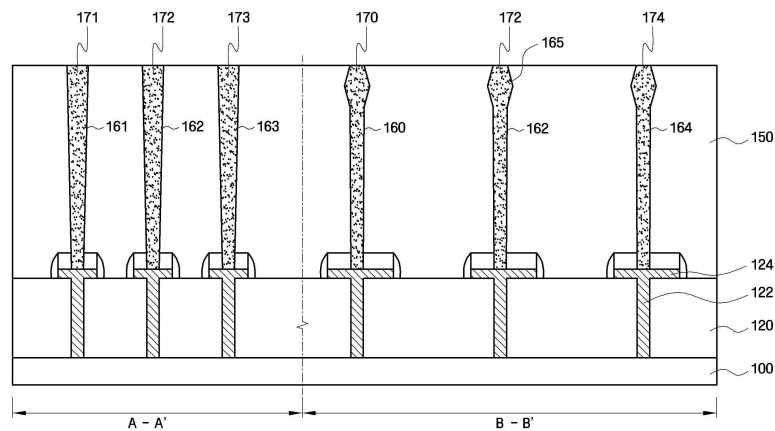
심사관 : 장혜정

(54) 반도체 소자 및 그 제조 방법

(57) 요약

반도체 소자가 제공된다. 반도체 소자는 반도체 기판 상에 형성된 하부 도전층, 하부 도전층을 덮는 층간 절연막, 층간 절연막 내에 형성되어 하부도전층의 상면을 노출시키며 상단면이 타원형이되, 상단면의 단축방향에 비하여 장축방향으로 더 근접하여 배열된 다수의 콘택홀, 콘택홀을 매립하는 콘택 플러그를 포함한다.

대표도 - 도1b



## 특허청구의 범위

### 청구항 1

반도체 기판 상에 형성된 하부 도전층;

상기 하부 도전층을 덮는 층간 절연막;

상기 층간 절연막 내에 형성되어 상기 하부 도전층의 상면을 노출시키며 상단면이 타원형이되, 상기 상단면의 단축 방향에 비하여 장축 방향으로 더 근접하여 배열된 다수의 콘택홀; 및

상기 콘택홀을 매립하는 콘택플러그를 포함하는 반도체 소자.

### 청구항 2

제 1항에 있어서,

상기 콘택홀의 장축 대비 단축은 1:0.5 내지 1:0.95인 반도체 소자.

### 청구항 3

제 1항에 있어서,

상기 콘택홀의 종횡비가 10 내지 40인 반도체 소자.

### 청구항 4

제 1항에 있어서,

상기 콘택홀의 깊이는 1.5 내지  $6.0\mu\text{m}$ 인 반도체 소자.

### 청구항 5

제 1항에 있어서,

상기 콘택홀 사이의 장축 방향 간격은 20nm 내지 100nm인 반도체 소자.

### 청구항 6

반도체 기판 상에 하부 도전층을 형성하고,

상기 하부 도전층을 덮는 층간 절연막을 형성하고,

상기 층간 절연막 내에 상기 하부 도전층을 노출시키며, 단축 방향에 비하여 장축방향으로 더 근접하여 배열된 다수의 타원형 콘택홀을 형성하고,

상기 타원형 콘택홀을 매립하여 콘택플러그를 형성하는 것을 포함하는 반도체 소자의 제조 방법.

### 청구항 7

제 6항에 있어서,

상기 타원형 콘택홀의 장축 대비 단축은 1:0.5 내지 1:0.95로 형성하는 반도체 소자의 제조 방법.

### 청구항 8

제 6항에 있어서,

상기 타원형 콘택홀의 종횡비가 10 내지 40으로 형성하는 반도체 소자의 제조 방법.

### 청구항 9

제 6항에 있어서,

상기 타원형 콘택홀의 깊이는 1.5 내지  $6.0\mu\text{m}$ 로 형성하는 반도체 소자의 제조 방법.

## 청구항 10

제 6항에 있어서,

상기 타원형 콘택홀 사이의 장축방향 간격은 20nm 내지 100nm로 형성하는 반도체 소자의 제조 방법.

## 청구항 11

제 6항에 있어서,

상기 타원형의 콘택홀을 형성하는 것은 플라즈마 식각하는 반도체 소자의 제조 방법.

## 청구항 12

제 11항에 있어서, 상기 식각하는 것은 CxFy, O<sub>2</sub> 및 Ar의 반응 가스를 이용하는 반도체 소자의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 특히 콘택 보잉(bowing)으로 인한 단락을 방지하는 반도체 소자 및 그 제조 방법에 관한 것이다.
- <9> 일반적으로 반도체 소자의 다층 금속 배선 공정 시 금속 콘택은, 집합 영역과 금속 배선 또는 하부 도전층과 상부 금속 배선을 전기적으로 연결시켜주는 전도선 역할을 한다.
- <10> 한편, 반도체 소자의 미세화, 고집적화로 인하여 소자의 형성 면적이 작아짐에 따라 콘택홀의 직경도 작아진다. 또한, 소자의 면적이 작아짐에 따라 소장 성능 향상을 위하여 소자들의 높이는 증가되어(예컨대, 커패시터), 소자와 소자를 절연하기 위한 층간 절연막의 두께가 증가된다. 이러한 두꺼워진 층간 절연막 내에 하부 도전층을 드러내는 콘택홀 형성 공정 시, 콘택홀의 직경과 층간 절연막의 중횡비가 높은 HARC(High Aspect Ratio Contact) 콘택홀이 형성된다. 콘택홀의 플라즈마 식각시 이온(ion)들이 하드 마스크에 의해 산란되고 반사될 때, HARC 콘택홀 내부에는 높은 중횡비로 인하여 콘택홀 벽면의 상층부와 충돌하여 콘택홀 내부를 더 식각하는 보잉(bowing) 현상이 발생한다. 이러한 보잉은 원하는 크기보다 더 크게 콘택홀을 확장시키게 된다.
- <11> 그러므로, 콘택홀의 직경뿐 아니라 콘택홀간 간격이 작아짐에 따라 보잉이 발생된 콘택홀이 서로 인접한 경우에는 두 콘택홀간에 전기적 단락 현상이 발생할 수 있다.

##### 발명이 이루고자 하는 기술적 과제

- <12> 본 발명이 이루고자 하는 기술적 과제는, 전기적 단락을 방지하는 콘택을 구비하는 반도체 소자를 제공하는 것이다.
- <13> 본 발명이 이루고자 하는 다른 기술적 과제는, 전기적 단락을 방지하는 콘택을 구비하는 반도체 소자의 제조 방법을 제공하는 것이다.
- <14> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

##### 발명의 구성 및 작용

- <15> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자는 반도체 기판 상에 형성된 하부 도전층, 하부 도전층을 덮는 층간 절연막, 층간 절연막 내에 형성되어 하부도전층의 상면을 노출시키며 상단면이 타원형이되, 상단면의 단축방향에 비하여 장축방향으로 더 근접하여 배열된 다수의 콘택홀, 콘택홀을 매립하는 콘택 플러그를 포함한다.
- <16> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법은 반도체 기판 상에

하부 도전층을 형성하고, 하부 도전층을 덮는 층간 절연막을 형성하고, 층간 절연막 내에 하부 도전층을 노출시키며, 단축 방향에 비하여 장축방향으로 더 근접하여 배열된 다수의 타원형 콘택홀을 형성하고, 타원형 콘택홀을 매립하여 콘택플러그를 형성하는 것을 포함한다.

<17> 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

<18> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<19> 도 1a는 본 발명의 실시예에 따른 반도체 소자의 레이아웃이고, 도 1b는 도 1a의 단면도이다.

<20> 먼저, 도 1a 및 도 1b를 참조하면, 반도체 기판(100)상의 하부 도전층(124)이 형성된다. 여기서 하부 도전층(124)은 비트라인 등을 포함하는 하부 도전층일 수 있다.

<21> 층간 절연막(150)이 하부 도전층(124)을 덮도록 형성된다.

<22> 층간 절연막(150) 내에 형성되어 하부 도전층(124)의 상면을 노출시키며 상단면이 타원형이며 상단면의 단축 방향에 비하여 장축 방향으로 더 근접하여 배열된 다수의 콘택홀(160~164)이 형성된다. 특히, 높은 중형비를 갖는 HARC 콘택홀(160~164)이 형성될 수 있다. 도 1b의 콘택홀은 도 1a의 콘택의 A-A' 선에 따른 장축(여기서는 y축 방향)과, B-B' 선을 따른 단축(여기서는 x축 방향)을 구비하는 타원형 콘택(160~164)이다.

<23> 그리고, 다수의 콘택홀(160~164)을 매립하는 콘택플러그(170)가 형성된다. 여기서는 장축의 방향이 y축으로 연장되고, 단축의 방향이 x축으로 연장된 것을 예로 들었으나, 이에 제한되는 것은 아니다.

<24> 본 발명의 일 실시예에 따르면, 높은 중형비를 갖는 HARC 콘택홀이 형성되어도, 콘택홀(160~164)의 장축 방향으로 보잉이 발생되지 않을 수 있다.

<25> 도 1a 및 도 1b를 참조하면, 콘택홀(160~164)의 단축(B-B' 선)의 직경이 장축(A-A' 선)에 비해 직경이 작다. 보잉 현상은 특히 중형비가 높은 부위의 콘택홀에서 발생할 수 있다. 따라서, 다수의 타원형 콘택홀(160~164)에서는 장축보다 단축의 부위가 중형비가 더 높으므로, 보잉은 단축의 방향으로 확장되어 발생할 수 있다. 그리하여, 본 발명의 일 실시예인 타원형으로 콘택홀(160~164)을 형성하면, 타원형 콘택홀(160~164)의 장축 길이와 일치하며, 콘택홀(160~164)의 단축 방향보다는 더 확장된 CD(Critical Dimension)를 갖는 보잉(165)이 형성될 수 있다.

<26> 따라서, 도 1a에서 도시된 바와 같이, 콘택간 여유(margin)가 없는 곳에서는 콘택홀(160~164)의 단축 방향에 비하여 장축 방향으로 더 근접하게 배열함으로써 콘택간 전기적 단락을 방지할 수 있다.

<27> 여기서, 콘택홀(160~164)의 장축 대비 단축의 비율은 1:0.5 내지 1:0.95일 수 있다. 또한, 콘택홀(160~164)의 중형비는 10 내지 40인 높은 중형비일 수 있다. 그리고, 콘택홀(160~164)의 깊이는 1.5 $\mu$ m 이상일 수 있다. 콘택홀(160~164)과 콘택홀(160~164) 사이의 장축 방향의 간격은 20nm 내지 100nm일 수 있다.

<28> 여기서, 반도체 기판(100)과 하부 도전층(126) 사이에 절연막(120)이 형성된 것을 더 포함할 수 있음은 물론이다. 절연막(120) 내에는 하부 도전층(124)과 반도체 기판(100) 사이의 비트라인 콘택(122)과의 연결을 통해 반도체 소자의 드레인 영역(미도시)과 접속한다.

<29> 이하에서는 도 1a 및 도 1b에 도시되어 있는 콘택 배열이 DRAM에 적용된 경우를 예시하여 그 구조 및 제조 방법을 설명한다.

<30> 도 2 및 도 3을 참조하여 본 발명의 다른 실시예에 따른 반도체 소자에 대하여 설명한다. 편의상, DRAM 소자를 예로 하지만, 이에 한정되는 것은 아니며, 본 발명의 다른 실시예에 따른 콘택 및 그 제조 방법이 적용될 수 있는 반도체 소자로는 DRAM, 플래쉬 메모리 등의 고집적 반도체 소자 등을 포함한다.

<31> 도 2는 도 1a 및 도 1b에 도시되어 있는 콘택 배열이 DRAM에 적용된 경우를 예시하는 레이아웃이다. 도 2에는 셀 어레이 영역과 주변 회로 영역이 동시에 도시되어 있다. 도 3은 본 발명의 콘택홀이 적용된 DRAM의 예시를 나타낸 단면도이다. 도 3의 셀 어레이 영역은 도 2의 x축을 따라 자른 단면, 주변 회로 영역은 도 2의 y축을 따라 자른 단면으로 설명하기로 한다.

- <32> 다수의 비트라인(BL1, BL2, BL3)이 배열되고, 그 위에 각각의 비트라인(BL1, BL2, BL3)과 상부 배선층간 접속하는 다수의 콘택플러그(171, 172, 173)들이 형성되어 있다. 각 비트라인(BL1, BL2, BL3)간 간격은 y축 방향으로 최소 디자인 룰(design rule)이 적용된 최소 선폭을 갖는다. 또한, 각각의 콘택플러그(171, 172, 173)들도 이러한 디자인 룰을 따른다. 따라서, 높은 중횡비를 갖는 y축 방향의 다수의 콘택플러그(171, 172, 173)들 사이에는 여유가 적다. 하지만, x축 방향의 콘택간에는 최소 선폭의 디자인 룰보다는 여유가 있다. 그러므로, 이들 y축 방향의 콘택플러그(171, 172, 173)간에는 최소 디자인 룰에 따르면서도 전기적 단락이 방지되는 콘택 형성이 중요하다.
- <33> 따라서, 전술한 바처럼, 본 발명의 다른 실시예의 타원형 콘택플러그(171, 172, 173)를 형성함으로써, 콘택간 여유 공간이 적은 곳에는 콘택홀의 장축 방향으로 근접하도록 배열하여 전기적 단락을 방지할 수 있다. 여기서는 콘택홀이 배열된 y축 방향으로 여유 공간이 적으므로 y축 방향을 따라 장축이 배열되도록 콘택홀을 형성할 수 있다.
- <34> 도 2 및 도 3을 참조하면, 반도체 기판(100)에 활성 영역을 정의하는 소자 분리 영역(101)이 형성되어 있다. 셀 어레이 영역과 주변회로 영역에는 게이트 절연막(102), 도핑된 폴리실리콘막과 텅스텐 실리사이드막의 적층 도전막(103), 및 캡핑 절연막(104)이 차례대로 증착되어 게이트 전극(Ga, Gb)으로 패터닝되고 측벽에 스페이서(105)가 형성된 트랜지스터들이 있다.
- <35> 셀 트랜지스터들(C-Tr)의 소오스 영역 및 드레인 영역과 각각 접속하는 랜딩 패드들(115)이 제1 층간 절연막(110)내에 형성된다. 그리고, 셀 트랜지스터들(C-Tr)의 드레인 영역과 접속하는 랜딩 패드들(115)과 접속하는 비트 라인 콘택(122a)과 주변회로 트랜지스터들(P-Tr)의 다수의 비트 라인과 접속하는 다수의 콘택(122b-1, 122b-2, 122b-3)이 형성되어 있다.
- <36> 계속해서, 비트 라인 콘택(122a)과 접속하는 비트 라인(126a)과 함께 다수의 주변회로 콘택(122b-1, 122b-2, 122b-3)과 접속하는 배선(BL1, BL2, BL3)도 형성되어 있다. 비트 라인(126a) 및 배선(BL1, BL2, BL3)은 도전막(124) 및 하드마스크(125)로 구성된다.
- <37> 제3 층간 절연막(130) 내에 셀 트랜지스터(C-Tr)의 소오스 영역과 접속하는 랜딩 패드들(115)과 접속하는 스토리지 노드 콘택(131)이 형성되어 있다.
- <38> 하부 도전층이 되는 배선(BL1, BL2, BL3)을 덮는 제 4 층간 절연막(150)이 형성되어 있다. 또한, 제 4 층간 절연막(150) 내에 형성되어 하부 도전층의 상면을 노출시키며 상단면이 타원형이되, 상단면의 단축 방향에 비하여 장축 방향으로 더 근접하여 배열된 다수의 콘택홀(161, 162, 163) 및 콘택플러그(171, 172, 173)가 형성되어 있다.
- <39> 이들 콘택플러그(172, 172, 173)를 통해 하부 배선(BL1, BL2, BL3)과 연결되는 상부 금속 배선(180)이 형성되어 있다.
- <40> 이하 도 4 내지 도 5를 참조하여 도 2에 적용된 반도체 소자의 제조 방법을 설명하기로 한다.
- <41> 도 4는 스토리지 전극(132)까지 형성한 중간 구조물의 단면도이다.
- <42> 도 4를 참조하면, 소자 분리 영역(101)에 의해 정의된 활성 영역을 포함하는 기판(100)을 준비한다. 소자 분리 영역(101)은 P형 기판(100)내에 깊이가 3000 내지 4000Å인 얇은 트렌치를 형성한 후, 트렌치를 매립 특성이 양호한 산화막으로 매립한 후, 평탄화하여 형성한 얇은 트렌치 분리 영역(STI)으로 형성한다. 기판(100) 상에 통상의 CMOS 공정을 통해 셀 어레이 영역에는 셀 트랜지스터들(C-Tr)을 주변회로영역에는 주변회로 트랜지스터들(P-Tr)을 형성한다. 구체적으로, n형 또는 p형 불순물을 이온 주입하여 웰 영역(미도시)을 형성한다음, 게이트 절연막(102), 도핑된 폴리실리콘막과 텅스텐 실리사이드막의 적층 도전막(103), 및 캡핑 절연막(104)을 차례대로 증착한 후 게이트 전극(Ga, Gb)으로 패터닝한 후, 저농도 소오스/드레인 영역(미도시) 형성을 위한 이온과 할로 영역(미도시) 형성을 위한 이온을 주입한다. 이어서, 게이트 전극(Ga, Gb) 측벽에 스페이서(105)를 형성한 후, 고농도 소오스/드레인 영역(미도시) 형성을 위한 이온을 주입하여 셀 트랜지스터들(C-Tr)과 주변회로 트랜지스터들(P-Tr)을 형성한다.
- <43> 이어서, 기판(100) 전면에 단차 도포성이 우수한 물질로 제1 층간 절연막(110)을 형성한다음, 게이트 전극(Ga)과 스페이서(105)에 의해 자기 정렬되고 셀 트랜지스터들(C-Tr)의 소오스 영역 및 드레인 영역과 각각 접속하는 랜딩 패드들(115)을 제1 층간 절연막(110)내에 형성한다. 랜딩 패드들(115)은 도핑된 폴리실리콘등으로 형성한다.



- <44> 계속해서, 고밀도 플라즈마 산화막등으로 제2 층간 절연막(120)을 형성한 후, 이를 이방성 식각하여 다수의 콘택홀을 형성한 후, 콘택홀을 TiN 등의 확산방지막과 W등의 금속막으로 매립한 후 평탄화하여 셀 트랜지스터들(C-Tr)의 드레인 영역과 접속하는 랜딩 패드들(115)과 접속하는 비트 라인 콘택(122a)과 주변회로 트랜지스터들(P-Tr)의 다수의 비트 라인과 접속하는 다수의 콘택(122b-1, 122b-2, 122b-3)을 형성한다.
- <45> 계속해서, 비트 라인 콘택(122a)과 접속하는 비트 라인(126a)과 함께 다수의 주변회로 콘택(122b-1, 122b-2, 122b-3)과 접속하는 배선(BL1, BL2, BL3)도 형성한다. 비트 라인(126a) 및 배선(BL1, BL2, BL3)은 도전막(124) 및 하드마스크(125)로 구성된다. 도전막(124)은 TiN 등의 확산 방지막과 W 등의 금속막으로 구성될 수 있다. 또, 이들의 측벽에는 측벽 스페이서(127)를 형성한다.
- <46> 비트 라인(126a) 형성 후 제3 층간 절연막(130)을 형성한다. 제3 층간 절연막(130) 내에 셀 트랜지스터(C-Tr)의 소오스 영역과 접속하는 랜딩 패드들(115)과 접속하는 스토리지 노드 콘택(131)을 형성한다. 스토리지 노드 콘택(131) 또한 도핑된 폴리실리콘등으로 형성한다. 이어서, 스토리지 노드 콘택(131)과 접속하는 스토리지 전극(132)을 형성한다. 스토리지 전극(132)은 도핑된 폴리실리콘등을 이용하여 단일 실린더형으로 형성한다.
- <47> 여기서, 스토리지 전극(132)을 단일 실린더 형으로 설명하였으나 이에 제한되는 것은 아니다. 반도체 소자의 구성이나 형태에 따라 스토리지 전극은 OCS, 또는 스택 구조의 스토리지 전극일 수 있음은 물론이다.
- <48> 이어서, 도 5를 참조하면 셀 커패시터(140a)를 완성하고, 배선(BL1, BL2, BL3)과 접속하는 다수의 콘택홀(161, 162, 163)을 형성한다.
- <49> 스토리지 전극(132)이 형성된 기판(100) 전면에 유전체막(134)을 형성한다. 유전체막(134)은 탄탈륨 산화막(Ta2O5) 또는 알루미늄 산화막(Al2O3)의 단일막 또는 탄탈륨 산화막/티타늄 산화막, 알루미늄 산화막/티타늄 산화막 등의 적층막으로 형성할 수 있다. 계속해서, 플레이트 노드 형성을 위한 도전막(136)을 형성한다. 도전막(136)은 도핑된 폴리실리콘 단일막 또는 확산 방지막과 도핑된 폴리실리콘막의 적층막으로 형성할 수 있다. 확산 방지막으로 TiN을 사용할 경우 CVD 법에 의해서 300-400Å 두께로 형성하고, 도핑된 폴리실리콘막은 600-700℃ 온도에서 SiH4 또는 Si2H6 등의 반응 가스와 PH3등의 도핑용 가스를 사용하는 LPCVD 법에 의해서 2000-3000Å 두께로 형성한다. 이어서, 도전막(136) 및 유전체막(134)을 패터닝하여, 셀 커패시터(140a)를 완성한다.
- <50> 이어서, 도전막(136) 상 및 결과물 전면에서 제 4 층간 절연막(150)을 형성한다. 제4 층간 절연막(150)은 셀 어레이 영역과 주변 회로 영역의 단차를 충분히 메꿀 수 있을 정도의 두께로 형성한다.
- <51> 제 4 층간 절연막(150) 내에 하부 도전층인 도전막(124)을 노출시키며, 단축 방향에 비하여 장축 방향으로 더 근접하여 배열된 다수의 타원형 콘택홀(161, 162, 163)을 형성한다.
- <52> 다수의 타원형 콘택홀(161, 162, 163)을 형성하는 것은, 제 4 층간 절연막(150) 상면에 감광막 또는 하드 마스크막(미도시)을 증착한다. 이어서, 콘택홀(161, 162, 163)이 될 부분의 감광막 또는 하드 마스크막은 오픈하고 식각함으로써 하부 도전층인 도전막(124)이 노출되도록 한다. 여기서, 식각공정은 고밀도 플라즈마 반응성 이온 식각(high density plasma reactive ion etching; HDP RIE)공정일 수 있다. HARC 프로세스에 이용되는 주 반응 가스로는 플루오르 카본계의 가스가 있고, 첨가 반응 가스로서는 산소(O2), 아르곤(Ar) 가스등이 있다. 또한 플루오르 카본계의 가스는 포화형과 불포화형으로 분류할 수 있다.
- <53> 그리하여, 높은 종횡비를 갖는 콘택홀(161, 162, 163)의 식각 공정은 CxFy 및 O2, Ar의 유량을 바꿔가면서 한번에(1 step) 식각할 수 있다. 예를 들어, C2F6 가스와 C4F8 및 O2, Ar의 혼합 가스를 이용할 수 있다. 또한, C5F8, O2 및 Ar의 혼합 가스를 이용할 수 있다.
- <54> 또는, 높은 종횡비로 인하여 식각이 제대로 되지 않을 가능성을 고려하여 CxFy 및 O2, Ar으로 우선 식각한 다음, 수소계를 포함한 CxHyFz로 한번 더 식각할 수 있다(2-step).
- <55> 플라즈마 식각 공정시, 감광막 또는 하드 마스크막에 의해 플라즈마의 이온들이 산란될 수 있다.
- <56> 자세히 설명하면, 이온들이 산란될 때, 충돌된 점으로부터 접선을 구했을 시, 접선의 수직 방향으로 반사되어 충돌되기 때문에 타원형 콘택홀(161, 162, 163)의 장축보다는 단축 방향으로 충돌이 잦다. 즉, 장축보다는 단축의 거리가 짧으므로 충돌될 경우의 수가 많다. 따라서, 콘택홀(161, 162, 163)의 장축보다는 단축 방향의 내벽으로 충돌되어 단축 방향의 콘택홀(161, 162, 163) 내벽을 더 식각할 수 있다. 이는 후속 공정에 의하여, 콘택홀(161, 162, 163)간 여유가 적은 곳이라면 콘택홀간 전기적 단락을 유발할 수 있다.
- <57> 하지만, 콘택홀(161, 162, 163)간 여유가 적은 곳에 장축이 근접하여 배열되도록 형성하면, 단축 방향으로 보인

이 발생하여 콘택홀이 확장된다 하여도, 장축 방향으로 보잉 발생이 적으므로 콘택홀의 확장이 방지되므로 콘택홀간 간격을 유지 할 수 있다.

<58> 따라서, 높은 종횡비를 갖는 콘택홀일지라도 보잉 발생으로 인한 전기적 단락을 방지할 수 있다. 또한, 콘택홀간 여유를 일정하게 유지할 수 있음으로써, 고집적된 콘택홀을 형성할 수 있다.

<59> 이어서, 식각 공정을 마치면 감광막 또는 하드 마스크막을 제거한다.

<60> 여기서, 콘택홀의 장축 대비 단축의 비율은 1:0.5 내지 1:0.95일 수 있다. 따라서, 원하는 콘택홀 크기의 직경을 타원형 콘택홀의 장축으로 하고 그 장축보다 적은 범위로 단축을 구비하면, 장축으로 보잉이 발생되지 않는 콘택홀을 형성할 수 있다.

<61> 또한, 콘택홀의 종횡비가 10 내지 40일 수 있다. 그리고, 콘택홀의 깊이는 1.5um 이상으로 형성하는 것을 예로 들었으나 이에 제한되는 것은 아니다. 또한 콘택홀 사이의 장축 방향의 간격은 20nm 내지 100nm로 형성한다.

<62> 다시 도 3을 참조하면, 콘택홀(161, 162, 163)을 매립하여 콘택플러그(171, 172, 173)를 형성한다.

<63> 콘택플러그(171, 172, 173)는 콘택홀(161, 162, 163)의 내부에 TiN 등의 확산 방지막과 텅스텐등의 금속막으로 매립한다.

<64> 이어서, 제 4 층간 절연막(150) 상면에 상부 금속 배선(180)을 형성한다.

<65> Al, Ti, W, Ti/Al, TiN/Al, TiN/Al/TiN, 또는 이들의 조합막으로 이루어진 도전막을 형성한 후, 패터닝하여 콘택플러그(171, 172, 173)와 접속하는 상부 금속 배선(180b-1, 180b-2, 180b-3)등을 형성한다.

<66> 따라서, 이러한 콘택플러그(171, 172, 173)를 통해 상부 금속 배선(180)과 반도체 기판(100)내에 형성된 하부 도전층의 도전막(124)과 전기적 접속을 할 수 있다.

<67> 이후, 도면에는 도시하지 않았으나, 비아와 제2 금속 배선 이상의 다층 금속 배선 공정과 퓨즈 영역에 가드링 패턴막을 형성하고 최종적으로 패시베이션막을 형성한다.

<68> 앞서 설명한 바와 같이, 반도체 소자의 고집적화됨에 따라 작아지는 콘택홀의 직경과, 또한 두꺼워지는 층간 절연막으로 인하여, 높은 종횡비를 갖는 콘택홀의 특성으로 인하여, 보잉이 발생될 수 있다. 하지만, 본 발명의 일 실시예에 따른 타원형 콘택, 특히 콘택홀 사이의 여유 간격이 적은 곳에 장축이 근접하도록 배열함으로써, HARC 식각 특성인 보잉 발생으로 인한 전기적 단락을 방지할 수 있다.

<69> 또한, 보잉 발생 방지를 위하여 콘택홀의 직경을 늘리지 않고, 원래 직경대로 장축을 유지하며, 장축에 비하여 작은 단축을 구비하는 콘택홀을 형성함으로써, 콘택홀 추가 면적의 소비 없이 전기적 단락이 방지되는 콘택홀을 구비할 수 있다. 한편, 여유 간격이 있는 곳에서는 장축을 원래 원형의 콘택홀 직경보다 늘릴 수 있음은 물론이다.

<70> 타원형 콘택홀을 장축이 근접하도록 배열하여 형성함으로써, 콘택홀 간의 전기적 단락이 방지될 수 있을 뿐 아니라, 장축으로의 보잉 발생이 적음으로써, 장축간 일정 간격 유지를 할 수 있으므로 고집적화를 이룰 수 있다.

<71> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

### 발명의 효과

<72> 상기한 바와 같은 반도체 소자의 제조 방법에 따르면 다음과 같은 효과가 하나 혹은 그 이상 있다.

<73> 첫째, 타원형의 콘택홀의 장축을 근접하여 배열함으로써, 보잉으로 인한 콘택홀간 전기적 단락을 방지할 수 있다.

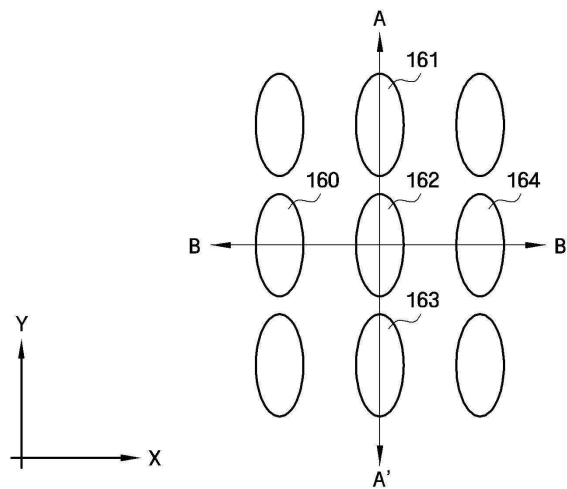
<74> 둘째, 콘택홀간 전기적 단락을 방지할 수 있음으로써 소자의 오동작을 감소시켜 성능을 향상시키고 신뢰성을 높일 수 있다.

### 도면의 간단한 설명

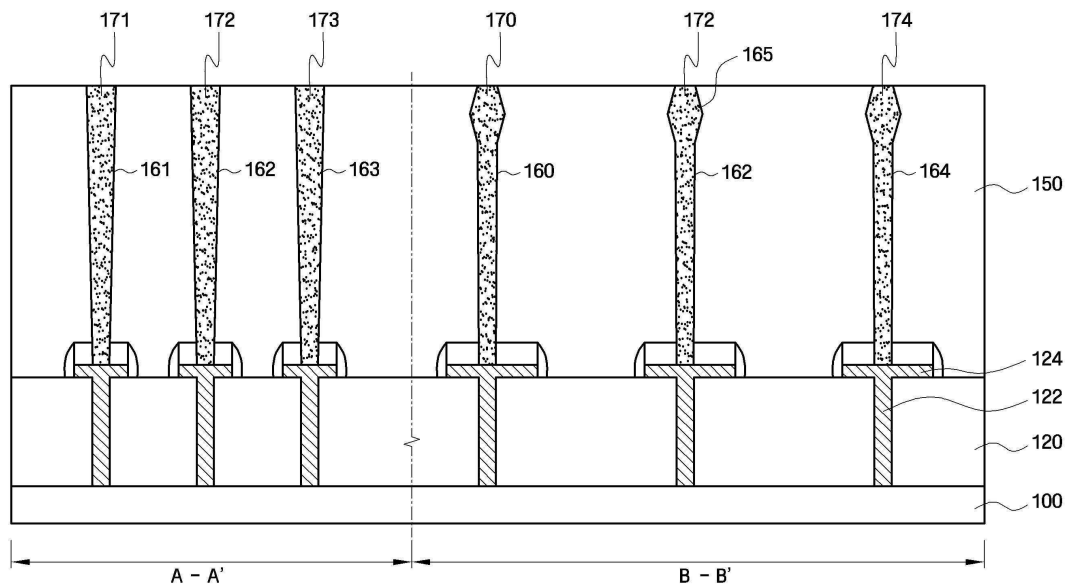
- <1> 도 1a 및 도 1b는 본 발명의 실시예에 따른 콘택홀을 포함하는 반도체 소자의 레이아웃과 단면도이다.
- <2> 도 2는 도 1a 및 도 1b에 도시되어 있는 콘택홀의 구조가 DRAM에 적용된 경우를 예시하는 레이아웃이다.
- <3> 도 3 내지 도 5는 도 2에 도시되어 있는 DRAM의 제조 방법을 설명하기 위한 단면도들이다.
- <4> (도면의 주요부분에 대한 부호의 설명)
- <5> 100: 반도체 기판  
124: 도전막
- <6> 150: 층간 절연막  
161, 162, 163: 콘택홀
- <7> 171, 172, 173: 콘택플러그  
180: 상부 금속 배선

도면

도면 1a

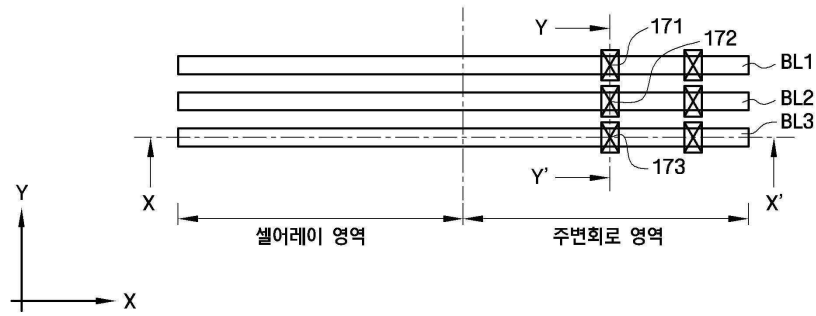


도면 1b

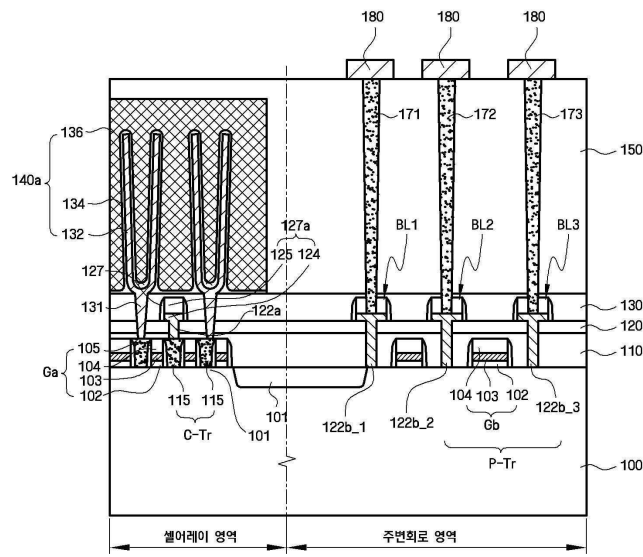




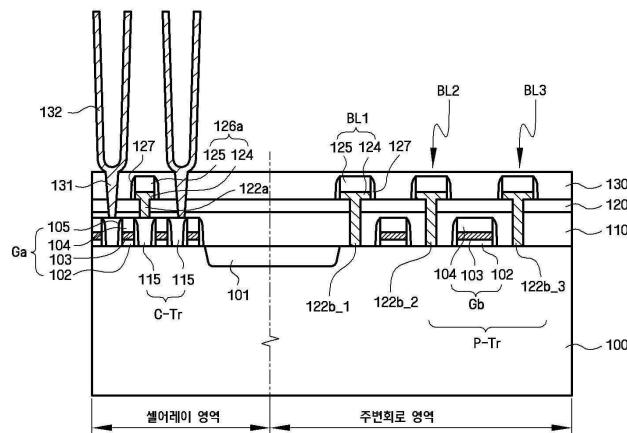
도면2



도면3



도면4



도면5

