(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月7日(07.04.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/071222 A1

(51) 国際特許分類:
G05F 1/56 (2006.01)

(21) 国際出願番号： PCT/JP2021/035375

(22) 国際出願日： 2021年9月27日(27.09.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-165473 2020年9月30日(30.09.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 井手 大介(**IDE Daisuke**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 執行 信彦(**SHIGYO Nobuhiko**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 駒形 啓太(**KOMAGATA Keita**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 渡辺 裕之(**WATANABE Hiroyuki**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 内藤 誉博(**NAITO Takahiro**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

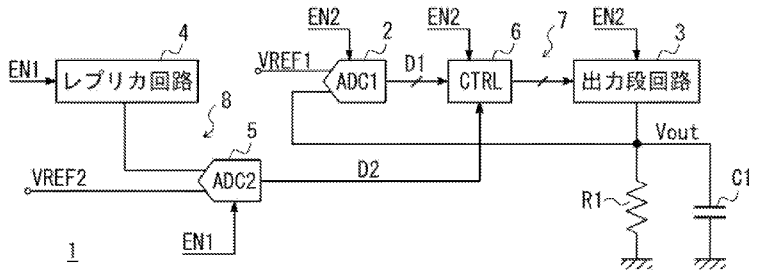
(74) 代理人: 中村 行孝, 外(**NAKAMURA Yukitaka et al.**); 〒1000005 東京都千代田区丸の内１丁目６番６号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) **Title:** DIGITAL CONTROL REGULATOR

(54) 発明の名称： デジタル制御レギュレータ

[図1]



3 Output stage circuit
4 Replica circuit

(57) **Abstract:** [Problem] To provide a digital control regulator that enables an improvement in stability, a reduction in variation of ripple voltage and droop characteristics, and reduction in size with a low voltage. [Solution] The digital control regulator is provided with: a first AD converter that generates a first digital signal according to a difference voltage between an output voltage and a first reference voltage; an output stage circuit that generates the output voltage; a replica circuit that has the same circuit configuration as the output stage circuit and outputs a replica voltage related to the output voltage; a second AD converter that generates a second digital signal according to a difference voltage between the replica voltage and a second reference voltage; and a control circuit that generates a control signal for controlling the gain of the output stage circuit on the basis of the first digital signal and the second digital signal.

WO 2022/071222 A1

［続葉有］

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

(57) 要約：［課題］安定性を向上させることができ、リップル電圧やdroop特性のばらつきを低減でき、かつ低電圧で小型化が可能なデジタル制御レギュレータの提供。［解決手段］デジタル制御レギュレータは、出力電圧と第１基準電圧との差分電圧に応じた第１デジタル信号を生成する第１のＡＤ変換器と、出力電圧を生成する出力段回路と、出力段回路と同じ回路構成を有し、出力電圧に関連するレプリカ電圧を出力するレプリカ回路と、レプリカ電圧と第２基準電圧との差分電圧に応じた第２デジタル信号を生成する第２のＡＤ変換器と、第１デジタル信号及び第２デジタル信号に基づいて、出力段回路のゲインを制御する制御信号を生成する制御回路と、を備える。

明　細　書

発明の名称 ： デジタル制御レギュレータ

技術分野

[0001] 本開示は、デジタル制御レギュレータに関する。

背景技術

[0002] 一般に、デジタルＬＤＯ（Low Drop Out）の出力段回路の能力が低すぎると、電流供給能力やdroop特性が悪化し、能力が高すぎるとリプル電圧の増加や安定性の悪化を招くことから、安定性の向上と過渡応答特性の向上及びリップル低減とはトレードオフの関係にあると言える。出力段回路の能力を一定に保つことができれば、この問題を解決することができる。

[0003] 出力段回路の能力のばらつきを抑制する種々の制御回路が従来から提案されている（特許文献１参照）。代表的な制御回路として、（１）能力補正機能を実装した多重ループ制御のデジタルＬＤＯと、（２）デジタル制御の能力補正回路と、（３）アナログ制御の能力補正回路とがある。

先行技術文献

特許文献

[0004] 特許文献1：特表２０１６－５１９３５６号公報

発明の概要

発明が解決しようとする課題

[0005] 上述した（１）のデジタルＬＤＯは、出力が変化しないと能力補正ができないという問題と、多重ループ制御になることから、安定性確保が困難であるという問題がある。また、アナログ電圧で制御するループを実装した構成では、大面積が必要になり、電力増加も招いてしまう。

[0006] 上述した（２）のデジタル制御の能力補正回路は、入力電圧（あるいは入出力電位差）に応じた調整と、トランジスタのスキューを考慮に入れた調整と、温度に合わせた調整とが行えないため、補正精度が悪くなるおそれがある。

[0007] 上述した（３）のアナログ制御の能力補正回路は、面積と電力増加を招き、低電圧動作に不向きである。

[0008] そこで、本開示では、安定性を向上させることができ、かつリップル電圧やdroop特性のばらつきを低減でき、かつ低電圧で小型化が可能なデジタル制御レギュレータを提供するものである。

課題を解決するための手段

[0009] 上記の課題を解決するために、本開示によれば、出力電圧と第１基準電圧との差分電圧に応じた第１デジタル信号を生成する第１のＡＤ変換器と、

前記出力電圧を生成する出力段回路と、

前記出力段回路と同じ回路構成を有し、前記出力電圧に関連するレプリカ電圧を出力するレプリカ回路と、

前記レプリカ電圧と第２基準電圧との差分電圧に応じた第２デジタル信号を生成する第２のＡＤ変換器と、

前記第１デジタル信号及び前記第２デジタル信号に基づいて、前記出力段回路のゲインを制御する制御信号を生成する制御回路と、を備える、デジタル制御レギュレータが提供される。

[0010] 前記出力段回路及び前記レプリカ回路は、同一導電型かつ同一サイズのトランジスタを含む同一回路構成の回路であってもよい。

[0011] 前記出力段回路及び前記レプリカ回路は、同一抵抗値の抵抗素子を含む同一回路構成の回路であってもよい。

[0012] 前記第２デジタル信号は、前記レプリカ回路の能力情報を含んでもよい。

[0013] 前記制御回路は、前記出力電圧が前記出力段回路の能力情報による変動を受けないように、前記制御信号を生成してもよい。

[0014] 前記能力情報は、前記レプリカ回路又は前記出力段回路の入力電圧、出力電圧、製造プロセス、及び温度の少なくとも一つの情報を含んでもよい。

[0015] 前記第２デジタル信号は、前記レプリカ回路のオン抵抗情報を含んでもよい。

[0016] 前記制御回路は、前記第２デジタル信号に基づいて、前記出力段回路のオ

ン抵抗が前記レプリカ回路のオン抵抗に一致するように前記制御信号を生成してもよい。

[0017] 前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を開始する前、又は前記帰還制御の開始タイミングに同期させて前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を開始する前、又は前記帰還制御の開始タイミングに同期させて前記第２デジタル信号を生成してもよい。

[0018] 前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えたタイミングに同期させて前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えたタイミングに同期させて前記第２デジタル信号を生成してもよい。

[0019] 前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えるタイミングより所定期間前に前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えたタイミングに合わせて前記第２デジタル信号を生成してもよい。

[0020] 前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に間欠的に前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に間欠的に前記第２デジタル信号を生成してもよい。

[0021] 前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に継続して前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電

圧の帰還制御を行っている最中に継続して前記第２デジタル信号を生成してもよい。

[0022] 前記レプリカ回路は、イネーブル信号が所定の論理のときに前記レプリカ電圧を出力し、前記イネーブル信号が前記所定の論理以外の論理のときには前記レプリカ電圧の出力を停止してもよい。

[0023] 前記イネーブル信号が前記所定の論理になるタイミングに合わせて、前記第２基準電圧が前記第２のＡＤ変換器に入力されてもよい。

[0024] 前記第２のＡＤ変換器は、

前記レプリカ電圧と前記第２基準電圧との差分電圧に応じた信号を出力する比較器と、

前記レプリカ回路の出力ノードに流れる電流を調整することにより、前記レプリカ電圧の電圧レベルを制御する可変負荷回路と、

前記比較器の出力信号に基づいて、前記出力ノードを通って前記可変負荷回路に流れる電流を調整するとともに、前記レプリカ電圧を前記第２基準電圧に一致させるための前記レプリカ回路のオン抵抗情報を含む前記第２デジタル信号を生成する制御部と、を有してもよい。

[0025] 前記レプリカ回路は、トランジスタ又は抵抗素子の接続段数を調整可能であり、

前記第２のＡＤ変換器は、

前記レプリカ電圧と前記第２基準電圧との差分電圧に応じた信号を出力する比較器と、

前記比較器の出力信号に基づいて、前記レプリカ回路内のトランジスタ又は抵抗素子の接続段数を調整するとともに、前記レプリカ電圧を前記第２基準電圧に一致させるための前記レプリカ回路のオン抵抗情報を含む前記第２デジタル信号を生成する制御部と、を有してもよい。

[0026] 前記出力段回路は、トランジスタ又は抵抗素子の接続段数を調整可能であり、

前記制御回路は、前記第２デジタル信号に基づいて、前記出力段回路内の

トランジスタ又は抵抗素子の接続段数を、前記レプリカ回路内のトランジスタ又は抵抗素子の接続段数と同一にしてもよい。

[0027] 前記制御回路は、前記出力電圧が前記第１基準電圧と等しくなるように帰還制御し、

前記第１基準電圧と前記第２基準電圧とは、同一の電圧レベルであってもよい。

[0028] 前記制御回路は、前記出力電圧を１／Ａ（Ａは１より大きい実数）倍に分圧した電圧が前記第１基準電圧と等しくなるように帰還制御し、

前記第２基準電圧は、前記第１基準電圧と同一の電圧レベルに設定され、

前記第２のＡＤ変換器は、前記レプリカ電圧と前記第２基準電圧をＡ倍した電圧とを比較してもよい。

図面の簡単な説明

[0029] [図1]一実施形態によるデジタル制御レギュレータのブロック図。

[図2]出力段回路内の回路構成の一例を示すブロック図。

[図3A]出力段回路内のトランジスタの特性を示す図。

[図3B]負荷電流の変動による出力電圧の変動量を示す図。

[図4]デジタル制御レギュレータの第１具体例を示すブロック図。

[図5]デジタル制御レギュレータの第２具体例を示すブロック図。

[図6]デジタル制御レギュレータの第３具体例を示すブロック図。

[図7]デジタル制御レギュレータの第４具体例を示すブロック図。

[図8]デジタル制御レギュレータの第５具体例を示すブロック図。

[図9]デジタル制御レギュレータの第６具体例を示すブロック図。

[図10]デジタル制御レギュレータの第７具体例を示すブロック図。

[図11]デジタルＬＤＯ動作と出力段回路の能力補正を行う処理手順の一例を示すフローチャート。

[図12]起動時のみ能力補正を行う場合のタイミング図。

[図13]デジタルＬＤＯ動作の開始に合わせて、能力補正回路が能力補正を行うタイミング図。

[図14]間欠的に能力補正を行う場合のタイミング図。

[図15]出力電圧の電圧レベルを切り替える前に能力補正を行うタイミング図。

[図16]デジタルＬＤＯ動作を開始する前から、継続的に能力補正を行う場合のタイミング図。

[図17]デジタルＬＤＯ動作を開始するタイミングに合わせて、継続的に能力補正を行う例を示す図。

[図18]本実施形態によるデジタル制御レギュレータの概略構成の一例を示すブロック図。

[図19]一変形例によるデジタル制御レギュレータのブロック図。

発明を実施するための形態

[0030] 以下、図面を参照して、デジタル制御レギュレータの実施形態について説明する。以下では、デジタル制御レギュレータの主要な構成部分を中心に説明するが、デジタル制御レギュレータには、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0031] 図１は一実施形態によるデジタル制御レギュレータ１のブロック図である。図１のデジタル制御レギュレータ１は、デジタル制御ＬＤＯとも呼ばれるものである。図１のデジタル制御レギュレータ１は、第１のＡＤ変換器（以下、ＡＤＣ１又は第１ＡＤＣ）２と、出力段回路３と、レプリカ回路４と、第２のＡＤ変換器（以下、ＡＤＣ２又は第２ＡＤＣ）５と、制御回路（ＣＴＲＬ）６とを備えている。

[0032] 第１ＡＤＣ２は、出力電圧Ｖoutと第１基準電圧ＶＲＥＦ１との差分電圧に応じた第１デジタル信号Ｄ１を生成する。第１デジタル信号Ｄ１は、制御回路６に入力される。第１ＡＤＣ２は、第１基準電圧ＶＲＥＦ１と出力電圧Ｖoutが入力されたときにＡＤ変換動作を行う。

[0033] 出力段回路３は、出力電圧Ｖoutを生成する。出力段回路３の出力ノードと接地ノードの間には、抵抗素子Ｒ１とキャパシタＣ１が並列接続されている

。出力段回路３は、制御回路６により制御される。出力段回路３、第１ＡＤＣ２、及び制御回路６は、はデジタルＬＤＯ回路７を構成している。デジタルＬＤＯ回路７は、出力電圧Ｖoutが第１基準電圧ＶＲＥＦ１に一致するように帰還制御する。

[0034] レプリカ回路４は、出力段回路３と同じ回路構成を有し、出力電圧Ｖoutに関連するレプリカ電圧を出力する。レプリカ電圧は、負荷変動がない状態では出力電圧Ｖoutと同じ電圧レベルである。レプリカ回路４と第２ＡＤＣ５は、出力段回路３の能力を補正する能力補正回路８を構成している。

[0035] レプリカ回路４は、第１イネーブル信号ＥＮ１が所定の論理のときにイネーブル状態となって、レプリカ電圧を出力するようにしてもよい。この場合、レプリカ回路４は、第１イネーブル信号ＥＮ１が所定の論理以外のときにはレプリカ電圧の出力を停止するため、レプリカ回路４の消費電力を削減できる。

[0036] 第２ＡＤＣ５は、レプリカ電圧と第２基準電圧ＶＲＥＦ２との差分電圧に応じた第２デジタル信号Ｄ２を生成する。第２デジタル信号Ｄ２は、レプリカ回路４の能力情報を含んでいる。レプリカ回路４の能力情報は、例えば、レプリカ回路４の入力電圧、出力電圧Ｖout、製造プロセス、及び温度の少なくとも一つの情報を含んでいる。レプリカ回路４の能力情報は、出力段回路３の能力情報と実質的に同一である。また、第２デジタル信号Ｄ２は、レプリカ回路４のオン抵抗情報を含んでいる。第２ＡＤＣ５は、レプリカ電圧と第２基準電圧ＶＲＥＦ２が入力されたときにＡＤ変換動作を行う。第２ＡＤＣ５は、第１イネーブル信号ＥＮ１が所定の論理のときにイネーブル状態となって、第２デジタル信号Ｄ２を生成する。第２基準電圧ＶＦＥＦ２は、第１イネーブル信号ＥＮ１が所定の論理になるタイミングに合わせて、第２ＡＤＣ５に入力される。第２基準電圧ＶＲＥＦ２を第２ＡＤＣ５に入力する期間を制限し、かつ第１イネーブル信号ＥＮ１が所定の論理のときのみ第２ＡＤＣ５でＡ／Ｄ変換動作を行うことで、消費電力を削減できる。

[0037] 制御回路６は、第１デジタル信号Ｄ１と第２デジタル信号Ｄ２に基づいて

、出力段回路３のゲインを制御する制御信号を生成する。制御回路６は、出力電圧Ｖoutが出力段回路３の能力情報による変動を受けないように、制御信号を生成する。例えば、制御回路６は、第２デジタル信号Ｄ２に基づいて、出力段回路３のオン抵抗がレプリカ回路４のオン抵抗に一致するように制御信号を生成する。

[0038] 出力電圧Ｖoutは、第１ＡＤＣ２に帰還されて、第１基準電圧ＶＲＥＦ１との差分電圧に応じた第１デジタル信号Ｄ１が生成される。制御回路６は第１デジタル信号Ｄ１と第２ＡＤＣ５からの第２デジタル信号Ｄ２とに基づいて、出力段回路３のゲインを制御するための制御信号を生成する。この帰還ループは二重ループの構造にはなっていないため、安定性の設計が容易に行える。

[0039] 出力段回路３は、制御回路６から出力された制御信号により、オン抵抗を調整可能であり、オン抵抗を調整することで、出力電圧Ｖoutを制御できる。出力段回路３におけるオン抵抗を調整するための具体的な回路構成は任意である。出力段回路３は、第２イネーブル信号ＥＮ２が所定の論理のときに出力電圧Ｖoutを出力するようにしてもよい。また、第１ＡＤＣ２と制御回路６にも第２イネーブル信号ＥＮ２を入力してもよい。この場合、第２イネーブル信号ＥＮ２が所定の論理以外のときは、第１ＡＤＣ２、制御回路６及び出力段回路３を有するデジタルＬＤＯ回路７の全体の動作を停止させることができ、消費電力を削減できる。

[0040] 出力段回路３とレプリカ回路４は、例えば、同一導電型かつ同一サイズのトランジスタを含む同一回路構成の回路である。あるいは、出力段回路３とレプリカ回路４は、同一抵抗値の抵抗素子を含む同一回路構成の回路であってもよい。

[0041] 後述するように、レプリカ回路４は、出力段回路３及び制御回路６が出力電圧Ｖoutの帰還制御を開始する前、又は帰還制御の開始タイミングに同期させてレプリカ電圧を出力してもよい。この場合、第２ＡＤＣ５は、出力段回路３及び制御回路６が出力電圧Ｖoutの帰還制御を開始する前、又は帰還制御

の開始タイミングに同期させて第２デジタル信号Ｄ２を生成する。このように、デジタルＬＤＯ動作を開始する前に出力段回路３の能力補正を行うことで、出力段回路３の能力のばらつきに依存せずにデジタルＬＤＯ動作を行うことができる。

[0042] あるいは、レプリカ回路４は、出力段回路３及び制御回路６が出力電圧Ｖoutの帰還制御を行っている最中に出力電圧Ｖoutの電圧レベルを切り替えたタイミングに同期させてレプリカ電圧を出力してもよい。この場合、第２ＡＤＣ５は、出力段回路３及び制御回路６が出力電圧Ｖoutの帰還制御を行っている最中に出力電圧Ｖoutの電圧レベルを切り替えたタイミングに同期させて第２デジタル信号Ｄ２を生成する。出力電圧Ｖoutの電圧レベルが変化すると、後述するように出力電圧Ｖoutのdroop特性やリップル特性が変動するため、出力電圧Ｖoutの電圧レベルが変化したタイミングに合わせて出力段回路３の能力補正を再度行うことで、droop特性やリップル特性等を向上できる。

[0043] あるいは、レプリカ回路４は、出力段回路３及び制御回路６が出力電圧Ｖoutの帰還制御を行っている最中に出力電圧Ｖoutの電圧レベルを切り替えるタイミングより所定期間前にレプリカ電圧を出力してもよい。この場合、第２ＡＤＣ５は、出力段回路３及び制御回路６が出力電圧Ｖoutの帰還制御を行っている最中に出力電圧Ｖoutの電圧レベルを切り替えたタイミングに合わせて第２デジタル信号Ｄ２を生成する。出力電圧Ｖoutが切り替わったタイミングで、出力段回路３の能力補正ができるようにするには、出力電圧Ｖoutが切り替わるタイミングより前に、第２ＡＤＣ５から、レプリカ回路４の能力情報を含む第２デジタル信号Ｄ２を出力する必要がある。これにより、出力電圧Ｖoutが切り替わったタイミングから出力段回路３の能力補正を行うことができる。

[0044] あるいは、レプリカ回路４は、出力段回路３及び制御回路６が出力電圧Ｖoutの帰還制御を行っている最中に間欠的にレプリカ電圧を出力してもよい。この場合、第２ＡＤＣ５は、出力段回路３及び制御回路６が出力電圧Ｖoutの帰還制御を行っている最中に間欠的に第２デジタル信号Ｄ２を生成する。デ

ジタルＬＤＯ動作を行っている最中に間欠的に出力段回路３の能力補正を行うことで、出力段回路３の入力電圧、出力電圧Ｖout、温度等が変動した場合でも、その変動の影響を受けずに出力電圧Ｖoutを生成できる。

[0045] あるいは、レプリカ回路４は、出力段回路３及び制御回路６が出力電圧Ｖoutの帰還制御を行っている最中に継続してレプリカ電圧を出力してもよい。この場合、第２ＡＤＣ５は、出力段回路３及び制御回路６が出力電圧Ｖoutの帰還制御を行っている最中に継続して第２デジタル信号Ｄ２を生成する。デジタルＬＤＯ動作を行っている最中に継続して出力段回路３の能力補正を行うことで、出力段回路３の入力電圧、出力電圧Ｖout、温度等の変動に即応して、出力電圧Ｖoutを補正できる。

[0046] レプリカ回路４は、第１イネーブル信号ＥＮ１が所定の論理のときにレプリカ電圧を出力し、第１イネーブル信号ＥＮ１が所定の論理以外の論理のときにはレプリカ電圧の出力を停止してもよい。このように、レプリカ回路４を必要なときのみ動作させることで、レプリカ回路４での消費電力を削減できる。

[0047] また、第２ＡＤＣ５は、第１イネーブル信号ＥＮ１が所定の論理のときのみＡ／Ｄ変換動作を行う。また、第２ＡＤＣ５には、第１イネーブル信号ＥＮ１が所定の論理になるタイミングに合わせて、第２基準電圧ＶＲＥＦ２が入力される。これにより、第２ＡＤＣ５での消費電力も削減できる。

[0048] 図２は出力段回路３内の回路構成の一例を示すブロック図である。図２に示すように、出力段回路３内には例えばｐ型ＭＯＳトランジスタ（以下、単にトランジスタと呼ぶ）が設けられている。制御回路６は、出力段回路３内のトランジスタをオンさせる個数を制御するための制御信号を出力する。制御信号により、オンするトランジスタ数が変化し、出力段回路３のオン抵抗が変化する。

[0049] 図３Ａは出力段回路３内のトランジスタの特性を示す図である。図３Ａの横軸は出力電圧Ｖout、縦軸は出力段回路３内のトランジスタのドレイン電流である。図３Ａの曲線Ｗ１～Ｗ３は、出力段回路３内のトランジスタのゲー

トーソース間電圧Ｖgsを３通りに変化させた場合（電源電圧が異なる場合）の出力電圧Ｖoutとドレイン電流との対応関係を示している。曲線Ｗ１はＶgs＝０．６Ｖ、曲線Ｗ２はＶgs＝０．６５Ｖ、曲線Ｗ３はＶgs＝０．７Ｖの場合の特性曲線を表している。図示のように、ゲートーソース間電圧が大きくなるほど、ドレイン電流が多くなり、トランジスタの能力が高くなる。

[0050] 図３Ａには、電流値がそれぞれ相違する３つのドレイン電流直線Ｗ４～Ｗ６が図示されている。ドレイン電流の大きさの順序は、Ｗ４＜Ｗ５＜Ｗ６である。

[0051] 図３Ｂは負荷電流の変動による出力電圧Ｖoutの変動量を示す図である。図３Ｂの曲線Ｗ７～Ｗ９はそれぞれ、図３Ａの直線Ｗ４～Ｗ６に対応している。図３Ｂに示すように、負荷電流が変動すると、出力電圧Ｖoutが変化するが、Ｖgsが大きいほど、負荷電流の変動による出力電圧Ｖoutの変動量は小さくなる。図３Ｂのように、負荷電流が急増したときに出力電圧Ｖoutが一時的に低下する度合いはdroop特性と呼ばれており、Ｖgsが小さいほど出力電圧Ｖoutの低下量がより大きくなり、droop特性は悪くなる。

[0052] 図３Ａ及び図３Ｂからわかるように、出力段回路３内のトランジスタ能力が高いほどdroop特性は向上するが、回路動作が不安定となり、リップル電圧が大きくなり、ノイズ特性が低下するおそれがある。

[0053] 図１に示すデジタル制御レギュレータ１では、出力段回路３と同じ回路構成のレプリカ回路４を設けて、レプリカ回路４から出力されるレプリカ電圧と第２基準電圧ＶＲＥＦ２との差分電圧に応じた第２デジタル信号Ｄ２を第２ＡＤＣ５で生成する。この第２デジタル信号Ｄ２は、レプリカ回路４の能力情報を含む信号である。制御回路６は、出力電圧Ｖoutと第１基準電圧ＶＲＥＦ１の差分電圧に応じた第１デジタル信号Ｄ１と、第２デジタル信号Ｄ２とに基づいて、出力段回路３のゲインを制御する。これにより、制御回路６は、出力段回路３の入力電圧、出力電圧Ｖout、製造プロセス、温度等の能力情報を考慮に入れて、出力段回路３のゲインを制御することができ、本来はトレードオフの関係にある安定性と、過渡応答性及びリップル特性とをとも

に改善することができる。

[0054] 上述したように、図１の出力段回路３とレプリカ回路４は同一の回路構成を備えているが、出力段回路３とレプリカ回路４の具体的な回路構成には種々の変形例が考えられる。

[0055] 図４はデジタル制御レギュレータ１ａの第１具体例を示すブロック図である。図４のデジタル制御レギュレータ１ａ内の出力段回路３とレプリカ回路４は、ｎ型ＭＯＳトランジスタ（以下、トランジスタと呼ぶ）を有する。出力段回路３は、例えば、電源電圧ノードと出力ノードとの間に並列接続された複数のトランジスタを有する。なお、出力段回路３内に一つのトランジスタだけが存在してもよいが、以下では、複数のトランジスタが並列接続されている例を説明する。出力段回路３内の複数のトランジスタのゲートには、制御回路６から制御信号が供給される。この制御信号により、出力段回路３のオン抵抗が制御される。

[0056] レプリカ回路４は、出力段回路３内の並列接続されるトランジスタと同一のトランジスタを１つだけ有する。

[0057] レプリカ回路４は、第１イネーブル信号ＥＮ１が所定の論理のときだけ、レプリカ電圧を出力する。同様に、出力段回路３は、第２イネーブル信号ＥＮ２が所定の論理のときだけ、出力電圧Ｖoutを出力する。第１イネーブル信号ＥＮ１と第２イネーブル信号ＥＮ２は必ずしも必須ではないが、第１イネーブル信号ＥＮ１と第２イネーブル信号ＥＮ２を設けることで、レプリカ回路４と第２ＡＤＣ５を有する能力補正回路８と、第１ＡＤＣ２、制御回路６及び出力段回路３を有するデジタルＬＤＯ回路７の消費電力を削減できる。

[0058] 第２ＡＤＣ５は、比較器１１と、可変電流源１２と、制御部１３とを有する。比較器１１は、レプリカ電圧と第２基準電圧ＶＲＥＦ２との差分電圧に応じた信号を出力する。可変電流源１２は、レプリカ回路４の出力ノードに流れる電流を調整することにより、レプリカ電圧の電圧レベルを制御する。可変電流源１２は、レプリカ回路４内の出力ノードと接地ノードの間に接続されている。より具体的には、可変電流源１２は、レプリカ回路４内のトラ

ンジスタのソースと接地ノードの間に接続されている。

[0059] 制御部１３は、比較器１１の出力信号に基づいて、出力ノードを通って可変電流源１２に流れる電流を調整するとともに、レプリカ電圧を第２基準電圧ＶＲＥＦ２に一致させるためのレプリカ回路４のオン抵抗情報を含む第２デジタル信号Ｄ２を生成する。より具体的には、制御部１３は、比較器１１から出力された信号に基づいて、可変電流源１２の電流を調整するための調整信号を生成する。例えば、制御部１３は、レプリカ電圧が第２基準電圧ＶＲＥＦ２よりも低ければ、可変電流源１２を流れる電流を減らすように調整信号を生成する。

[0060] 制御回路６は、第１ＡＤＣ２から出力された第１デジタル信号Ｄ１と、レプリカ回路４のオン抵抗情報を含む第２デジタル信号Ｄ２とに基づいて、出力段回路３のゲインを制御するための制御信号を生成する。この制御信号により、出力段回路３のオン抵抗を制御することができる。出力段回路３の入力電圧、出力電圧Ｖout、製造プロセス、及び温度等の能力情報により、出力段回路３のオン抵抗は変化し、オン抵抗が変化すると、ドレイン電流や出力電圧Ｖoutに影響が及ぶ。そこで、本実施形態では、出力段回路３と同じ回路構成のレプリカ回路４を用いて、第２ＡＤＣ５にてレプリカ回路４のオン抵抗情報を検出して、制御回路６に供給する。これにより、制御回路６は、結果的に出力段回路３の能力情報を考慮に入れて、出力段回路３のオン抵抗を制御できる。

[0061] 図５はデジタル制御レギュレータ１ｂの第２具体例を示すブロック図である。図５のデジタル制御レギュレータ１ｂ内の出力段回路３とレプリカ回路４は、抵抗素子を有する。より具体的には、電源電圧ノードと出力ノードとの間に直列接続された抵抗素子４ａとスイッチ４ｂとを有する。スイッチ４ｂは、抵抗素子４ａを使用するか否かを切り替えるためのものである。出力段回路３には、直列接続された抵抗素子３ａとスイッチ３ｂを一組とする複数組が並列接続されている。複数組のうち任意の組の抵抗素子３ａをスイッチ３ｂにて選択することができる。レプリカ回路４は、出力段回路３内と同

一の抵抗素子４ａとスイッチ４ｂを有する。

[0062] 第２ＡＤＣ５は、図４と同様に、比較器１１と、可変電流源１２と、制御部１３とを有する。可変電流源１２は、レプリカ回路４の出力ノードと接地ノードの間に接続されている。制御部１３は、図４の制御部１３と同様の動作を行う。すなわち、制御部１３は、比較器１１の出力信号に基づいて、出力ノードを通って可変電流源１２に流れる電流を調整するとともに、レプリカ電圧を第２基準電圧ＶＲＥＦ２に一致させるためのレプリカ回路４のオン抵抗情報を含む第２デジタル信号Ｄ２を生成する。

[0063] 図６はデジタル制御レギュレータ１ｃの第３具体例を示すブロック図である。図６のデジタル制御レギュレータ１ｃ内の出力段回路３とレプリカ回路４は、ｐ型ＭＯＳトランジスタを有する。このように、図６のデジタル制御レギュレータ１ｃは、図４のデジタル制御レギュレータ１ａと比べて、出力段回路３とレプリカ回路４内のトランジスタの導電型を変えたものであり、これに伴って制御回路６から出力される制御信号の論理は逆になるが、デジタル制御レギュレータ１ａ、１ｃの回路動作は共通する。また、図６のデジタル制御レギュレータ１ｃは、可変電流源１２の代わりに、可変抵抗１２ａを備えている。制御部１３からの調整信号により、可変抵抗１２ａの抵抗値が調整され、これにより、レプリカ回路４から出力されるレプリカ電圧が制御される。

[0064] 図４～図６のデジタル制御レギュレータ１ａ、１ｂ、１ｃのいずれにおいても、第２ＡＤＣ５内の制御部１３は、レプリカ回路４のオン抵抗情報を含む第２デジタル信号Ｄ２を制御回路６に供給する。これにより、制御回路６は、レプリカ回路４のオン抵抗情報を考慮に入れて、制御信号を生成することができる。

[0065] 図４～図６では、第２ＡＤＣ５内に可変電流源１２を設けて、レプリカ電圧が第２基準電圧ＶＲＥＦ２に等しくなるように、可変電流源１２を流れる電流を制御部１３にて制御する例を示したが、可変電流源１２の代わりに、一定電流を流す定電流源を設けるとともに、出力段回路３とレプリカ回路４

内のトランジスタや抵抗の接続段数を可変させて、その接続段数の情報をオン抵抗情報として第２デジタル信号Ｄ２に含めて制御回路６に供給してもよい。

[0066] 図７はデジタル制御レギュレータ１ｄの第４具体例を示すブロック図である。図７のデジタル制御レギュレータ１ｄ内の出力段回路３とレプリカ回路４はそれぞれ、接続段数を変更可能な複数のｐ型ＭＯトランジスタ（以下、単にトランジスタと呼ぶ）を有する。各トランジスタは、電源電圧ノードと出力ノードとの間に接続されている。出力段回路３とレプリカ回路４内のトランジスタの接続段数を増やすほど、出力段回路３とレプリカ回路４のオン抵抗は小さくなる。

[0067] 第２ＡＤＣ５は、比較器１１と、定電流源１２ｂと、制御部１３とを有する。比較器１１は、レプリカ電圧と第２基準電圧ＶＲＥＦ２との差分電圧に応じた信号を出力する。定電流源１２ｂは、レプリカ回路４の出力ノードと接地ノードとの間に接続されており、定電流を流す。制御部１３は、比較器１１の出力信号に基づいて、レプリカ回路４内のトランジスタの接続段数を調整するとともに、レプリカ電圧を第２基準電圧ＶＲＥＦ２に一致させるためのレプリカ回路４のオン抵抗情報を含む第２デジタル信号Ｄ２を生成する。より具体的には、制御部１３は、レプリカ電圧が第２基準電圧ＶＲＥＦ２に一致するように調整信号を生成する。この調整信号は、レプリカ回路４に供給される。レプリカ回路４は、調整信号に基づいて、レプリカ回路４内のトランジスタの接続段数を調整する。レプリカ回路４内の各トランジスタは常にオンしており、レプリカ回路４は、オン状態のトランジスタの接続段数を調整信号により調整する。例えば、レプリカ電圧が第２基準電圧ＶＲＥＦ２よりも低い場合には、制御部１３はレプリカ回路４内のトランジスタの接続段数を増やす。これにより、レプリカ回路４のオン抵抗がより小さくなり、レプリカ電圧は高くなる。

[0068] レプリカ回路４内のトランジスタの接続段数によって、レプリカ回路４のオン抵抗が変化する。制御部１３は、レプリカ回路４のオン抵抗情報を含む

第２デジタル信号Ｄ２を制御回路６に供給する。制御回路６は、第１デジタル信号Ｄ１と第２デジタル信号Ｄ２に基づいて、制御信号を生成するとともに、出力段回路３内のトランジスタの接続段数を制御する。

[0069] 図８はデジタル制御レギュレータ１ｅの第５具体例を示すブロック図である。図８のデジタル制御レギュレータ１ｅ内の出力段回路３とレプリカ回路４はそれぞれ、接続段数を変更可能な複数のｎ型ＭＯＳトランジスタ（以下、単にトランジスタと呼ぶ）を有する。すなわち、図７と図８のデジタル制御レギュレータ１ｅは、出力段回路３とレプリカ回路４内のトランジスタの導電型が異なっており、これに伴って、制御回路６が出力する制御信号の論理も変わる。

[0070] 図８のデジタル制御レギュレータ１ｅにおいても、第２ＡＤＣ５内の制御部１３は、レプリカ回路４のオン抵抗情報を含む第２デジタル信号Ｄ２を制御回路６に供給する。制御回路６は、第１デジタル信号Ｄ１と第２デジタル信号Ｄ２に基づいて、出力段回路３内のトランジスタの接続段数を制御する。

[0071] 図９はデジタル制御レギュレータ１ｆの第６具体例を示すブロック図である。図９のデジタル制御レギュレータ１ｆは、出力段回路３とレプリカ回路４内に、接続段数を変更可能な複数の抵抗回路を設けている。各抵抗回路は、電源電圧ノードと出力ノードとの間に直列接続された抵抗素子３ａ、４ａとスイッチ３ｂ、４ｂとを有する。スイッチ３ｂ、４ｂをオンすることで、これらスイッチ３ｂ、４ｂに接続された抵抗素子３ａ、４ａを選択することができる。抵抗回路ごとにスイッチ３ｂ、４ｂをオン又はオフすることで、電源電圧ノードと出力ノードの間に並列接続される抵抗素子３ａ、４ａの数を制御することができる。レプリカ回路４内の並列接続される抵抗素子の数を増やすほど、レプリカ回路４のオン抵抗を小さくすることができる。図９のデジタル制御レギュレータ１ｆにおいても、第２ＡＤＣ５内の制御部１３は、レプリカ回路４のオン抵抗情報を含む第２デジタル信号Ｄ２を制御回路６に供給する。

[0072] 図１０はデジタル制御レギュレータ１ｇの第７具体例を示すブロック図である。図１０のデジタル制御レギュレータ１ｇは、図７のデジタル制御レギュレータ１ｄ内の定電流源を抵抗素子に置換したものであり、それ以外は図７のデジタル制御レギュレータ１ｄの回路構成と共通する。

[0073] 図７～図１０のデジタル制御レギュレータ１ｄ、１ｅ、１ｆ、１ｇでは、図４～図６のデジタル制御レギュレータ１ａ、１ｂ、１ｃと同様に、第２ＡＤＣ５がレプリカ回路４のオン抵抗情報を第２デジタル信号Ｄ２に含めて制御回路６に供給する。制御回路６は、第１デジタル信号Ｄ１と第２デジタル信号Ｄ２に基づいて出力段回路３のゲインを制御するための制御信号を生成する。これにより、出力段回路３の能力情報を考慮に入れて、出力電圧Ｖoutを制御することができる。

[0074] 上述した図１、図４～図１０のデジタル制御レギュレータ１、１ａ、１ｂ、１ｃ、１ｄ、１ｅ、１ｆ、１ｇ内のレプリカ回路４と第２ＡＤＣ５は、出力段回路３の能力を補正する能力補正回路８を構成している。一方、出力段回路３、第１ＡＤＣ２、及び制御回路６は、デジタルＬＤＯ回路を構成している。デジタルＬＤＯ回路は、出力電圧Ｖoutが第１基準電圧ＶＲＥＦ１に一致するように、第１ＡＤＣ２と制御回路６にて帰還制御を行う。能力補正回路８は、レプリカ回路４の能力情報を生成する。制御回路６は、第１デジタル信号Ｄ１だけでなく、第２ＡＤＣ５から出力された第２デジタル信号Ｄ２を考慮に入れて、制御信号を生成することで、出力段回路３の能力を補正することができる。

[0075] 能力補正回路８が能力補正を行うタイミングとして、複数通りが考えられる。図１１はデジタルＬＤＯ動作と出力段回路３の能力補正を行う処理手順の一例を示すフローチャートである。図１１は、図１、図４～図１０のいずれかのデジタル制御レギュレータ１、１ａ、１ｂ、１ｃ、１ｄ、１ｅ、１ｆ、１ｇが行う処理手順を示している。

[0076] まず、デジタルＬＤＯ動作を開始する前に、能力補正を行う（ステップＳ１）。能力補正が終了すると（ステップＳ２）、デジタルＬＤＯ動作の起動

時のみ能力補正を行うか否かを判定する（ステップＳ３）。起動時のみ能力補正を行うと判定された場合は、レプリカ回路４と第２ＡＤＣ５を有する能力補正回路８の動作を停止させて（ステップＳ４）、デジタルＬＤＯ動作を開始させる（ステップＳ５）。ステップＳ４では、例えばレプリカ回路４をディセーブル状態にしてレプリカ回路４からレプリカ電圧が出力されないようする。あるいは、レプリカ回路４と第２ＡＤＣ５への電源電圧の供給を遮断してもよい。これにより、レプリカ回路４と第２ＡＤＣ５での電力消費を抑制できる。

[0077] 次に、ステップＳ３でＮＯと判定された場合、間欠的に能力補正を行うか否かを判定する（ステップＳ６）。ステップＳ６で間欠的に能力補正を行うと判定されると、能力補正回路８の動作を停止させて（ステップＳ７）、デジタルＬＤＯ動作を開始させる（ステップＳ８）。その後、間欠的に能力補正を行うタイミングに再度達したか否かを判定し（ステップＳ９）、能力補正を行うタイミングになると、能力補正回路８を動作させて（ステップＳ１０）、第２ＡＤＣ５から第２デジタル信号Ｄ２を出力する（ステップＳ１１）。このように、ステップＳ１１では、間欠的に能力補正を行うたびに、第２デジタル信号Ｄ２を更新する。ステップＳ１１の処理が終了すると、ステップＳ７以降の処理を繰り返す。ステップＳ６でＮＯと判定された場合、デジタルＬＤＯ動作の最中に継続して能力補正を行う（ステップＳ１２、Ｓ１３）。

[0078] 図１２は図１１のステップＳ３でＹＥＳの場合、すなわち起動時のみ能力補正を行う場合のタイミング図である。図１２では、レプリカ回路４及び第２ＡＤＣ５を有する能力補正回路８の第１イネーブル信号ＥＮ１と、第１ＡＤＣ２、制御部１３回路及び出力段回路３を有するデジタルＬＤＯ回路７の第２イネーブル信号ＥＮ２と、第２デジタル信号Ｄ２と、第１基準電圧ＶＲＥＦ１と、第２基準電圧ＶＲＥＦ２と、出力電圧Ｖoutの各信号波形を示している。

[0079] 図１２の時刻ｔ１～ｔ３まではデジタルＬＤＯ動作が開始する前であり、

時刻ｔ１～ｔ２の期間内にレプリカ回路４に入力される第１イネーブル信号ＥＮ１はハイになる。これにより、時刻ｔ１～ｔ２では、レプリカ回路４と第２ＡＤＣ５を有する能力補正回路８は能力補正処理を行う。具体的には、時刻ｔ１～ｔ２の期間内に第２基準電圧ＶＲＥＦ２が第２ＡＤＣ５に入力される。第２ＡＤＣ５は、時刻ｔ２で、レプリカ回路４のオン抵抗情報を含む第２デジタル信号Ｄ２を出力する。時刻ｔ２でレプリカ回路４はディセーブル状態になり、第２ＡＤＣ５には第２基準電圧ＶＲＥＦ２が入力されなくなるが、第２ＡＤＣ５は、時刻ｔ２で出力した第２デジタル信号Ｄ２を保持する。

[0080] その後、時刻ｔ３以降の期間に第１基準電圧ＶＲＥＦ１が第１ＡＤＣ２に入力され、デジタルＬＤＯ動作が行われる。このとき、制御回路６は、第１デジタル信号Ｄ１と第２デジタル信号Ｄ２に基づいて制御信号を生成する。この制御信号は、デジタルＬＤＯ動作に出力段回路３の能力補正を加味した信号である。これにより、出力段回路３は、出力段回路３の能力補正を行った出力電圧Ｖoutを出力する。

[0081] レプリカ回路４と第２ＡＤＣ５を有する能力補正回路８が能力補正を行うタイミングは、デジタルＬＤＯ動作を行う前ではなく、デジタルＬＤＯ動作の開始に合わせたタイミングであってもよい。

[0082] 図１３はデジタルＬＤＯ動作の開始に合わせて、能力補正回路８が能力補正を行うタイミング図である。図１３の時刻ｔ３～ｔ４の期間内にレプリカ回路４の第１イネーブル信号ＥＮ１はハイになりとともに、第２ＡＤＣ５に第２基準電圧ＶＲＥＦ２が入力される。よって、時刻ｔ３以降に、デジタルＬＤＯ動作を行った出力電圧Ｖoutが出力される。また、時刻ｔ４に、第２ＡＤＣ５は、レプリカ回路４のオン抵抗情報を含む第２デジタル信号Ｄ２を出力する。時刻ｔ４以降は、出力段回路３の能力補正を加味した制御信号が制御部１３から出力される。よって、出力段回路３は、時刻ｔ４以降に出力段回路３の能力補正を行った出力電圧Ｖoutを出力する。

[0083] 上述したデジタル制御レギュレータ１～１ｇは、間欠的に能力補正回路８

による能力補正を行ってもよい。図１４は間欠的に能力補正を行う場合のタイミング図である。能力補正回路８は、デジタルＬＤＯ動作が起動される前の時刻ｔ１～ｔ２の期間と、デジタルＬＤＯ動作が起動された後の時刻ｔ４～ｔ５の期間に出力段回路３の能力補正を行う。図１４では省略しているが、時刻ｔ５以降も、能力補正回路８は、デジタルＬＤＯ動作期間中に間欠的に能力補正を行う。

[0084] 図１４は、時刻ｔ４で出力段回路３が出力電圧Ｖoutの電圧レベルを切り替える例を示しており、出力電圧Ｖoutの電圧レベルが切り替わるタイミングに合わせて能力補正回路８による能力補正を行っている。これは、出力段回路３の出力電圧Ｖoutが変化すると、droop特性やリップル特性等が変化するためである。

[0085] 図１４の時刻ｔ４で出力電圧Ｖoutの電圧レベルが変化した場合、時刻ｔ４～ｔ５の期間内にレプリカ回路４の第１イネーブル信号ＥＮ１はハイになり、イネーブル状態になる。また、時刻ｔ４～ｔ５の期間内に第２基準電圧ＶＲＥＦ２が第２ＡＤＣ５に入力される。第２ＡＤＣ５は、時刻ｔ５にレプリカ回路４の能力情報を含む第２デジタル信号Ｄ２を出力し、時刻ｔ５以降に、出力段回路３は、出力段回路３の能力補正を加味した出力電圧Ｖoutを出力する。

[0086] 間欠的に能力補正を行う場合、一定の時間間隔で能力補正を行ってもよいし、図１４の時刻ｔ４のように、デジタルＬＤＯ動作を開始した後は、出力段回路３の出力電圧Ｖoutの電圧レベルが変化した場合のみに能力補正を行ってもよい。

[0087] 図１４では、出力電圧Ｖoutの電圧レベルを切り替える際に、能力補正を行っているが、図１５のタイミング図に示すように、出力電圧Ｖoutの電圧レベルを切り替えるタイミングに先立って、能力補正を行ってもよい。図１５では、デジタルＬＤＯ動作が開示される前の時刻ｔ１～ｔ２の期間内に能力補正を行うとともに、デジタルＬＤＯ動作が開始された後に出力電圧Ｖoutの電圧レベルが切り替わる時刻ｔ５の直前の時刻ｔ４～ｔ５の期間内に能力補正

を行う例を示している。デジタル制御レギュレータ１～１ｇは、出力電圧Ｖoutの電圧レベルを切り替えるタイミングを把握しているため、出力電圧Ｖoutの電圧レベルを切り替える直前の時刻ｔ４～ｔ５の期間内に能力補正を行うことも可能である。これにより、時刻ｔ５のときに、第２ＡＤＣ５から、レプリカ回路４の能力情報を含む第２デジタル信号Ｄ２を出力できる。よって、出力電圧Ｖoutの電圧レベルが切り替わる時刻ｔ５以降に、出力段回路３の能力を補正した出力電圧Ｖoutを出力できる。すなわち、出力電圧Ｖoutの電圧レベルを切り替える際には、切り替える時点から能力補正がされた出力電圧Ｖoutを出力できる。

[0088] 上述したデジタル制御レギュレータ１～１ｇは、継続的に能力補正回路８による能力補正を行ってもよい。図１６及び図１７は継続的に能力補正を行う場合のタイミング図である。図１６はデジタルＬＤＯ動作を開始する前から、継続的に能力補正を行う場合のタイミング図を示している。また、図１７はデジタルＬＤＯ動作を開始するタイミングに合わせて、継続的に能力補正を行う例を示している。

[0089] 図１６の時刻ｔ１でレプリカ回路４に入力される第１イネーブル信号ＥＮ１がハイになり、イネーブル状態になる。第１イネーブル信号ＥＮ１は時刻ｔ１以降、ハイレベルを維持する。また、時刻ｔ１以降、第２基準電圧ＶＲＥＦ２は継続して第２ＡＤＣ５に入力される。時刻ｔ２になると、第２ＡＤＣ５は、レプリカ回路４の能力情報を含む第２デジタル信号Ｄ２を出力する。第２ＡＤＣ５は、時刻ｔ２以降も動作を継続するため、第２デジタル信号Ｄ２は、レプリカ回路４の能力情報に応じて随時更新される。時刻ｔ３になると、出力段回路３に入力される第２イネーブル信号ＥＮ２がハイになってイネーブル状態になる。また、時刻ｔ３以降に、第１基準電圧ＶＲＥＦ１が継続して第１ＡＤＣ２に入力される。制御回路６は、第１ＡＤＣ２から出力された第１デジタル信号Ｄ１と、第２ＡＤＣ５から出力された第２デジタル信号Ｄ２とに基づいて、制御信号を生成する。出力段回路３は、制御信号に基づいて、出力段回路３の能力補正を加味した出力電圧Ｖoutを時刻ｔ３以降

に出力する。

[0090] 図１７では、時刻ｔ２で、レプリカ回路４に入力される第１イネーブル信号ＥＮ１と、出力段回路３に入力される第２イネーブル信号ＥＮ２がともにハイになり、レプリカ回路４と出力段回路３は時刻ｔ２以降継続してイネーブル状態になる。また、時刻ｔ２には、第１基準電圧ＶＲＥＦ１が第１ＡＤＣ２に入力されるとともに、第２基準電圧ＶＲＥＦ２が第２ＡＤＣ５に入力される。第１基準電圧ＶＲＥＦ１と第２基準電圧ＶＲＥＦ２は、時刻ｔ２以降、継続的に第１ＡＤＣ２と第２ＡＤＣ５にそれぞれ入力される。第２ＡＤＣ５は、時刻ｔ３以降、レプリカ回路４のオン抵抗情報を含む第２デジタル信号Ｄ２を出力する。第２デジタル信号Ｄ２は、時刻ｔ３以降、継続的にレプリカ回路４の直近のオン抵抗情報に基づいて更新される。出力段回路３は、時刻ｔ３以降、継続的に、出力段回路３の能力補正を加味した出力電圧Ｖoutを出力する。

[0091] 出力段回路３から出力される出力電圧Ｖoutと、第１ＡＤＣ２に入力される第１基準電圧ＶＲＥＦ１と、第２ＡＤＣ５に入力される第２基準電圧ＶＲＥＦ２とは、それぞれ関連のある電圧レベルを持っている。

[0092] 図１８は本実施形態によるデジタル制御レギュレータ１ｈの概略構成の一例を示すブロック図である。図１８のデジタル制御レギュレータ１ｈは、図１のデジタル制御レギュレータ１をより具体化した構成を備えている。図１８では、図１と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

[0093] 図１８のデジタル制御レギュレータ１ｈは、図１の構成に加えて、第１基準電圧ＶＲＥＦ１を生成する第１基準電圧生成回路１４と、第２基準電圧ＶＲＥＦ２を生成する第２基準電圧生成回路１５と、可変負荷回路１６とを備えている。

[0094] 第１基準電圧生成回路１４は、電源電圧ノードと接地ノードの間に直列に接続された第１電流源１７と第１可変抵抗１８を有する。第２基準電圧生成回路１５は、電源電圧ノードと接地ノードの間に直列に接続された第２電流

源１９と第２可変抵抗２０を有する。

[0095] 可変負荷回路１６は、レプリカ回路４の出力ノードと接地ノードの間に接続されており、第２ＡＤＣ５からの調整信号により抵抗値が可変制御される。可変負荷回路１６の一具体例は、図４～図６に示した可変電流源１２や可変抵抗である。

[0096] 図１８のデジタル制御レギュレータ１ｈでは、制御回路６は、出力電圧Ｖoutが第１基準電圧ＶＲＥＦ１に一致するように、帰還制御を行う。この場合、第２ＡＤＣ５に入力される第２基準電圧ＶＲＥＦ２は第１基準電圧ＶＲＥＦ１と同じ電圧レベルに設定される。よって、図１８のデジタル制御レギュレータ１ｈは、安定状態では、出力電圧Ｖout＝第１基準電圧ＶＲＥＦ１＝第２基準電圧ＶＲＥＦ２になる。

[0097] 出力電圧Ｖoutの電圧レベルが高い場合、第１基準電圧ＶＲＥＦ１や第２基準電圧ＶＲＥＦ２を出力電圧Ｖoutと同じ電圧レベルにすると、消費電力が大きくなる。そこで、出力電圧Ｖoutよりも第１基準電圧ＶＲＥＦ１や第２基準電圧ＶＲＥＦ２の電圧レベルを下げる回路的な工夫を施してもよい。

[0098] 図１９は一変形例によるデジタル制御レギュレータ１ｉのブロック図である。図１９は、図１８の回路構成に加えて、抵抗分圧回路２１と、電圧増幅器２２とを備えている。抵抗分圧回路２１は、出力段回路３の出力ノードと接地ノードの間に接続されており、出力電圧Ｖoutを分圧する。抵抗分圧回路２１で分圧された分圧電圧は、第１ＡＤＣ２に入力される。抵抗分圧回路２１は、出力電圧Ｖoutを１／Ａ倍にした分圧電圧を生成する。第１ＡＤＣ２は、分圧電圧と第１基準電圧ＶＲＥＦ１との差分電圧に応じた第１デジタル信号Ｄ１を生成する。最終的に、分圧電圧が第１基準電圧ＶＲＥＦ１にひとしくなるように帰還制御が行われるため、第１基準電圧ＶＲＥＦ１の電圧レベルを下げることができる。

[0099] 一方、レプリカ回路４は、出力段回路３と同程度の電圧レベルのレプリカ電圧を出力する。第２基準電圧ＶＲＥＦ２は、第１基準電圧ＶＲＥＦ１と同じ電圧レベルに設定される。そこで、第２基準電圧ＶＲＥＦ２を電圧増幅器

２２でＡ倍して、レプリカ電圧の電圧レベルと同程度にする。

[0100] このように、図１９の構成の場合、抵抗分圧回路２１と電圧増幅器２２を備えることで、出力電圧Ｖoutの電圧レベルが高くても、第１基準電圧ＶＲＥＦ１と第２基準電圧ＶＲＥＦ２の電圧レベルを低く抑えることができ、消費電力の削減が図れる。

[0101] このように、本実施形態では、出力段回路３と同じ回路構成のレプリカ回路４を設けて、レプリカ回路４の能力情報を含む第２デジタル信号Ｄ２を制御回路６に供給するため、制御回路６は、デジタルＬＤＯ動作を行う際に、出力段回路３の能力情報を考慮に入れて、出力電圧Ｖoutを出力できる。よって、出力段回路３の入力電圧、出力電圧Ｖout、製造プロセス、及び温度等の能力情報に依存しない出力電圧Ｖoutを生成できる。

[0102] また、本実施形態によれば、負荷電流が変化しても、リップル電圧の変動とdroop特性の変動を抑制できる。

[0103] さらに、本実施形態によれば、出力段回路３の能力ばらつきによる影響が低減するため、デジタル制御レギュレータ１～１ｉ内部の回路構成を複雑化する必要がなくなり、安定性を向上させることができる。より具体的には、本実施形態は、デジタルＬＤＯ動作のための多重ループ構成を必要としないため、制御が容易になり、安定性が向上する。

[0104] また、本実施形態によれば、アナログ制御の電流能力補正回路８に比べて、低電圧かつ小面積の回路を構成でき、集積化も容易になることから、製造コスト削減も図れる。

[0105] なお、本技術は以下のような構成を取ることができる。

（１）出力電圧と第１基準電圧との差分電圧に応じた第１デジタル信号を生成する第１のＡＤ変換器と、

前記出力電圧を生成する出力段回路と、

前記出力段回路と同じ回路構成を有し、前記出力電圧に関連するレプリカ電圧を出力するレプリカ回路と、

前記レプリカ電圧と第２基準電圧との差分電圧に応じた第２デジタル信号

を生成する第２のＡＤ変換器と、

前記第１デジタル信号及び前記第２デジタル信号に基づいて、前記出力段回路のゲインを制御する制御信号を生成する制御回路と、を備える、デジタル制御レギュレータ。

（２）前記出力段回路及び前記レプリカ回路は、同一導電型かつ同一サイズのトランジスタを含む同一回路構成の回路である、（１）に記載のデジタル制御レギュレータ。

（３）前記出力段回路及び前記レプリカ回路は、同一抵抗値の抵抗素子を含む同一回路構成の回路である、（１）に記載のデジタル制御レギュレータ。

（４）前記第２デジタル信号は、前記レプリカ回路の能力情報を含む、（１）乃至（３）のいずれか一項に記載のデジタル制御レギュレータ。

（５）前記制御回路は、前記出力電圧が前記出力段回路の能力情報による変動を受けないように、前記制御信号を生成する、（４）に記載のデジタル制御レギュレータ。

（６）前記能力情報は、前記レプリカ回路又は前記出力段回路の入力電圧、出力電圧、製造プロセス、及び温度の少なくとも一つの情報を含む、（４）又は（５）に記載のデジタル制御レギュレータ。

（７）前記第２デジタル信号は、前記レプリカ回路のオン抵抗情報を含む、（１）乃至（６）のいずれか一項に記載のデジタル制御レギュレータ。

（８）前記制御回路は、前記第２デジタル信号に基づいて、前記出力段回路のオン抵抗が前記レプリカ回路のオン抵抗に一致するように前記制御信号を生成する、（７）に記載のデジタル制御レギュレータ。

（９）前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を開始する前、又は前記帰還制御の開始タイミングに同期させて前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を開始する前、又は前記帰還制御の開始タイミングに同期させ

て前記第２デジタル信号を生成する、（１）乃至（８）のいずれか一項に記載のデジタル制御レギュレータ。

（１０）前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えたタイミングに同期させて前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えたタイミングに同期させて前記第２デジタル信号を生成する、（９）に記載のデジタル制御レギュレータ。

（１１）前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えるタイミングより所定期間前に前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えたタイミングに合わせて前記第２デジタル信号を生成する、（９）又は（１０）に記載のデジタル制御レギュレータ。

（１２）前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に間欠的に前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に間欠的に前記第２デジタル信号を生成する、（１）乃至（８）のいずれか一項に記載のデジタル制御レギュレータ。

（１３）前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に継続して前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に継続して前記第２デジタル信号を生成する、（１）乃至（８）のいずれか一項に記載のデジタル制御レギュレータ。

（１４）前記レプリカ回路は、イネーブル信号が所定の論理のときに前記レプリカ電圧を出力し、前記イネーブル信号が前記所定の論理以外の論理の

ときには前記レプリカ電圧の出力を停止する、（９）乃至（１３）のいずれか一項に記載のデジタル制御レギュレータ。

（１５）前記イネーブル信号が前記所定の論理になるタイミングに合わせて、前記第２基準電圧が前記第２のＡＤ変換器に入力される、（１４）に記載のデジタル制御レギュレータ。

（１６）前記第２のＡＤ変換器は、

前記レプリカ電圧と前記第２基準電圧との差分電圧に応じた信号を出力する比較器と、

前記レプリカ回路の出力ノードに流れる電流を調整することにより、前記レプリカ電圧の電圧レベルを制御する可変負荷回路と、

前記比較器の出力信号に基づいて、前記出力ノードを通って前記可変負荷回路に流れる電流を調整するとともに、前記レプリカ電圧を前記第２基準電圧に一致させるための前記レプリカ回路のオン抵抗情報を含む前記第２デジタル信号を生成する制御部と、を有する、（１）乃至（１５）のいずれか一項に記載のデジタル制御レギュレータ。

（１７）前記レプリカ回路は、トランジスタ又は抵抗素子の接続段数を調整可能であり、

前記第２のＡＤ変換器は、

前記レプリカ電圧と前記第２基準電圧との差分電圧に応じた信号を出力する比較器と、

前記比較器の出力信号に基づいて、前記レプリカ回路内のトランジスタ又は抵抗素子の接続段数を調整するとともに、前記レプリカ電圧を前記第２基準電圧に一致させるための前記レプリカ回路のオン抵抗情報を含む前記第２デジタル信号を生成する制御部と、を有する、（１）乃至（１５）のいずれか一項に記載のデジタル制御レギュレータ。

（１８）前記出力段回路は、トランジスタ又は抵抗素子の接続段数を調整可能であり、

前記制御回路は、前記第２デジタル信号に基づいて、前記出力段回路内の

トランジスタ又は抵抗素子の接続段数を、前記レプリカ回路内のトランジスタ又は抵抗素子の接続段数と同一にする、（１）乃至（１７）のいずれか一項に記載のデジタル制御レギュレータ。

（１９）前記制御回路は、前記出力電圧が前記第１基準電圧と等しくなるように帰還制御し、

前記第１基準電圧と前記第２基準電圧とは、同一の電圧レベルである、（１）乃至（１８）のいずれか一項に記載のデジタル制御レギュレータ。

（２０）前記制御回路は、前記出力電圧を１／Ａ（Ａは１より大きい実数）倍に分圧した電圧が前記第１基準電圧と等しくなるように帰還制御し、

前記第２基準電圧は、前記第１基準電圧と同一の電圧レベルに設定され、

前記第２のＡＤ変換器は、前記レプリカ電圧と前記第２基準電圧をＡ倍した電圧とを比較する、（１）乃至（１８）のいずれか一項に記載のデジタル制御レギュレータ。

[0106] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0107] １、１ａ、１ｂ、１ｃ、１ｄ、１ｅ、１ｆ、１ｇ、１ｈ、１ｉ　デジタル制御レギュレータ、２　第１ＡＤＣ、３　出力段回路、４　レプリカ回路、５　第２ＡＤＣ、６　制御回路、７　デジタルＬＤＯ回路、８　能力補正回路、１１　比較器、１２　可変電流源、１３　制御部、１４　第１基準電圧生成回路、１５　第２基準電圧生成回路、１６　可変負荷回路、１７　第１電流源、１８　第１可変抵抗、１９　第２電流源、２０　第２可変抵抗

請求の範囲

[請求項1] 出力電圧と第１基準電圧との差分電圧に応じた第１デジタル信号を生成する第１のＡＤ変換器と、

前記出力電圧を生成する出力段回路と、

前記出力段回路と同じ回路構成を有し、前記出力電圧に関連するレプリカ電圧を出力するレプリカ回路と、

前記レプリカ電圧と第２基準電圧との差分電圧に応じた第２デジタル信号を生成する第２のＡＤ変換器と、

前記第１デジタル信号及び前記第２デジタル信号に基づいて、前記出力段回路のゲインを制御する制御信号を生成する制御回路と、を備える、デジタル制御レギュレータ。

[請求項2] 前記出力段回路及び前記レプリカ回路は、同一導電型かつ同一サイズのトランジスタを含む同一回路構成の回路である、請求項１に記載のデジタル制御レギュレータ。

[請求項3] 前記出力段回路及び前記レプリカ回路は、同一抵抗値の抵抗素子を含む同一回路構成の回路である、請求項１に記載のデジタル制御レギュレータ。

[請求項4] 前記第２デジタル信号は、前記レプリカ回路の能力情報を含む、請求項１に記載のデジタル制御レギュレータ。

[請求項5] 前記制御回路は、前記出力電圧が前記出力段回路の能力情報による変動を受けないように、前記制御信号を生成する、請求項４に記載のデジタル制御レギュレータ。

[請求項6] 前記能力情報は、前記レプリカ回路又は前記出力段回路の入力電圧、出力電圧、製造プロセス、及び温度の少なくとも一つの情報を含む、請求項４に記載のデジタル制御レギュレータ。

[請求項7] 前記第２デジタル信号は、前記レプリカ回路のオン抵抗情報を含む、請求項１に記載のデジタル制御レギュレータ。

[請求項8] 前記制御回路は、前記第２デジタル信号に基づいて、前記出力段回

路のオン抵抗が前記レプリカ回路のオン抵抗に一致するように前記制御信号を生成する、請求項７に記載のデジタル制御レギュレータ。

[請求項9] 前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を開始する前、又は前記帰還制御の開始タイミングに同期させて前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を開始する前、又は前記帰還制御の開始タイミングに同期させて前記第２デジタル信号を生成する、請求項１に記載のデジタル制御レギュレータ。

[請求項10] 前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えたタイミングに同期させて前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えたタイミングに同期させて前記第２デジタル信号を生成する、請求項９に記載のデジタル制御レギュレータ。

[請求項11] 前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えるタイミングより所定期間前に前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に前記出力電圧の電圧レベルを切り替えたタイミングに合わせて前記第２デジタル信号を生成する、請求項９に記載のデジタル制御レギュレータ。

[請求項12] 前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に間欠的に前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に間欠的に前記第２デジタル信

号を生成する、請求項１に記載のデジタル制御レギュレータ。

[請求項13] 前記レプリカ回路は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に継続して前記レプリカ電圧を出力し、

前記第２のＡＤ変換器は、前記出力段回路及び前記制御回路が前記出力電圧の帰還制御を行っている最中に継続して前記第２デジタル信号を生成する、請求項１に記載のデジタル制御レギュレータ。

[請求項14] 前記レプリカ回路は、イネーブル信号が所定の論理のときに前記レプリカ電圧を出力し、前記イネーブル信号が前記所定の論理以外の論理のときには前記レプリカ電圧の出力を停止する、請求項９に記載のデジタル制御レギュレータ。

[請求項15] 前記イネーブル信号が前記所定の論理になるタイミングに合わせて、前記第２基準電圧が前記第２のＡＤ変換器に入力される、請求項１４に記載のデジタル制御レギュレータ。

[請求項16] 前記第２のＡＤ変換器は、

前記レプリカ電圧と前記第２基準電圧との差分電圧に応じた信号を出力する比較器と、

前記レプリカ回路の出力ノードに流れる電流を調整することにより、前記レプリカ電圧の電圧レベルを制御する可変負荷回路と、

前記比較器の出力信号に基づいて、前記出力ノードを通って前記可変負荷回路に流れる電流を調整するとともに、前記レプリカ電圧を前記第２基準電圧に一致させるための前記レプリカ回路のオン抵抗情報を含む前記第２デジタル信号を生成する制御部と、を有する、請求項１に記載のデジタル制御レギュレータ。

[請求項17] 前記レプリカ回路は、トランジスタ又は抵抗素子の接続段数を調整可能であり、

前記第２のＡＤ変換器は、

前記レプリカ電圧と前記第２基準電圧との差分電圧に応じた信号を

出力する比較器と、

前記比較器の出力信号に基づいて、前記レプリカ回路内のトランジスタ又は抵抗素子の接続段数を調整するとともに、前記レプリカ電圧を前記第２基準電圧に一致させるための前記レプリカ回路のオン抵抗情報を含む前記第２デジタル信号を生成する制御部と、を有する、請求項１に記載のデジタル制御レギュレータ。

[請求項18] 前記出力段回路は、トランジスタ又は抵抗素子の接続段数を調整可能であり、

前記制御回路は、前記第２デジタル信号に基づいて、前記出力段回路内のトランジスタ又は抵抗素子の接続段数を、前記レプリカ回路内のトランジスタ又は抵抗素子の接続段数と同一にする、請求項１に記載のデジタル制御レギュレータ。

[請求項19] 前記制御回路は、前記出力電圧が前記第１基準電圧と等しくなるように帰還制御し、

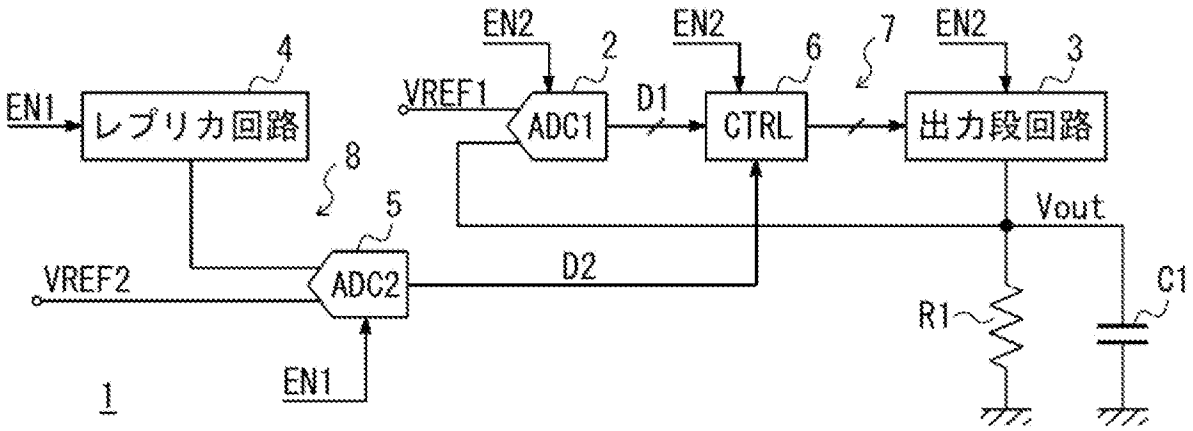
前記第１基準電圧と前記第２基準電圧とは、同一の電圧レベルである、請求項１に記載のデジタル制御レギュレータ。

[請求項20] 前記制御回路は、前記出力電圧を１／Ａ（Ａは１より大きい実数）倍に分圧した電圧が前記第１基準電圧と等しくなるように帰還制御し、

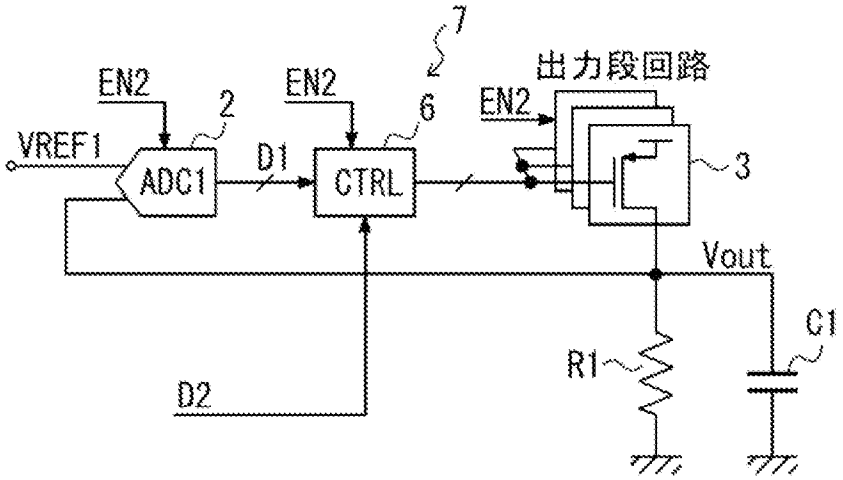
前記第２基準電圧は、前記第１基準電圧と同一の電圧レベルに設定され、

前記第２のＡＤ変換器は、前記レプリカ電圧と前記第２基準電圧をＡ倍した電圧とを比較する、請求項１に記載のデジタル制御レギュレータ。

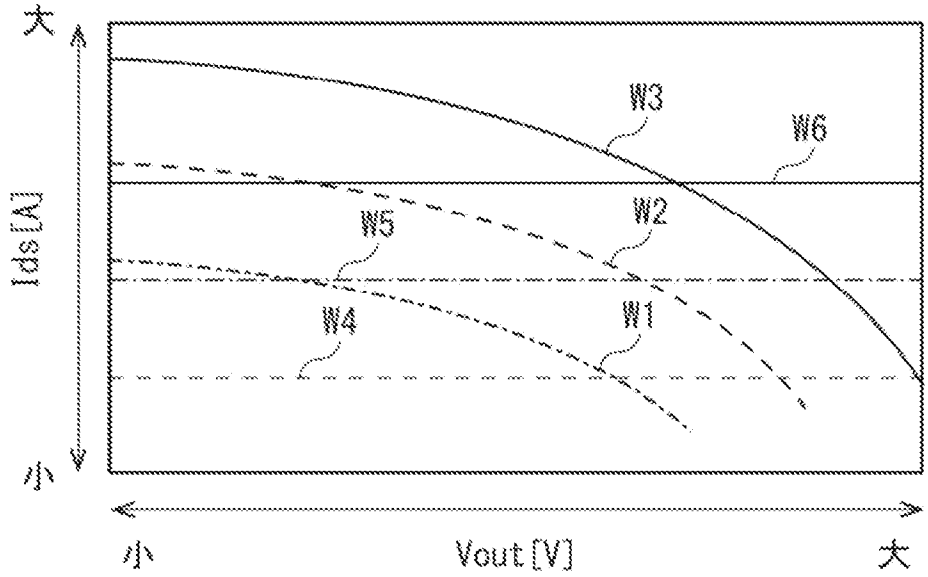
[図1]


EN2
EN2
EN2
4
2
6
7
3
EN1
レプリカ回路
VREF1
ADC1
D1
CTRL
出力段回路
8
5
Vout
VREF2
ADC2
D2
C1
R1
1
EN1

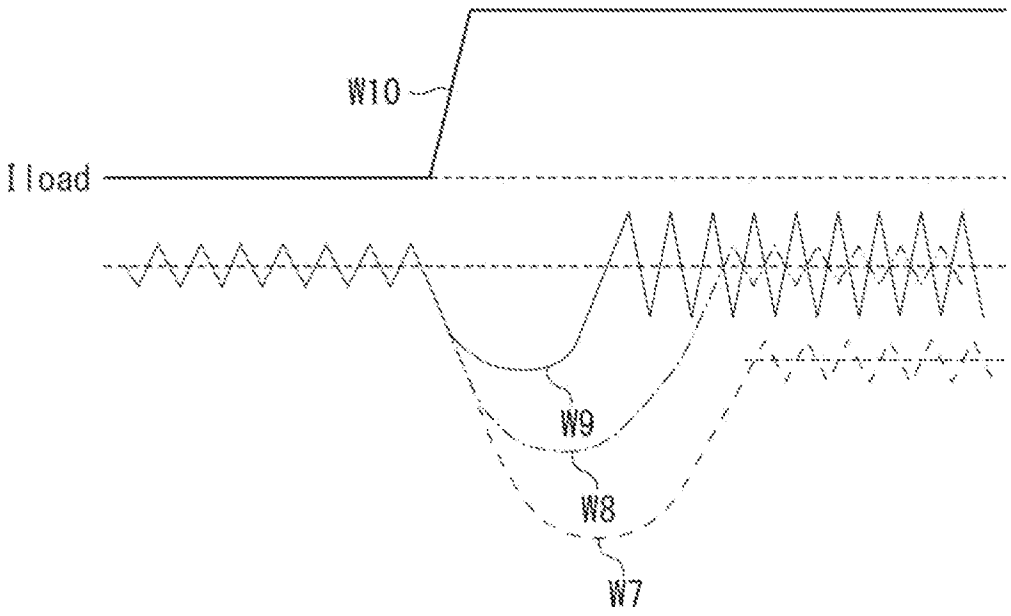
[図2]


7
出力段回路
EN2
EN2
EN2
2
6
VREF1
ADC1
D1
CTRL
3
Vout
C1
R1
D2

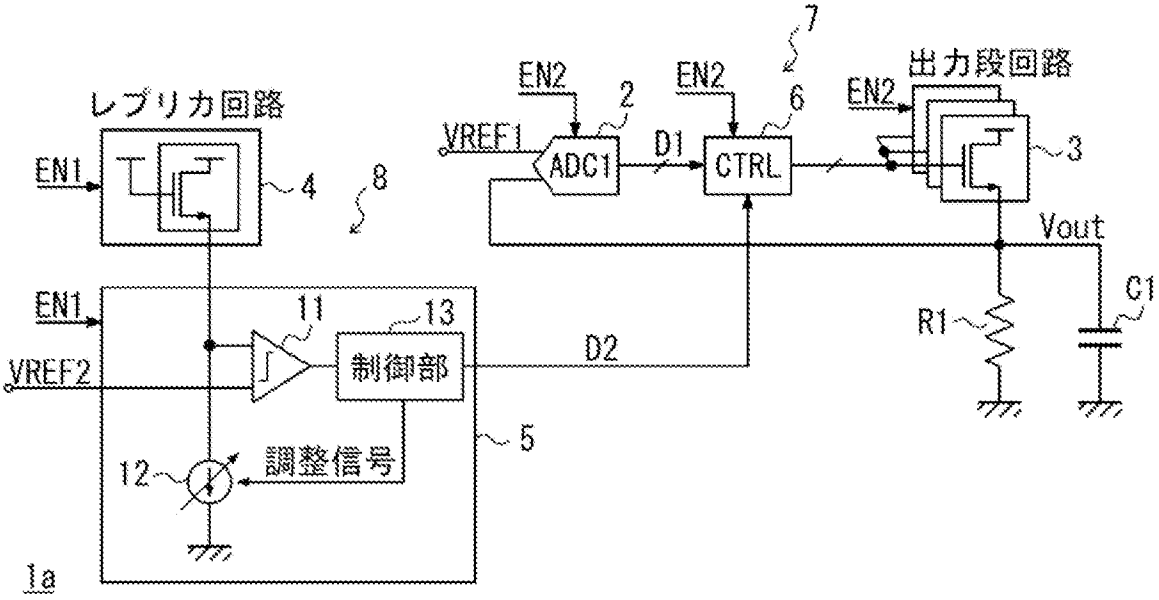
[図3A]



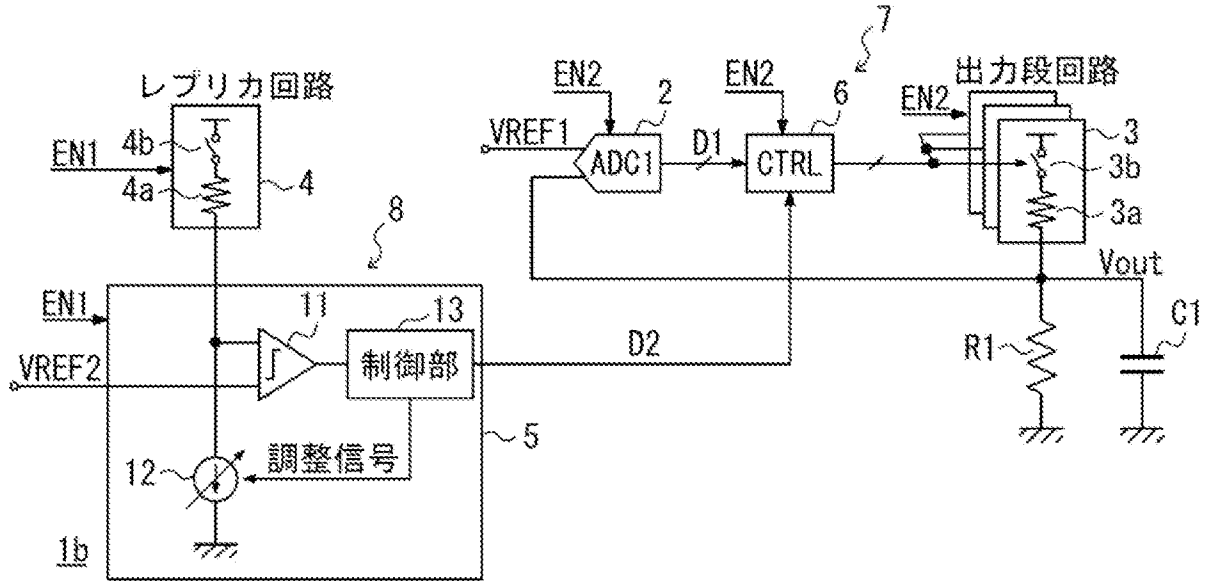
[図3B]



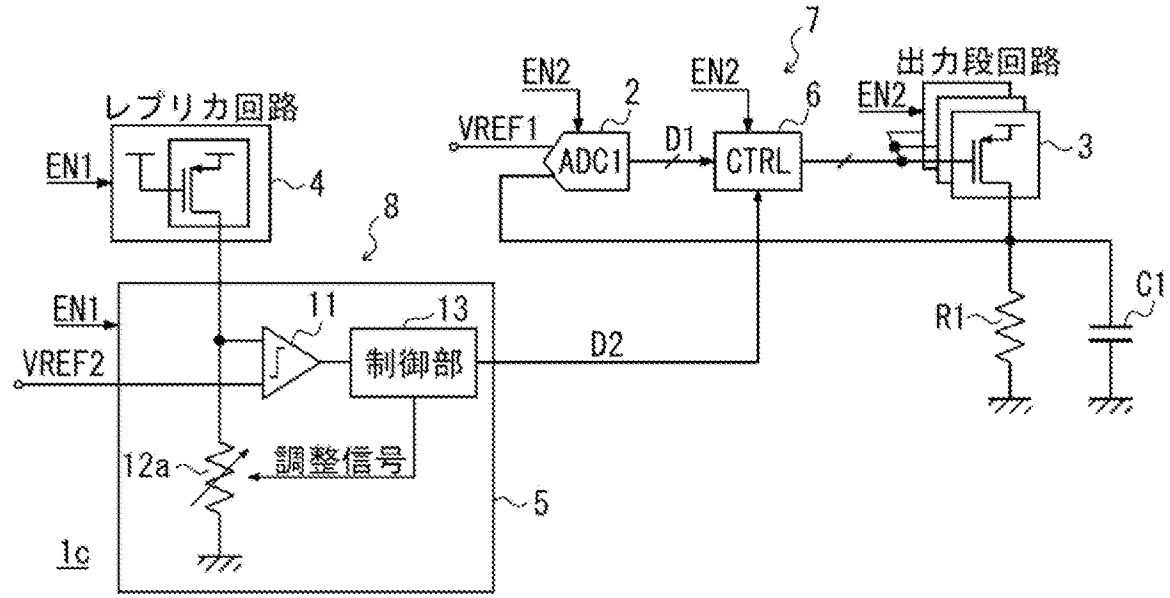
[図4]


レプリカ回路
EN1
4
8
EN2
2
EN2
6
7
出力段回路
EN2
VREF1
ADC1
D1
CTRL
3
Vout
C1
R1
EN1
11
13
制御部
D2
VREF2
5
12
調整信号
1a

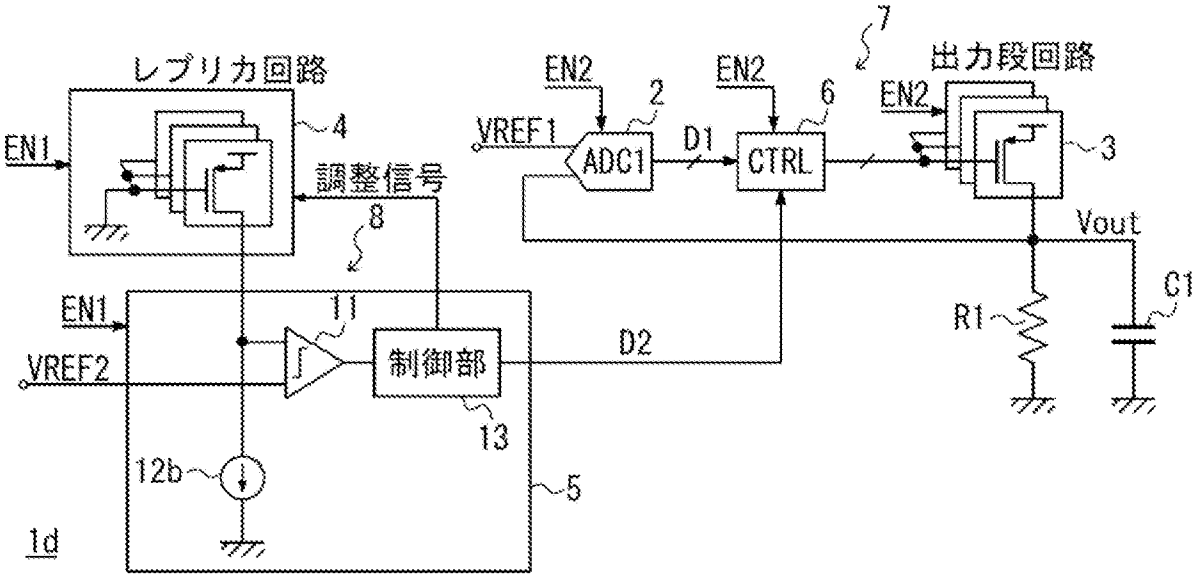
[図5]


レプリカ回路
EN1
4b
4a
4
8
EN2
2
EN2
6
7
出力段回路
EN2
VREF1
ADC1
D1
CTRL
3
3b
3a
Vout
C1
R1
EN1
11
13
制御部
D2
VREF2
5
12
調整信号
1b

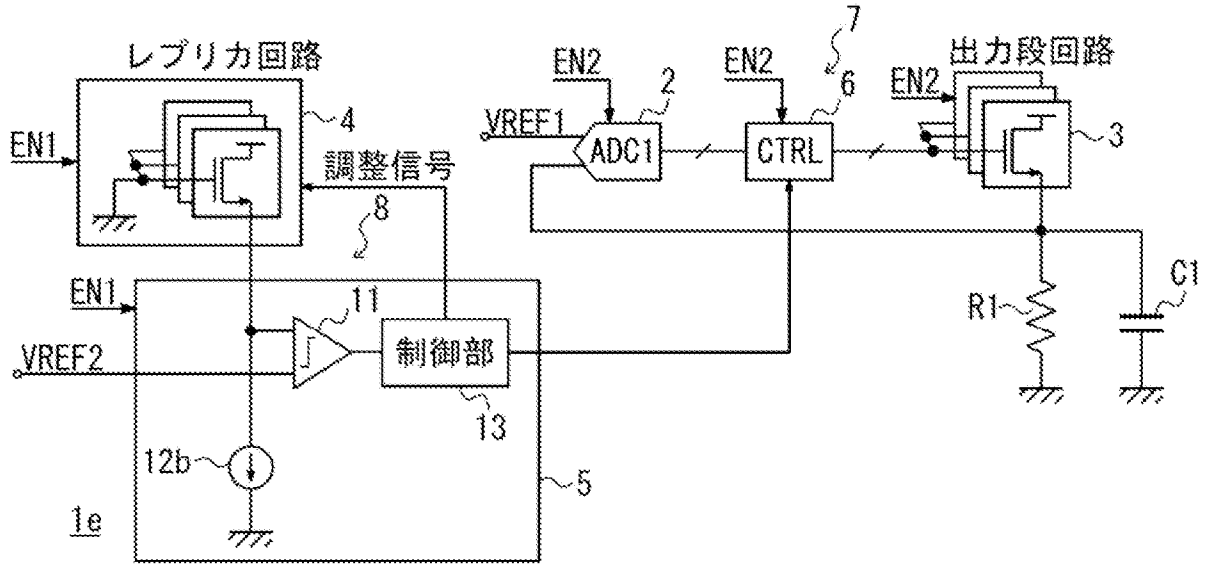
[図6]


レプリカ回路
EN1
4
8
EN2
2
VREF1
ADC1
D1
EN2
6
CTRL
7
出力段回路
EN2
3
C1
R1
EN1
11
13
制御部
D2
VREF2
12a
調整信号
5
1c

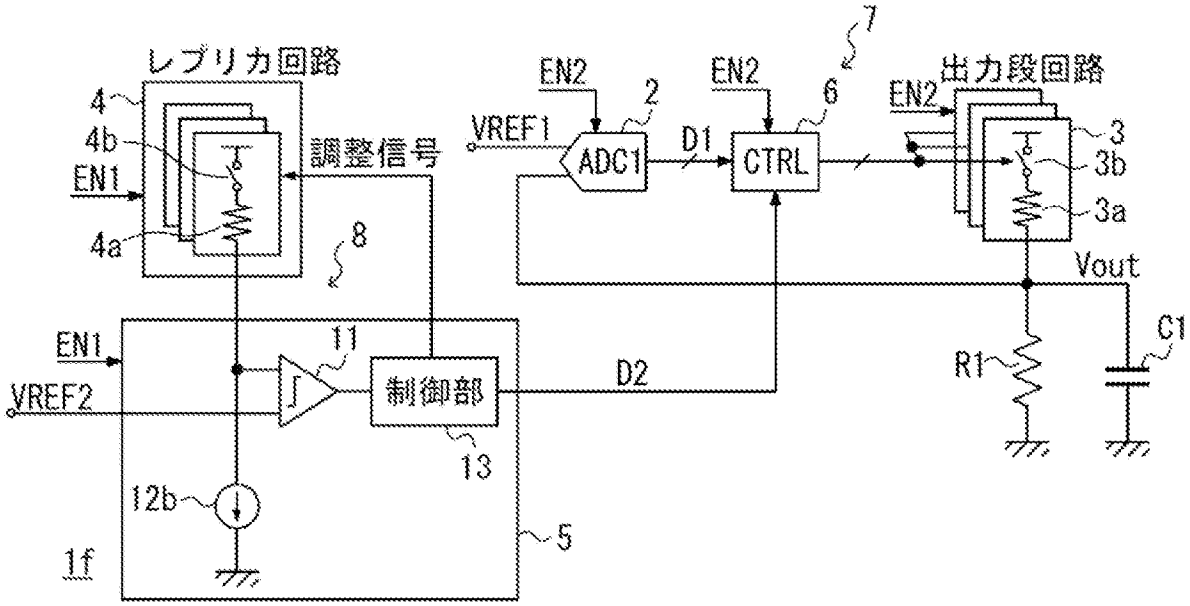
[図7]


レプリカ回路
EN1
4
調整信号
8
EN2
2
VREF1
ADC1
D1
EN2
6
CTRL
7
出力段回路
EN2
3
Vout
C1
R1
EN1
11
制御部
13
D2
VREF2
12b
5
1d

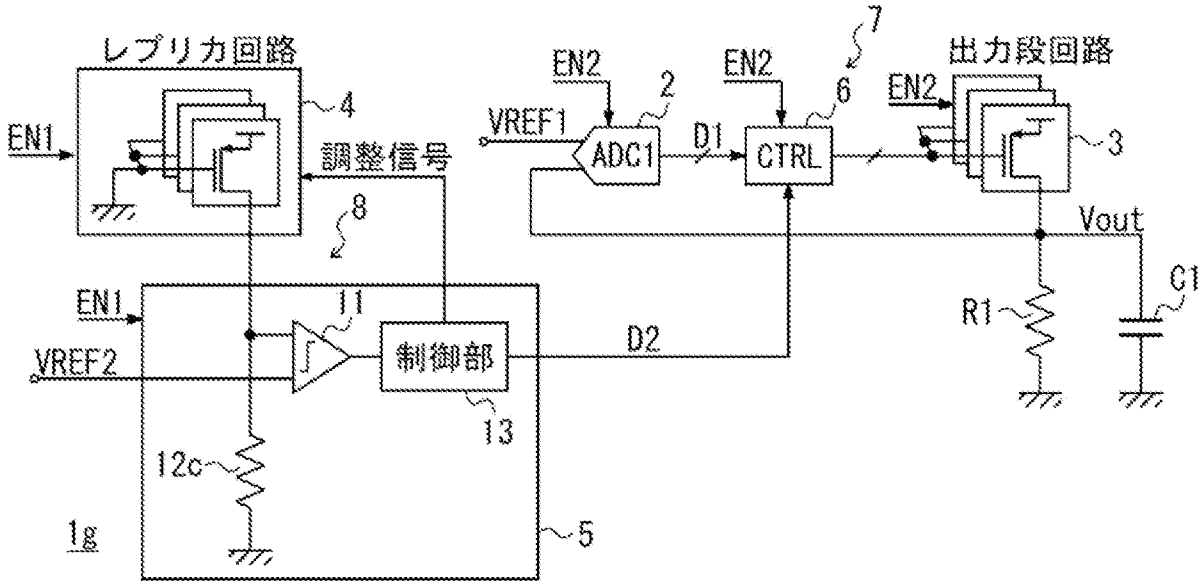
[図8]


レプリカ回路
EN1
4
調整信号
8
EN1
11
VREF2
制御部
13
12b
5
1e
EN2
2
VREF1
ADC1
EN2
7
6
CTRL
EN2
出力段回路
3
R1
C1

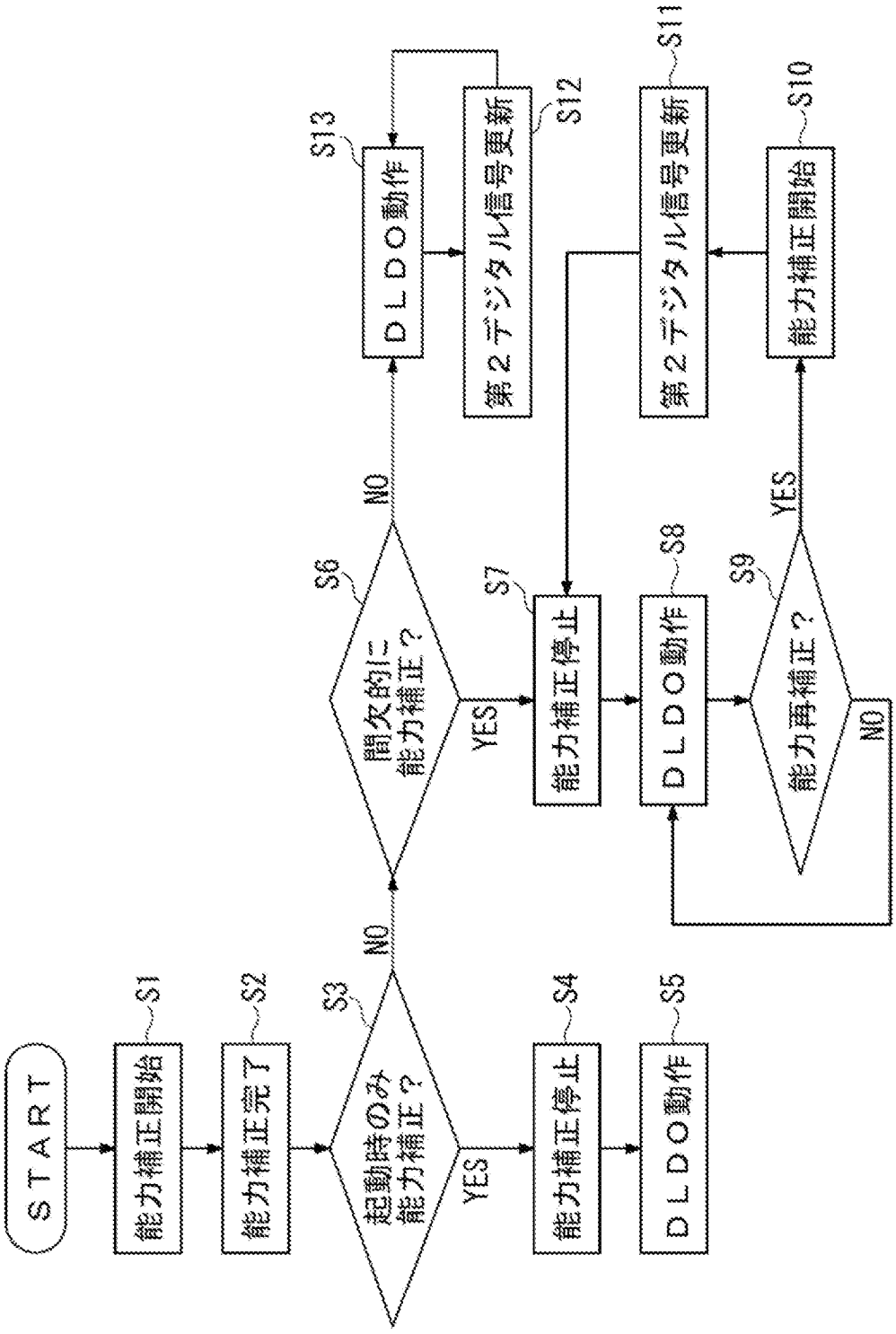
[図9]


レプリカ回路
4
4b
EN1
4a
調整信号
8
EN1
11
VREF2
制御部
13
12b
5
1f
EN2
2
VREF1
ADC1
D1
EN2
7
6
CTRL
D2
EN2
出力段回路
3
3b
3a
Vout
R1
C1

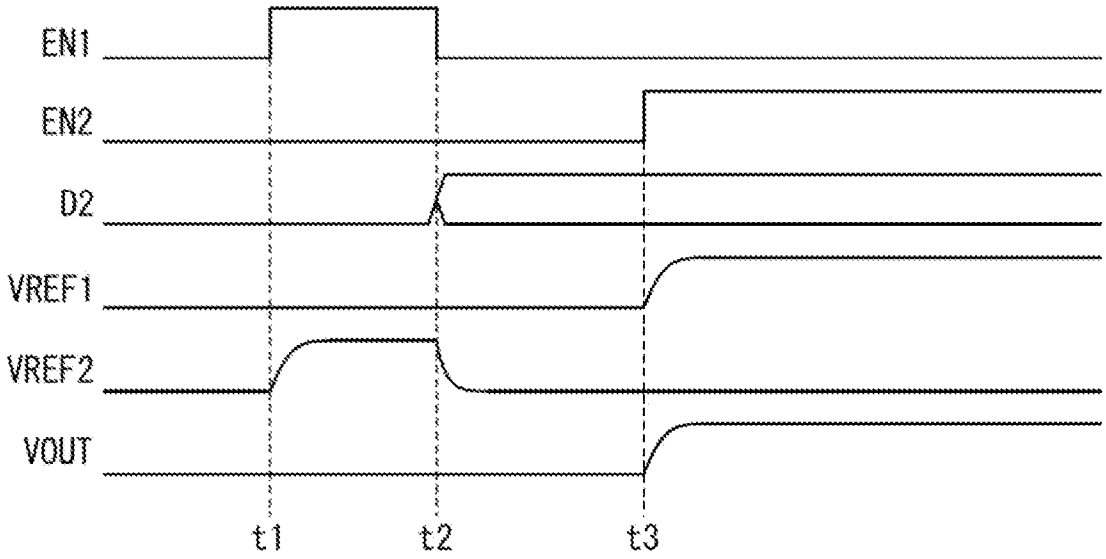
[図10]


レプリカ回路
4
EN1
調整信号
8
EN1
11
VREF2
制御部
13
D2
12c
1g
5
EN2
2
VREF1
ADC1
D1
EN2
6
CTRL
7
EN2
出力段回路
3
Vout
R1
C1

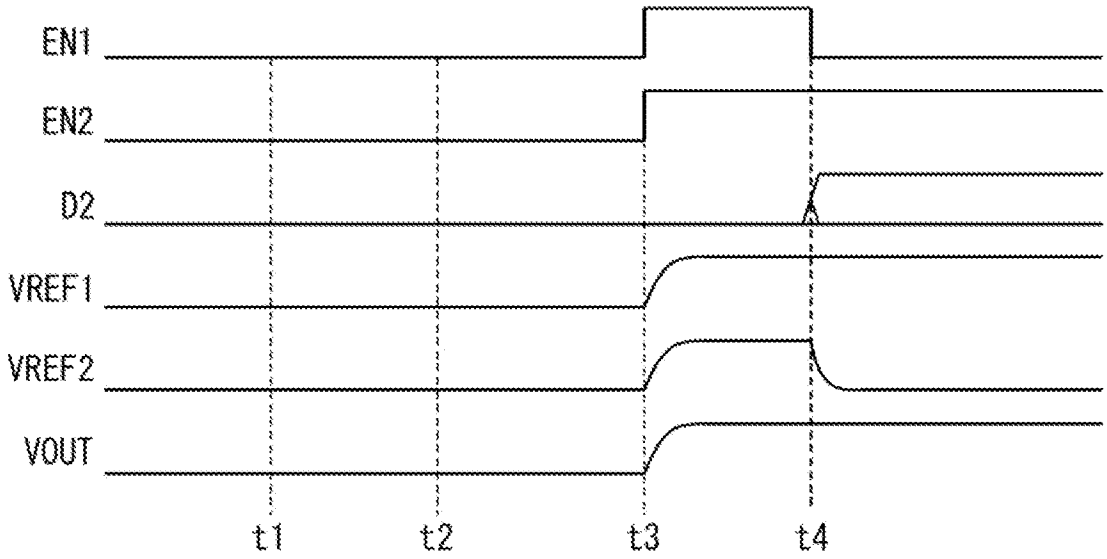
[図11]


START
能力補正開始
S1
能力補正完了
S2
起動時のみ能力補正？
S3
NO
YES
能力補正停止
S4
DLDO動作
S5
間欠的に能力補正？
S6
NO
YES
能力補正停止
S7
DLDO動作
S8
能力再補正？
S9
YES
NO
能力補正開始
S10
第２デジタル信号更新
S11
DLDO動作
S13
第２デジタル信号更新
S12

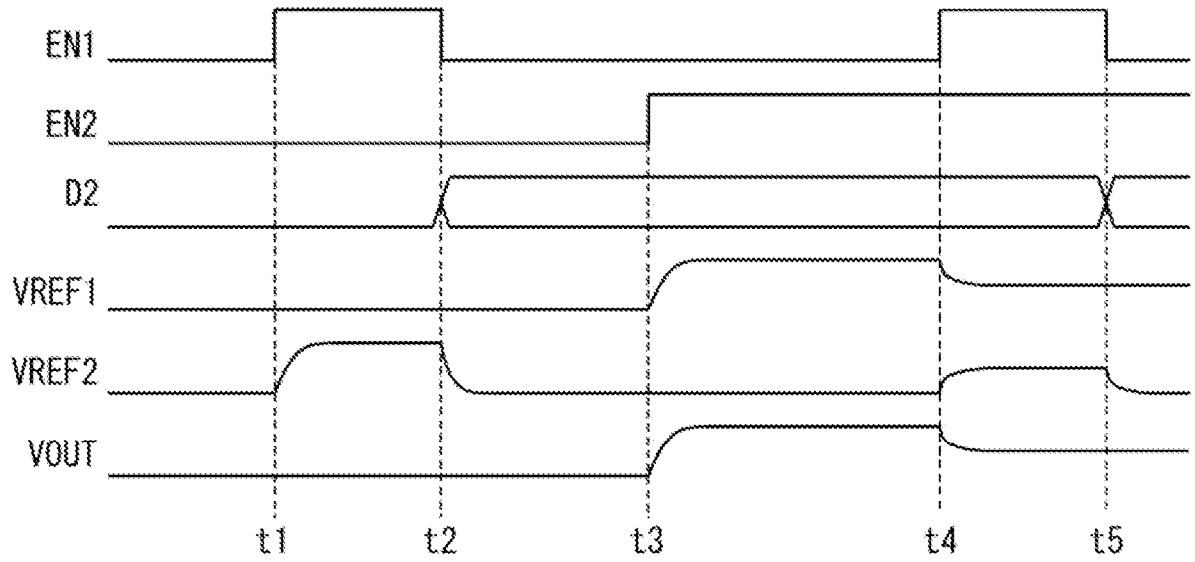
[図12]


EN1
EN2
D2
VREF1
VREF2
VOUT
t1
t2
t3

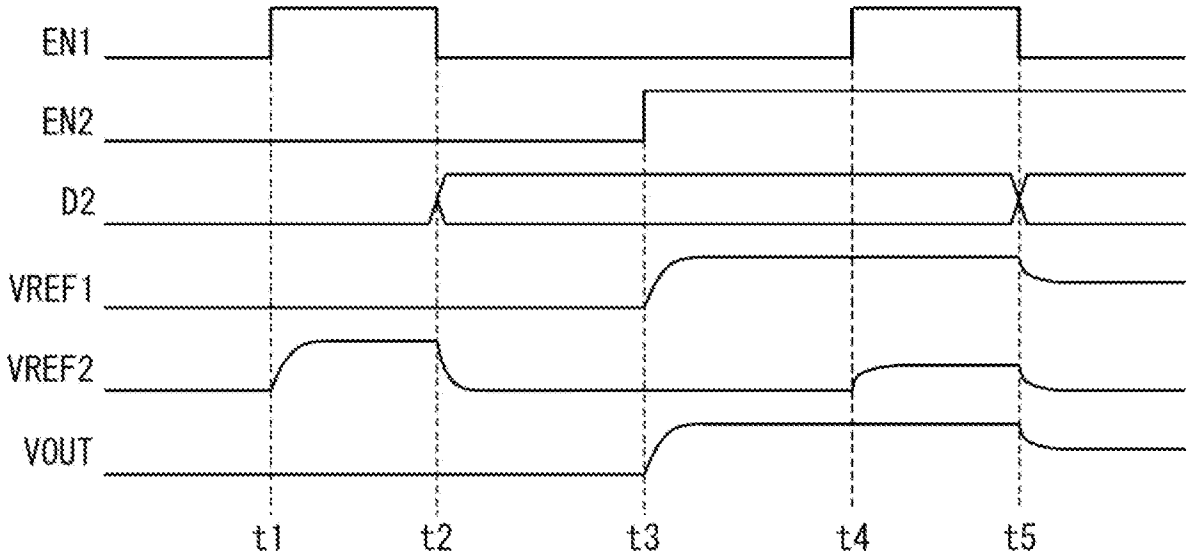
[図13]


EN1
EN2
D2
VREF1
VREF2
VOUT
t1
t2
t3
t4

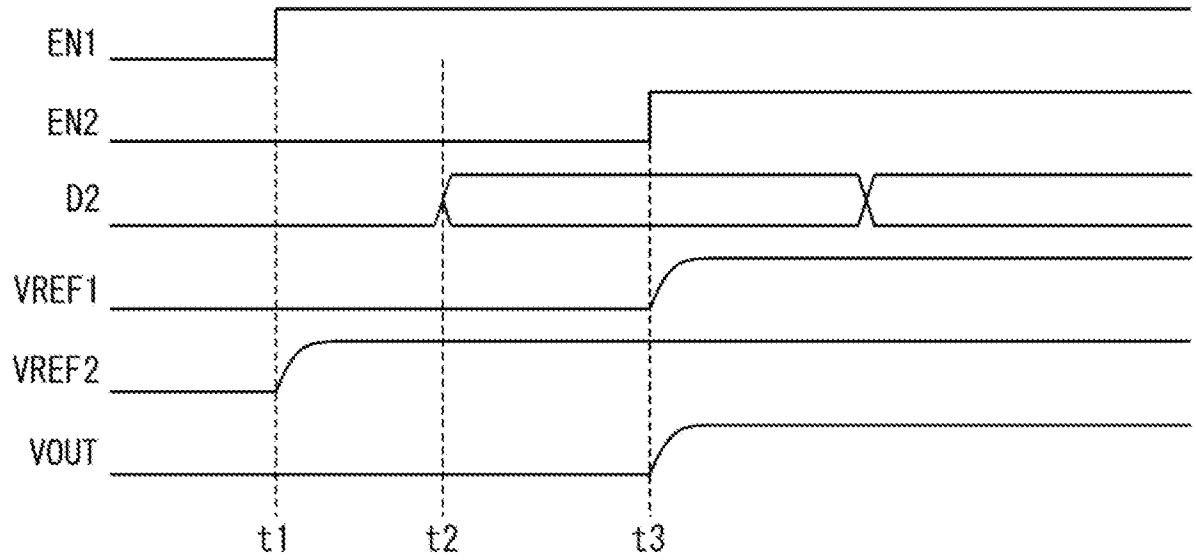
[図14]


EN1
EN2
D2
VREF1
VREF2
VOUT
t1
t2
t3
t4
t5

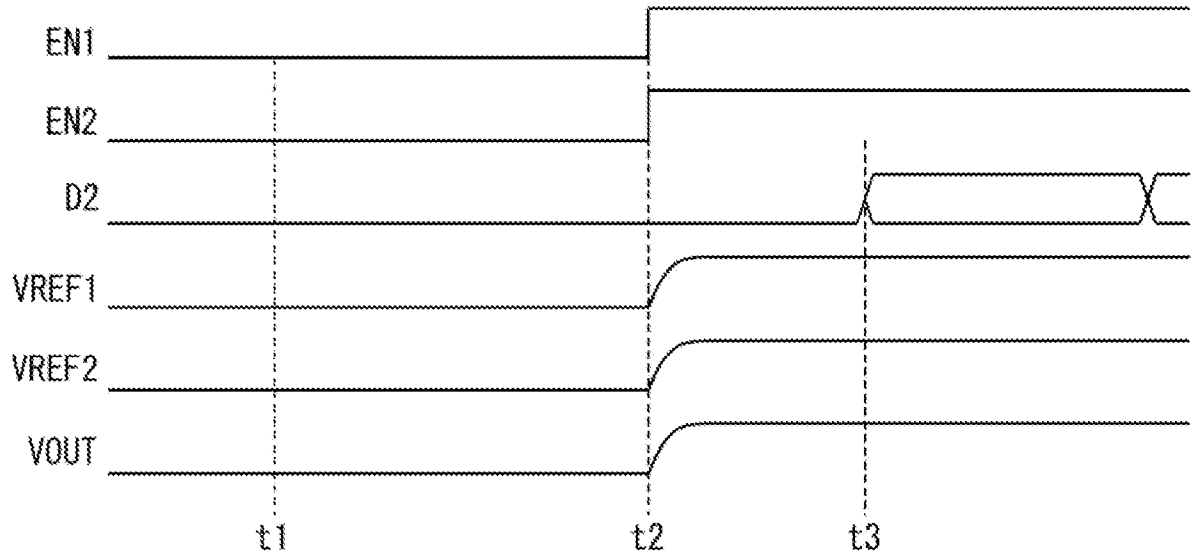
[図15]


EN1
EN2
D2
VREF1
VREF2
VOUT
t1
t2
t3
t4
t5

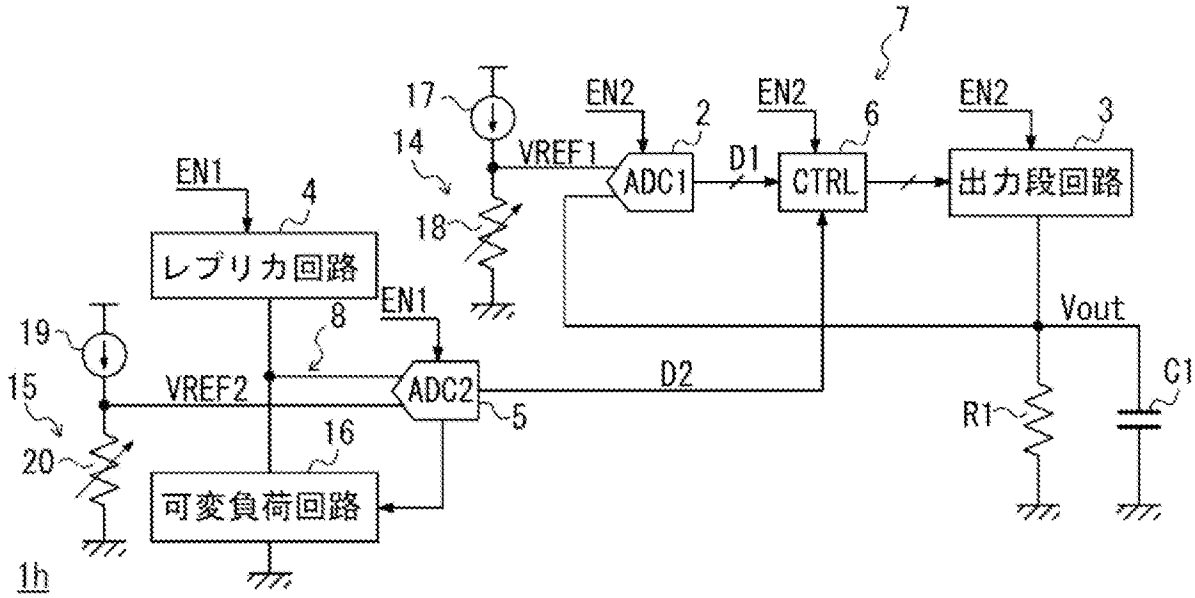
[図16]


EN1
EN2
D2
VREF1
VREF2
VOUT
t1
t2
t3

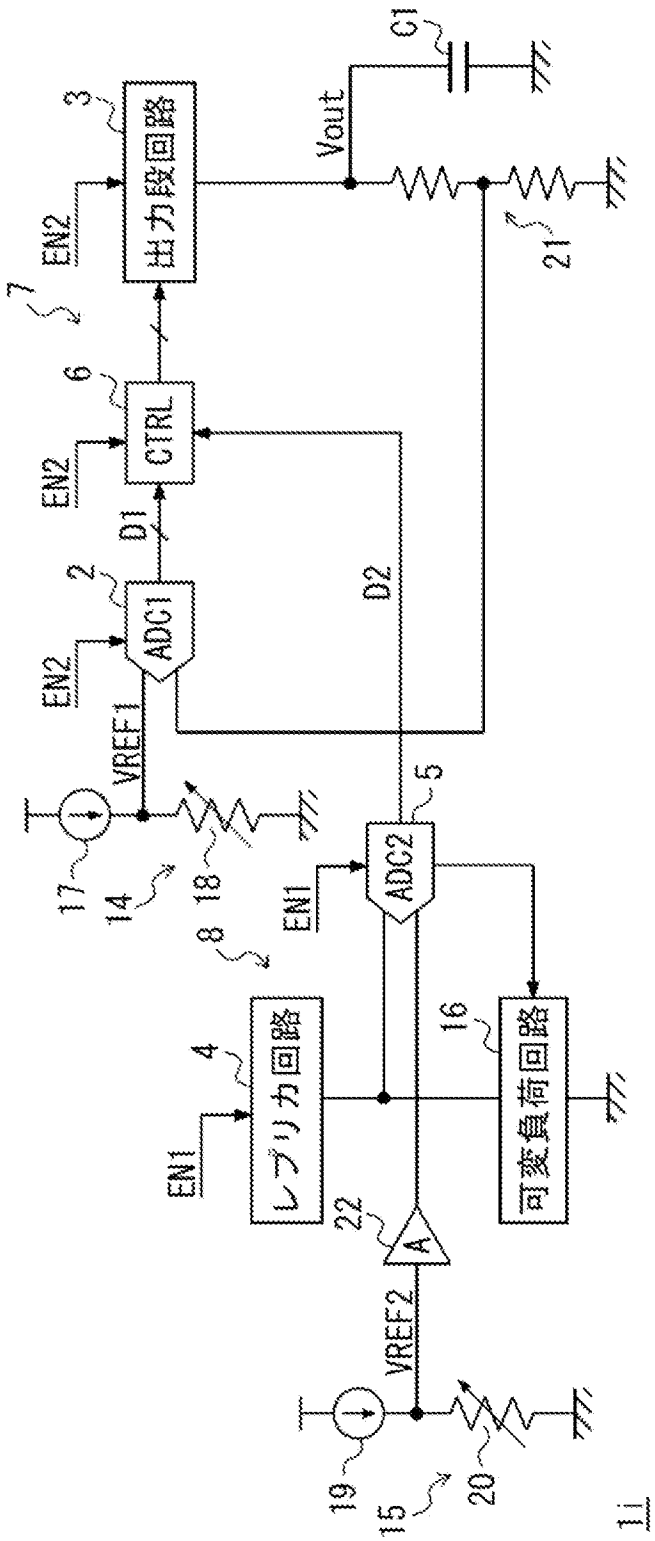
[図17]


EN1
EN2
D2
VREF1
VREF2
VOUT
t1
t2
t3

[図18]


7
17
EN2
EN2
EN2
14
VREF1
ADC1
D1
CTRL
出力段回路
2
6
3
EN1
4
18
レプリカ回路
EN1
8
Vout
19
15
VREF2
ADC2
D2
C1
5
R1
16
20
可変負荷回路
1h

[図19]


C1
Vout
3
出力段回路
EN2
7
6
CTRL
EN2
D1
2
ADC1
EN2
VREF1
D2
21
5
ADC2
EN1
17
14
18
8
4
レプリカ回路
EN1
16
可変負荷回路
22
A
VREF2
19
15
20
1i

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/035375

A. CLASSIFICATION OF SUBJECT MATTER

G05F 1/56(2006.01)i
FI: G05F1/56 310N

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F1/56; H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-516978 A (INTEL CORP.) 11 June 2020 (2020-06-11) entire text, all drawings	1-20
A	JP 2013-225306 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 31 October 2013 (2013-10-31) entire text, all drawings	1-20

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 November 2021	**30 November 2021**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/035375

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-516978 A	11 June 2020	US 2018/0292851 A1 entire text, all drawings WO 2018/191067 A1 CN 110431511 A KR 10-2019-0129860 A	
JP 2013-225306 A	31 October 2013	US 2013/0278233 A1 entire text, all drawings KR 10-2013-0119194 A	

国際調査報告

国際出願番号
PCT/JP2021/035375

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G05F 1/56(2006.01)i
FI: G05F1/56 310N

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G05F1/56; H02M3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2020-516978 A (インテル　コーポレイション) 11.06.2020 (2020-06-11) 全文，全図	1-20
A	JP 2013-225306 A (サムソン　エレクトローメカニックス　カンパニーリミテッド.) 31.10.2013 (2013-10-31) 全文，全図	1-20

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
05.11.2021	30.11.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
東　昌秋 5G 3139
電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/035375

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-516978 A	11.06.2020	US 2018/0292851 A1 全文，全図 WO 2018/191067 A1 CN 110431511 A KR 10-2019-0129860 A	
JP 2013-225306 A	31.10.2013	US 2013/0278233 A1 全文，全図 KR 10-2013-0119194 A	