

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 15 日 (15.02.2024)



(10) 国际公布号
WO 2024/031834 A1

(51) 国际专利分类号:
H01L 23/64 (2006.01)

(21) 国际申请号: PCT/CN2022/126311

(22) 国际申请日: 2022 年 10 月 20 日 (20.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210969762.7 2022年8月12日 (12.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 郭帅 (GUO, Shuai); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路6号4501房(部位: 自编01-03和08-12单元)(仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,

(54) Title: SEMICONDUCTOR STRUCTURE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体结构及其制备方法

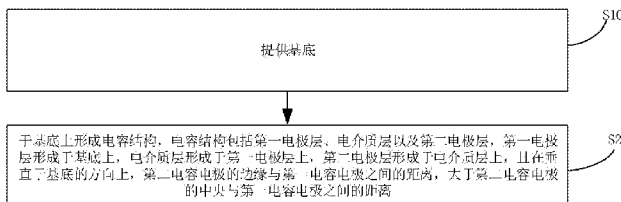


图 1

S10 Provide a substrate

S20 Form a capacitor structure on the substrate, the capacitor structure comprising: a first electrode layer, a dielectric layer and a second electrode layer, wherein the first electrode layer is formed on the substrate, the dielectric layer is formed on the first electrode layer, the second electrode layer is formed on the dielectric layer, and in a direction perpendicular to the substrate, the distance between an edge of a second capacitor electrode and a first capacitor electrode is greater than the distance between the center of the second capacitor electrode and the first capacitor electrode

(57) Abstract: The present disclosure relates to a semiconductor structure and a preparation method therefor. The semiconductor structure comprises a substrate; and a capacitor structure, comprising: a first capacitor electrode which is located on the substrate; a capacitor dielectric layer which is located on the first capacitor electrode; and a second capacitor electrode which is located on the capacitor dielectric layer, wherein in a direction perpendicular to the substrate, the distance between an edge of the second capacitor electrode and the first capacitor electrode is greater than the distance between the center of the second capacitor electrode and the first capacitor electrode. By means of the embodiments of the present disclosure, electricity can be effectively prevented from leaked from an edge of a capacitor dielectric layer.

(57) 摘要: 本公开涉及一种半导体结构及其制备方法。其中, 半导体结构包括基底; 电容结构, 包括: 第一电容电极, 位于基底上; 电容介质层, 位于第一电容电极上; 第二电容电极, 位于电容介质层上, 且在垂直于基底的方向上, 第二电容电极的边缘与第一电容电极之间的距离, 大于第二电容电极的中央与第一电容电极之间的距离。本公开实施例可以有效防止电容介质层边缘漏电。

[见续页]



MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

半导体结构及其制备方法

相关申请的交叉引用

本公开要求于 2022 年 08 月 12 日提交中国专利局、申请号为 2022109697627、发明名称为“半导体结构及其制备方法”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

5 技术领域

本公开涉及半导体技术领域，特别是涉及一种半导体结构及其制备方法。

背景技术

10 电容结构是半导体芯片中的重要结构，其通常包括依次层叠设置的第一电容电极、电容介质层、第二电容电极。

传统技术中，在进行电容结构的制程时，进行图形化处理而形成第二电容电极的刻蚀过程中，电容介质层也会受到刻蚀作用影响，甚至会被刻蚀开。此时，电容介质层边缘侧面处容易形成漏电通道，从而影响电容性能。

15 发明内容

根据本公开的各种实施例，提供一种半导体结构及其制备方法。

根据本公开的各种实施例，提供一种半导体结构，包括：

基底；

电容结构，包括：

20 第一电容电极，位于所述基底上；

电容介质层，位于所述第一电容电极上；

第二电容电极，位于所述电容介质层上，且在垂直于所述基底的方向上，所述第二电容电极的边缘与所述第一电容电极之间的距离，大于所述第二电容电极的中央与所述第一电容电极之间的距离。

在一些实施例中，

25 所述半导体结构还包括增高介质层，所述增高介质层位于所述第一电容电极上，且其内具有开槽，所述开槽暴露所述第一电容电极；

所述电容介质层位于所述开槽底部的所述第一电容电极表面以及所述开槽侧壁的所述增高介质层表面；

所述第二电容电极位于所述电容介质层表面。

30 在一些实施例中，所述电容介质层以及所述第二电容电极由所述开槽内延伸至所述增高介质层的上表面。

在一些实施例中，

所述电容介质层以及所述第二电容电极在所述基底上的正投影位于所述第一电容电极在所述基底上的正投影内部。

35 在一些实施例中，所述半导体结构还包括层间介质层以及测试电极层，

所述层间介质层位于所述电容结构与所述测试电极层之间，且具有第一互连孔以及第二互连孔，所述第一互连孔暴露所述第一电容电极，所述第二互连孔暴露所述第二电容电极；

所述测试电极层包括第一电极图形以及第二电极图形，所述第一电极图形通过所述第一互连孔电连接所述第一电容电极，所述第二电极图形通过所述第二互连孔电连接所述第二电容电极。

40 在一些实施例中，所述半导体结构还包括第一电极图形以及第二电极图形，所述第一电极图形与所述第一电容电极同层设置，所述第二电极图形与所述第二电容电极同层设置。

在一些实施例中，所述半导体结构还包括增高介质层，所述增高介质层位于所述电容介质层上，且其内具有开槽，所述开槽暴露所述电容介质层；

所述第二电容电极位于所述开槽底部的所述电容介质层表面以及所述开槽侧壁的所述增高介质层表面。

45 在一些实施例中，所述半导体结构还包括隔离介质层，所述隔离介质层位于所述基底表面，所述第一电容电极位于所述隔离介质层表面。

在一些实施例中，所述隔离介质层包括：

隔离层，位于所述基底表面；

50 第二介质层，位于所述隔离层表面；

所述第一电容电极位于所述第二介质层表面。

在一些实施例中，所述半导体结构还包括至少两层所述隔离介质层，位于顶层的所述隔离介质层内形成电容孔，所述电容结构的所述隔离介质层上表面延伸至所述电容孔内，且所述电容结构的两端位于所述所述隔离介质层上表面。

55 在一些实施例中，所述电容介质层包括高介电常数介质层。

根据本公开的各种实施例，还提供一种半导体结构的制备方法，包括：

提供基底；

于所述基底上形成电容结构，所述电容结构包括第一电容电极、电容介质层以及第二电容电极，所述第一电容电极形成于所述基底上，所述电容介质层形成于所述第一电容电极上，所述第二电容电极形成于所述电容介质层上，且在垂直于所述基底的方向上，所述第二电容电极的边缘与所述第一电容电极之间的距离，大于所述第二电容电极的中央与所述第一电容电极之间的距离。

在一些实施例中，所述于所述基底上形成电容结构，包括：

于所述基底上形成第一电极材料层；

于所述第一电极材料层表面形成增高介质材料层；

对所述增高介质材料层进行图形化处理，以形成内部具有开槽的增高介质中间层，所述开槽暴露所述第一电极材料层；

于所述开槽底部的所述第一电极材料层表面以及所述开槽侧壁的所述增高介质中间层表面形成所述电容介质层，且于所述电容介质层表面形成所述第二电容电极；

对所述增高介质中间层以及所述第一电极材料层进行图形化处理，以形成增高介质层以及所述第一电容电极。

在一些实施例中，所述于所述开槽底部的所述第一电容电极表面以及所述开槽侧壁的所述增高介质中间层表面形成所述电容介质层，且于所述电容介质层表面形成所述第二电容电极，包括：

于所述开槽底部的所述第一电极材料层表面、所述开槽侧壁的所述增高介质中间层表面以及所述增高介质中间层的上表面形成电介质材料层；

于所述电介质材料层表面形成第二电极材料层；

于所述第二电极材料层上形成第一图形化光阻；

基于所述第一图形化光阻，刻蚀所述第二电极材料层以及所述电介质材料层，以形成所述第二电容电极以及所述电容介质层。

在一些实施例中，所述第一图形化光阻在所述基底上的正投影覆盖所述开槽在所述基底上的正投影。

在一些实施例中，

所述对所述增高介质中间层以及所述第一电极材料层进行图形化处理，以形成增高介质层以及所述第一电容电极，包括：

去除所述第一图形化光阻；

形成覆盖所述第二电容电极以及所述电容介质层的第二图形化光阻；

基于所述第二图形化光阻，刻蚀所述增高介质中间层以及所述第一电极材料层，以形成增高介质层以及所述第一电容电极；

去除所述第二图形化光阻。

在一些实施例中，所述形成电容结构之后，还包括：

于所述电容结构上形成层间介质层，所述层间介质层内具有第一互连孔以及第二互连孔，所述第一互连孔暴露所述第一电容电极，所述第二互连孔暴露所述第二电容电极；

于所述层间介质层上形成测试电极层，所述测试电极层包括第一电极图形以及第二电极图形，所述第一电极图形通过所述第一互连孔电连接所述第一电容电极，所述第二电极图形通过所述第二互连孔电连接所述第二电容电极。

在一些实施例中，所述于所述电容结构上形成层间介质层，包括：

于所述电容结构上形成填充介质层；

于所述填充介质层上形成第一介质层；

于所述第一介质层上形成第三图形化光阻；

基于所述第三图形化光阻刻蚀所述第一介质层与所述填充介质层，以形成所述第一互连孔以及所述第二互连孔，所述第一互连孔以及所述第二互连孔均贯穿所述第一介质层与所述填充介质层；

所述于所述层间介质层上形成测试电极层，包括：

于所述层间介质层上形成测试电极材料层；

以所述第一介质层为刻蚀停止层，刻蚀所述测试电极材料层，以对所述测试电极材料层进行图形化处理而形成所述测试电极层。

在一些实施例中，形成所述第二电容电极的同时，还形成第二电极图形，形成所述第一电容电极的同时，还形成第一电极图形。

在一些实施例中，

所述于所述基底上形成电容结构之前，还包括：

于所述基底表面形成隔离介质层；

所述第一电容电极形成于所述隔离介质层表面。

在一些实施例中，

所述于所述基底表面形成隔离介质层，包括：

于所述基底表面形成隔离层；

于所述隔离层表面形成第二介质层；

所述第一电容电极形成于所述第二介质层表面。

在一些实施例中，所述电容介质层包括高介电常数介质层。

本公开实施例可以/至少具有以下优点：

本公开实施例中的半导体结构及其制备方法，加了电容介质层的边缘与第一电容电极之间的距离，从而使得第二电容电极与第一电容电极的被有效隔离开。因此，本公开实施例可以有效地防止第一电容电极与第二电容电极通过电容介质层的边缘部分发生漏电。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一实施例中提供的半导体结构的制备方法的流程图；

图 2 至图 20 为一实施例中提供的半导体结构的制备过程中的立体结构示意图；

图 21 为一个实施例中提供的半导体结构的立体切割示意图；

图 22 为另一个实施例中提供的半导体结构的剖面示意图；

图 23 为又一个实施例中提供的半导体结构的剖面示意图；

图 24 为一个实施例中半导体结构作为测试结构时，其电容结构排列方式示意图。

为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

附图标记说明：

100-基底，200-电容结构，210-第一电容电极，211-第一电极材料层，220-电容介质层，221-电极材料层，230-第二电容电极，230a-氮化钛层，230b-硅锗层，231-第二电极材料层，2311-氮化钛材料层，2312-硅锗材料层，300-增高介质层，301-增高介质材料层，302-增高介质中间层，300a-开槽，400-层间介质层，400a-第一互连孔，400b-第二互连孔，410-填充介质层，420-第一介质层，500-测试电极层，501-测试电极材料层，510-第一电极图形，511-第一连接部，512-第一电极部，520-第二电极图形，521-第二连接部，522-第二电极部，600-隔离层，700-第二介质层，10-第一图形化光阻，20-第二图形化光阻，30-第三图形化光阻，40-第四图形化光阻，50-第五图形化光阻。

具体实施方式

为了便于理解本公开，下面将参照相关附图对本公开进行更全面的描述。附图中给出了本公开的首选实施例。但是，本公开可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本公开。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。

应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所述的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所述的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向(譬如，旋转 90 度或其它取向)，并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

本公开实施例中的结构不应当局限于说明书附图所示的特定形状，而是包括由于例如制造技术导

致的形状偏差。

在本公开实施例中，半导体结构及其制备方法可以但并不限于应用于芯片研发，例如其也可以应用于芯片生产。同时，半导体结构可以但并不限于为测试结构，例如，其也可以为产品结构。

在一个实施例中，请参阅图 1，提供一种半导体结构的制备方法，包括如下步骤：

步骤 S10，提供基底 100；

步骤 S30，于基底 100 上形成电容结构 200，电容结构 200 包括第一电容电极 210、电容介质层 220 以及第二电容电极 230，第一电容电极 210 形成于基底 100 上，电容介质层 220 形成于第一电容电极 210 上，第二电容电极 230 形成于电容介质层 220 上，请参阅图 21 或图 22。

其中，且在垂直于基底 100 的方向上，第二电容电极 230 的边缘与第一电容电极 210 之间的距离，大于第二电容电极 230 的中央与第一电容电极 210 之间的距离。

在步骤 S10 中，基底 100 可以包括但不限于为硅 (Si) 衬底、硅锗 (SiGe) 衬底、硅锗碳 (SiGeC) 衬底、碳化硅 (SiC) 衬底、砷化镓 (GaAs) 衬底、砷化铟 (InAs) 衬底、磷化铟 (InP) 衬底或其它的 III/V 半导体衬底或 II/VI 半导体衬底。

在步骤 S30 中，第一电容电极 210 形成在基底 100 上。作为示例，二者之间可以具有中间层或中间层器件结构。当然，第一电容电极 210 也可以直接形成在基底 100 上，这里对此并不做限制。

具体地，第一电容电极 210 可以形成在平坦的表面上 (请参阅图 21)，也可以形成在具有电容孔的表面上 (请参阅图 22)。

第一电容电极 210 的材料包括但不限于氮化钛 (TiN)、钛 (Ti)、硅化钨 (Si₂W) 及钨 (W) 等等中的任意一种或几种。

电容介质层 220 可以包括但不限于为高介电常数介质层。电容介质层 220 形成在第一电容电极 210 上。

第二电容电极 230 可以包括氮化钛层 230a。氮化钛 (TiN) 层可以位于边缘向上翘起的电容介质层 220 表面。同时，第二电容电极 230 还可以包括硅锗层 230b。SiGe 层可以形成在氮化钛 (TiN) 层表面。当然，第二电容电极 210 也可以采用其他的形式。例如，第二电容电极 210 也可以为单层结构。并且，第二电容电极 210 的材料也但不限于为氮化钛或硅锗。

具体地，当电容介质层 220 为高介电常数介质层时，电容介质层 220 可以包括氧化铝 (Al₂O₃) 层、氧化铪 (HfO₂) 层、氮氧化铪 (HfON) 层、氧化锆 (ZrO₂) 层、氧化钽 (Ta₂O₅) 层、氧化钛 (TiO₂) 层或锶钛氧化物 (SrTiO₃) 层等。

在 DRAM (Dynamic Random Access Memory，动态随机存取存储器) 等半导体器件结构中，高介电常数的电容介质层 220 通常厚度较薄。因此，其极容易在第二电容电极 230 图形化时被同时刻蚀开，从而存在边缘漏电风险。

而在本实施例中，在垂直于基底 100 的方向上，增加第二电容电极 230 的边缘与第一电容电极 210 之间的距离，从而使得电容介质层 220 的被刻蚀开形成的侧面远离第一电容电极 210。此时，第二电容电极 230 与第一电容电极 210 的被有效隔离开，从而可以有效防止二者之间通过电容介质层 220 侧面产生漏电的问题。

当然，电容介质层 220 也可以包括低介电常数介质层，如二氧化硅层或氮化硅层。

在第二电容电极 230 被图形化刻蚀的同时，电容介质层 220 被减薄，而可能产生缺陷。此时，增加第二电容电极 230 的边缘与第一电容电极 210 之间的距离，也可以更加良好的预防电容结构 200 的两个电极层 (第一电容电极 210 与第二电容电极 230) 之间发生漏电。

在本实施例中，增加了电容介质层 220 的边缘与第一电容电极 210 之间的距离，从而使得第二电容电极 230 与第一电容电极 210 的被有效隔离开。因此，本实施例可以有效地防止第一电容电极 210 与第二电容电极 220 通过电容介质层 220 的边缘侧面发生漏电。

在一个实施例中，步骤 S30 包括：

步骤 S31，请参阅图 2，于基底 100 上形成第一电极材料层 211；

步骤 S32，请继续参阅图 2，于第一电极材料层 211 表面形成增高介质材料层 301；

步骤 S33，请参阅图 4，对增高介质材料层 221 进行图形化处理，以形成内部具有开槽 300a 的增高介质中间层 302，开槽 300a 暴露第一电极材料层 211；

步骤 S34，请参阅图 9，于开槽 300a 底部的第一电极材料层 211 表面以及开槽 300a 侧壁的增高介质中间层 302 表面形成电容介质层 220，且于电容介质层 220 表面形成第二电容电极 230；

步骤 S35，请参阅图 12，对增高介质中间层 302 以及第一电极材料层 211 进行图形化处理，以形成增高介质层 300 以及第一电容电极 210。

其中，在步骤 S31 中，请参阅图 2，可以通过物理气相沉积或者化学气相沉积等方式，在基底 100 上沉积氮化钛等材料，从而形成第一电极材料层 211。

在步骤 S32 中，请参阅图 2，增高介质材料层 301 的材料可以包括但不限于为氧化硅层 (SiO₂)、氮化硅层 (Si₃N₄) 或氮氧化硅层 (SiON)。

具体地，可以通过化学气相沉积或原子层沉积等方式在第一电极材料层 211 表面沉积增高介质材料层 301。

在步骤 S33 中，请参阅图 3，可以首先通过光刻工艺，在增高介质材料层 301 上形成第四图形化

光阻 40。然后，请参阅图 3 以及图 4，基于第四图形化光阻 40，刻蚀增高介质材料层 301，从而形成增高介质中间层 302。增高介质中间层 302 内部具有开槽 300a。之后去除第四图形化光阻 40。

具体地，开槽 300a 可以为方形槽，也可以为圆形槽，或者也可以为其他形状的槽，这里对此没有限制。

在步骤 S34 中，请参阅图 9，电容介质层 220 覆盖开槽 300a 底部的第一电极材料层 301 表面以及开槽 300a 侧壁的增高介质中间层 302 表面，从而通过开槽 300a 侧壁的增高介质中间层 302 的作用，将电容介质层 220 的边缘部分均翘起抬高。

此时，第二电容电极 230 形成在电容介质层 220 表面，从而通过电容介质层 220 而与第一电容电极 21 有效隔离。

步骤 S35 中，请参阅图 12，可以通过光刻、刻蚀等工艺对第一电极材料层 211 以及其上的增高介质中间层 302 进行图形化处理，以形成第一电容电极 210 以及增高介质层 300。

在本实施例中，通过内部具有开槽 300a 的增高介质中间层 302 的形成，从而使得电容介质层 220 可以同时形成在增高介质中间层 302 内的开槽 300a 侧壁与底部上。此时，电容介质层 220 的边缘相对于中央向上翘起，从而有效增加了电容介质层 220 的边缘与第一电容电极 210 之间的距离。

在一个实施例中，步骤 S34 包括：

步骤 S341，请参阅图 4 以及图 5，于开槽 300a 底部的第一电极材料层 211 表面、开槽 300a 侧壁的增高介质中间层 302 表面以及增高介质中间层 302 的上表面形成电介质材料层 221；

步骤 S342，请参阅图 7，于电介质材料层 221 表面形成第二电极材料层 231；

步骤 S343，请参阅图 8，于第二电极材料层 231 上形成第一图形化光阻 10；

步骤 S344，请参阅图 8 以及图 9，基于第一图形化光阻 10，刻蚀第二电极材料层 231 以及电介质材料层 221，以形成第二电容电极 230 以及电容介质层 220。

其中，在步骤 S341 中，请参阅图 4 以及图 5，可以通过化学气相沉积或原子层沉积等方式沉积电介质材料层 221，以使得电介质材料层 221 覆盖于开槽 300a 底部的第一电极材料层 211 表面、开槽 300a 侧壁的增高介质中间层 302 表面以及增高介质中间层 302 的上表面。

在步骤 S342 中，可以通过化学气相沉积或物理气相沉积等方式，在电介质材料层 221 表面沉积第二电极材料层 231。当采用化学气相沉积方式沉积第二电极材料层 231 时，请参阅图 7，第二电极材料层 231 可以同时形成在电介质材料层 221 的侧表面以及平行于基底 100 的表面。当采用物理气相沉积方式沉积第二电极材料层 231 时，第二电极材料层 231 可以只形成在电介质材料层 221 的平行于基底 100 的表面（未图示）。

当通过化学气相沉积方式沉积第二电极材料层 231 时，具体地，可以首先在电介质材料层 221 表面沉积氮化钛材料层 2311，然后再在氮化钛材料层 2311 表面沉积硅锗材料层 2312，从而形成包括氮化钛材料层 2311 与硅锗材料层 2312 的第二电极材料层 231。

在步骤 S343 中，请参阅图 8，可以首先在第二电极材料层 231 上涂布光刻胶。然后对光刻胶进行曝光、显影，从而形成第一图形化光阻 10。

在步骤 S344 中，请参阅图 8 以及图 9，可以以第一图形化光阻 10 为掩膜，刻蚀第二电极材料层 231，以形成第二电容电极 230。电介质材料层 221 可以为厚度较薄的高 k 介质材料层，其可以在对第二电极材料层 231 进行刻蚀的过程中，被刻蚀去除，从而形成电容介质层 220。此时，电容介质层 220 与第二电容电极 230 具有相互对齐的侧面。

当然，在其他实施例中，电介质材料层 221 可以为厚度较厚的低 k 介质材料层时，本步骤可以在对第二电极材料层 231 进行刻蚀的过程中，减薄低 k 介质材料层。之后，在步骤 S35 对第一电极材料层 211 进行刻蚀，以形成第一电容电极 210 的过程中，可以依次对先对第一电极材料层 211 上的被减薄的电介质材料层 221、增高介质中间层 302 以及第一电极材料层 211 进行刻蚀，从而形成具有相互对齐侧面的电容介质层 220、增高介质层 300 以及第一电容电极 210。

当步骤 S342 中采用化学气相沉积方式沉积第二电极材料层 231 时，步骤 S344 中形成的第二电容电极 230 同时形成在电容介质层 220 的侧表面以及平行于基底 100 的表面。当步骤 S342 中采用物理气相沉积方式沉积第二电极材料层 231 时，步骤 S344 中形成的第二电容电极 230 不位于电容介质层 220 的侧表面，而只位于电容介质层 220 的平行于基底 100 的表面。

在其他实施例中，电容结构的形成过程也可以与前述实施例不同。例如，请参阅图 23，电容结构的形成过程也可以为，首先于基底 100 上依次形成第一电极材料层 211、电介质材料层 221、增高介质材料层 301。然后，对增高介质材料层 221 进行图形化处理，以形成内部具有开槽 300a 的增高介质中间层 302，开槽 300a 暴露电介质材料层 221。然后，于开槽 300a 底部的电介质材料层 221 表面、开槽 300a 侧壁的增高介质中间层 302 表面以及增高介质中间层 302 的上表面形成形成第二电极材料层 231。之后，图形化第二电极材料层 231，形成第二电容电极 230。之后，对增高介质中间层 302、电介质材料层 221 以及第一电极材料层 211 进行图形化处理，以形成增高介质层 300、电容介质层 220 以及第一电容电极 210。

此时，请参阅图 23，电容介质层 220 并不上翘，而第二电容电极 230 边缘上翘。

或者，在其他实施例中，也可以设置电容结构的第一电容电极 210 两侧埋入凹槽内。具体第一电容电极 210 可以由凹槽之外的结构表面延伸至凹槽底部。然后于凹槽内填充增高介质层 300，然后于增高介质层 300 以及第一电容电极 210 表面形成电容介质层 220 以及第一电容电极 210。此时，也可以实

现第一电容电极 210 的边缘与第一电容电极之间的距离，大于第二电容电极的中央与第一电容电极之间的距离。

在一个实施例中，步骤 S343 中，请参阅图 8，形成的第一图形化光阻 10 在基底 100 上的正投影覆盖开槽 300a 在基底 100 上的正投影。

具体地，第一图形化光阻 10 在基底 100 上的正投影可以大于开槽 300a 在基底 100 上的正投影，从而可以简便有效确保形成在开槽 300a 侧壁上的电介质材料层 221 不会在步骤 S344 中被刻蚀去除。此时，请参阅图 9，步骤 S344 之后，最终形成的电容介质层 220 以及第二电容电极 230 会由开槽内延伸至增高介质中间层 302 的上表面。

因此，此时可以有效保证形成的电容介质层 220 的四周边缘部分均向上翘起。

当然，第一图形化光阻 10 设置形式并不限于此，例如，在工艺能力可以达到的情况下，也可以设置第一图形化光阻 10 在基底 100 上的正投影与开槽 300a 在基底 100 上的正投影重叠。此时，步骤 S344 之后，最终形成的电容介质层 220 也可以不延伸至增高介质中间层 302 的上表面，而只位于开槽 300a 的侧壁与底部（请参阅图 21）。

在一个实施例中，步骤 S35 包括：

步骤 S351，请参阅图 9，去除第一图形化光阻 10；

步骤 S352，请参阅图 10，形成覆盖第二电容电极 230 以及电容介质层 220 的第二图形化光阻 20；

步骤 S353，请参阅图 11，基于第二图形化光阻 20，刻蚀第一电极材料层 211，以形成第一电容电极 210；

步骤 S354，请参阅图 12，去除第二图形化光阻 20。

其中，步骤 S351 中，请参阅图 9，去除第一图形化光阻 10 之后，图形化的第二电容电极 230 上表面漏出，其中间在对应开槽 300a 部分向下凹陷。电容介质层 220 在开槽 300a 底部与第一电容电极 210 接触。

在步骤 S352 中，请参阅图 9 以及图 10，第二图形化光阻 20 具体可以将第二电容电极 230 上表面、第二电容电极 230 侧面以及电容介质层 220 侧面完全覆盖包裹。

在步骤 S353 中，请参阅图 11，可以首先基于第二图形化光阻 20 刻蚀增高介质中间层 302，以形成增高介质层 300。然后，基于第二图形化光阻 20 以及增高介质层 300 刻蚀第一电极材料层 211，从而形成第一电容电极 210。

在步骤 S354 中，请参阅图 12，去除第二图形化光阻 20 之后，增高介质层 300 以及电容结构 200 的第一电容电极 210、电容介质层 220、第二电容电极 230 均暴露出来。

在本实施例中，首先去除第一图形化光阻 10，然后再形成第二图形化光阻 20，从而可以使得形成的第一电容电极 210 在基底 100 上的正投影大于第二电容电极 230 在基底 100 上的正投影。此时，可以从第一电容电极 210 的边缘部分向上形成相关导电互连结构，从而将第一电容电极 210 上的信号引入或引出。

可以理解的是，此时第一电容电极 210 的与第二电容电极 230 相对的部分为用于形成电容，而其边缘部分作为引出部，用于将第一电容电极 210 的信号引入或引出，并不用作形成电容。

当然，在其他实施例中，也可以不去除第一图形化光阻 10，而是基于第一图形化光阻 10，刻蚀第二电极材料层 231 以及电介质材料层 221，以形成第二电容电极 230 以及电容介质层 220 之后，在继续依次刻蚀增高介质中间层 302 以及第一电极材料层 211，以形成增高介质层 300 以及第一电容电极 210。此时，形成的第一电容电极 210 在基底 100 上的正投影与第二电容电极 230 在基底 100 上的正投影重叠。在此情况下，第一电容电极 210 下方可以设置有导电层，以使得第一电容电极 210 可以通过其下方的导电层而将信号引入或引出。

在一个实施例中，步骤 S30 之后，还包括：

步骤 S40，请参阅图 16，于电容结构 200 上形成层间介质层 400，层间介质层 400 内具有第一互连孔 400a 以及第二互连孔 400b，第一互连孔 400a 暴露第一电容电极 210，第二互连孔 400b 暴露第二电容电极 230。

步骤 S50，请参阅图 20，于层间介质层 400 上形成测试电极层 500，测试电极层包括第一电极图形 510 以及第二电极图形 520，第一电极图形 510 通过第一互连孔 400a 电连接第一电容电极 210，第二电极图形通过第二互连孔 400b 电连接第二电容电极 230。

其中，在步骤 S40 中，请参阅图 14，具体地，层间介质层 400 可以形成在电容结构 200 以及未被电容结构 200 覆盖的结构（如增高介质层 300 的部分区域）上。层间介质层 400 可以为多层膜层，也可以为单层膜层，这里对此没有限制。层间介质层 400 的材料可以包括氧化硅层、氮化硅层等。

在步骤 S50 中，请参阅图 20，测试电极层 500 的材料可以包括但不限于为氮化钛、钛等。具体地，测试电极层 500 为图形化电极层，包括相互绝缘隔离的第一电极图形 510 以及第二电极图形 520。其中，第一电极图形 510 可以形成在层间介质层 400 上表面且填满第一互连孔 400a。第二电极图形 520 可以形成在层间介质层 400 上表面且填满第二互连孔 400b。

具体地，第一电极图形 510 可以包括第一连接部 511 与第一电极部 512。第一连接部 511 可以连接第一电容电极 210，第一电极部 512 连接第一连接部 511，用于进行扎针测试。

第二电极图形 520 可以包括第二连接部 521 与第二电极部 522。第二连接部 521 可以连接第二电容电极 230，第二电极部 522 连接第二连接部 521，用于进行扎针测试。

在一个实施例中，步骤 S40 包括：

步骤 S41，请参阅图 13，于电容结构 200 上形成填充介质层 410；

步骤 S42，请参阅图 14，于填充介质层 410 上形成第一介质层 420；

步骤 S43，请参阅图 15，于第一介质层 420 上形成第三图形化光阻 30；

步骤 S44，请参阅图 16，基于第三图形化光阻 30 刻蚀第一介质层 420 与填充介质层 410，以形成第一互连孔 400a 以及第二互连孔 400b。

其中，在步骤 S410 中，请参阅图 13，填充介质层 410 的材料可以包括但不限于为二氧化硅。其可以通过 HDP（High Density Plasma，高密度等离子沉积）工艺形成。在进行 HDP 沉积工艺形成填充介质层 410 之后，可以对填充介质层 410 表面进行平坦化处理。

在步骤 S42 中，请参阅图 14，第一介质层 420 可以形成在填充介质层 410 表面。第一介质层 420 材料可以包括但不限于为氮化硅，其可以通过化学气相沉积方式形成。

在步骤 S43 中，请参阅图 15，可以首先在第一介质层 420 表面涂布光刻胶，然后对其进行曝光显影，从而形成第三图形化光阻 30。

在步骤 S44 中，请参阅图 16，可以以第三图形化光阻 30 为掩膜，刻蚀第一介质层 420 与填充介质层 410，从而形成第二互连孔 400b。并且，以第三图形化光阻 30 为掩膜，刻蚀第一介质层 420、填充介质层 410 以及增高介质层 300，从而形成第一互连孔 400a。

此时，层间介质层 400 包括层叠设置的填充介质层 410 以及第一介质层 420。

同时，步骤 S50 包括：

步骤 S51，请参阅图 17，于层间介质层 400 上形成测试电极材料层 501；

步骤 S52，请参阅图 18 以及图 19，以第一介质层 420 为刻蚀停止层，刻蚀测试电极材料层 501，以对测试电极材料层 501 进行图形化处理而形成测试电极层 500。

在步骤 S51 中，请参阅图 17，测试电极材料层 501 可以通过化学气相沉积或者物理气相沉积方式形成。

在步骤 S52 中，具体地，请参阅图 18，可以首先在测试电极材料层 501 上形成第五图形化光阻 50。然后，基于第五图形化光阻 50 刻蚀测试电极材料层 501。刻蚀时，可以选择干法刻蚀方式，第一介质层 420 与测试电极材料层 501 可以具有较大的选择刻蚀比，从而可以作为测试电极材料层 501 的刻蚀停止层。之后，去除第五图形化光阻 50，请参阅图 19。

在本实施例中，设置层间介质层 400 包括层叠设置的填充介质层 410 以及第一介质层 420，其中第一介质层 420 作为测试电极材料层 501 的刻蚀停止层，从而可以在形成测试电极层 500 的过程中，不对下层结构造成影响。

当然，层间介质层 400 的设置形式并不限于此。在一些实施例中，也可以设置层间介质层 400 只包括一层膜层，该膜层材料，也可以选择可以作为测试电极材料层 501 的刻蚀停止层的材料。

在一个实施例中，也可以形成第二电容电极 230 的同时，还形成第二电极图形 520。即第二电容电极 230 可以与第二电极图形 520 同层设置。具体地，第二电极图形 520 可以位于第二电容电极 230 的一侧。

并且，形成第一电容电极 210 的同时，还形成第一电极图形 510。即第一电容电极 210 可以与第一电极图形 510 同层设置。具体地，第一电极图形 510 可以位于第一电容电极 210 的一侧。

此时，在进行测试时，可以在第一电极图形 510 以及第二电极图形 520 上方的介质层上开槽而将其露出，从而进行测试。

在一个实施例中，步骤 S30 之前，包括：

步骤 S20，请参阅图 2，于基底 100 表面形成隔离介质层 600。

同时，第一电容电极 210 形成于隔离介质层 600 表面。即电容结构 200 自隔离介质层 600 表面形成。

隔离介质层 600 可以将电容结构 200 与基底 100 有效隔离，从而可以防止对电容结构 200 进行测试时，受到基底 100 的影响。隔离层 600 的材料可以包括但不限于为二氧化硅、氮化硅、氮氧化硅等。

作为示例，步骤 S20 可以包括：

步骤 S21，于基底 100 表面形成隔离层 610；

步骤 S22，于隔离层 610 表面形成第二介质层 620。

同时，第一电容电极 210 形成于第二介质层 620 表面。

此时，隔离层 610 可以将电容结构 200 与基底 100 有效隔离。第二介质层 700 在进行隔离作用的同时，还可以作为后续对第一电极材料层 211 进行图形化处理，以形成第一电容电极 210 时的刻蚀阻挡层。

例如，第一电极材料层 211 的材料可以为氮化钛。此时，第二介质层 700 的材料可以包括碳氧化硅（SiCO）和/或碳氮化硅（SiCN）等。

当然，隔离介质层 600 也可以为同一材料形成的具有足够厚度的单层绝缘膜层。或者，隔离介质层 600 也可以包括不同材料形成的两层以上的绝缘膜层。这里对此均没有限制。

同时，作为示例，请参阅图 21，隔离介质层 600 可以具有平坦的表面，电容结构 200 可以形成在隔离介质层 600 的平坦表面上。

或者，作为又一示例，请参阅图 22，半导体结构还包括至少两层隔离介质层 600。位于顶层的所

述隔离介质层 600 内形成电容孔。所述电容结构 200 也可以形成在该具有电容孔的隔离介质层 600 表面。此时，电容结构 200 由所述隔离介质层上表面延伸至所述电容孔内，且所述电容结构 200 的两端位于所述所述隔离介质层 600 上表面。

在本实施例方法制备的半导体结构可以为应用于存储器芯片研发的测试结构。

存储器芯片的存储单元通常可以包括一个晶体管和一个电容结构。晶体管的源极或漏极连接电容结构的一个电极层。在进行存储器芯片研发时，传统方式进行制程时，先进行晶体管的制程，然后再进行电容结构的制程。晶体管的制程占据整个制程周期的一半以上。此时，对电容结构进行制程研究，需先进行晶体管的制程，从而导致研发周期较长。

而在本实施例中，在基底 100 上形成隔离介质层 600 之后，不再形成晶体管，而直接形成电容结构。然后可以直接测试电容结构的特性，从而减少研发周期。

并且此时，可以有效排除掉相关干扰因素。例如，如果采用传统方式先进行晶体管的制程，然后再进行电容结构的制程。如果电容结构性能出现问题，无法判断是由于电容结构本身导致，还是受晶体管制程影响。而本实施例可以在基底 100 上形成隔离层 600 之后，不再形成晶体管，而直接形成电容结构，从而可以有效排除掉晶体管的影响。

当然，在其他实施例中，也可以先在基底 100 上形成晶体管，然后再形成电容结构 200。同时，在其他实施例中，形成的半导体结构可以为测试结构，也可以为产品结构等。

应该理解的是，虽然图 1 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，图 1 中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

在一个实施例中，还提供一种半导体结构，请参阅图 21，其包括基底 100 以及电容结构 200。

基底 100 可以包括但不限于为硅 (Si) 衬底、硅锗 (SiGe) 衬底、硅锗碳 (SiGeC) 衬底、碳化硅 (SiC) 衬底、砷化镓 (GaAs) 衬底、砷化铟 (InAs) 衬底、磷化铟 (InP) 衬底或其它的 III/V 半导体衬底或 II/VI 半导体衬底。

电容结构 200 包括第一电容电极 210、电容介质层 220 以及第二电容电极 230。

第一电容电极 210 位于基底 100 上。第一电容电极 210 与基底 100 之间可以具有中间层或中间层器件结构。当然，第一电容电极 210 也可以直接形成在基底 100 上，这里对此并不做限制。

第一电容电极 210 的材料包括但不限于氮化钛 (TiN)、钛 (Ti)、硅化钨 (Si₂W) 及钨 (W) 等中的任意一种或几种。

电容介质层 220 位于第一电容电极 210 上。并且，在垂直于基底 100 的方向上，第二电容电极 230 的边缘与第一电容电极 210 之间的距离，大于第二电容电极 230 的中央与第一电容电极 210 之间的距离。此时，第二电容电极 230 与第一电容电极 210 的被有效隔离开，从而可以有效防止二者之间通过电容介质层 220 侧面产生漏电的问题。

电容介质层 220 可以包括高介电常数介质层，如氧化铝 (Al₂O₃) 层、氧化铪 (HfO₂)、氮氧化铪 (HfON) 层、氧化锆 (ZrO₂) 层、氧化钽 (Ta₂O₅) 层、氧化钛 (TiO₂) 层或锶钛氧化物 (SrTiO₃) 层等。此时，电容介质层 220 可以与第二电容电极 230 可以具有相互对齐的侧面。

或者，电容介质层 220 也可以包括低介电常数介质层，如二氧化硅层 (SiO₂) 或氮化硅 (Si₃N₄) 层等。此时，电容介质层 220 可以与第一电容电极 210 可以具有相互对齐的侧面。且在第一电容电极 210 于第二电容电极 220 之间的部分被减薄。

第二电容电极 230 位于电容介质层 220 上。

第二电容电极 230 可以包括氮化钛 (TiN) 层。氮化钛 (TiN) 层可以位于边缘向上翘起的电容介质层 220 表面。同时，第二电容电极 230 还可以包括 SiGe 层。SiGe 层可以形成在氮化钛 (TiN) 层表面。当然，第二电容电极 210 也可以采用其他的形式。例如，第二电容电极 210 也可以为单层结构。并且，第二电容电极 210 的材料也并不限于为氮化钛或硅锗。

在一个实施例中，半导体结构还包括增高介质层 300。

增高介质层 300 位于第一电容电极 210 表面，其材料可以包括但不限于为氧化硅层 (SiO₂)、氮化硅层 (Si₃N₄) 或氮氧化硅层 (SiON)。

并且，增高介质层 300 内具有开槽 300a。开槽 300a 暴露第一电容电极 210。具体地，开槽 300a 可以为方形槽，也可以为圆形槽，或者也可以为其他形状的槽，这里对此没有限制。

电容介质层 220 位于开槽 300a 底部的第一电容电极 210 表面以及开槽 300a 侧壁的增高介质层 300 表面。同时，第二电容电极 230 位于电容介质层 220 表面。

此时，位于开槽 300a 侧壁的增高介质层 300 表面的电容介质层 220 向上翘起，从而可以有效隔离第一电容电极 210 与第二电容电极 220。

在一个实施例中，电容介质层 220 以及第二电容电极 230 由开槽 300a 内延伸至增高介质层 300 的上表面。

此时，可以确保电容介质层 220 起到良好的绝缘隔离作用。

在一个实施例中，电容介质层 220 以及第二电容电极 230 在基底 100 上的正投影位于第一电容电

极 210 在基底 100 上的正投影内部。

此时，可以从第一电容电极 210 的边缘部分向上形成相关导电互连结构，从而将第一电容电极 210 上的信号引入或引出。

在一个实施例中，半导体结构还包括层间介质层 400 以及测试电极层 500。

层间介质层 400 位于电容结构 200 与测试电极层 500 之间。可以为多层膜层，也可以为单层膜层，这里对此没有限制。层间介质层 400 的材料可以包括氧化硅层、氮化硅层等。

同时，层间介质层 400 内具有第一互连孔 400a 以及第二互连孔 400b，第一互连孔 400a 暴露第一电容电极 210，第二互连孔 400b 暴露第二电容电极 230。

测试电极层 500 测试电极层 500 的材料可以包括但不限于为氮化钛、钛等，其包括相互绝缘隔离的第一电极图形 510 以及第二电极图形 520。

第一电极图形 510 可以形成在层间介质层 400 上表面且填满第一互连孔 400a，从而通过第一互连孔 400a 电连接第一电容电极 210。

第一电极图形 510 可以包括第一连接部 511 与第一电极部 512。第一连接部 511 可以连接第一电容电极 210，第一电极部 512 连接第一连接部 511，用于进行扎针测试。

第二电极图形 520 可以形成在层间介质层 400 上表面且填满第二互连孔 400b，从而通过第二互连孔 400b 电连接第二电容电极 230。

第二电极图形 520 可以包括第二连接部 521 与第二电极部 522。第二连接部 521 可以连接第二电容电极 230，第二电极部 522 连接第二连接部 521，用于进行扎针测试。

在一个实施例中，半导体结构还包括第一电极图形 510 以及第二电极图形 520。

第一电极图形 510 与第一电容电极 210 同层设置。具体地，第一电极图形 510 可以位于第一电容电极 210 的一侧。

同时，第二电极图形 520 与第二电容电极 230 同层设置。具体地，第二电极图形 520 可以位于第二电容电极 230 的一侧。

此时，可以在第一电极图形 510 以及第二电极图形 520 上方的介质层上可以具有开槽而将其露出，从而用于测试。

在一个实施例中，层间介质层 400 包括层叠设置的填充介质层 410 以及第一介质层 420。

其中，填充介质层 410 的材料可以包括但不限于为二氧化硅。第一介质层 420 材料可以包括但不限于为氮化硅。第一介质层 420 可以作为测试电极层 500 的刻蚀停止层。

在一个实施例中，请参阅图 23，半导体结构还包括增高介质层 300。增高介质层 300 位于电容介质层 220 上，且其内具有开槽，所述开槽暴露所述电容介质层 220。

第二电容电极 230 位于所述开槽底部的所述电容介质层 220 表面以及所述开槽侧壁的所述增高介质层 300 表面。

在一个实施例中，半导体结构还包括隔离介质层 600。

隔离介质层 600 位于基底 100 表面。电容结构 200 的第一电容电极 210 位于隔离介质层 600 表面。因此，隔离介质层 600 可以将电容结构 200 与基底 100 有效隔离。

此时，从而可以防止对电容结构 200 进行测试时，受到基底 100 的影响。隔离介质层 600 的材料可以包括但不限于为二氧化硅、氮化硅、氮氧化硅等。

作为示例，隔离介质层 600 可以包括隔离层 610 以及第二介质层 620。隔离层 610 位于基底 100 表面。第二介质层 620 位于隔离层 610 表面。同时，第一电容电极 210 位于第二介质层 620 表面。

此时，隔离层 610 可以将电容结构 200 与基底 100 有效隔离。第二介质层 700 在进行隔离作用的同时，还可以作为第一电容电极 210 的刻蚀阻挡层，其材料可以包括碳氧化硅 (SiCO) 和/或碳氮化硅 (SiCN) 等。

同时，作为示例，请参阅图 21，隔离介质层 600 可以具有平坦的表面，电容结构 200 可以位于隔离介质层 600 的平坦表面上。

或者，作为又一示例，请参阅图 22，半导体结构还包括至少两层隔离介质层 600。位于顶层的所述隔离介质层 600 内具有电容孔。所述电容结构 200 由所述隔离介质层上表面延伸至所述电容孔内，且所述电容结构 200 的两端位于所述所述隔离介质层 600 上表面。

本实施例中的半导体结构可以为应用于存储器芯片研发的测试结构。

在进行存储器芯片研发时，传统测试结构的基底 100 与电容结构 200 之间通常包括晶体管。晶体管的制程占据整个制程周期的一半以上。此时，对电容结构进行制程研究，需先进行晶体管的制程，从而导致研发周期较长。

而在本实施例中，基底 100 与电容结构 200 之间不再设有晶体管，从而可以减少研发周期。

并且此时，可以有效排除掉相关干扰因素。例如，传统测试结构，电容结构形成在晶体管上。此时，如果电容结构性能出现问题，无法判断是由于晶体管影响，还是电容结构本身导致。而本实施例电容结构可以不用形成在晶体管上，从而可以有效排除掉晶体管的影响。

当然，在其他实施例中，基底 100 与电容结构 200 之间也可以设有晶体管。同时，在其他实施例中，形成的半导体结构可以为测试结构，也可以为产品结构等。

在一些实施例中，请参阅图 24，当半导体结构作为测试结构时，基底 100 上可以形成多个电容结构 200。各电容结构 200 可以排成一行。且各电容结构 200 的用于进行扎针测试的测试电极部（如第一

电极部 512 以及第二电极部 522) 之间的距离, 可以匹配现有 WAT 测试针卡间距, 从而可以通过 WAT 的测试方法, 测试电容结构 200 的特性。

5 上所述实施例的各技术特征可以进行任意的组合, 为使描述简洁, 未对上述实施例各个技术特征所有可能的组合都进行描述, 然而, 只要这些技术特征的组合不存在矛盾, 都应当认为是本说明书记载的范围。

10 以上所述实施例仅表达了本公开的几种实施方式, 其描述较为具体和详细, 但并不能因此而理解为对申请专利范围的限制。应当指出的是, 对于本领域的普通技术人员来说, 在不脱离本公开构思的前提下, 还可以做出若干变形和改进, 这些都属于本公开的保护范围。因此, 本公开专利的保护范围应以所附权利要求为准。

权利要求书

1.一种半导体结构,包括:

基底;

电容结构,包括:

第一电容电极,位于所述基底上;

电容介质层,位于所述第一电容电极上;

第二电容电极,位于所述电容介质层上,且在垂直于所述基底的方向上,所述第二电容电极的边缘与所述第一电容电极之间的距离,大于所述第二电容电极的中央与所述第一电容电极之间的距离。

2.根据权利要求1所述的半导体结构,其中,

所述半导体结构还包括增高介质层,所述增高介质层位于所述第一电容电极上,且其内具有开槽,所述开槽暴露所述第一电容电极;

所述电容介质层位于所述开槽底部的所述第一电容电极表面以及所述开槽侧壁的所述增高介质层表面;

所述第二电容电极位于所述电容介质层表面。

3.根据权利要求2所述的半导体结构,其中,所述电容介质层以及所述第二电容电极由所述开槽内延伸至所述增高介质层的上表面。

4.根据权利要求2所述的半导体结构,其中,

所述电容介质层以及所述第二电容电极在所述基底上的正投影位于所述第一电容电极在所述基底上的正投影内部。

5.根据权利要求4所述的半导体结构,其中,所述半导体结构还包括层间介质层以及测试电极层,所述层间介质层位于所述电容结构与所述测试电极层之间,且具有第一互连孔以及第二互连孔,

所述第一互连孔暴露所述第一电容电极,所述第二互连孔暴露所述第二电容电极;

所述测试电极层包括第一电极图形以及第二电极图形,所述第一电极图形通过所述第一互连孔电连接所述第一电容电极,所述第二电极图形通过所述第二互连孔电连接所述第二电容电极。

6.根据权利要求1所述的半导体结构,其中,所述半导体结构还包括第一电极图形以及第二电极图形,所述第一电极图形与所述第一电容电极同层设置,所述第二电极图形与所述第二电容电极同层设置。

7.根据权利要求1所述的半导体结构,其中,所述半导体结构还包括增高介质层,所述增高介质层位于所述电容介质层上,且其内具有开槽,所述开槽暴露所述电容介质层;

所述第二电容电极位于所述开槽底部的所述电容介质层表面以及所述开槽侧壁的所述增高介质层表面。

8.根据权利要求1所述的半导体结构,其中,所述半导体结构还包括隔离介质层,所述隔离介质层位于所述基底表面,所述第一电容电极位于所述隔离介质层表面。

9.根据权利要求8所述的半导体结构,其中,所述隔离介质层包括:

隔离层,位于所述基底表面;

第二介质层,位于所述隔离层表面;

所述第一电容电极位于所述第二介质层表面。

10.根据权利要求8或9所述的半导体结构,其中,所述半导体结构还包括至少两层所述隔离介质层,位于顶层的所述隔离介质层内具有电容孔,所述电容结构由所述隔离介质层上表面延伸至所述电容孔内,且所述电容结构的两端位于所述所述隔离介质层上表面。

11.根据权利要求1所述的半导体结构,其中,所述电容介质层包括高介电常数介质层。

12.一种半导体结构的制备方法,包括:

提供基底;

于所述基底上形成电容结构,所述电容结构包括第一电容电极、电容介质层以及第二电容电极,所述第一电容电极形成于所述基底上,所述电容介质层形成于所述第一电容电极上,所述第二电容电极形成于所述电容介质层上,且在垂直于所述基底的方向上,所述第二电容电极的边缘与所述第一电容电极之间的距离,大于所述第二电容电极的中央与所述第一电容电极之间的距离。

13.根据权利要求12所述半导体结构的制备方法,其中,所述于所述基底上形成电容结构,包括:

于所述基底上形成第一电极材料层;

于所述第一电极材料层表面形成增高介质材料层;

对所述增高介质材料层进行图形化处理,以形成内部具有开槽的增高介质中间层,所述开槽暴露所述第一电极材料层;

于所述开槽底部的所述第一电极材料层表面以及所述开槽侧壁的所述增高介质中间层表面形成所述电容介质层,且于所述电容介质层表面形成所述第二电容电极;

对所述增高介质中间层以及所述第一电极材料层进行图形化处理,以形成增高介质层以及所述第一电容电极。

14.根据权利要求13所述半导体结构的制备方法,其中,所述于所述开槽底部的所述第一电容电极表面以及所述开槽侧壁的所述增高介质中间层表面形成所述电容介质层,且于所述电容介质层表面形成所述第二电容电极,包括:

于所述开槽底部的所述第一电极材料层表面、所述开槽侧壁的所述增高介质中间层表面以及所述增高介质中间层的上表面形成电介质材料层；

于所述电介质材料层表面形成第二电极材料层；

于所述第二电极材料层上形成第一图形化光阻；

5 基于所述第一图形化光阻，刻蚀所述第二电极材料层以及所述电介质材料层，以形成所述第二电容电极以及所述电容介质层。

15.根据权利要求 14 所述半导体结构的制备方法，其中，所述第一图形化光阻在所述基底上的正投影覆盖所述开槽在所述基底上的正投影。

16.根据权利要求 14 所述半导体结构的制备方法，其中，

10 所述对所述增高介质中间层以及所述第一电极材料层进行图形化处理，以形成增高介质层以及所述第一电容电极，包括：

去除所述第一图形化光阻；

形成覆盖所述第二电容电极以及所述电容介质层的第二图形化光阻；

15 基于所述第二图形化光阻，刻蚀所述增高介质中间层以及所述第一电极材料层，以形成增高介质层以及所述第一电容电极；

去除所述第二图形化光阻。

17.根据权利要求 16 所述半导体结构的制备方法，其中，所述形成电容结构之后，还包括：

于所述电容结构上形成层间介质层，所述层间介质层内具有第一互连孔以及第二互连孔，所述第一互连孔暴露所述第一电容电极，所述第二互连孔暴露所述第二电容电极；

20 于所述层间介质层上形成测试电极层，所述测试电极层包括第一电极图形以及第二电极图形，所述第一电极图形通过所述第一互连孔电连接所述第一电容电极，所述第二电极图形通过所述第二互连孔电连接所述第二电容电极。

18.根据权利要求 17 所述半导体结构的制备方法，其中，所述于所述电容结构上形成层间介质层，包括：

25 于所述电容结构上形成填充介质层；

于所述填充介质层上形成第一介质层；

于所述第一介质层上形成第三图形化光阻；

基于所述第三图形化光阻刻蚀所述第一介质层与所述填充介质层，以形成所述第一互连孔以及所述第二互连孔，所述第一互连孔以及所述第二互连孔均贯穿所述第一介质层与所述填充介质层；

30 所述于所述层间介质层上形成测试电极层，包括：

于所述层间介质层上形成测试电极材料层；

以所述第一介质层为刻蚀停止层，刻蚀所述测试电极材料层，以对所述测试电极材料层进行图形化处理而形成所述测试电极层。

35 19.根据权利要求 16 所述半导体结构的制备方法，其中，形成所述第二电容电极的同时，还形成第二电极图形，形成所述第一电容电极的同时，还形成第一电极图形。

20.根据权利要求 12 所述的半导体结构的制备方法，其中，

所述于所述基底上形成电容结构之前，还包括：

于所述基底表面形成隔离介质层；

所述第一电容电极形成于所述隔离介质层表面。

40 21.根据权利要求 20 所述的半导体结构的制备方法，其中，

所述于所述基底表面形成隔离介质层，包括：

于所述基底表面形成隔离层；

于所述隔离层表面形成第二介质层；

所述第一电容电极形成于所述第二介质层表面。

45 22.根据权利要求 12 所述的半导体结构的制备方法，其中，所述电容介质层包括高介电常数介质层。

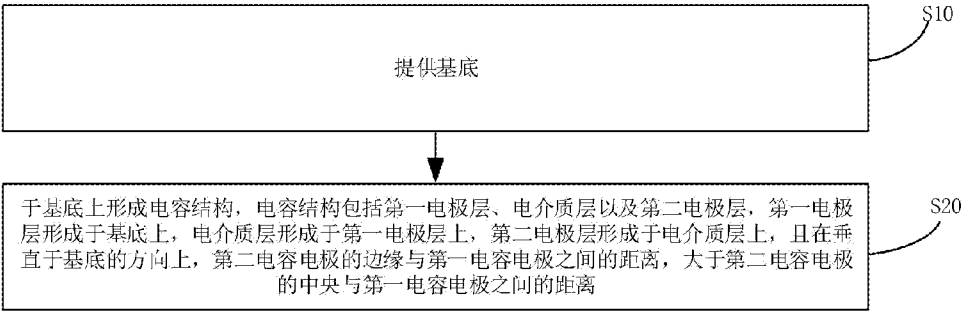


图 1

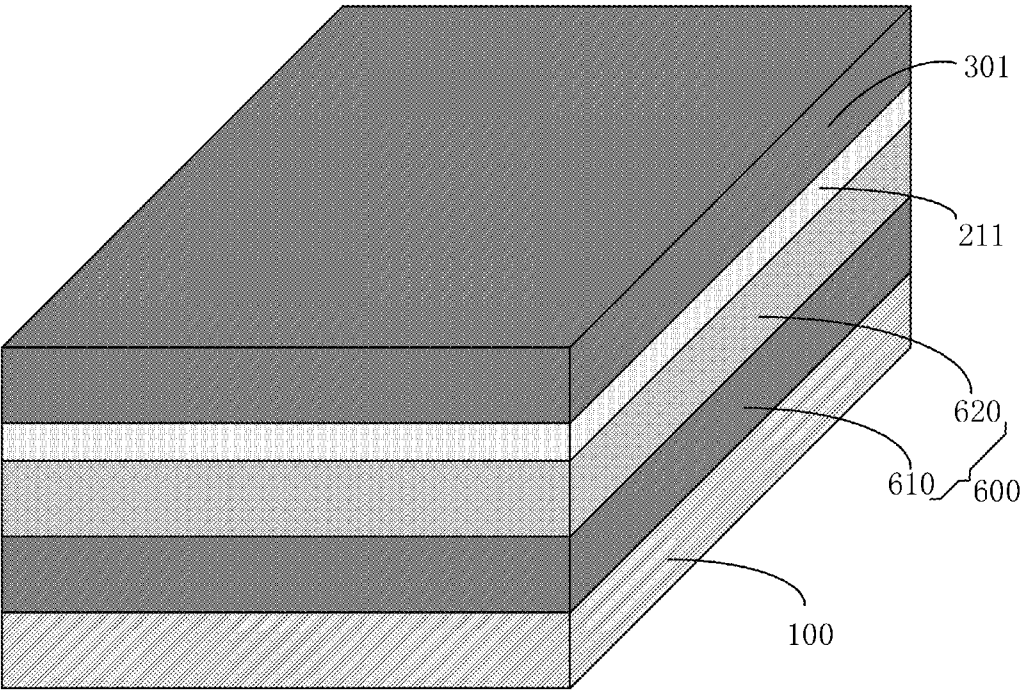


图 2

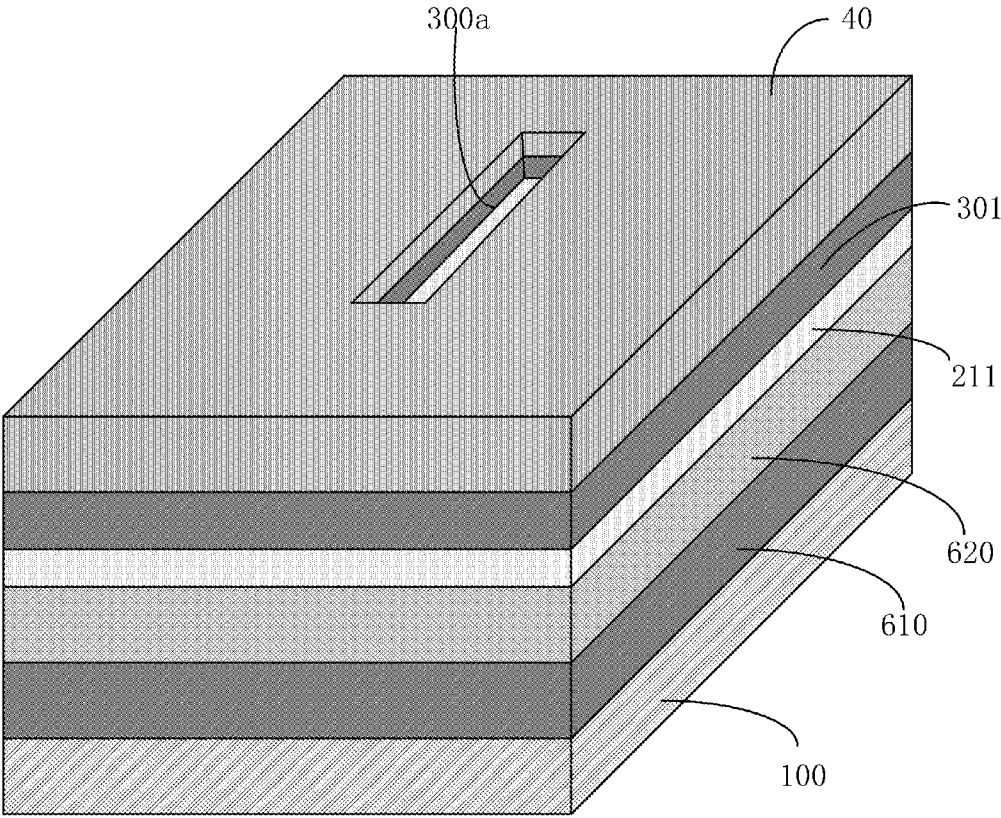


图 3

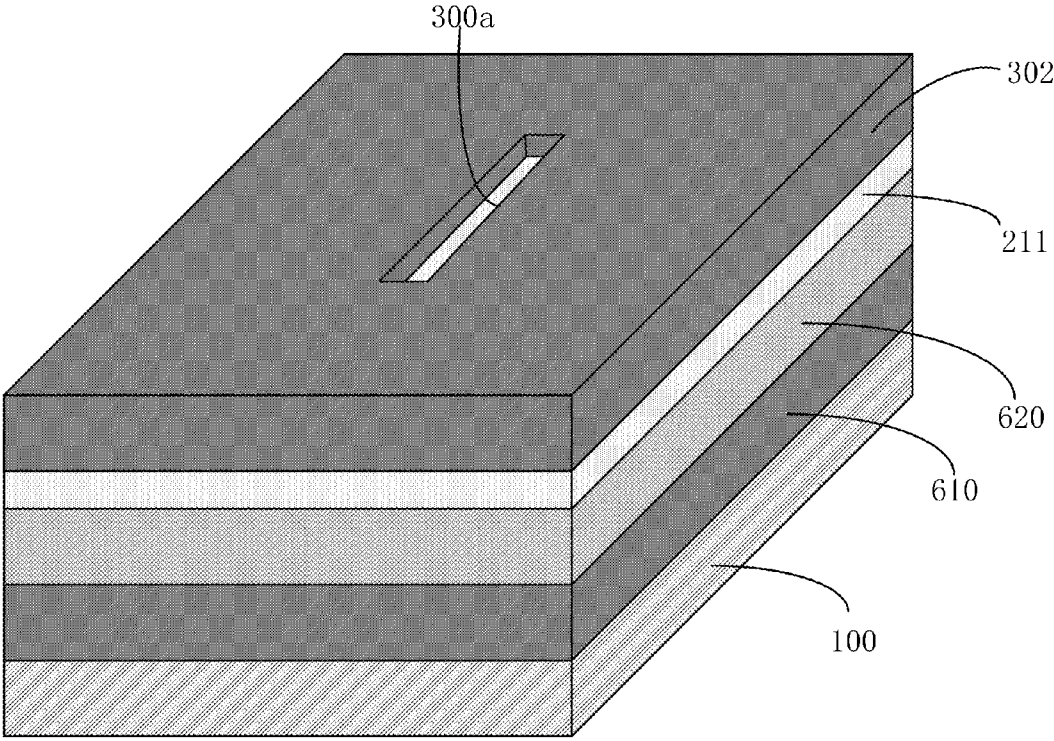


图 4

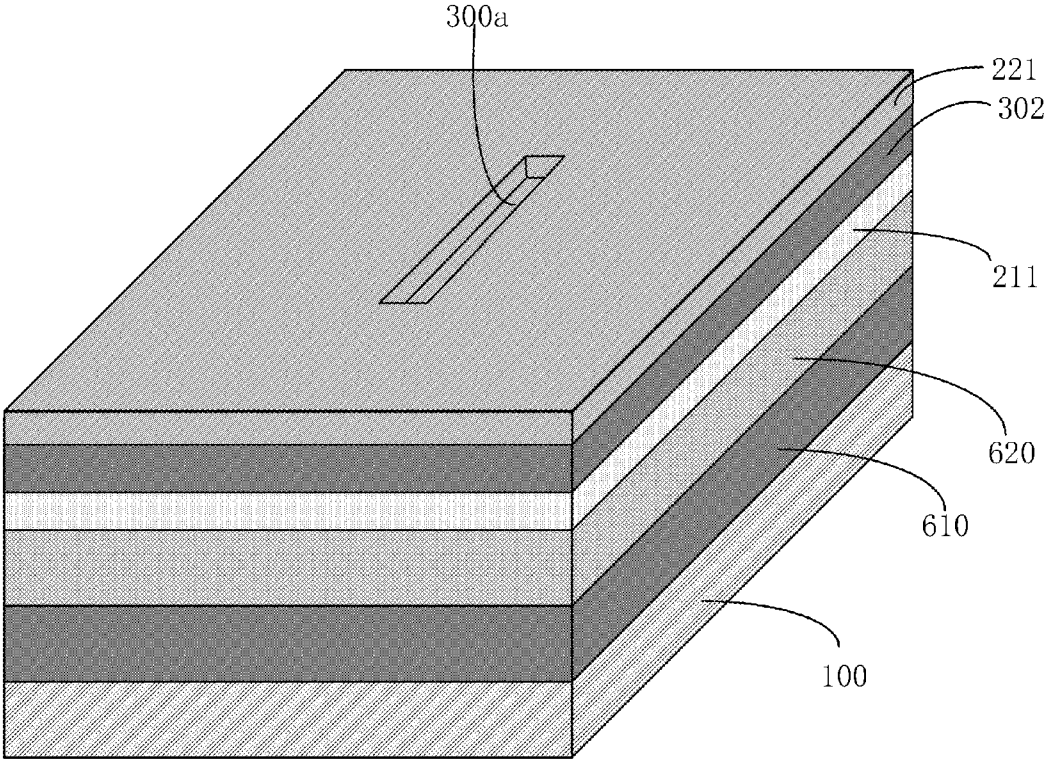


图 5

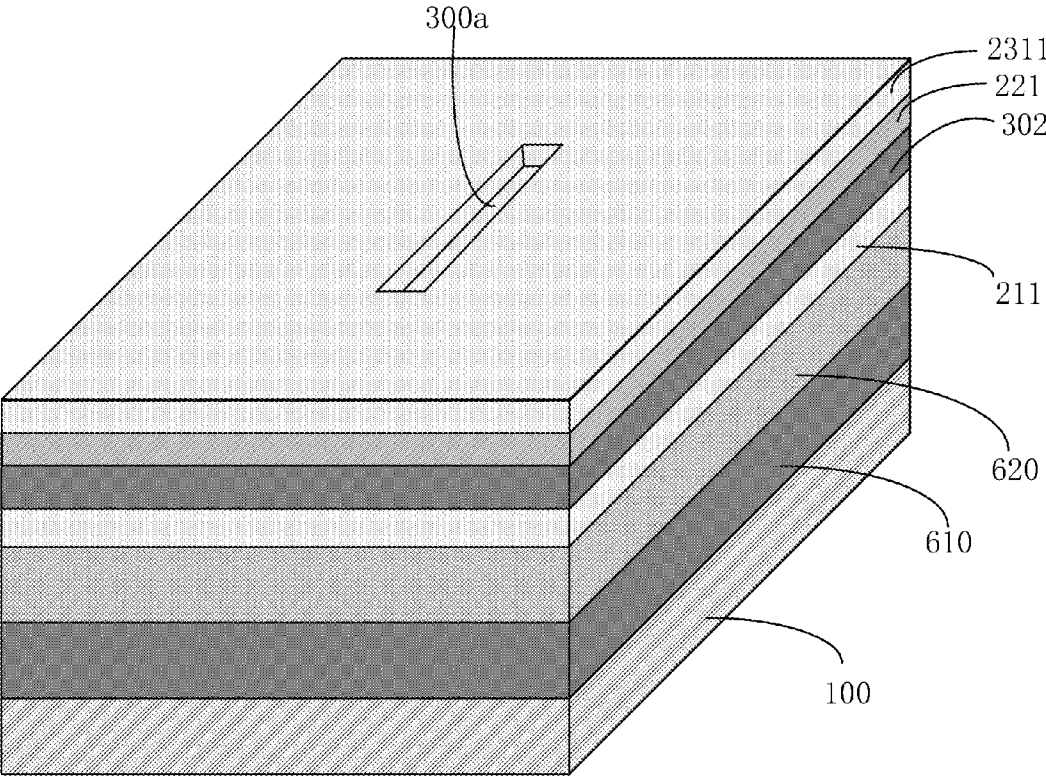


图 6

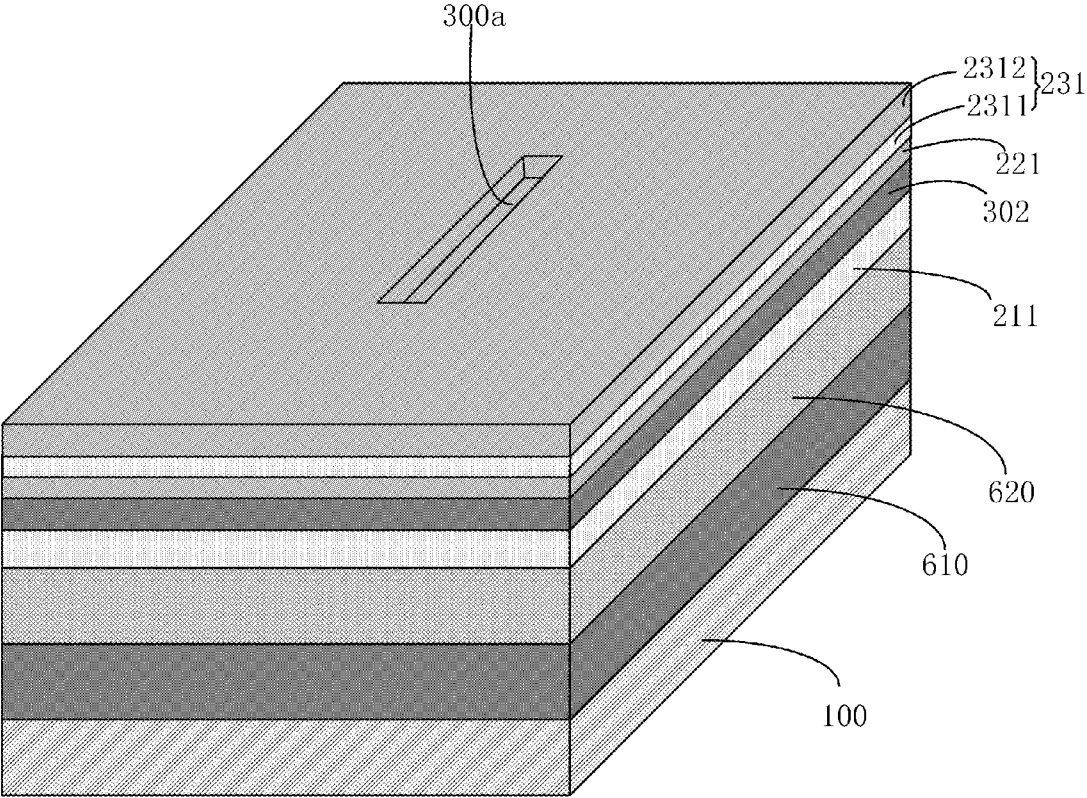


图 7

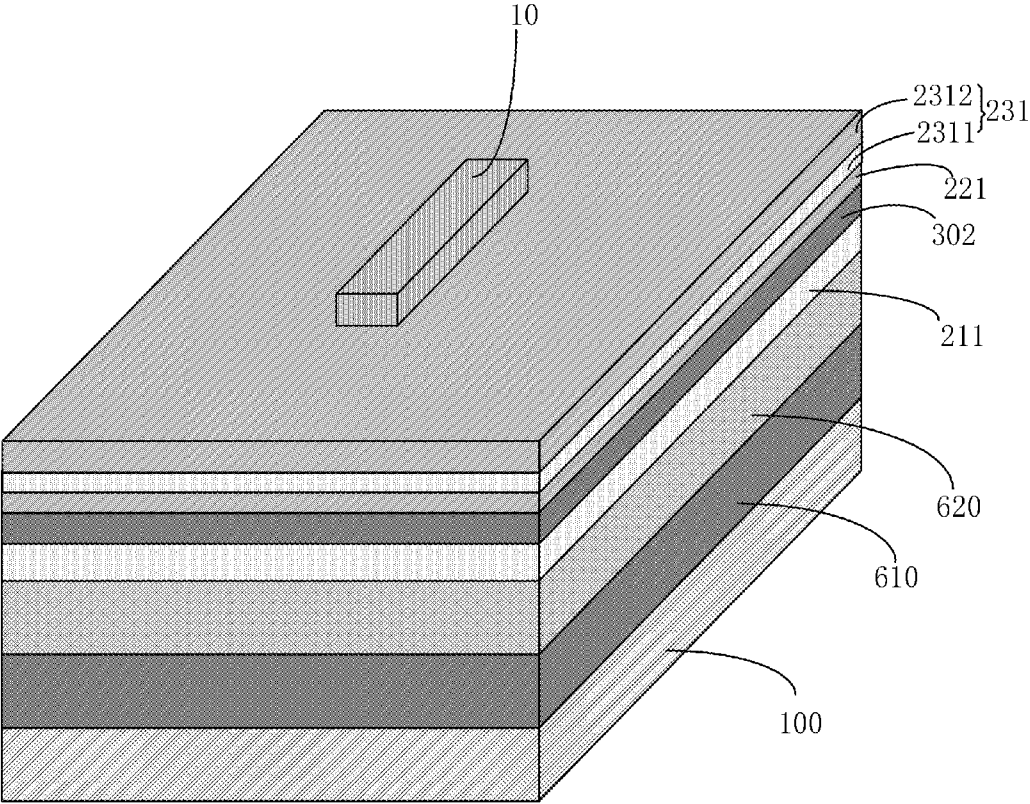


图 8

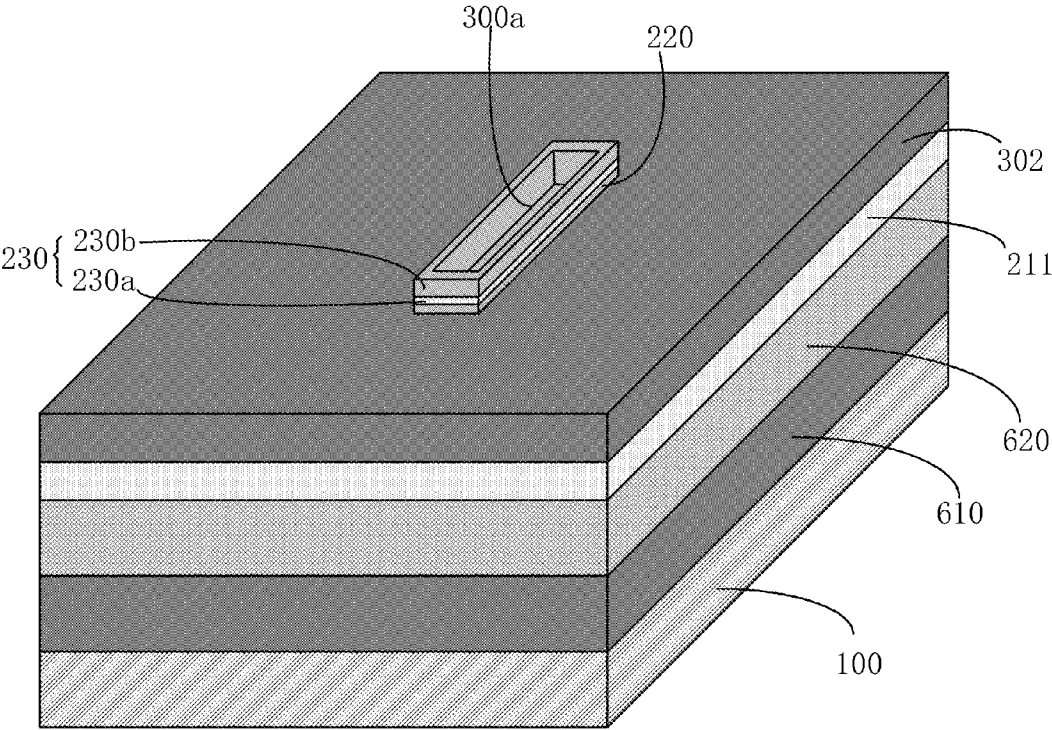


图 9

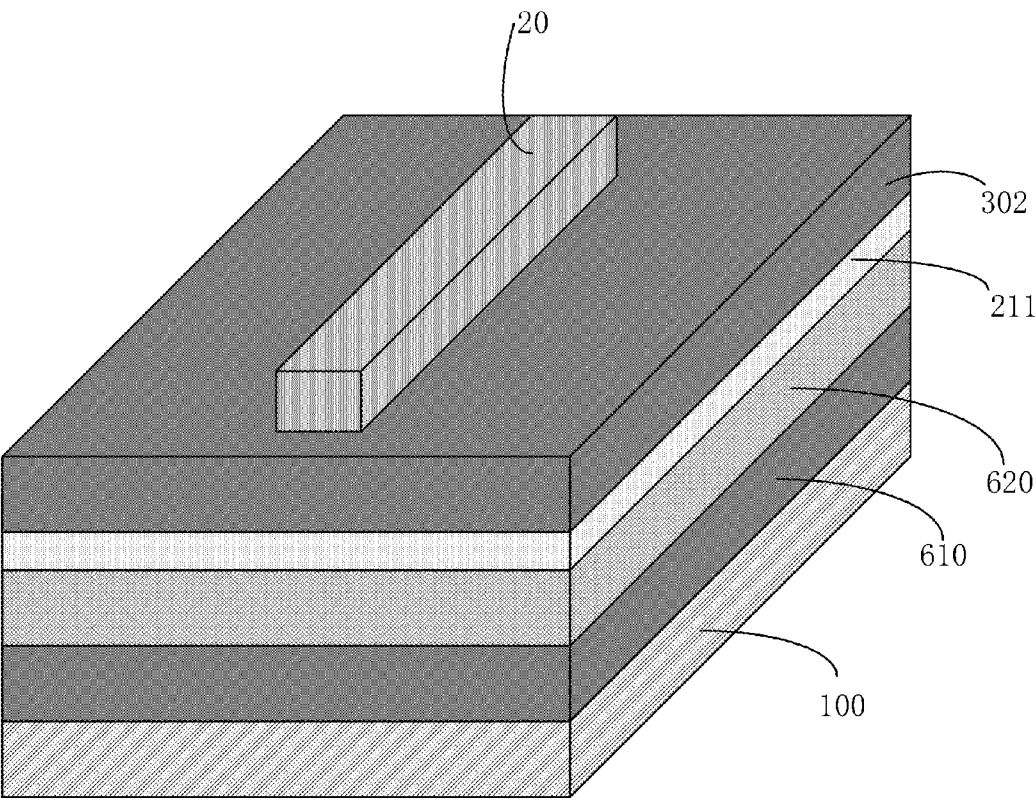


图 10

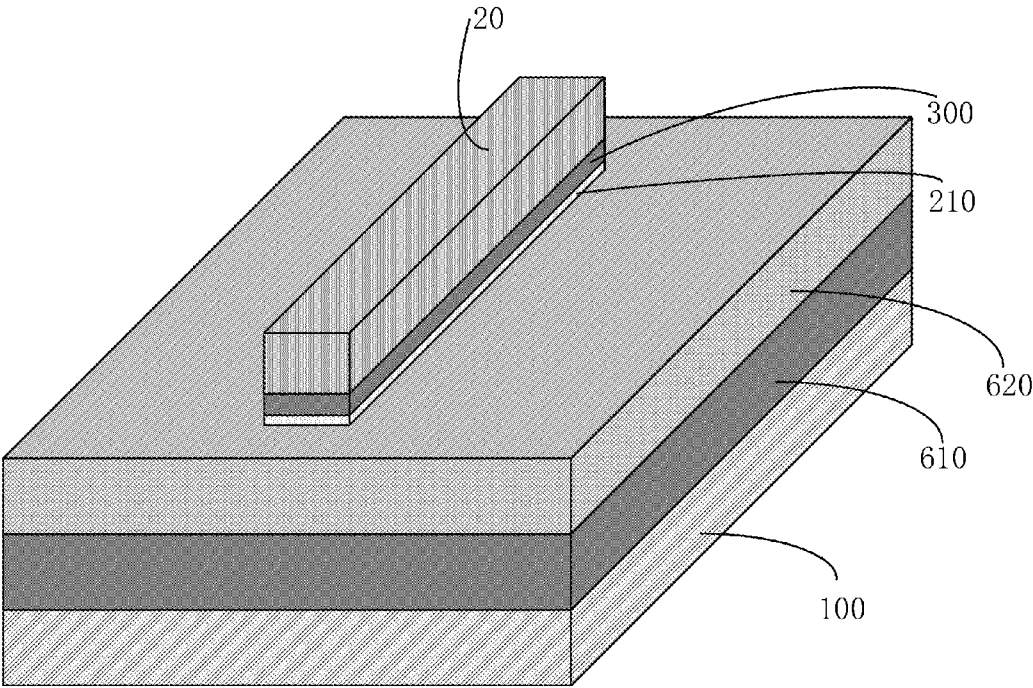


图 11

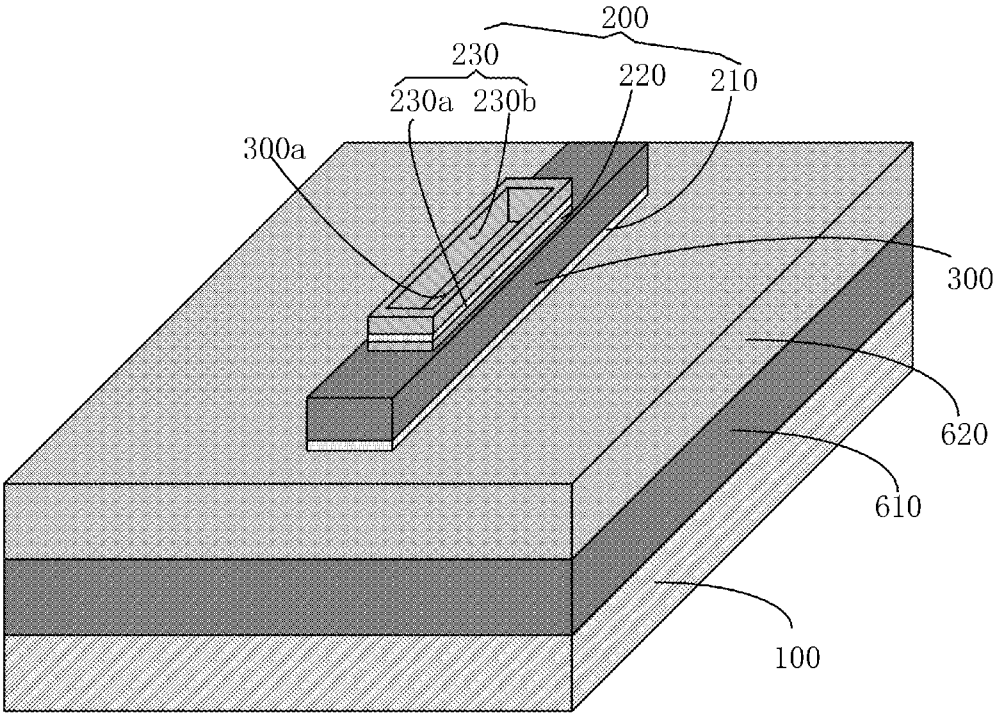


图 12

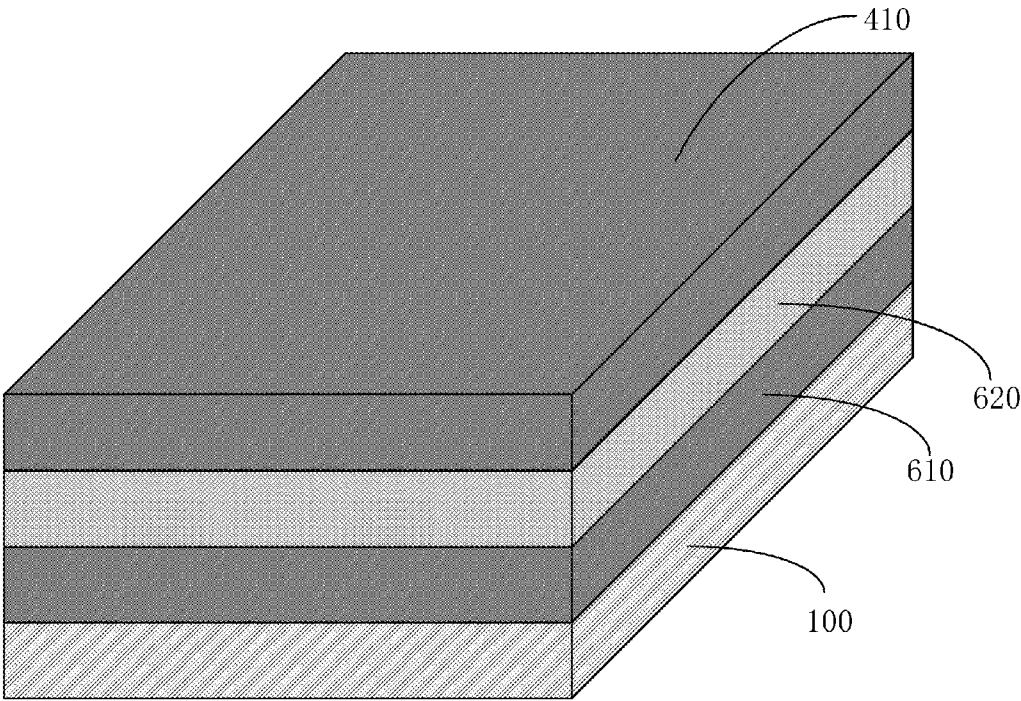


图 13

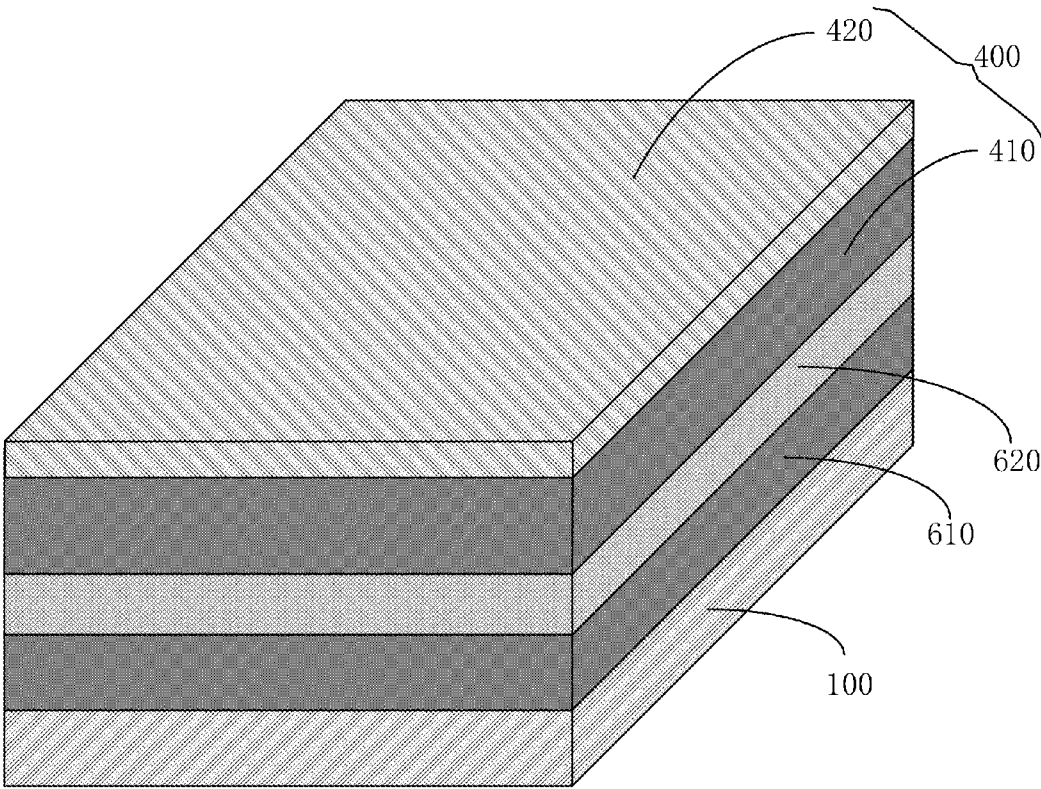


图 14

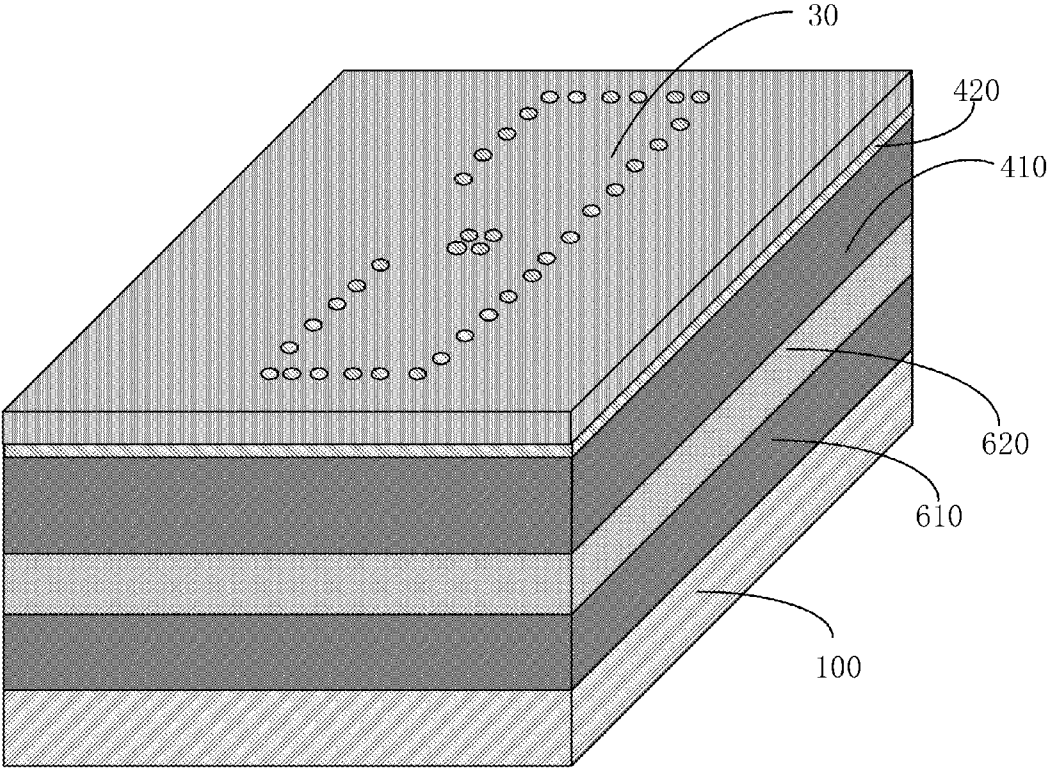


图 15

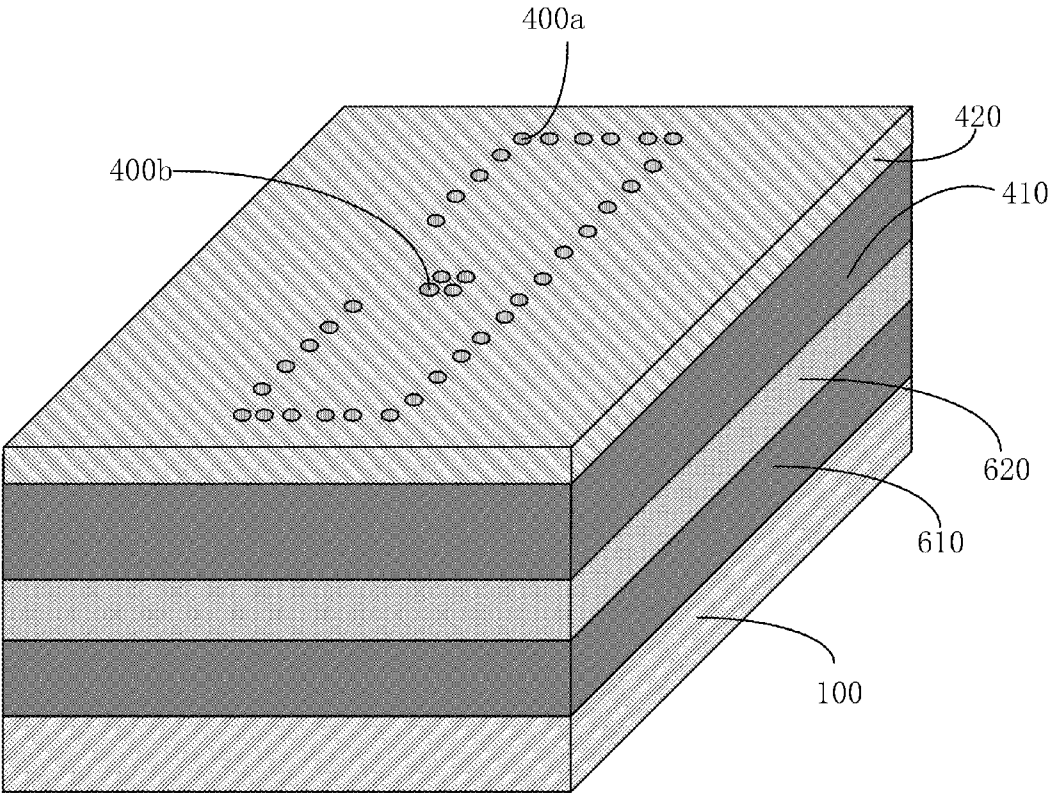


图 16

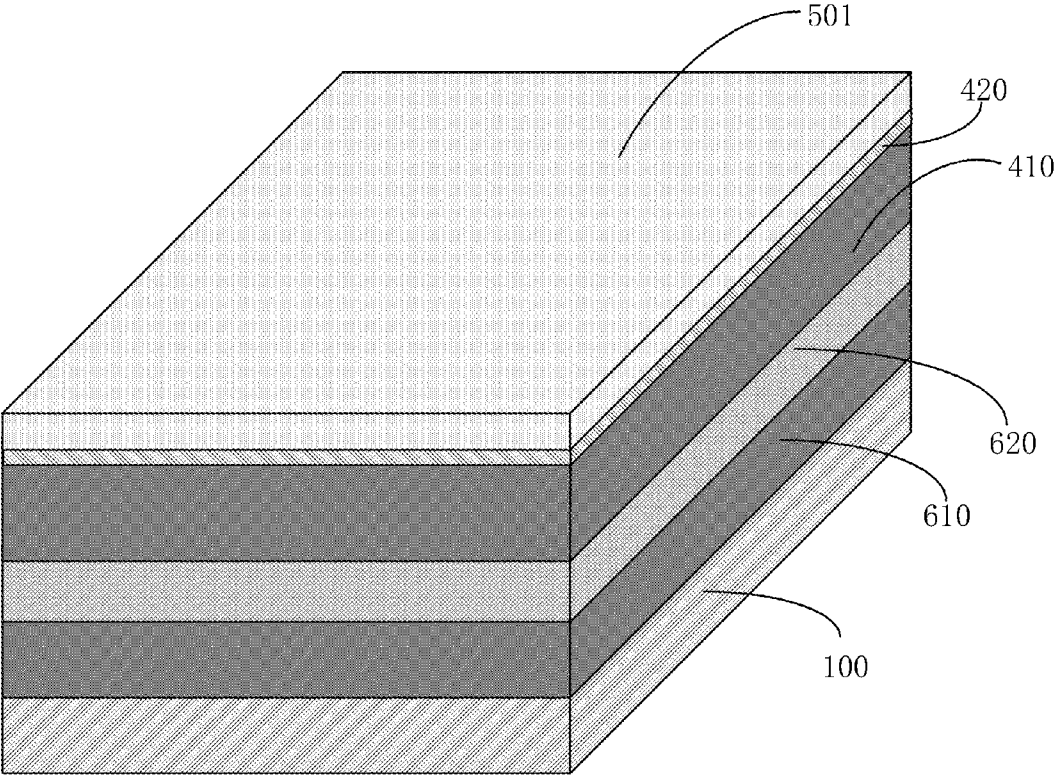


图 17

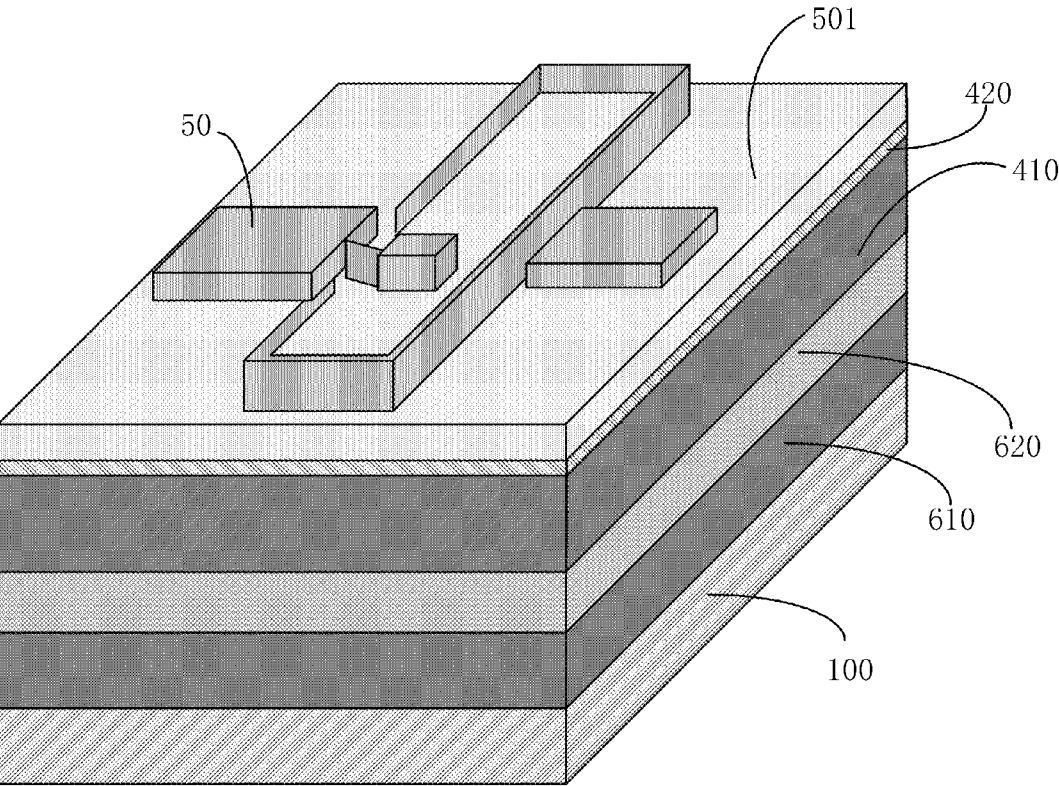


图 18

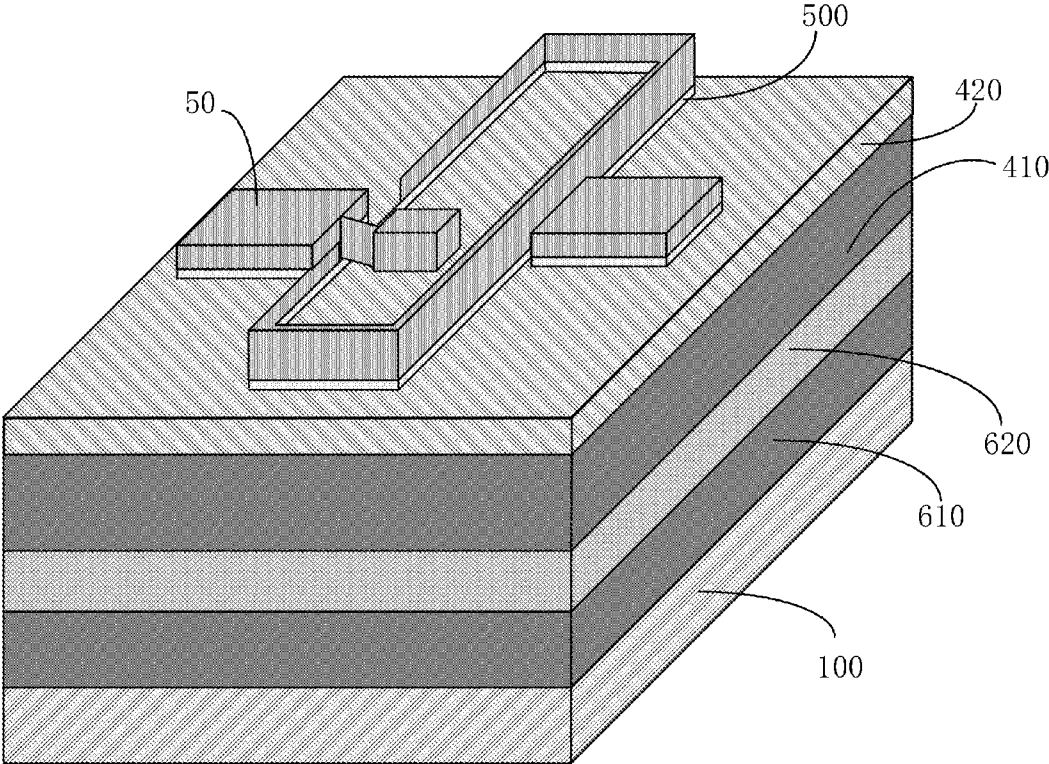


图 19

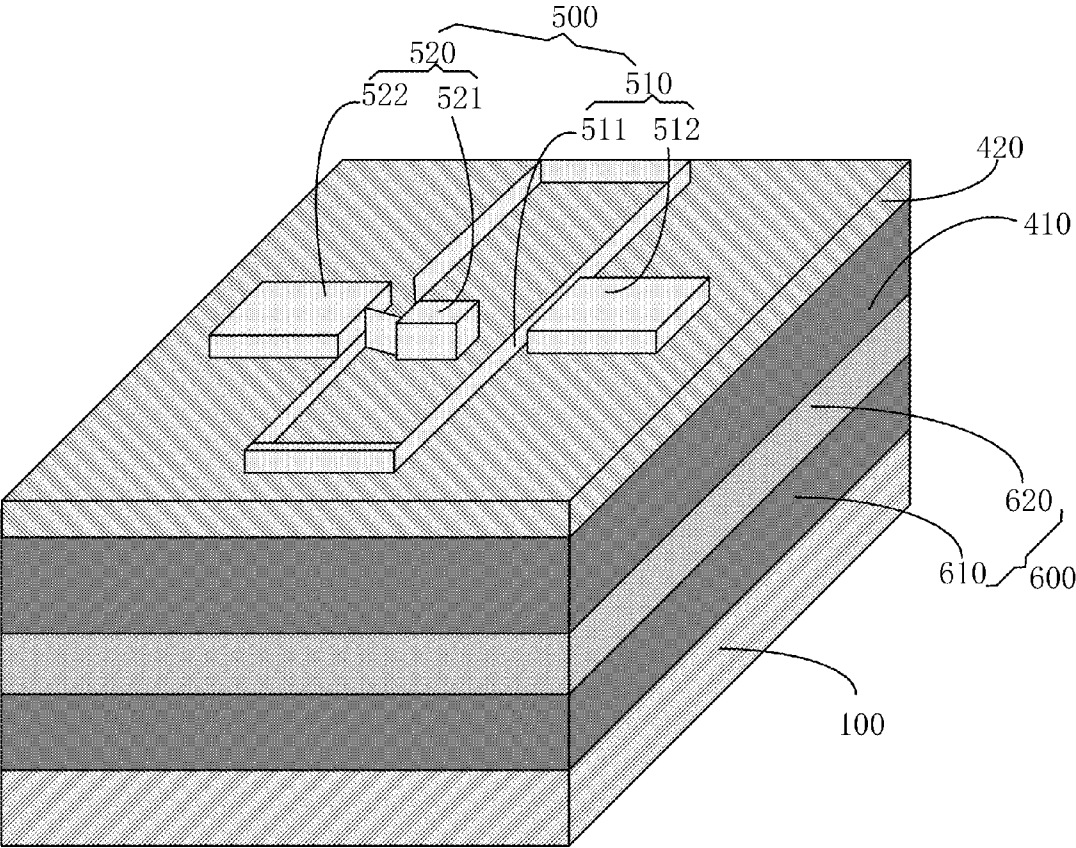


图 20

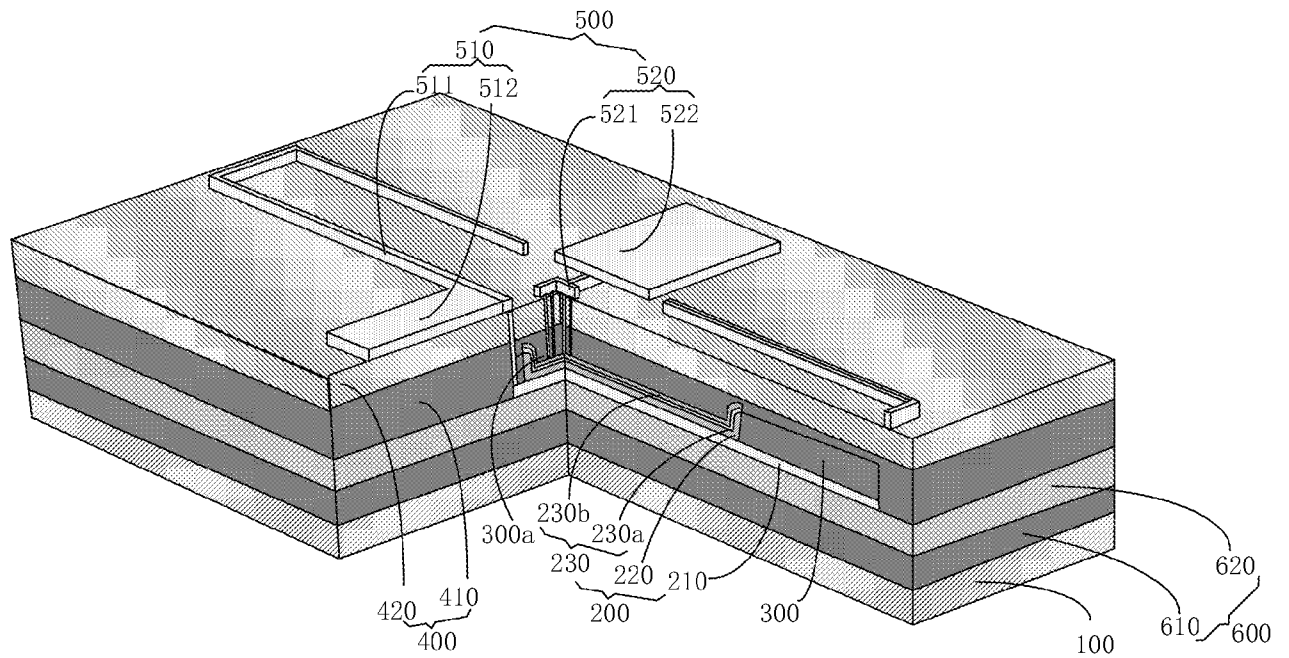


图 21

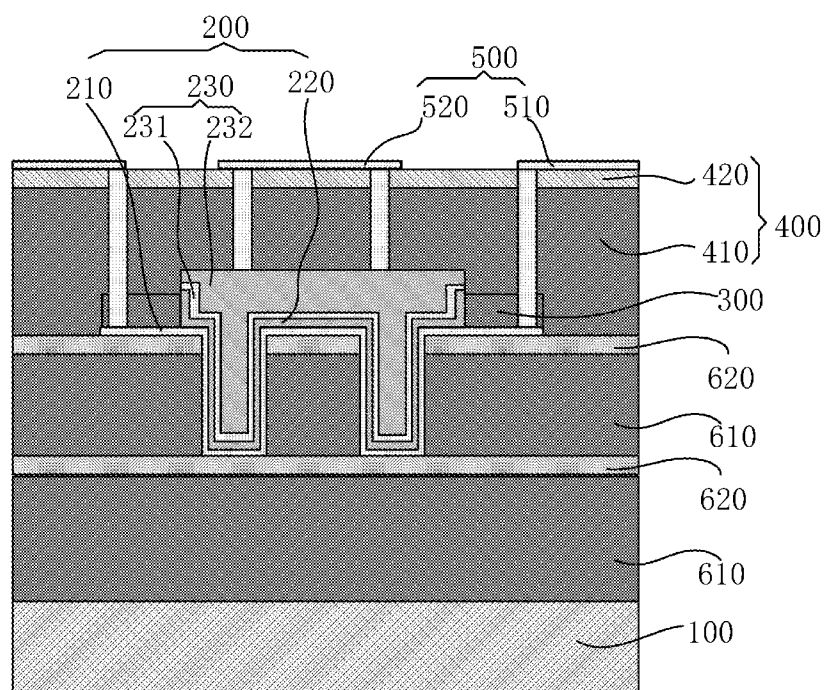


图 22

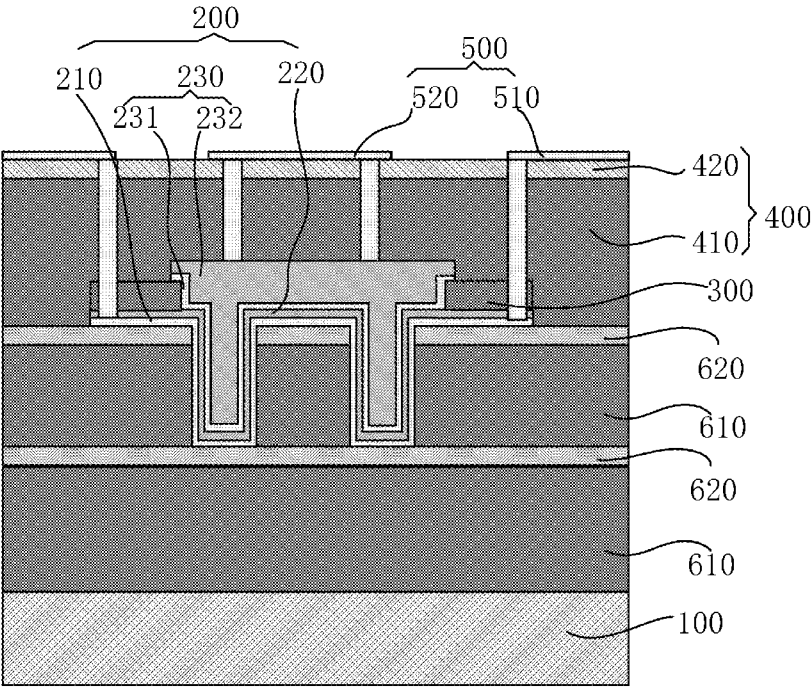


图 23

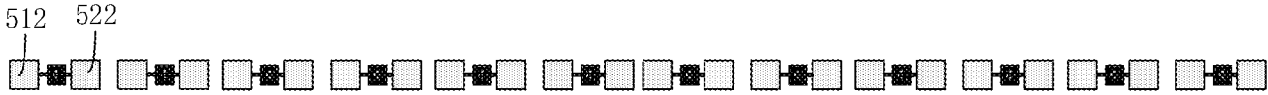


图 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/126311

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/64(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L23/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; DWPI; VEN; USTXT; WOTXT; EPTXT: 电容, 漏电, 电极, 介质层, 边缘, capacitance, leakage, electrode, dielectric layer, edge

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6175131 B1 (SHARP K. K.) 16 January 2001 (2001-01-16) description, column 2, lines 1 to 52, and figure 4	1-22
X	US 5918135 A (SAMSUNG ELECTRONICS CO., LTD.) 29 June 1999 (1999-06-29) description, column 3, line 66 to column 5, line 67, and figures 1-9	1-22
A	CN 101097912 A (SHANGHAI HUAHONG NEC ELECTRONICS CO., LTD.) 02 January 2008 (2008-01-02) entire document	1-22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 April 2023

Date of mailing of the international search report

09 May 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/126311

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	6175131	B1	16 January 2001	JP	2000101023	A	07 April 2000
				TW	466603	B	01 December 2001
				KR	20000023348	A	25 April 2000
				KR	100306202	B1	02 November 2001
				EP	0989615	A2	29 March 2000
				JP	3516593	B2	05 April 2004
US	5918135	A	29 June 1999	JPH	10209375	A	07 August 1998
				JP	4002647	B2	07 November 2007
				KR	100267087	B1	02 October 2000
				KR	98065298	A	15 October 1998
CN	101097912	A	02 January 2008	None			

国际检索报告

国际申请号

PCT/CN2022/126311

A. 主题的分类

H01L23/64 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC: H01L23/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; CNTXT; CNKI; DWPI; VEN; USTXT; WOTXT; EPTXT: 电容, 漏电, 电极, 介质层, 边缘, capacitance, leakage, electrode, dielectric layer, edge

C. 相关文件

类 型*

引用文件, 必要时, 指明相关段落

相关的权利要求

X

US 6175131 B1 (SHARP KK) 2001年1月16日 (2001 - 01 - 16)
说明书第2栏第1行至第52行, 图4

1-22

X

US 5918135 A (SAMSUNG ELECTRONICS CO LTD) 1999年6月29日 (1999 - 06 - 29)
说明书第3栏第66行至第5栏第67行, 图1-图9

1-22

A

CN 101097912 A (上海华虹NEC电子有限公司) 2008年1月2日 (2008 - 01 - 02)
全文

1-22

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年4月6日

国际检索报告邮寄日期

2023年5月9日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

刘玮德

电话号码 (+86) 020-28958377

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/126311

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	6175131	B1	2001年1月16日	JP	2000101023	A	2000年4月7日
				TW	466603	B	2001年12月1日
				KR	20000023348	A	2000年4月25日
				KR	100306202	B1	2001年11月2日
				EP	0989615	A2	2000年3月29日
				JP	3516593	B2	2004年4月5日
US	5918135	A	1999年6月29日	JPH	10209375	A	1998年8月7日
				JP	4002647	B2	2007年11月7日
				KR	100267087	B1	2000年10月2日
				KR	98065298	A	1998年10月15日
CN	101097912	A	2008年1月2日	无			