



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201611040 A

(43)公開日：中華民國 105 (2016) 年 03 月 16 日

(21)申請案號：104116121

(22)申請日：中華民國 104 (2015) 年 05 月 20 日

(51)Int. Cl.：

H01B13/00 (2006.01)

H01B1/22 (2006.01)

H01B5/14 (2006.01)

B05D7/24 (2006.01)

B05D5/12 (2006.01)

B02C19/18 (2006.01)

G02F1/1343 (2006.01)

G06F3/041 (2006.01)

H01L31/18 (2006.01)

(30)優先權：2014/05/20 英國

1408949.4

(71)申請人：萬佳雷射有限公司 (英國) M-SOLV LIMITED (GB)

英國

(72)發明人：達頓 艾倫 布萊恩 DALTON, ALAN BRIAN (GB)；薩多 萊斯特 塔庫 SATO,

LESTER TAKU (GB)；朗基 馬修 LARGE, MATTHEW (GB)；隆斯畢 菲利普

湯瑪士 RUMSBY, PHILIP THOMAS (GB)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：16 項 圖式數：15 共 23 頁

(54)名稱

導電奈米線之層的製備

MANUFACTURING A CONDUCTIVE NANOWIRE LAYER

(57)摘要

本發明提供用於製備導電薄膜之方法及裝置。在一種佈置中，將具有不同平均縱橫比之奈米線組合物混合在一起且作為層施加在基板上。在其他佈置中，處理單一奈米線組合物以增加縱橫比之方差，且將該經處理之組合物作為層施加在基板上。由此施加之該等層提供經改良之電導率對透明度之平衡且預期提供平面內電導率之經改良之各向同性。

Methods and apparatus for manufacturing a conductive thin film are provided. In one arrangement, compositions of nanowires having different mean aspect ratios are mixed together and applied as a layer on a substrate. In other arrangements a single composition of nanowires is processed in order to increase an aspect ratio variance and the processed composition is applied as a layer on a substrate. The layers thus applied provide an improved balance of electrical conductivity to transparency and are expected to provide improved isotropy in the in-plane conductivity.

指定代表圖：

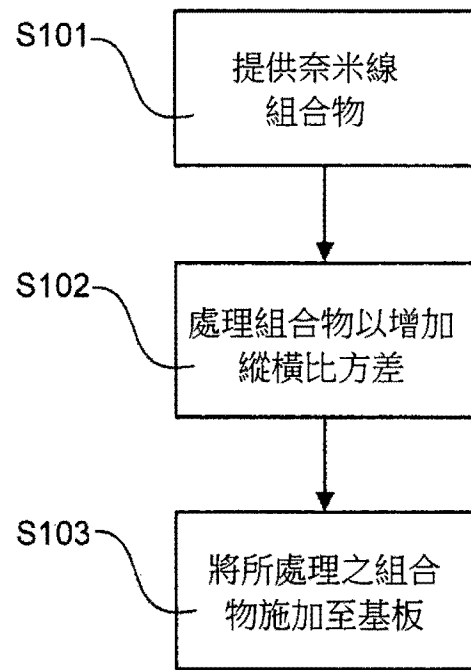


圖 13

發明摘要

H01B13/00(2006.01)
H01B1/22(2006.01)
H01B5/14(2006.01)
B05D7/24(2006.01)
B05D5/12(2006.01)
B02C19/18(2006.01)
G02F1/1343(2006.01)
G06F3/041(2006.01)
H01L31/18(2006.01)

※ 申請案號：104116121

※ 申請日：104. 5. 20

※IPC 分類：

【發明名稱】

導電奈米線之層的製備

MANUFACTURING A CONDUCTIVE NANOWIRE LAYER

【中文】

● 本發明提供用於製備導電薄膜之方法及裝置。在一種佈置中，將具有不同平均縱橫比之奈米線組合物混合在一起且作為層施加在基板上。在其他佈置中，處理單一奈米線組合物以增加縱橫比之方差，且將該經處理之組合物作為層施加在基板上。由此施加之該等層提供經改良之電導率對透明度之平衡且預期提供平面內電導率之經改良之各向同性。

【英文】

Methods and apparatus for manufacturing a conductive thin film are provided. In one arrangement, compositions of nanowires having different mean aspect ratios are mixed together and applied as a layer on a substrate. In other arrangements a single composition of nanowires is processed in order to increase an aspect ratio variance and the processed composition is applied as a layer on a substrate. The layers thus applied provide an improved balance of electrical conductivity to transparency and are expected to provide improved isotropy in the in-plane conductivity.

【代表圖】

【本案指定代表圖】：第（13）圖。

【本代表圖之符號簡單說明】：

無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

導電奈米線之層的製備

MANUFACTURING A CONDUCTIVE NANOWIRE LAYER

本發明係關於用於製備具有高光學及電性質性能及低成本之導電薄膜之方法及裝置。本發明尤其係關於亦透明之膜。

銮錫氧化物(ITO)係需要透明及導電薄膜之應用中最常用材料之一，此乃因銮錫氧化物具有低片電阻 R_s ($R_s < 100 \text{ } \Omega/\text{sq}$)及高光透射率($T > 90\%$)。然而，ITO具有若干重要缺點，例如高成本、脆性及需要高處理溫度。

銀奈米線(AgNW)係替代ITO之潛在候選者。AgNW網絡之高電導率及導熱率以及優良的光透射率使其成為最有希望在光電子應用中用作透明電極的材料之一。許多小組已報導使用AgNW來製造撓性、透明且導電之薄膜。經AgNW薄膜塗覆之聚合物基板可自多個供應商(例如Toray、Carestream、Okura及Hitachi Chemical)購得。

可使用許多技術在基板上製造AgNW薄膜，例如真空過濾、Langmuir-Blodgett(LB)、滴注、邁耶棒塗(Meyer-rod-coating)、噴霧沈積及狹縫式塗覆。

De及同事已藉由以下方式製造出AgNW薄膜：將AgNW之水性分散液真空過濾至纖維素膜上，從而達成85%之透射率 T 及 $13 \text{ } \Omega/\text{sq}$ 之 R_s 。(van de Groep、J., P. Spinelli 及 A. Polman, *Transparent Conducting Silver Nanowire Networks*. Nano Letters, 2012. 12(6):第3138-3144頁)。Hu等人已報導使用邁耶棒塗技術來製造 $T = 80\%$ 且 $R_s =$

20 Ω/sq 之AgNW薄膜(Hu, L.等人, *Scalable Coating and Properties of Transparent, Flexible, Silver Nanowire Electrodes*. ACS Nano, 2010. 4: 第2955 - 2963頁)。Scardaci等人已報導使用噴塗大規模沈積AgNW。其所沈積膜展示 $T = 90\%$ 且 $R_s = 50 \Omega / \text{sq}$ (Scardaci, V.等人, *Spray Deposition of Highly Transparent, Low-Resistance Networks of Silver Nanowires over Large Areas*. Small, 2011. 7(18):第2621-2628頁；Scardaci, V.、R. Coull及J.N. Coleman. *Spray deposition of Silver Nanowire transparent conductive networks*. Nanotechnology (IEEE-NANO), 2012 12th IEEE Conference on. 2012)。

儘管AgNW網絡展示與ITO薄膜相當之電導率及光透射率，但仍存在一些挑戰。舉例而言，對於給定量之AgNW，將期望增加平面內電導率。AgNW在當前非常昂貴(約\$5/mg)，因此減少AgNW之量往往將降低製備成本。此外，減少AgNW之量將有助於增加光透射率。亦期望減小或消除平面內電導率之各向異性。

本發明之目標係提供容許導電薄膜之經改良製備、從而至少部分地解決上文所論述之先前技術之一或多個問題的方法及裝置。

本發明之態樣提供製備導電薄膜之方法，其包含：提供第一及第二奈米線組合物，每一組合物最初彼此分離；將第一及第二組合物施加至基板以在基板上形成奈米線之層，第一及第二組合物在施加之前或期間混合在一起，其中：平均縱橫比定義為奈米線之長度對橫截面直徑之平均比率，第一組合物中奈米線之平均縱橫比大於第二組合物中奈米線之平均縱橫比。

本發明之替代態樣提供製備導電薄膜之方法，其包含：提供奈米線組合物，其中每一奈米線具有定義為奈米線之長度對橫截面直徑之比率之縱橫比；處理奈米線組合物以使組合物中縱橫比分佈之方差增加至少1.5倍；及將具有增加的方差之奈米線組合物施加至基板以

在基板上形成奈米線之層。

本發明者已發現使用奈米線組合物之混合物或已經處理以增加縱橫比方差之奈米線組合物提供經改良之電導率對透明度平衡(通常對於給定量之奈米線增加電導率)。另外，本發明者之分析展示應改良平面內電導率之各向同性。此使得該方式在製備方法往往固有地將空間各向異性引入奈米線層中(此可產生電各向異性)時尤其有利。舉例而言，已知狹縫式塗覆製程賦予奈米線顯著的剪切力。已知此可顯著產生各向同性平面內電性質。本發明往往將減小或消除該各向異性。由於短奈米線因剪切應力而旋轉之程度小於較長奈米線的傾向，故認為會發生各向同性之改良。當提供(如在本發明中)較短及較長奈米線之混合物時，較長奈米線通常往往將可有效地維持高電導率，而較短奈米線甚至在剪切力存在下往往仍將維持較長奈米線之間之交聯(且因此滲流)。

本發明之替代態樣提供用於製備導電薄膜之裝置，其包含：含有第一奈米線組合物之第一儲存器件；含有第二奈米線組合物之第二儲存器件；施加器，其經結構設計以將第一及第二組合物施加至基板以在基板上形成奈米線之層，第一及第二組合物在施加之前或期間混合在一起，其中：平均縱橫比定義為奈米線之長度對橫截面直徑之平均比率，第一組合物中奈米線之平均縱橫比大於第二組合物中奈米線之平均縱橫比。

本發明之替代態樣提供用於製備導電薄膜之裝置，其包含：含有奈米線組合物之儲存器件，其中每一奈米線具有定義為奈米線之長度對橫截面直徑之比率之縱橫比；奈米線處理器，其經結構設計以處理奈米線組合物以使組合物中縱橫比分佈之方差增加至少1.5倍；施加器，其經結構設計以將奈米線之經處理組合物施加至基板以在基板上形成奈米線之層。

【圖式簡單說明】

現將參考其中相應參考符號指示相應部件之附圖僅以實例之方式闡述本發明之實施例。

圖1繪示不同奈米線組合物之經實驗測定之針對片電阻之膜透射率變化；

圖2展示可如何使用數學模型來模擬奈米線層之電性質；

圖3係繪示根據實施例製備導電薄膜之方法之流程圖；

圖4繪示根據實施例製備導電薄膜之裝置；

圖5繪示根據替代實施例製備導電薄膜之裝置；

圖6繪示根據替代實施例製備導電薄膜之裝置，其中施加器係使用兩個單獨子施加器來實施；

圖7繪示與製備導電薄膜之裝置一起使用之奈米線處理器；

圖8繪示奈米線組合物之第一實例性奈米線縱橫比分佈；

圖9繪示奈米線組合物之第二實例性奈米線縱橫比分佈；

圖10繪示源自混合圖8及9中所展示類型之組合物之實例性組合物的奈米線縱橫比分佈；

圖11繪示源自混合圖8及9中所展示類型之組合物之替代組合物的奈米線縱橫比分佈；

圖12繪示源自混合圖8及9中所展示類型之組合物之另一替代組合物的奈米線縱橫比分佈；

圖13係繪示根據替代實施例製備導電膜之方法之流程圖；

圖14繪示根據實施例製備導電薄膜之裝置，其中奈米線組合物經處理以增加奈米線之縱橫比之方差；

圖15繪示電導率隨滲流區域中及其周圍之奈米線層濃度之變化。

本發明者已認識到可藉由調節奈米線之縱橫比分佈(對於給定橫

截面直徑，此可等效地稱為長度分佈)來改變奈米線膜之滲流性質。

實施透射率-片電阻實驗且證實縱橫比分佈之變化對奈米線薄膜之滲流行為產生顯著效應。藉由以不同體積比混合未經超音波處理及經超音波處理之銀奈米線分散液來實施較長及較短奈米線之雙模態混合。將所得組合物噴霧至聚合物基板上以製造各向同性膜。三種不同奈米線組合物之實例性結果繪示於圖1中。十字呈現僅自較長奈米線形成之組合物之數據。菱形呈現包含50%較長及50%較短奈米線之組合物之數據。三角形呈現包含25%較長及75%較短奈米線之組合物之數據。縱軸量測膜透射率，因此較高值更合意。橫軸量測片電阻，因此較低值更合意。因此，最佳性質對應於針對圖之左上部分之區域。如可見，對應於未經混合之100%較長奈米線組合物之數據點顯著劣於(即更靠右下)兩種經混合組合物中之二者之數據點。

可使用以下擬合函數來更正式地闡述數據，且已藉由擬合至各別三個數據組用於產生圖11中之三條虛線：

$$T = 100 \left[1 + \frac{1}{\Pi} \left(\frac{Z_0}{R_s} \right)^{\frac{1}{1+n}} \right]^{-2}.$$

在此處， T 係在550 nm下膜之光學透射率； Π 係滲流之品質因數； Z_0 係自由空間之阻抗(377 Ω)； R_s 係膜之片電阻； n 係針對膜之電性質之滲流指數。優異膜之特徵在於較大 Π 值；此構成高光學透射率及低片電阻之偶合。如圖1中所展示，混合不同長度比(長:短)之奈米線對膜之行為具有顯著的正性影響。

理論表明 Π 應與形成膜之粒子之長度分佈(且因此等效地與縱橫比分佈)具有如下關係：

$$\Pi = A \left[\frac{(\langle l \rangle^2 + \sigma^2)}{\langle l \rangle d_{NW}} \right],$$

其中 A 係所用材料之常數； $\langle l \rangle$ 係平均奈米線長度； σ^2 係奈米線長度之方差； d_{NW} 係奈米線之標稱直徑。此表述展示具有較小直徑及較

大平均長度之奈米線將藉由增加 ℓ 而產生優異膜。本發明者亦已認識到亦可利用增加長度(或縱橫比)分佈之方差來改良膜性質。

本發明者已使用Monte-Carlo製程實施奈米線網絡之模擬。產生在2維域上具有各向同性佈置及各向同性定向佈置之奈米線之列表。可藉由使用適宜累積概率密度(CPD)函數將縱橫比之分佈調整成任意分佈。奈米線之分佈示意性圖解說明於圖2 (左)中。然後確定奈米線之交叉點(如圖2中所展示(右))。使用所確定之交叉點來構築連通網絡之圖之拉普拉斯矩陣(Laplacian matrix)。基於拉普拉斯矩陣之廣義逆矩陣，來自圖論之領域之結果容許計算任兩點之間之網絡的電阻。

此製程容許藉由欲藉助模擬預測之奈米線之任意分佈形成層之電阻。基於該等模擬，本發明者已確認增加縱橫比之方差會顯著減小給定密度之奈米線之片電阻。該模型亦可用於模擬網絡之電性質隨著含有奈米線之域之大小或形狀(即所模擬奈米線之層之大小及/或形狀)變化所具有的行為。舉例而言，該模型可用於預測奈米線膜之狹窄軌跡將具有的行為。通常需要在商業應用中、例如在電容式觸控感測器或LCD像素電極中形成該等狹窄軌跡。本發明者已展示調整縱橫比分佈可降低小軌跡寬度下軌跡失效之速率，此為突出優點。

應理解，沈積奈米線膜之一些方法將大各向異性引入所得電性質中。舉例而言，用於當前商業膜製造中之狹縫式塗覆可產生接近平行方向上1.5倍之垂直電阻。此歸因於奈米線溶液在拖拉通過狹縫時之剪切力；將扭矩施加至奈米線以使其對準。由於所施加扭矩與奈米線長度(且因此縱橫比)成比例，故可藉由調整奈米線長度分佈降低此電各向異性；較短奈米線對準較少，且因此在垂直方向上在較長奈米線之間進行橋接。此進而將減小片電導率之各向異性效應。

在實施例中，提供製備導電薄膜之方法。圖3係闡述用於此一方法之實例性框架之流程圖。

該方法包含提供第一及第二奈米線組合物(步驟S1及S2)。每一組合物最初彼此分離(例如使得兩種組合物之間不存在混合)。

在下一步驟(步驟S3及/或步驟S4)中，將第一及第二組合物施加至基板以在基板上形成奈米線之層。第一及第二組合物可在施加之前或施加期間混合在一起。第一及第二組合物可同時或相繼(依序)施加至基板。在將第一及第二組合物在不同時間施加至基板之給定部分之情形下，可在施加後來施加之組合物時將第一及第二組合物混合在一起。混合可為部分及/或不均勻混合。舉例而言，在首先施加第一組合物且之後將第二組合物施加於第一組合物頂部上之情形下，例如在第一及第二組合物首先接觸之第一組合物之上表面處所發生之混合程度可比所施加第一組合物之下端處高。

用於製備導電薄膜之實例性裝置2示意性展示於圖4中。裝置2包含含有第一奈米線組合物之第一儲存器件10及含有第二奈米線組合物之第二儲存器件12。裝置2進一步包含施加器8，其經結構設計以將第一及第二組合物施加至基板6以在基板6上形成奈米線之層4。裝置2可經結構設計使得第一及第二組合物在施加之前或期間混合在一起。第一及第二組合物可同時或相繼(依序)施加至基板。施加器可係單一施加器或可包含複數個施加器(其可稱為子施加器)。

在圖4之實施例中，第一及第二組合物係自不同的單獨儲存器件10及12提供至施加器8。然而，此並非必需的。圖5繪示替代性佈置，其中用於製備導電薄膜之裝置2包含含有第一及第二組合物之混合物的儲存器件14。第一及第二組合物可自單獨儲存器件10及12提供至儲存器件14。

在圖4及圖5之佈置中，提供單一施加器8用於施加第一及第二組合物。然而，此並非必需的。在其他實施例中，施加器可包含複數個子施加器(此一佈置亦可稱為複數個施加器)。此一佈置之實例展示於

圖6中。在此處，第一及第二組合物分別自兩個不同的儲存器件10及12提供至兩個不同的子施加器8A及8B。子施加器8A及8B可同時或依序(相繼)施加第一及第二組合物。

施加器8或子施加器8A、8B可相對於基板6移動/掃描(藉由移動施加器/子施加器或藉由移動基板)。

組合物中之每一奈米線具有定義為奈米線之長度對奈米線之橫截面直徑(或平均或最大橫截面直徑，其中橫截面直徑沿奈米線之長度顯著變化)的比率之縱橫比。應理解，橫截面直徑係垂直於奈米線之縱軸之橫截面直徑。通常，橫截面呈圓形或大致圓形形式，且直徑係該圓之直徑或當直徑隨著橫截面內之角度變化時係平均直徑。可藉由參考含於組合物中之奈米線之平均縱橫比來表徵組合物中奈米線形狀及大小之分佈。在實施例中，第一及第二組合物係經調配使得第一組合物中之平均縱橫比大於第二組合物中之平均縱橫比。

在實施例中，第一組合物係具有相對均勻之大小及形狀(且因此縱橫比)之奈米線之典型市售組合物。因此，第一組合物中縱橫比之分佈可藉由在平均縱橫比周圍有尖峰之濃度對縱橫比之曲線來闡述。第一組合物之實例性分佈示意性圖解說明於圖8中，其中平均縱橫比標記為R2。

在實施例中，第二組合物係具有相對均勻之大小及形狀(且因此縱橫比)之奈米線之典型市售組合物。或者，第二組合物可藉由處理第三奈米線組合物(例如，其自身可係具有相對均勻之大小及形狀之奈米線之典型市售組合物)來獲得。舉例而言，如圖7中所展示，該裝置可包含奈米線處理器18，該奈米線處理器經結構設計以處理第三奈米線組合物(儲存於儲存器件16中)以減小第三奈米線組合物中奈米線之平均縱橫比。平均縱橫比減小之輸出奈米線可儲存於儲存器件20中。奈米線處理器18可例如藉由使奈米線經受適於將奈米線之至少一

個亞組斷裂成較小段之超音波處理來減小奈米線之平均縱橫比。在圖7之實例中，超音波處理係使用獨立單元及/或離線來實施。然而，此並非必需的。在其他實施例中，超音波處理可作為在線製程來實施。舉例而言，在諸如圖4-6中所展示之彼等佈置中，可將超音波處理器件納入儲存器件10及12或自儲存器件引導至施加器8之導管中之任一者或二者中。超音波處理器件可係儲存器件中之尖端超音波處理器或能夠使組合物再循環之流動槽超音波處理器。可向單一儲存器件提供複數個各自具有與其連通之經不同結構設計之超音波處理器件(或無超音波處理器件)之輸出導管。以此方式，給定奈米線組合物可拆分成兩種或更多種組合物(每一輸出導管一種組合物)，其因向不同輸出導管施加不同的(或不施加)超音波處理所致而彼此具有不同性質。

圖8及圖9係分別展示第一及第二組合物之縱橫比之分佈的示意圖。第一組合物之分佈在平均縱橫比 R_2 下出現峰值。第二組合物之分佈在較低平均值 R_1 下出現峰值。當第一及第二組合物混合在一起時所獲得之縱橫比之分佈將端視混合物中第一及第二組合物之相對量以及第一及第二組合物中所存在之縱橫比分佈而定。混合將增加所存在縱橫比之範圍(即例如傾向於增加縱橫比之方差)。可出現多種不同形式。藉由混合具有不同性質或不同比率之第一及第二組合物獲得之縱橫比分佈之三個實例繪示於圖10-12中。

在圖10及圖12中，展示具有兩個不同最大值 21 及 22 之分佈。最大值 21 可大致位於圖9之第二組合物之峰值縱橫比 R_1 處。最大值 22 可大致位於圖8之第一組合物之峰值縱橫比 R_2 處。在圖10中，分佈降至兩個峰 21 與 22 之間之中間值 23 ，該中間值低於最大值但實質上高於0。在圖12中，分佈實質上降至兩個最大值 21 與 22 之間之0。

在圖11中，分佈寬於(即具有較高方差)第一及第二組合物之分佈，但並不具有兩個不同的最大值。在其他實施例中，分佈可具有兩

個以上的最大值。此可藉由例如將如上文所述之第一及第二組合物以及一或多種各自具有與第一及第二組合物相比不同的平均縱橫比之其他組合物混合在一起來達成。

在圖10-12之實例中，圖皆展示1:1混合。然而，此並非必需的。在其他佈置中，可使用其他混合比率，例如1:10、1:4等。

在上文所論述之實施例中，具有一系列奈米線長度之奈米線組合物係藉由包含以下步驟之方法來產生：在將奈米線施加至基板之表面之前或期間將兩種不同組合物混合在一起。然而，以此方式產生奈米線組合物並非必需的。奈米線處理器18例如可經結構設計以在輸入時呈具有較小方差之奈米線分佈(例如具有如例如圖8或圖9中所展示之狹窄峰之分佈)且對其進行處理以使得方差增加。

無論奈米線層中奈米線之分佈係如何產生的，若奈米線縱橫比之方差增加1.5倍或更大、較佳2倍或更大、較佳5倍或更大、較佳10倍或更大、較佳50倍或更大，則可達成顯著優於典型市售奈米線分佈之性能。縱橫比之方差可藉由將不同奈米線組合物混合在一起來達成，如上文參考圖3-12所述。然而，方差之增加亦可藉由直接操作給定奈米線組合物來達成。舉例而言，可使用超音波處理來增加奈米線組合物之縱橫比之方差。

圖13係闡述此一方法之實例性框架之流程圖。該方法包含提供奈米線組合物S101，其中每一奈米線具有定義為奈米線之長度對橫截面直徑之比率的縱橫比。然後對在步驟S101中提供之奈米線組合物S101進行處理以使組合物中縱橫比分佈之方差增加1.5倍或更大，較佳2倍或更大，較佳5倍或更大，較佳10倍或更大，較佳50倍。在步驟S103中，將具有增加的方差之奈米線組合物施加至基板以在基板上形成奈米線之層。圖14繪示用於實施此一方法之實例性裝置。提供含有初始奈米線組合物之儲存器件32。提供奈米線處理器30，其處理來自

儲存器件之奈米線以增加奈米線之縱橫比分佈之方差。提供施加器8，其將經奈米線處理器30處理之奈米線施加至基板6以在基板6上形成奈米線之層4。

上述方法及裝置在以使膜之光學及/或電性質所展現滲流行為之程度大於整體行為之密度沈積奈米線之層時尤其有效。由此形成之奈米線層4可或可不為單層。滲流區域之特徵性特徵在於遵循冪律關係，層之電導率與層內奈米線之濃度之間滿足：

$$\text{對於 } \phi > \phi_c, \sigma = \sigma_0(\phi - \phi_c)^t$$

其中 σ 係奈米線層之電導率(S/cm)， σ_0 係比例常數，且 ϕ 係層中奈米線之濃度， ϕ_c 係標記滲流行為之下限之臨界濃度，且 t 係介於1-1.33範圍內之冪律指數。

可使用滲流理論來闡述滲流網絡之行為(Stauffer, D., *Introduction to percolation theory*. Taylor & Francis: London; Philadelphia, 1985, Kulshreshtha, A. K. ; Vasile, C., *Handbook of polymer blends and composites*. Rapra Technology公司: Shawbury, Shrewsbury, Shropshire [England], 2002)。圖15係基於此理論之示意性圖解說明，其展示電導率隨奈米線濃度變化之預期變化。如可見，在奈米線之臨界濃度(ϕ_c)以下，總體電導率接近0 (圖15中之區域1)，且個別線在很大程度上彼此斷開(參見插圖)。在奈米線之臨界濃度 ϕ_c 下，發生絕緣體-導體轉變，從而使開始形成連續路徑之點沿奈米線之線。在剛剛超出 ϕ_c 之狹窄區域中，電導率在形成連續網絡時非常快速地升高(圖15中之區域2；參見插圖)。在較高濃度下，一旦已完全形成導電網絡(圖15中之區域3及相關插圖)，電導率升高之速率即更溫和或甚至接近0，此乃因每一額外奈米線對電導率之效應下降。

在金屬奈米線為AgNW之特定實例中，以下列密度提供奈米線：使金屬奈米線之片電阻 R_s 等於或大於100 Ω/sq 、較佳等於或大於 10^3

Ω/sq 、較佳等於或大於 $10^4 \Omega/\text{sq}$ 、較佳等於或大於 $10^5 \Omega/\text{sq}$ 、較佳等於或大於 $10^6 \Omega/\text{sq}$ 、較佳等於或大於 $10^7 \Omega/\text{sq}$ 、較佳等於或大於 $10^8 \Omega/\text{sq}$ 、較佳等於或大於 $10^9 \Omega/\text{sq}$ 、較佳等於或大於 $10^{10} \Omega/\text{sq}$ 、較佳等於或大於 $10^{11} \Omega/\text{sq}$ 、較佳等於或大於 $10^{12} \Omega/\text{sq}$ 。本發明實施例亦可在片電阻採用較低值、例如低於 $100 \Omega/\text{sq}$ 時施加。

例如在欲使用薄膜來實施觸控螢幕顯示器時，基板可為透明的。或者，基板可不透明，此在欲將薄膜用於例如電池或燃料電池時為可接受的。

金屬奈米線可自一系列不同金屬中之一或多者形成，該等金屬包括以下中之一或多者：Ag、Au、Pt、Cu、Pd、Ti、Al、Li。

在實施例中，在基板6上藉由施加器8施加奈米線S4或S103係藉由噴霧沈積來實施。或者或另外，在基板6上藉由施加器8施加奈米線S4或S103係藉由狹縫式塗覆來實施。該等方法中之兩者往往皆在基板上產生奈米線之各向異性空間分佈(通常以狹縫式塗覆之程度大於以噴霧沈積之程度)。各向異性空間分佈可產生各向異性電性質(例如平行於層平面之第一方向之電阻大於垂直於第一方向之第二方向之電阻)，此並不合意。在噴霧沈積中，可能因溶劑之不均勻蒸發所致而出現各向異性(例如在奈米線之空間分佈中留下所謂的「潮標」)。在狹縫式塗覆中，眾所周知向奈米線施加顯著剪切力，且在實踐中已觀察到因此而出現之各向異性電性質。本發明之實施例在施加方法(例如該等)之背景下尤其有利，此乃因奈米線之分佈對剪切力及/或往往導致電各向異性之其他效應更具抗性，此乃因縱橫比之廣泛方差確保存在較長(較高縱橫比)奈米線以通常增強電導率，同時亦存在較短(較低縱橫比)奈米線，其因諸如剪切力等效應所致往往彼此對準較少，且因此可使不同的較長奈米線之間交聯並維持滲流。

可施加實施例之方法及裝置來製備寬範圍之器件，包含導電薄

膜，例如包含導電薄膜之觸控螢幕面板、光伏打面板及電池或燃料電池。

【符號說明】

2	裝置
4	奈米線之層
6	基板
8	施加器
8A	子施加器
8B	子施加器
10	第一儲存器件
12	第二儲存器件
14	儲存器件
16	儲存器件
18	奈米線處理器
20	儲存器件
21	峰值
22	峰值
23	中間值
30	奈米線處理器
32	儲存器件
R1	較低平均值
R2	平均縱橫比

申請專利範圍

1. 一種製備導電薄膜之方法，其包含：

提供奈米線組合物，其中每一奈米線具有定義為該奈米線之長度對橫截面直徑之比率之縱橫比；

處理該奈米線組合物，以使該組合物中縱橫比分佈之方差增加至少1.5倍；及

將具有該增加方差之該奈米線組合物施加至基板以在該基板上形成奈米線之層。

2. 一種製備導電薄膜之方法，其包含：

提供第一及第二奈米線組合物，每一組合物最初彼此分離；

將該等第一及第二組合物施加至基板以在該基板上形成奈米線之層，該等第一及第二組合物在施加之前或期間混合在一起，其中：

該第一組合物中該等奈米線之定義為奈米線之長度對橫截面直徑之平均比率之平均縱橫比大於該第二組合物中該等奈米線之平均縱橫比。

3. 如請求項2之方法，其中在將該等第一及第二組合物混合在一起後，該等第一及第二組合物中之該等縱橫比之分佈具有至少兩個不同最大值。

4. 如請求項2或3之方法，其中該第一組合物包含未經超音波處理之奈米線分散液，且該第二組合物包含經超音波處理之奈米線分散液。

5. 如請求項1、2或3之方法，其中該奈米線層係以使該膜之光學及/或電性質所展現滲流行為之程度大於整體行為之密度來沈積。

6. 如請求項5之方法，其中滲流行為之特徵在於滿足以下冪律：

對於 $\phi > \phi_c$, $\sigma = \sigma_0(\phi - \phi_c)^t$

其中 σ 係該奈米線層之電導率(S/cm) , σ_0 係比例常數 , 且 ϕ 係該層中奈米線之濃度 , ϕ_c 係標記該滲流行為下限之臨界濃度 , 且 t 係介於1至1.33範圍內之冪律指數。

7. 如請求項1、2或3之方法 , 其中將該等奈米線施加至該基板係藉由噴霧沈積來實施。

8. 如請求項1、2或3之方法 , 其中將該等奈米線施加至該基板係藉由狹縫式塗覆來實施。

9. 一種用於製備導電薄膜之裝置 , 其包含 :

含有奈米線組合物之儲存器件 , 其中每一奈米線具有定義為該奈米線之長度對橫截面直徑之比率的縱橫比 ;

奈米線處理器 , 其經結構設計來處理該奈米線組合物以使該組合物中縱橫比分佈之方差增加至少1.5倍 ;

施加器 , 其經結構設計來將該經處理之奈米線組合物施加至基板以在該基板上形成奈米線之層。

10. 一種用於製備導電薄膜之裝置 , 其包含 :

含有第一奈米線組合物之第一儲存器件 ;

含有第二奈米線組合物之第二儲存器件 ;

施加器 , 其經結構設計來將該等第一及第二組合物施加至基板以在該基板上形成奈米線之層 , 該等第一及第二組合物在施加之前或期間混合在一起 , 其中 :

該第一組合物中該等奈米線之定義為奈米線之長度對橫截面直徑之平均比率之平均縱橫比大於該第二組合物中該等奈米線之平均縱橫比。

11. 如請求項10之裝置 , 其進一步包含奈米線處理器 , 該奈米線處理器經結構設計來藉由處理第三奈米線組合物以減小該第三奈

米線組合物中該等奈米線之平均縱橫比而提供該第二奈米線組合物。

12. 如請求項11之裝置，其中該奈米線處理器係經結構設計以使用超音波處理來減小該平均縱橫比。
13. 如請求項9至12中任一項之裝置，其中該施加器係經結構設計來使該奈米線層以使該膜之光學及/或電性質所展現滲流行為之程度大於整體行為之密度沈積。
14. 如請求項1、2或3之方法或如請求項9至12中任一項之裝置，其中該等奈米線包含以下中之一或多者：Ag、Au、Pt、Cu、Pd、Ti、Al、Li。
15. 如請求項1、2或3之方法或如請求項9至12中任一項之裝置，其中該基板係透明的。
16. 一種觸控螢幕面板、光伏打面板、電池或燃料電池，其包含根據如請求項1、2或3之方法製備之導電薄膜。

圖式

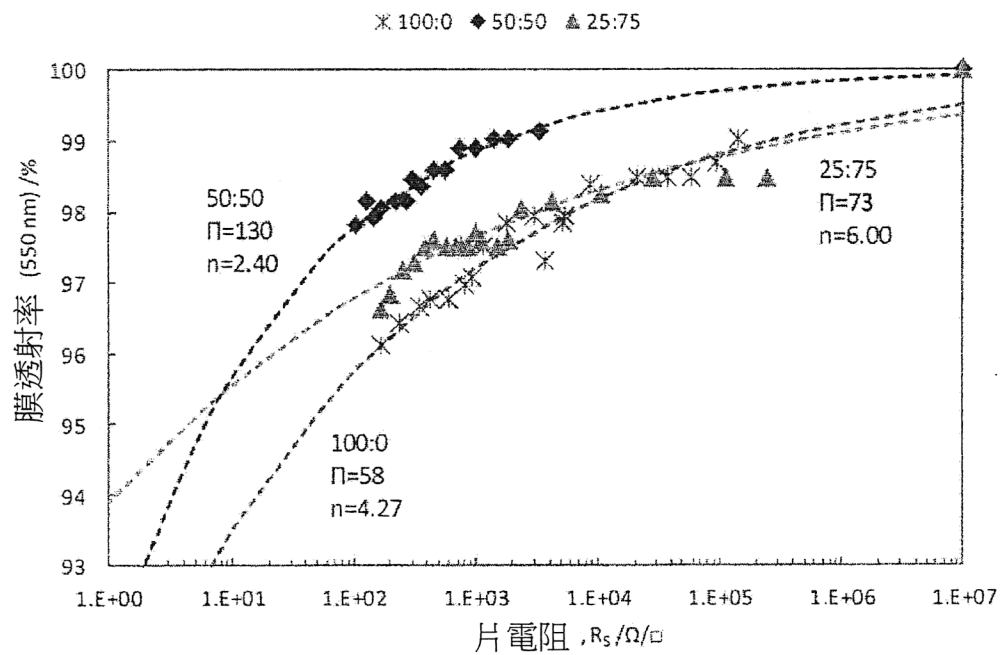


圖 1

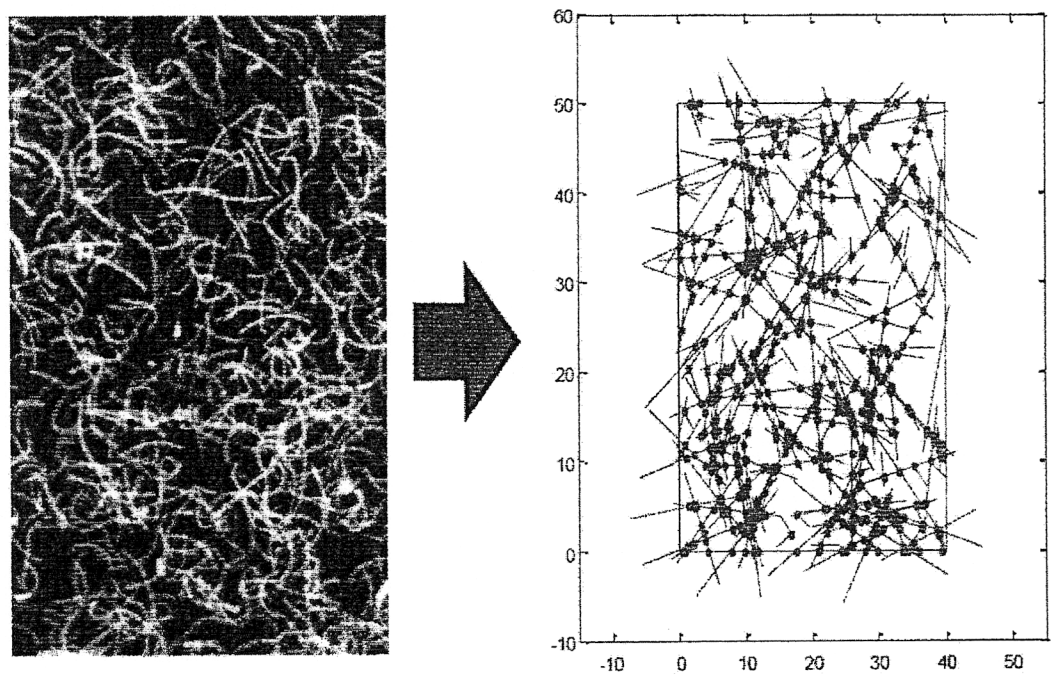


圖 2

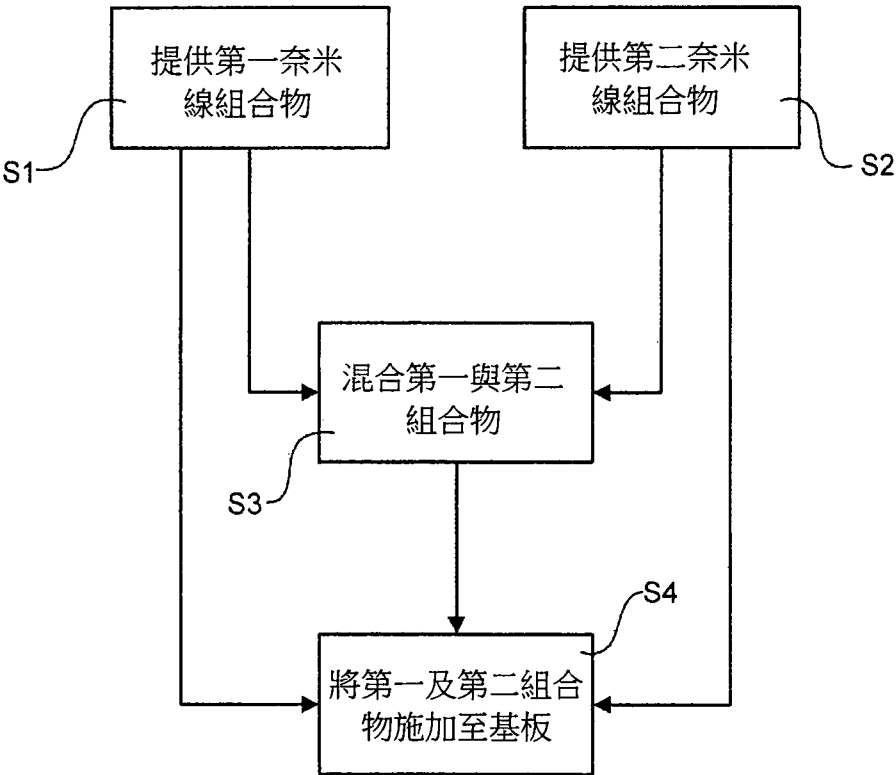


圖 3

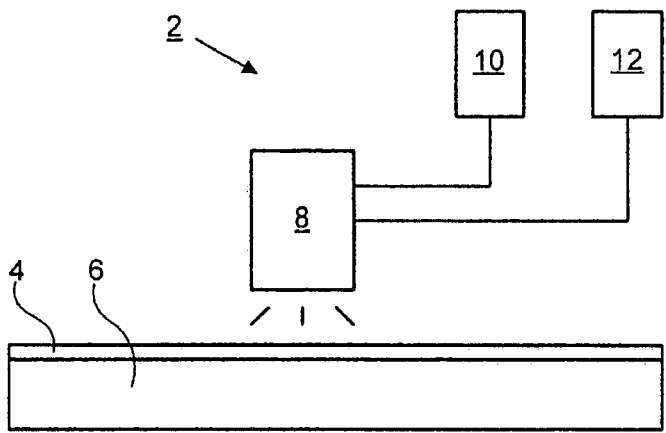


圖 4

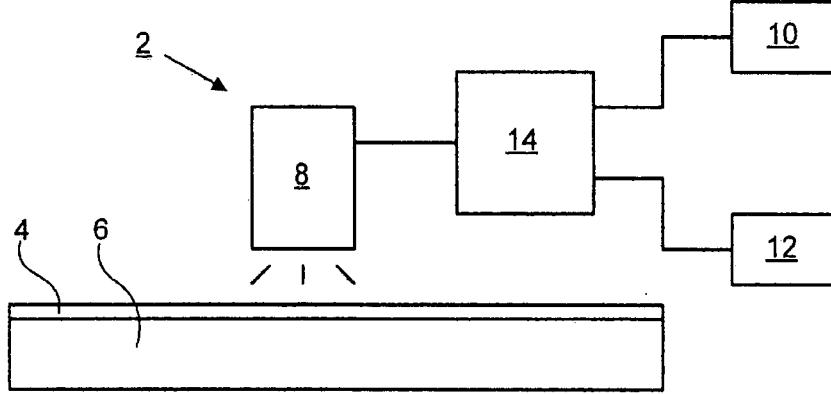


圖 5

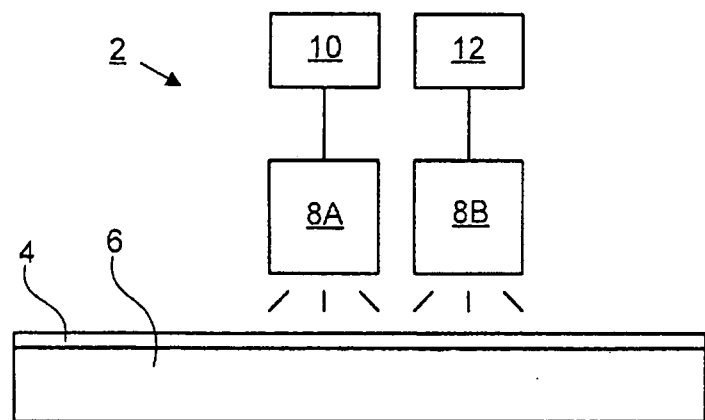


圖 6

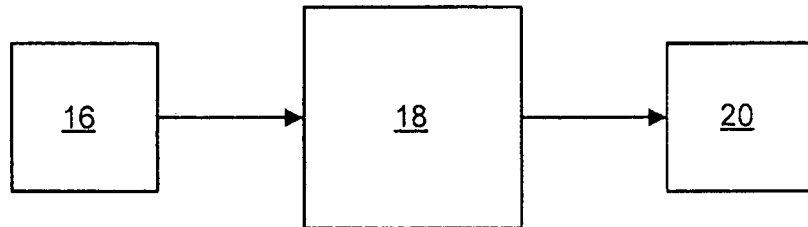


圖 7

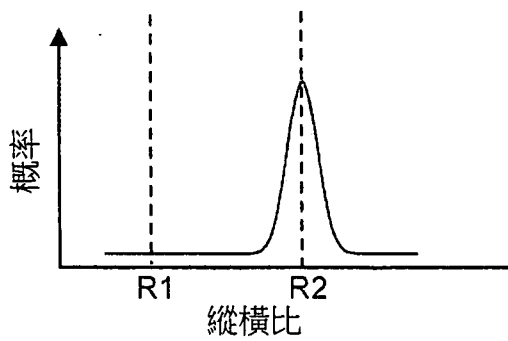


圖 8

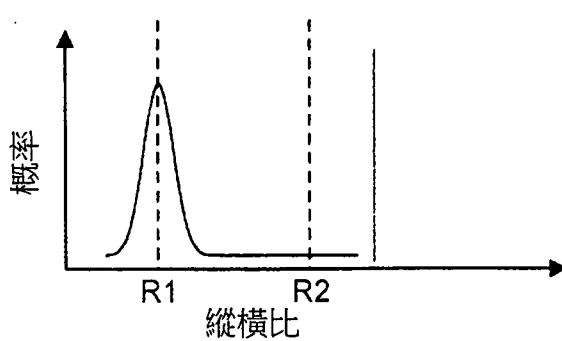


圖 9

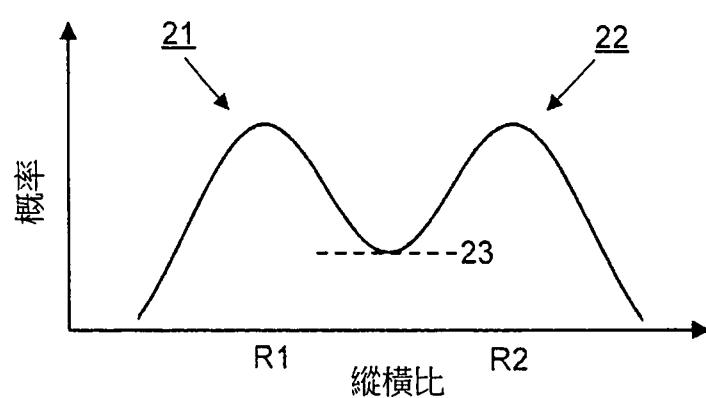


圖 10

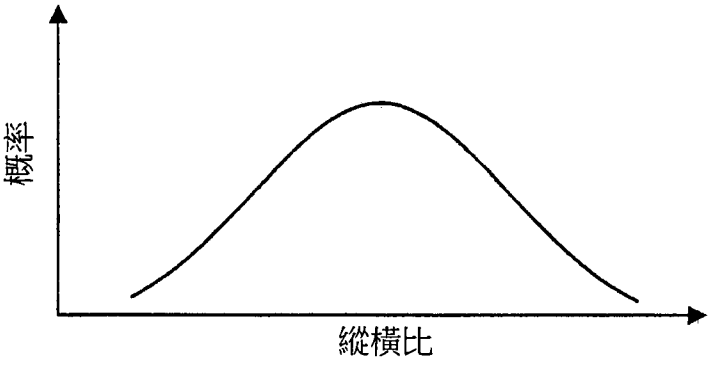


圖 11

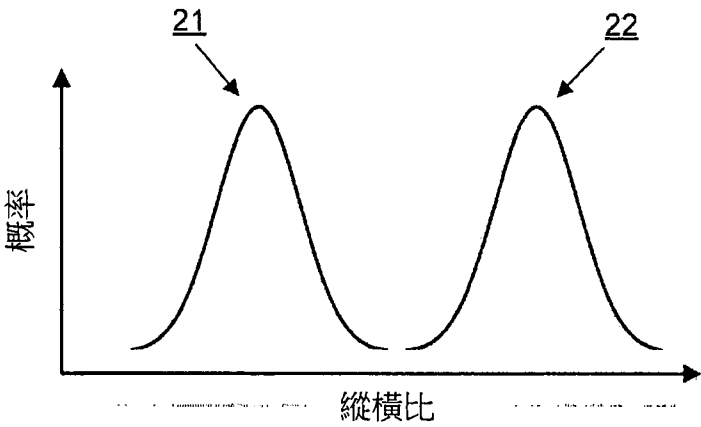


圖 12

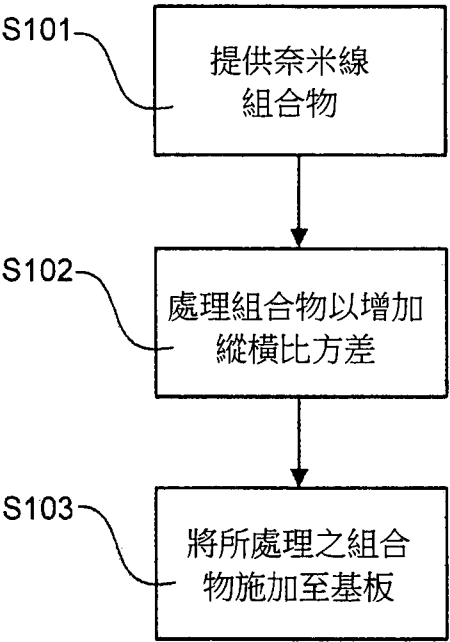


圖 13

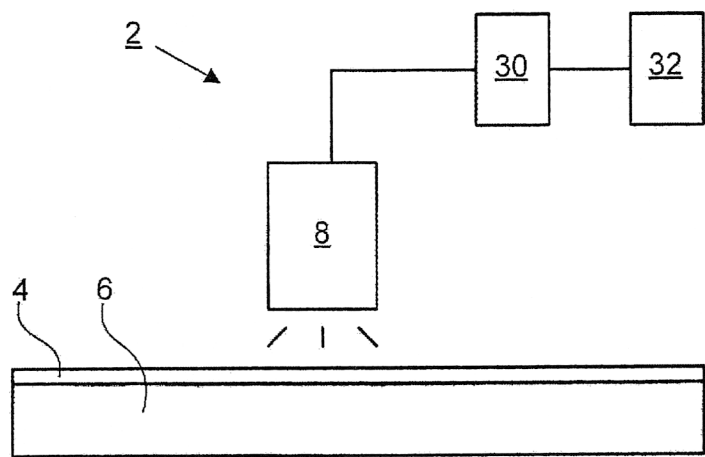


圖 14

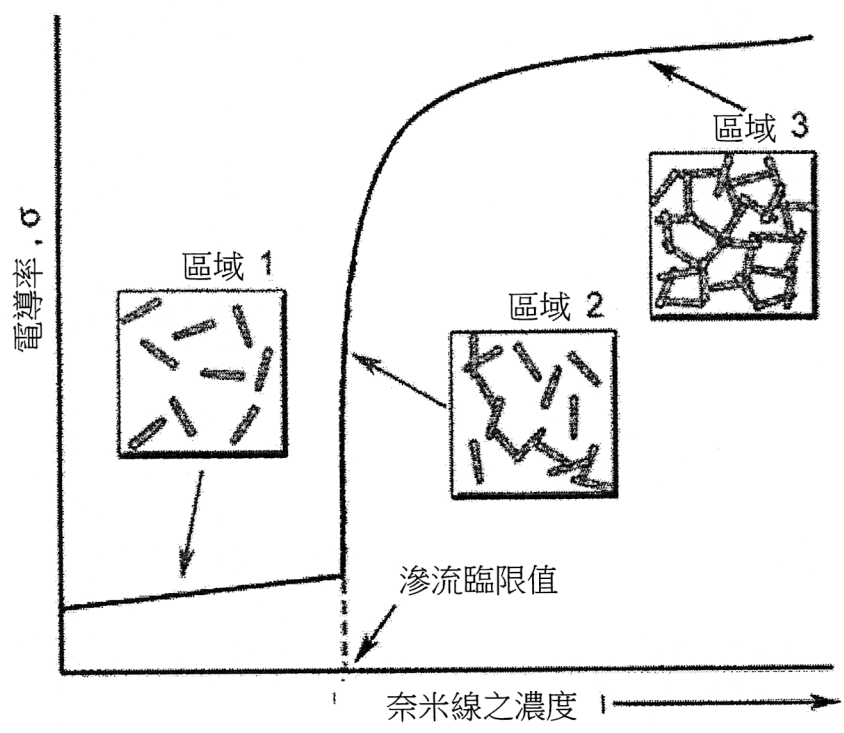


圖 15