

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年12月14日(14.12.2023)



(10) 国際公開番号

WO 2023/238549 A1

(51) 国際特許分類:

H05B 45/375 (2020.01) H05B 45/38 (2020.01)
H01L 33/00 (2010.01) H05B 47/105 (2020.01)
H02M 3/155 (2006.01) H05B 47/14 (2020.01)
H05B 45/325 (2020.01) H05B 47/16 (2020.01)
H05B 45/345 (2020.01)

(72) 発明者: ▲ 高 ▼ 橋 徹 (TAKAHASHI Toru);
〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人 佐野特許事務所 (SANO
PATENT OFFICE); 〒5400032 大阪府大阪市
中央区天満橋京町 2 - 6 天満橋八千代
ビル別館 5 F Osaka (JP).

(21) 国際出願番号: PCT/JP2023/016672

(22) 国際出願日: 2023年4月27日(27.04.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

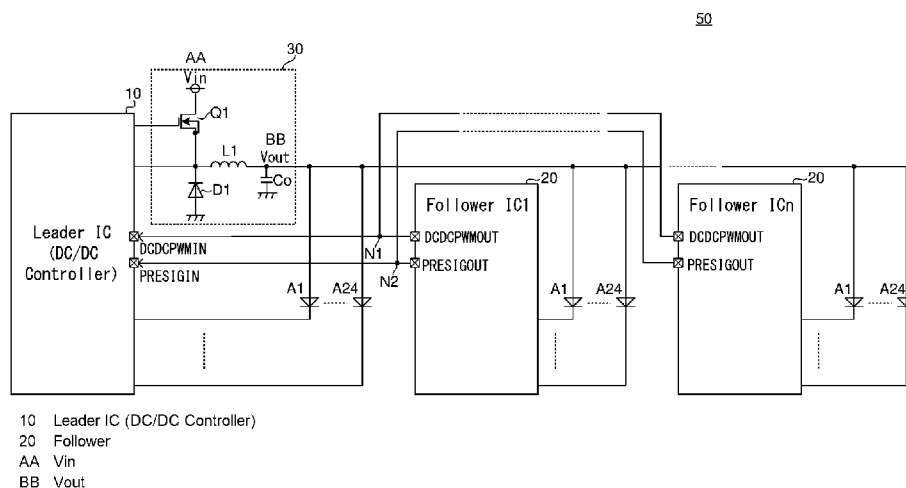
(30) 優先権データ:
特願 2022-092745 2022年6月8日(08.06.2022) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: LIGHT-EMITTING ELEMENT DRIVE SYSTEM AND LIGHT-EMITTING ELEMENT DRIVE DEVICE

(54) 発明の名称: 発光素子駆動システム、および発光素子駆動装置



(57) Abstract: Provided is a light-emitting element drive system (50) comprising: a reader light-emitting element drive device (10) having a DC/DC controller (1) configured to be able to drive light-emitting elements (A1 to A24) and be able to control an output stage (30) capable of outputting an output voltage (Vout); and a plurality of follower light-emitting element drive devices (20) configured to be able to drive light-emitting elements to which the output voltage is applied, the follower light-emitting element drive device having at least one signal output terminal (DCDCPWMOUT terminal, PRESIGOUT terminal) capable of outputting an operation information signal regarding driving of the light-emitting elements, a plurality of the signal output terminals being connected to the same node (N1, N2), and the same node being connected to the signal input terminal (DCDCPWMIN terminal, PRESIGIN terminal) of the reader light-emitting element drive device.

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 発光素子駆動システム (50) は、発光素子 (A1 ~ A24) を駆動可能に構成されて、出力電圧 (Vout) を出力可能な出力段 (30) を制御可能に構成されたDC/DCコントローラ (1) を有するリーダー発光素子駆動装置 (10) と、前記出力電圧が印加される発光素子を駆動可能に構成される複数のフォロワ発光素子駆動装置 (20) と、を備え、前記フォロワ発光素子駆動装置は、前記発光素子の駆動に関する動作情報信号を出力可能な信号出力端子 (DCDCPWMOUT端子、PRESIGOUT端子) を少なくとも1つ有し、同一ノード (N1, N2) に複数の前記信号出力端子が接続され、前記同一ノードが前記リーダー発光素子駆動装置の信号入力端子 (DCDCPWMIN端子、PRESIGIN端子) に接続される。

明 細 書

発明の名称：発光素子駆動システム、および発光素子駆動装置 技術分野

[0001] 本開示は、発光素子駆動システムに関する。

背景技術

[0002] 従来、消費電力が小さく寿命の長いＬＥＤ（発光ダイオード）が様々な用途に用いられる。ＬＥＤを駆動するＬＥＤ駆動装置の従来例は、特許文献１に開示されている。

[0003] 特許文献１のＬＥＤ駆動装置は、入力電圧から出力電圧を生成してＬＥＤに供給するための出力段を制御するＤＣ／ＤＣコントローラと、ＬＥＤに流れる出力電流を生成する定電流ドライバと、を有し、複数系統のＬＥＤを駆動する。１系統は、ＬＥＤの直列接続により構成され、系統ごとのＬＥＤは並列に接続される。

[0004] ＤＣ／ＤＣコントローラは、複数系統のＬＥＤのカソード電圧のうち最低電圧と基準電圧とを比較するエラーアンプと、当該エラーアンプの出力とスロープ信号とを比較して内部ＰＷＭ（パルス幅変調）信号を生成するＰＷＭコンパレータと、を有する。

[0005] 定電流ドライバは、ＰＷＭ端子に入力される外部ＰＷＭ信号に基づいてオンオフされる。これにより、ＰＷＭ調光制御が行われる。定電流ドライバがオンの期間において、エラーアンプおよびＰＷＭコンパレータにより上記カソード電圧の最低電圧が基準電圧と一致するように出力段におけるスイッチング素子がスイッチングパルスによりＰＷＭ駆動される。これにより、複数系統のＬＥＤの各順方向電圧のうちの最大電圧に上記基準電圧を加えた電圧値に出力電圧（ＬＥＤのアノード電圧）が制御される。

先行技術文献

特許文献

[0006] 特許文献１：特開２０１３－２１１１７号公報

発明の概要

発明が解決しようとする課題

[0007] 上記のようなLED駆動装置により、順方向電圧が最大となる系統のLEDのカソード電圧が上記基準電圧に制御され、それ以外の系統のLEDのカソード電圧は、上記基準電圧以上の電圧に制御される。

[0008] 昨今、アニメーション表示などのため、多数の系統のLEDを駆動する場合がある。このような場合、多数のLED駆動装置を使用して、LEDを制御する必要がある。このようなLED駆動装置は、半導体IC（集積回路）により構成されるが、パッケージサイズを小さくするため、外部端子数を削減することが要求される。

[0009] 本開示は、外部端子数を削減することが可能となる発光素子駆動装置、およびこれを用いた発光素子駆動システムを提供することを目的とする。

課題を解決するための手段

[0010] 例えば、本開示の一態様に係る発光素子駆動システムは、発光素子を駆動可能に構成されて、出力電圧を出力可能な出力段を制御可能に構成されたDC/DCコントローラを有するリーダー発光素子駆動装置と、

前記出力電圧が印加される発光素子を駆動可能に構成される複数のフォロワ発光素子駆動装置と、

を備え、

前記フォロワ発光素子駆動装置は、前記発光素子の駆動に関する動作情報信号を出力可能な信号出力端子を少なくとも1つ有し、

同一ノードに複数の前記信号出力端子が接続され、

前記同一ノードが前記リーダー発光素子駆動装置の信号入力端子に接続される。

[0011] また、本開示の一態様に係る発光素子駆動装置は、信号出力端子と、インバータ段と、

前記インバータ段の出力端が接続されるゲートと、前記信号出力端子に接続されるドレインと、を含むMOSトランジスタと、

を有するバッファを備え、

駆動対象の発光素子の駆動に関する動作情報信号が前記インバータ段に入力可能である。

発明の効果

[0012] 本開示の例示的な発光素子駆動システムあるいは発光素子駆動装置によれば、外部端子数を削減することが可能となる。

図面の簡単な説明

[0013] [図1]図1は、本開示の実施形態に係るリーダーLED駆動装置の構成を示す図である。

[図2]図2は、本開示の実施形態に係るフォロワLED駆動装置の構成を示す図である。

[図3]図3は、本開示の実施形態に係るLED駆動システムの構成を示す図である。

[図4A]図4Aは、フォロワICにおける第1バッファの構成例を示す図である。

[図4B]図4Bは、第1バッファにおける図4Aとは別の状態を示す図である。

[図4C]図4Cは、第1バッファの変形例を示す図である。

[図4D]図4Dは、第1バッファにおける図4Cとは別の状態を示す図である。

[図5]図5は、フォロワICにおける第1、第2動作情報信号の生成に関する一例を示すタイミングチャートである。

[図6]図6は、比較例に係るLED駆動システムの構成を示す図である。

[図7]図7は、比較例に係るフォロワICにおける入出力バッファの構成を示す図である。

[図8]図8は、比較例に係るフォロワICにおける入出力バッファを仮にスター接続した場合の構成を示す図である。

発明を実施するための形態

[0014] 以下、本開示の例示的な実施形態について、図面を参照して説明する。

[0015] < 1. 比較例 >

ここでは、本開示の実施形態について説明する前に、対比のための比較例について説明する。これにより、本開示の実施形態の課題が明らかとなる。

[0016] 図6は、比較例に係るLED駆動システム100の構成を示す図である。LEDは、発光素子の一例である。すなわち、LED駆動システムは、発光素子駆動システムの一例である。図6に示すLED駆動システム100は、リーダー(Leader)LED駆動装置110と、複数のフォロフ(Follower)LED駆動装置120と、出力段30と、を備える。

[0017] リーダーLED駆動装置110は、図示しないDC/DCコントローラを内蔵し、DC/DCコントローラにより出力段30を制御する。リーダーLED駆動装置110は、半導体ICにより構成される(以下、リーダーIC110と呼ぶ)。出力段30は、スイッチング素子Q1と、ダイオードD1と、インダクタL1と、出力コンデンサC0と、を有する。

[0018] スwitching素子Q1は、NMOSトランジスタ(Nチャネル型MOSFET (metal-oxide-semiconductor field-effect transistor))により構成される。スイッチング素子Q1のドレインは、入力電圧 V_{in} の印加端に接続される。ダイオードD1のカソードは、スイッチング素子Q1のソースにノードNswで接続される。ダイオードD1のアノードは、接地端に接続される。ノードNswは、インダクタL1の一端に接続される。インダクタL1の他端は、出力コンデンサC0の一端に接続される。出力コンデンサC0の他端は、接地端に接続される。

[0019] 上記DC/DCコントローラによりスイッチング素子Q1がスイッチング制御されることで、入力電圧 V_{in} が出力電圧 V_{out} に変換される。出力電圧 V_{out} は、出力コンデンサC0の一端に生じる。

[0020] リーダーIC110は、複数系統のLEDアレイA1~A24のそれぞれにLED電流 I_{LED} を流すことでLEDアレイA1~A24を駆動可能に構成される。LEDアレイは、LED素子が直列に接続されて構成される。ただ

し、LEDアレイは、その他にも例えば、直並列に接続されたLED素子であってもよいし、単数のLED素子であってもよい。ここでは、一例として複数系統は24系統であるが、これに限らない。リーダーIC110の駆動対象であるLEDアレイA1～A24の各アノードには、出力電圧 V_{out} の印加端が接続される。

[0021] フォロワLED駆動装置120は、LED駆動システム100において n 個（ n は2以上の整数）設けられる。フォロワLED駆動装置120は、半導体ICにより構成される（以下、フォロワIC120と呼ぶ）。フォロワIC120は、複数系統のLEDアレイA1～A24のそれぞれにLED電流 I_{LED} を流すことでLEDアレイA1～A24を駆動可能に構成される。ここでは、一例として複数系統は24系統であるが、これに限らない。リーダーIC120の駆動対象であるLEDアレイA1～A24の各アノードには、出力電圧 V_{out} の印加端が接続される。すなわち、出力電圧 V_{out} の印加端は、 $(1+n) \times 24$ 系統のLEDアレイの各アノードに接続される。

[0022] フォロワIC120には、DC/DCコントローラは設けられない。従って、DC/DCコントローラを有するリーダーIC110により出力段30を制御することで出力電圧 V_{out} を生成し、生成された出力電圧 V_{out} を $(1+n) \times 24$ 系統のLEDアレイの各アノードに供給できる。

[0023] このように、LED駆動システム100では、 $(1+n) \times 24$ 系統のLEDアレイを駆動することが可能である。例えばアニメーション表示を行う場合、リーダーIC110の駆動対象であるLEDアレイが点灯しない場合に、フォロワIC120の駆動対象であるLEDアレイを点灯させる場合がある。すなわち、リーダーIC110は、自身の駆動対象のLEDアレイを点灯させない場合でも、フォロワIC120がLEDアレイを点灯させる場合があり、このような場合、DC/DCコントローラの動作を停止させないようにする必要がある。

[0024] そこで、LED駆動システム100では、フォロワIC120からリーダ

ー I C 1 1 0 へ L E D アレイの駆動に関する動作情報信号を伝送する構成としている。そのため、フォロワ I C 1 2 0 は、I N 端子と O U T 端子とを有する。I N 端子は、外部から動作情報信号を入力させるための外部端子である。O U T 端子は、外部へ動作情報信号を出力するための外部端子である。

[0025] リーダー I C 1 1 0 に近い側を前段側、遠い側を後段側とすると、後段側のフォロワ I C 1 2 0 の O U T 端子が前段側のフォロワ I C 1 2 0 の I N 端子に接続されることで n 個のフォロワ I C 1 2 0 が順次接続され、最も前段側のフォロワ I C 1 2 0 の O U T 端子がリーダー I C 1 1 0 に接続される。すなわち、リーダー I C 1 1 0 およびフォロワ I C 1 2 0 は、デージーチェーン接続される。

[0026] フォロワ I C 1 2 0 は、自身の駆動対象の L E D アレイに関する動作情報信号と、外部から I N 端子へ入力された動作情報信号を合成して、O U T 端子から外部へ動作情報信号を出力する。なお、最も後段側のフォロワ I C 1 2 0 は、自身の駆動対象の L E D アレイに関する動作情報信号を O U T 端子から出力する。これにより、すべてのフォロワ I C 1 2 0 の駆動対象である L E D アレイ ($n \times 24$ 系統の L E D アレイ) に関する動作情報信号をリーダー I C 1 1 0 に伝送できる。リーダー I C 1 1 0 では、入力された動作情報信号に基づいて D C / D C コントローラが出力段 3 0 を制御する。

[0027] 図 7 は、比較例に係るフォロワ I C 1 2 0 における入出力バッファ 1 2 0 A の構成を示す図である。図 7 は、後段側のフォロワ I C 1 2 0 (符号は 1 2 0 1) と、前段側のフォロワ I C 1 2 0 (符号は 1 2 0 2) との間の接続関係を示す。フォロワ I C 1 2 0 1, 1 2 0 2 で入出力バッファ 1 2 0 A の構成は同じである。

[0028] 入出力バッファ 1 2 0 A は、O R 回路 O R 1 と、インバータ段 I V 1 と、を有する。O R 回路 O R 1 の第 1 入力端には、I N 端子が接続される。O R 回路 O R 1 の第 2 入力端には、内部信号 S が入力される。内部信号 S は、フォロワ I C 1 2 0 の自身の駆動対象である L E D アレイに関する動作情報信号である。O R 回路 O R 1 は、I N 端子に入力される動作情報信号と内部信

号Sとの論理和をとる。OR回路OR1の出力は、インバータ段IV1に入力される。

[0029] インバータ段IV1は、順次接続される複数のインバータから構成される。1つのインバータは、電源電圧Vccと接地端との間に接続されるPMOSトランジスタ（Pチャネル型MOSFET）とNMOSトランジスタを有する。OR回路OR1から出力されてインバータ段IV1に入力された信号は、各インバータにより論理反転され、OUT端子から出力される。なお、OR回路OR1の出力と、OUT端子から出力される信号の論理レベルは同じである。

[0030] 図7では、フォロワIC1201のIN端子（符号はIN1）に入力された動作情報信号は、フォロワIC1201内部の入出力バッファ120Aにおいて内部信号Sと合成されてOUT端子（符号はOUT1）から出力され、後段側のフォロワIC1202のIN端子（符号はIN2）に入力される。フォロワIC1202のIN端子（符号はIN2）に入力された動作情報信号は、フォロワIC1202内部の入出力バッファ120Aにおいて内部信号Sと合成されてOUT端子（符号はOUT2）から出力され、後段側に伝送される。

[0031] しかしながら、このような比較例においては、次のような課題が存在する。まず、デジチェーンによりICを接続するため、動作情報信号を入出力するためにIN端子とOUT端子が必要であり、動作情報信号の種類が増えたと、より端子数が増加する。従って、ICのパッケージサイズを小さくできない。また、デジチェーンにより、リーダーIC110から遠いフォロワIC120の場合、動作情報信号がリーダーIC110に伝送されるまでにいくつものフォロワIC120を経由することとなり、遅延が発生する。これにより、リーダーIC110においてDC/DC動作反応が遅れてしまい、LEDのアノード電圧に十分な電圧が与えられず、瞬間的にLEDの明るさが暗くなる可能性がある。

[0032] そこで、以下説明する本開示の実施形態は、上記のような課題を解決すべ

く実施される。

[0033] <2. LED駆動装置の構成>

図1は、本開示の実施形態に係るリーダーLED駆動装置（以下、リーダーIC）10の構成を示す図である。リーダーIC10は、LEDアレイA1～A24を駆動可能に構成される。

[0034] リーダーIC10は、DC/DCコントローラ1と、セクタ2と、制御ロジック部3と、電流ドライバ4と、を集積化して有する半導体IC（半導体装置）である。また、リーダーIC10は、外部との電氣的接続を確立するための外部端子として、GH端子、SW端子、MINSELIN端子、LED1～LED24端子、DCDCPWMIN端子、PRESIGIN端子、およびPWMIN端子を有する。

[0035] リーダーIC10の外部に設けられる出力段30は、比較例（図6）と同様の構成である。DC/DCコントローラ1は、出力段30におけるスイッチング素子Q1をスイッチング制御することで、入力電圧Vinから出力電圧Voutに変換する。DC/DCコントローラ1は、GH端子からゲート信号をスイッチング素子Q1のゲートに出力することでスイッチング素子Q1を駆動する。

[0036] LEDアレイA1～A24の構成は、比較例（図6）と同様である。出力電圧Voutの印加端は、LEDアレイA1～A24の各アノードに接続される。LEDアレイA1～A24のカソードは、それぞれLED1端子～LED24端子に接続される。

[0037] セクタ2は、LED1端子～LED24端子の各端子に印加されるカソード電圧と、MINSELIN端子に入力される電圧とのうち最小の電圧を選択する。DC/DCコントローラ1は、セクタ2により選択された電圧が所望値となるように帰還制御を行い、スイッチング素子Q1を制御する。DC/DCコントローラ1は、例えばPWM制御あるいはBANG-BANG制御などにより、出力電圧Voutの安定制御を行う。

[0038] 電流ドライバ4は、LEDアレイA1～A24のそれぞれに対応する24

系統分の定電流ドライバ41を有する。定電流ドライバ41は、対応するLEDアレイにLED電流 I_{LED} を流すことでLEDアレイを駆動する。

[0039] 制御ロジック部3は、PWMIN端子に入力されるPWM調光信号に基づいて電流ドライバ4に指令を行う。これにより、定電流ドライバ41においてPWM調光制御が行われる。PWM調光の1周期におけるオン期間では、定電流ドライバ41がオンとされ、オフ期間では、定電流ドライバ41がオフとされる。これにより、オンデューティに応じてLEDアレイの明るさが調整される。

[0040] また、DCDCPWMIN端子には第1動作情報信号が入力され、PRESIGN端子には第2動作情報信号が入力されるが、これについては後述する。

[0041] 図2は、本開示の実施形態に係るフォロワLED駆動装置（以下、フォロワIC）20の構成を示す図である。フォロワIC20は、LEDアレイA1～A24を駆動可能に構成される。フォロワIC20は、リーダーIC10とともに使用される。

[0042] フォロワIC20は、リーダーIC10と同様に、セクタ2と、制御ロジック部3と、電流ドライバ4を有するが、リーダーIC10のようなDC/DCコントローラは設けられない。そこで、フォロワIC20の駆動対象であるLEDアレイA1～A24の各アノードは、出力電圧 V_{out} （図1）の印加端に接続される。

[0043] フォロワIC20は、外部端子として、MINSELIN端子、PWMIN端子およびLED1～LED24端子に加えて、MINSELOUT端子、DCDCPWMOUT端子、およびPRESIGOUT端子を有する。

[0044] セクタ2は、リーダーIC10と同様な選択動作を行うが、MINSELOUT端子から選択結果を出力する。

[0045] 電流ドライバ4は、リーダーIC10と同様に、PWMIN端子に入力されるPWM調光信号に基づいてPWM調光を行う。

[0046] フォロワIC20は、第1バッファ5と、第2バッファ6と、をさらに有

する。第1バッファ5は、DCDCPWMOUT端子から第1動作情報信号を出力する。第2バッファ6は、PRESIGOUT端子から第2動作情報信号を出力する。第1、第2動作情報信号は、フォロワIC20の駆動対象であるLEDアレイA1～A24の駆動に関する情報であり、その詳細については後述する。

[0047] <3. LED駆動システム>

図3は、本開示の実施形態に係るLED駆動システム50の構成を示す図である。図3に示すLED駆動システム50は、リーダーIC10と、複数のフォロワIC20（n個のフォロワIC20）と、出力段30と、を有する。

[0048] LED駆動システム50では、比較例と同様に、リーダーIC10の駆動対象であるLEDアレイA1～A24の各アノード、および各フォロワIC20の駆動対象であるLEDアレイA1～A24の各アノードに出力電圧Voutの印加端が接続される。

[0049] 図3に示すように、n個のフォロワIC20におけるそれぞれのDCDCPWMOUT端子は、第1ノードN1に接続される。同様に、n個のフォロワIC20におけるそれぞれのPRESIGOUT端子は、第2ノードN2に接続される。第1ノードN1は、リーダーIC10におけるDCDCPWMIN端子に接続される。第2ノードN2は、リーダーIC10におけるPRESIGIN端子に接続される。

[0050] このように本実施形態では、リーダーIC10とn個のフォロワIC20は、スター接続される。スター接続により、フォロワIC20において動作情報信号を入力するためのIN端子が不要となり、外部端子数を削減できる。従って、フォロワIC20のパッケージサイズを小さくできる。また、スター接続により、各フォロワIC20からリーダーIC10への動作情報信号の伝送遅延が抑制される。

[0051] <4. バッファ>

図4Aは、フォロワIC20における第1バッファ5の構成例を示す図で

ある。図4 Aでは、 n 個のフォロワ I C 2 0のうち代表的に2個のフォロワ I C 2 0のみについて図示し、第1バッファ5とリーダー I C 1 0における入力段との接続関係を示す。なお、第2バッファ6についても図4 Aと同様の構成であるため、ここでは第1バッファ5について代表的に説明する。

[0052] 第1バッファ5は、インバータ段51と、PMOSトランジスタ5Cと、ダイオード5Dと、を有する。インバータ段51は、順次接続される複数のインバータから構成されるインバータ段5Aと、インバータ段5Aの後段に接続される出力インバータ5Bと、を有する。インバータ段5Aには、内部信号S5が入力される。内部信号S5は、フォロワ I C 2 0の駆動対象であるLEDアレイA1～A24の駆動に関する第1動作情報信号である。

[0053] PMOSトランジスタ5Cのゲートは、出力インバータ5Bの出力端に接続される。PMOSトランジスタ5Cのソースは、電源電圧 V_{cc} の印加端に接続される。PMOSトランジスタ5Cのドレインは、ダイオード5Dのアノードに接続される。ダイオード5Dのカソードは、DCDCPWMOUT端子に接続される。

[0054] 先述したように、複数のフォロワ I C 2 0におけるDCDCPWMOUT端子は、第1ノードN1に接続される。第1ノードN1は、リーダー I C 1 0におけるDCDCPWMIN端子に接続される。リーダー I C 1 0における入力段は、プルダウン抵抗10Aと、インバータ10Bと、を有する。DCDCPWMIN端子は、プルダウン抵抗10Aの一端に接続される。プルダウン抵抗10Aの他端は、接地端に接続される。DCDCPWMIN端子は、インバータ10Bの入力端に接続される。

[0055] このように、本実施形態では、第1バッファ5をPMOSトランジスタ5Cによるドレイン出力の構成としている。これにより、内部信号S5がハイレベルの場合、インバータ段5Aの出力がハイレベル、出力インバータ5Bの出力がローレベルとなり、PMOSトランジスタ5Cはオン状態となり、PMOSトランジスタ5Cのドレインからハイレベルの信号が出力される。一方、内部信号S5がローレベルの場合、インバータ段5Aの出力がローレ

ベル、出力インバータ 5 B の出力がハイレベルとなり、PMOS トランジスタ 5 C はオフ状態となり、PMOS トランジスタ 5 C のドレインからローレベルの信号が出力される。

[0056] 例えば図 4 A に示す状態のように、 n 個のフォロワー IC 20 のうち一部のフォロワー IC 20 において内部信号 S 5 がハイレベルとされることで PMOS トランジスタ 5 C のドレイン出力がハイレベルの場合に、残りのフォロワー IC 20（内部信号 S 5 はローレベル）における PMOS トランジスタ 5 C のドレイン出力がローレベルであっても、ダイオード 5 D により逆流が防止され、DCDC PWM IN 端子に入力される信号が不十分となることが抑制される。このとき、図 4 A に破線矢印で示すように、オン状態である PMOS トランジスタ 5 C を介してプルダウン抵抗 10 A に電流が流れ、DCDC PWM IN 端子（インバータ 10 B の入力端）の信号はハイレベルとなる。

[0057] なお、図 4 B に示すように、すべてのフォロワー IC 20 において内部信号 S 5 がローレベルとされることで PMOS トランジスタ 5 C のドレイン出力がローレベルの場合に、DCDC PWM IN 端子（インバータ 10 B の入力端）の信号はローレベルとなる。

[0058] ここで、先述した比較例に係るフォロワー IC 120 における入出力バッファ 120 A を仮にスター接続した場合の構成を図 8 に示す。この場合、一方のインバータ段 1 V 1 からハイレベルの信号が出力され、他方のインバータ段 1 V 1 からローレベルの信号が出力される場合に、図 8 に破線矢印で示す経路のように、電源電圧 V_{cc} の印加端から、一方のインバータ段 1 V 1 の最終段のインバータにおける PMOS トランジスタ、一方の OUT 端子、他方の OUT 端子、および、他方のインバータ段 1 V 1 の最終段のインバータにおける NMOS トランジスタを介して接地端へ大電流が流れる。これにより、リーダー IC への入力信号が不十分になってしまう。従って、比較例に係るフォロワー IC 120 の構成では、スター接続することが難しい。

[0059] 図 4 C は、第 1 バッファ 5 の変形例を示す図である。本変形例では、第 1 バッファ 5 において PMOS トランジスタ 5 C の代わりに NMOS トランジ

スタ5Eを設けている。NMOSトランジスタ5Eのソースは、接地端に接続される。NMOSトランジスタ5Eのドレインは、DCDCPWMOUT端子に接続される。本変形例では、DCDCPWMOUT端子は、電源電圧の印加端に接続される一端を有するプルアップ抵抗PUの他端に接続される。また、ノードN1とDCDCPWMIN端子との間には、インバータIVが設けられる。なお、本変形例では、インバータIOBの前段にプルダウン抵抗は設けない。

[0060] 例えば図4Cに示す状態のように、n個のフォロワIC20のうち一部のフォロワIC20において内部信号S5がハイレベルとされると、インバータ段5Aの出力がローレベル、出力インバータ5Bの出力がハイレベルとなり、NMOSトランジスタ5Eはオン状態となる。残りのフォロワIC20においては、内部信号S5がローレベルとされるため、インバータ段5Aの出力がハイレベル、出力インバータ5Bの出力がローレベルとなり、NMOSトランジスタ5Eはオフ状態となる。この場合、図4Cに破線矢印で示すように、プルアップ抵抗PUを介してオン状態であるNMOSトランジスタ5Eに電流が流れ、インバータIVの入力端の信号はローレベルとなり、インバータIVから出力されてDCDCPWMIN端子に入力される信号はハイレベルとなる。

[0061] なお、図4Dに示すように、すべてのフォロワIC20において内部信号S5がローレベルとされる場合は、すべてのNMOSトランジスタ5Eがオフ状態となり、インバータIVの入力端の信号はハイレベルとなり、インバータIVから出力されてDCDCPWMIN端子に入力される信号はローレベルとなる。

[0062] このように、第1バッファ5においてPMOSトランジスタ5C（図4A）を用いる実施形態では、インバータIVが不要となるメリットがある。

[0063] <5. 動作情報信号>

ここで、動作情報信号の一例である第1、第2動作情報信号について説明する。先述したように、第1動作情報信号は第1バッファ5から出力され、

第2動作情報信号は第2バッファ6から出力される。

[0064] 図5は、フォロワIC20における第1、第2動作情報信号の生成に関する一例を示すタイミングチャートである。図5において、上段から順に、LEDアレイA1（チャンネルCH1）用のPWM調光信号、チャンネルCH1用のプリブースト信号、LEDアレイA2（チャンネルCH2）用のPWM調光信号、チャンネルCH2用のプリブースト信号、第1動作情報信号（DCDC PWM信号）、第2動作情報信号（プリブースト信号）、および出力電圧Voutの各波形例を示す。なお、図5では、便宜上、LEDアレイの系統をCH1、CH2のみとしているが、実際には24系統分の信号が存在する。

[0065] PWM調光信号は、ハイレベルの場合に定電流ドライバ41のオンを示し、ローレベルの場合に定電流ドライバ41のオフを示す。すなわち、ハイレベルの場合にLEDアレイが点灯し、ローレベルの場合にLEDアレイが消灯する。

[0066] フォロワIC20内部においては、各系統のLEDアレイのPWM調光信号を合成して第1動作情報信号を生成する。より具体的には、各系統のPWM調光信号のうち少なくともいずれかがハイレベルの場合は、第1動作情報信号をハイレベルとし、各系統のPWM調光信号のすべてがローレベルの場合は、第1動作情報信号をローレベルとする。生成された第1動作情報信号は内部信号S5（図4A等）として第1バッファ5を介してDCDC PWM OUT端子から出力される。

[0067] ここで、図5に示したLED駆動システム50において、最も後段側のフォロワIC20から順に、MINSEL OUT端子が前段側のICのMINSEL IN端子に接続されることで、n個のフォロワIC20が接続される。そして、最も前段側のフォロワIC20のMINSEL OUT端子がリーダーIC10のMINSEL IN端子に接続される。これにより、リーダーIC10におけるDC/DCコントローラ1により、 $(1+n) \times 24$ 個のLEDアレイのカソード電圧のうち最小の電圧が所望値となるように帰還制御される。

[0068] プリブースト機能は、DC／DCコントローラ1により、このような帰還制御により制御される出力電圧 V_{out} の値よりも高い所定の固定電圧値に出力電圧 V_{out} を昇圧する制御を、PWM調光のオフからオンへの切り替え時の直前に行う機能である。

[0069] フォロワIC20内部では、LEDアレイの系統ごとに、プリブースト信号がPWM調光信号の立ち上がりの直前に所定時間ハイレベルとされる。フォロワIC20内部においては、各系統のLEDアレイのプリブースト信号を合成して第2動作情報信号を生成する。より具体的には、各系統のプリブースト信号のうち少なくともいずれかがハイレベルの場合は、第2動作情報信号をハイレベルとし、各系統のプリブースト信号のすべてがローレベルの場合は、第2動作情報信号をローレベルとする。生成された第2動作情報信号は内部信号S6（第1バッファ5の内部信号S5に相当）として第2バッファ6を介してPRESIGOUT端子から出力される。

[0070] リーダーIC10のPRESIGIN端子に入力される第2動作情報信号がハイレベルの場合、DC／DCコントローラ1により出力電圧 V_{out} が固定電圧値に制御され、プリブーストが行われる。PRESIGIN端子に入力される第2動作情報信号がローレベル、かつリーダーIC10のDCDCPWMIN端子に入力される第1動作情報信号がハイレベルの場合、DC／DCコントローラ1により帰還制御が行われる。PRESIGIN端子に入力される第2動作情報信号がローレベル、かつDCDCPWMIN端子に入力される第1動作情報信号がローレベルの場合、DC／DCコントローラ1は動作を停止し、出力電圧 V_{out} の生成が停止される。

[0071] <6. その他>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味および範囲内に

属する全ての変更が含まれると理解されるべきである。

[0072] < 7. 付記 >

以上のように、本開示の一態様に係る発光素子駆動システム (50) は、
発光素子 (A1 ~ A24) を駆動可能に構成されて、出力電圧 (Vout)
) を出力可能な出力段 (30) を制御可能に構成された DC/DC コントローラ (1) を有するリーダー発光素子駆動装置 (10) と、

前記出力電圧が印加される発光素子を駆動可能に構成される複数のフォロ
ワ発光素子駆動装置 (20) と、

を備え、

前記フォロワ発光素子駆動装置は、前記発光素子の駆動に関する動作情報
信号を出力可能な信号出力端子 (DCDCPWMOUT 端子、PRESIG
OUT 端子) を少なくとも 1 つ有し、

同一ノード (N1, N2) に複数の前記信号出力端子が接続され、

前記同一ノードが前記リーダー発光素子駆動装置の信号入力端子 (DCDC
PWMIN 端子、PRESIGIN 端子) に接続される構成としている (第 1 の構成)。

[0073] また、上記第 1 の構成において、前記フォロワ発光素子駆動装置 (20)
は、

前記動作情報信号が入力可能に構成されたインバータ段 (51) と、

前記インバータ段の出力端が接続されるゲートと、前記信号出力端子が接
続されるドレインと、を含む MOS トランジスタ (5C) と、

を有するバッファ (5) をさらに備える構成としてもよい (第 2 の構成)

。

[0074] また、上記第 2 の構成において、前記 MOS トランジスタは、PMOS ト
ランジスタ (5C) である構成としてもよい (第 3 の構成)。

[0075] また、上記第 3 の構成において、前記バッファ (5) は、前記 PMOS ト
ランジスタ (5C) のドレインに接続されるアノードと、前記信号出力端子
に接続されるカソードと、を含むダイオード (5D) をさらに有する構成と

してもよい（第４の構成）。

[0076] また、上記第１から第４のいずれかの構成において、前記動作情報信号は、前記フォロワ発光素子駆動装置（２０）の駆動対象である前記発光素子（Ａ１～Ａ２４）のPWM調光を行うためのPWM調光信号に基づいて生成される信号を含む構成としてもよい（第５の構成）。

[0077] また、上記第５の構成において、前記動作情報信号は、前記DC／DCコントローラ（１）による帰還制御により生成される前記出力電圧（V_{out}）よりも高い電圧値に前記出力電圧を制御するためのプリブースト信号に基づいて生成される信号を含み、

前記プリブースト信号は、前記PWM調光信号の調光オフ状態から調光オン状態へ切り替わるタイミングの直前に所定時間生成される構成としてもよい（第６の構成）。

[0078] また、本開示の一態様に係る発光素子駆動装置（２０）は、
信号出力端子（DCDCPWMOUT端子）と、
インバータ段（５１）と、

前記インバータ段の出力端が接続されるゲートと、前記信号出力端子に接続されるドレインと、を含むMOSトランジスタ（５Ｃ）と、

を有するバッファ（５）を備え、

駆動対象の発光素子（Ａ１～Ａ２４）の駆動に関する動作情報信号（Ｓ５）が前記インバータ段に入力可能である構成としている（第７の構成）。

[0079] また、上記第７の構成において、前記MOSトランジスタは、PMOSトランジスタ（５Ｃ）である構成としてもよい（第８の構成）。

[0080] また、上記第８の構成において、前記バッファ（５）は、前記PMOSトランジスタ（５Ｃ）のドレインに接続されるアノードと、前記信号出力端子（DCDCPWMOUT端子）に接続されるカソードと、を含むダイオード（５Ｄ）をさらに有する構成としてもよい（第９の構成）。

産業上の利用可能性

[0081] 本開示は、例えば、LEDの駆動に利用することが可能である。

符号の説明

[0082]	1	D C / D C コントローラ
	2	セレクト
	3	制御ロジック部
	4	電流ドライバ
	5	第 1 バッファ
	5 A	インバータ段
	5 B	出力インバータ
	5 C	P M O S トランジスタ
	5 D	ダイオード
	5 E	N M O S トランジスタ
	6	第 2 バッファ
	1 0	リーダー L E D 駆動装置
	2 0	フォロワ L E D 駆動装置
	1 0 A	プルダウン抵抗
	1 0 B	インバータ
	3 0	出力段
	4 1	定電流ドライバ
	5 0	L E D 駆動システム
	5 1	インバータ段
	1 0 0	L E D 駆動システム
	1 1 0	リーダー L E D 駆動装置
	1 2 0	フォロワ L E D 駆動装置
	1 2 0 A	入出力バッファ
	A 1 ~ A 2 4	L E D アレイ
	C o	出力コンデンサ
	D 1	ダイオード
	I V	インバータ

I V 1	インバータ段
L 1	インダクタ
N 1	第 1 ノード
N 2	第 2 ノード
N s w	ノード
P U	プルアップ抵抗
Q 1	スイッチング素子
O R 1	O R 回路

請求の範囲

- [請求項1] 発光素子を駆動可能に構成されて、出力電圧を出力可能な出力段を制御可能に構成されたDC／DCコントローラを有するリーダー発光素子駆動装置と、
- 前記出力電圧が印加される発光素子を駆動可能に構成される複数のフォロワ発光素子駆動装置と、
- を備え、
- 前記フォロワ発光素子駆動装置は、前記発光素子の駆動に関する動作情報信号を出力可能な信号出力端子を少なくとも1つ有し、
- 同一ノードに複数の前記信号出力端子が接続され、
- 前記同一ノードが前記リーダー発光素子駆動装置の信号入力端子に接続される、発光素子駆動システム。
- [請求項2] 前記フォロワ発光素子駆動装置は、
- 前記動作情報信号が入力可能に構成されたインバータ段と、
- 前記インバータ段の出力端が接続されるゲートと、前記信号出力端子が接続されるドレインと、を含むMOSトランジスタと、
- を有するバッファをさらに備える、請求項1に記載の発光素子駆動システム。
- [請求項3] 前記MOSトランジスタは、PMOSトランジスタである、請求項2に記載の発光素子駆動システム。
- [請求項4] 前記バッファは、前記PMOSトランジスタのドレインに接続されるアノードと、前記信号出力端子に接続されるカソードと、を含むダイオードをさらに有する、請求項3に記載の発光素子駆動システム。
- [請求項5] 前記動作情報信号は、前記フォロワ発光素子駆動装置の駆動対象である前記発光素子のPWM調光を行うためのPWM調光信号に基づいて生成される信号を含む、請求項1から請求項4のいずれか1項に記載の発光素子駆動システム。
- [請求項6] 前記動作情報信号は、前記DC／DCコントローラによる帰還制御

により生成される前記出力電圧よりも高い電圧値に前記出力電圧を制御するためのプリブースト信号に基づいて生成される信号を含み、

前記プリブースト信号は、前記PWM調光信号の調光オフ状態から調光オン状態へ切り替わるタイミングの直前に所定時間生成される、請求項5に記載の発光素子駆動システム。

[請求項7]

信号出力端子と、

インバータ段と、

前記インバータ段の出力端が接続されるゲートと、前記信号出力端子に接続されるドレインと、を含むMOSトランジスタと、

を有するバッファを備え、

駆動対象の発光素子の駆動に関する動作情報信号が前記インバータ段に入力可能である、発光素子駆動装置。

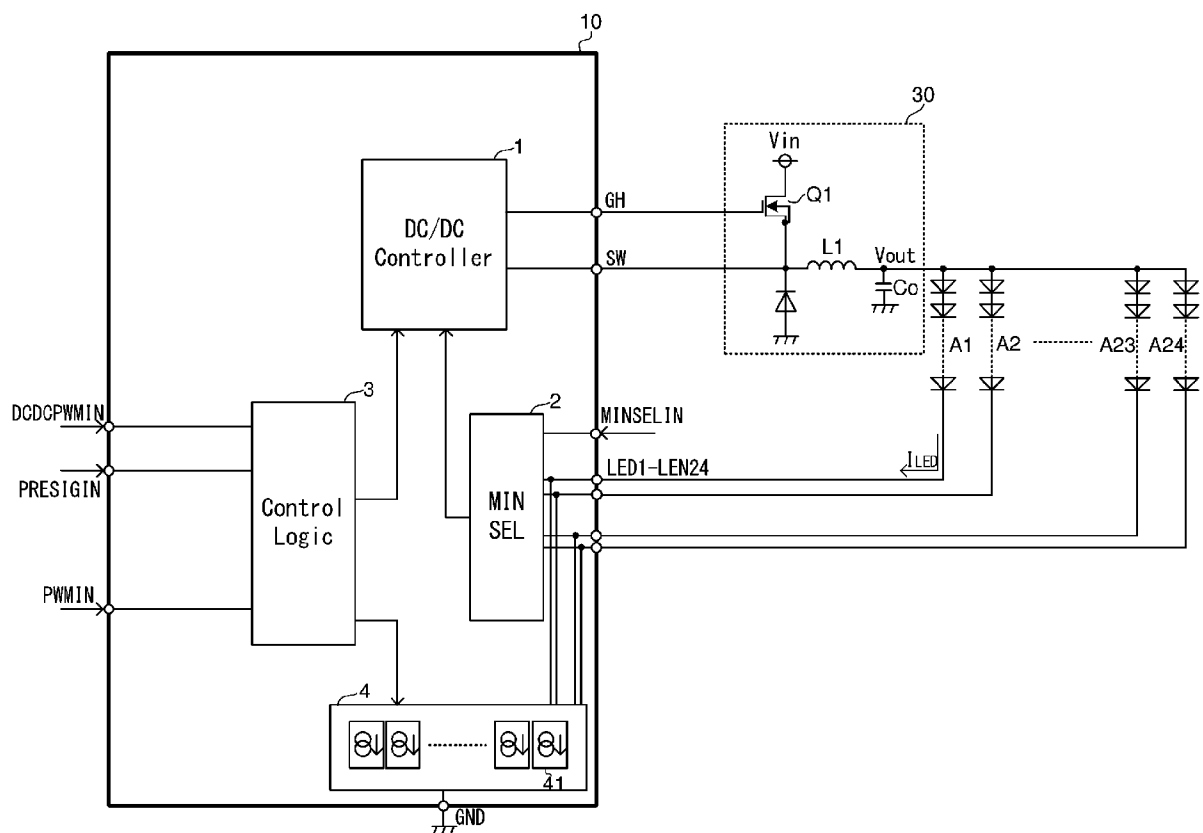
[請求項8]

前記MOSトランジスタは、PMOSトランジスタである、請求項7に記載の発光素子駆動装置。

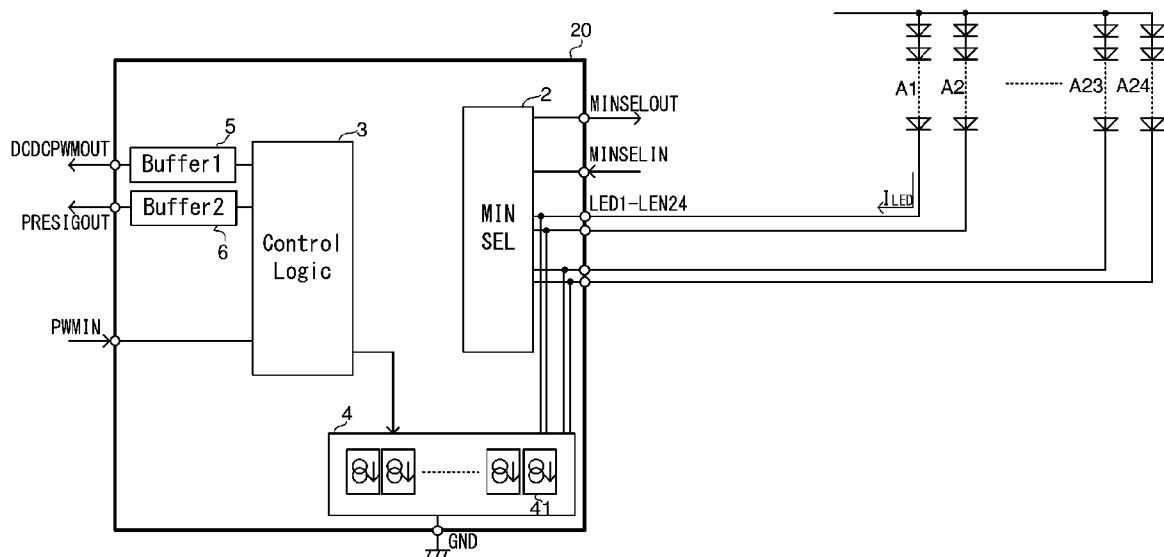
[請求項9]

前記バッファは、前記PMOSトランジスタのドレインに接続されるアノードと、前記信号出力端子に接続されるカソードと、を含むダイオードをさらに有する、請求項8に記載の発光素子駆動装置。

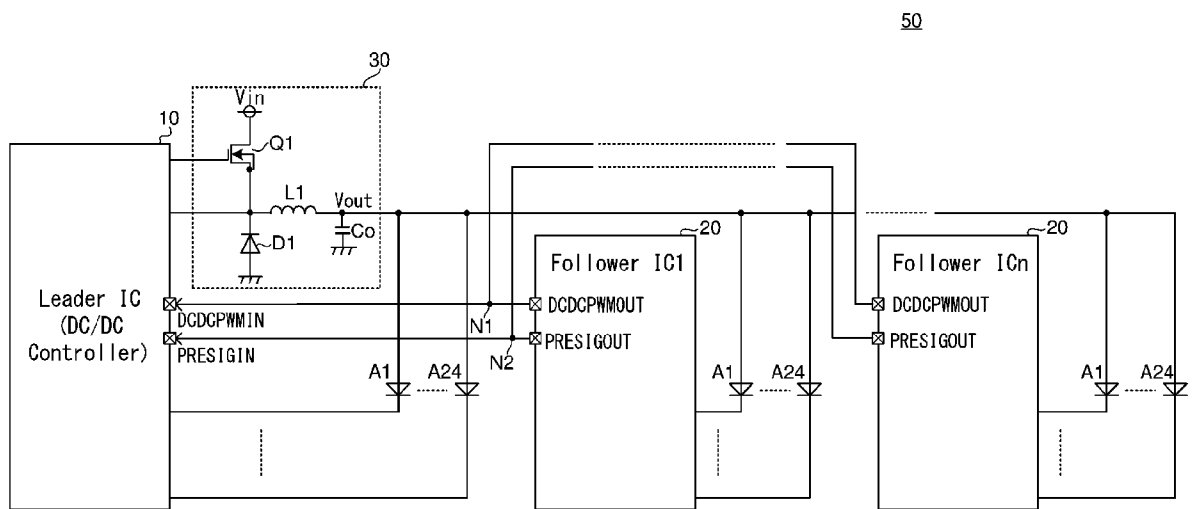
[図1]



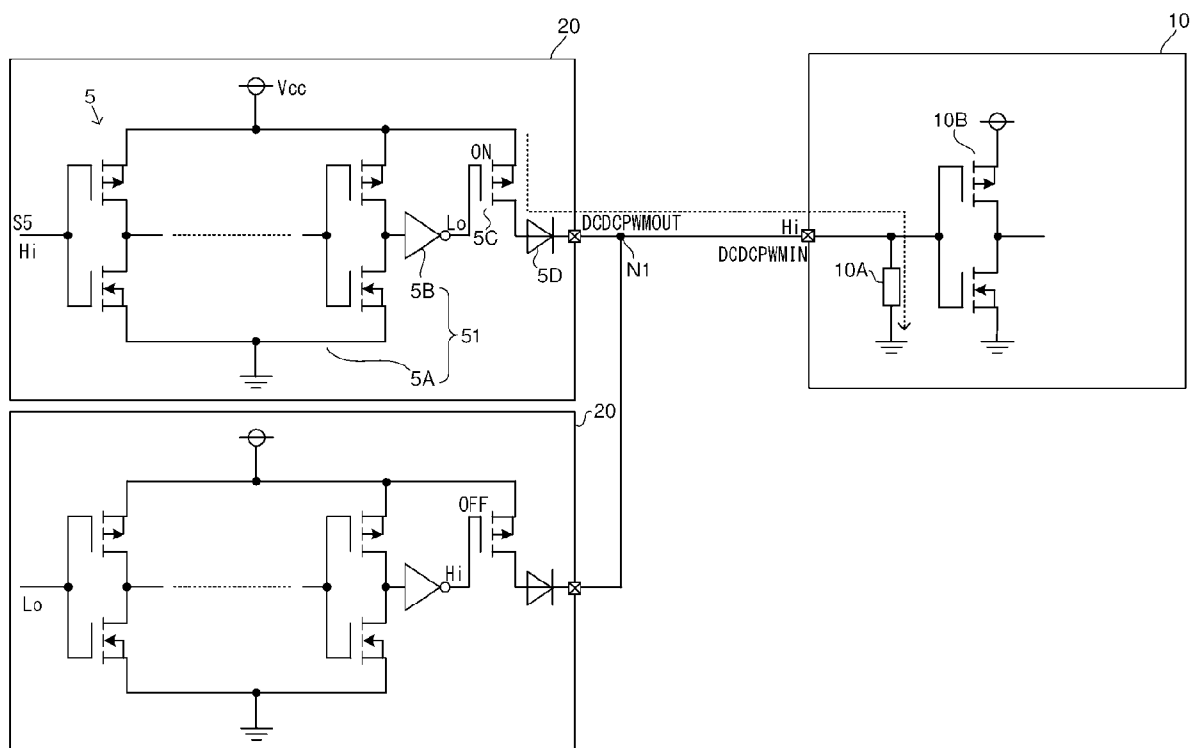
[図2]



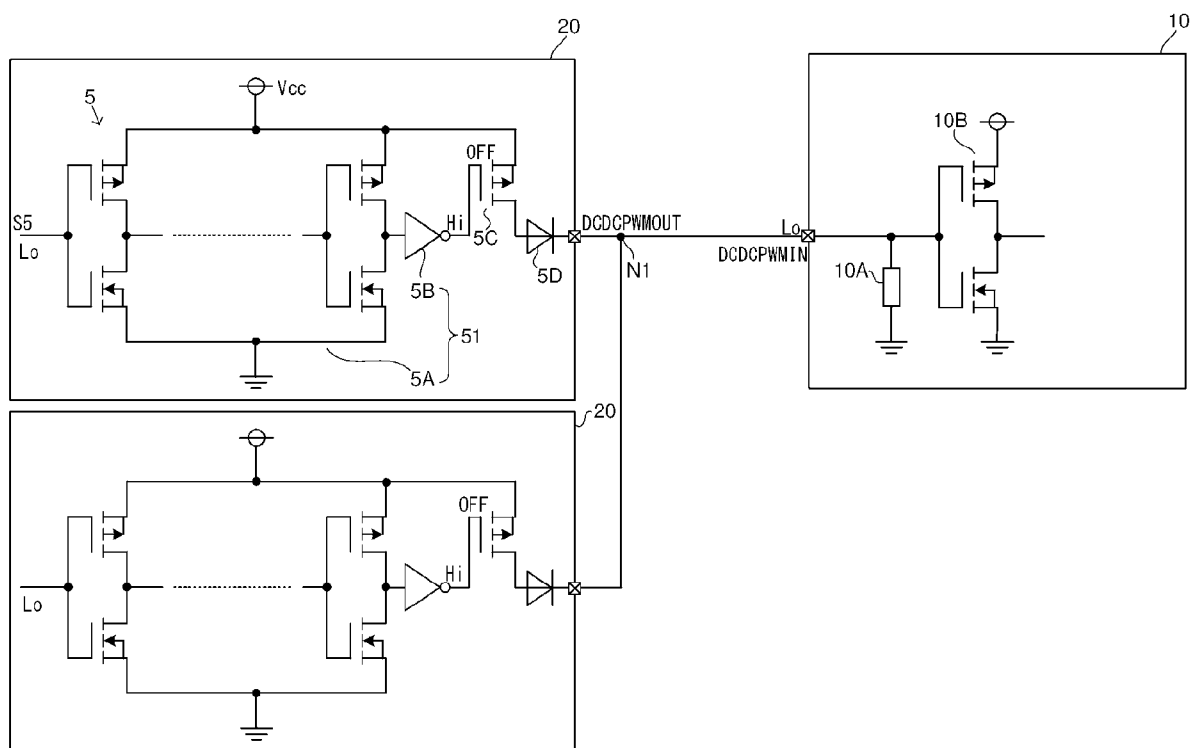
[図3]



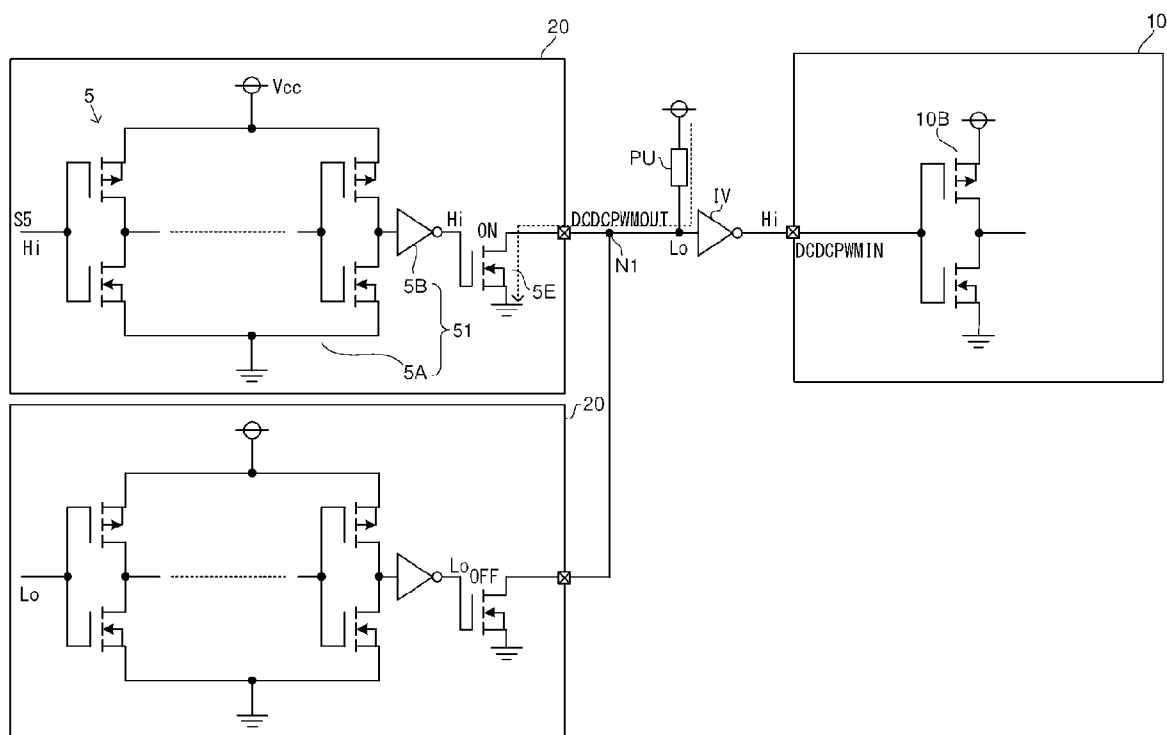
[図4A]



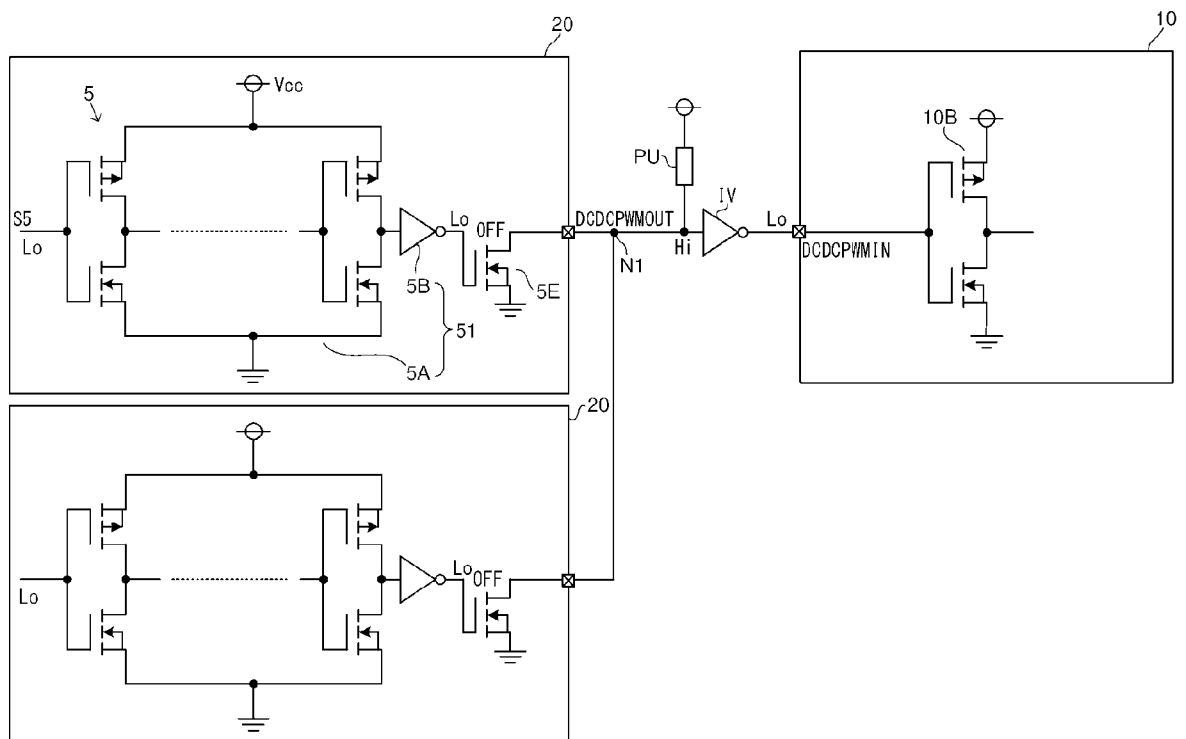
[図4B]



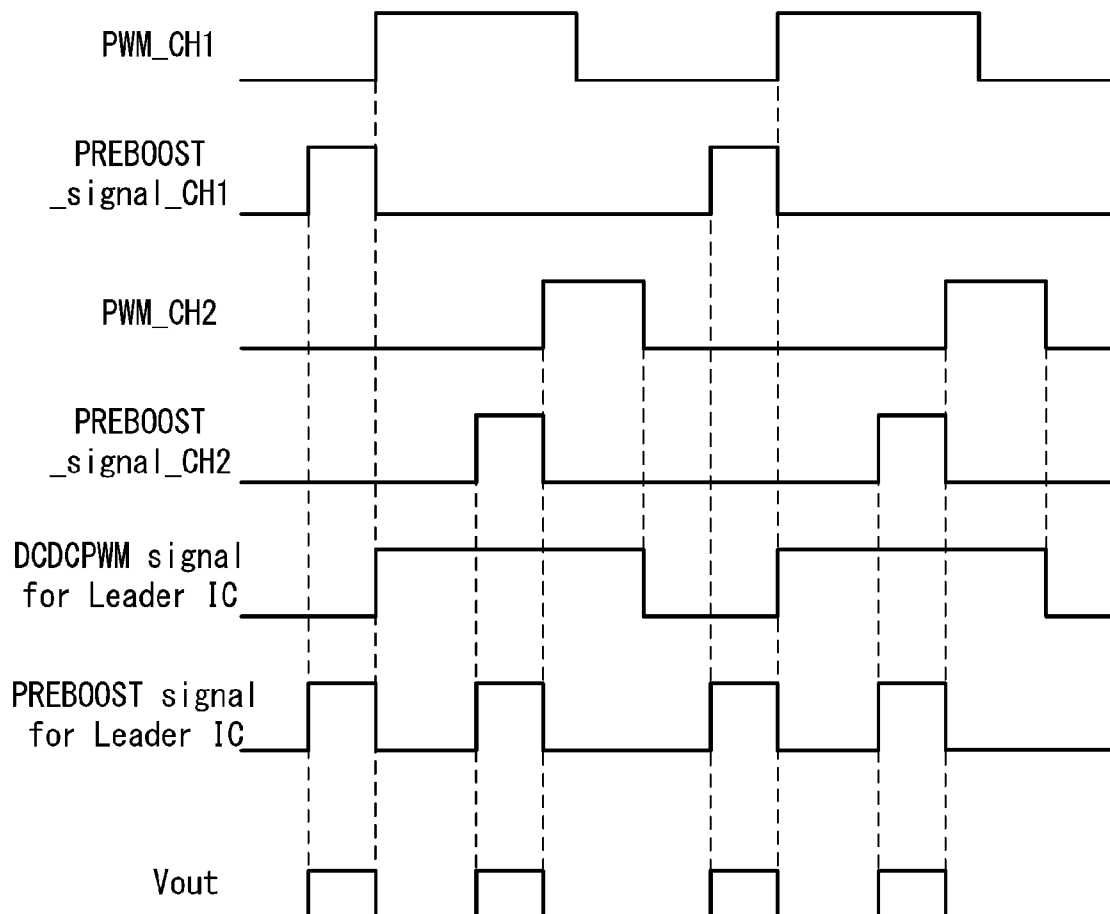
[図4C]



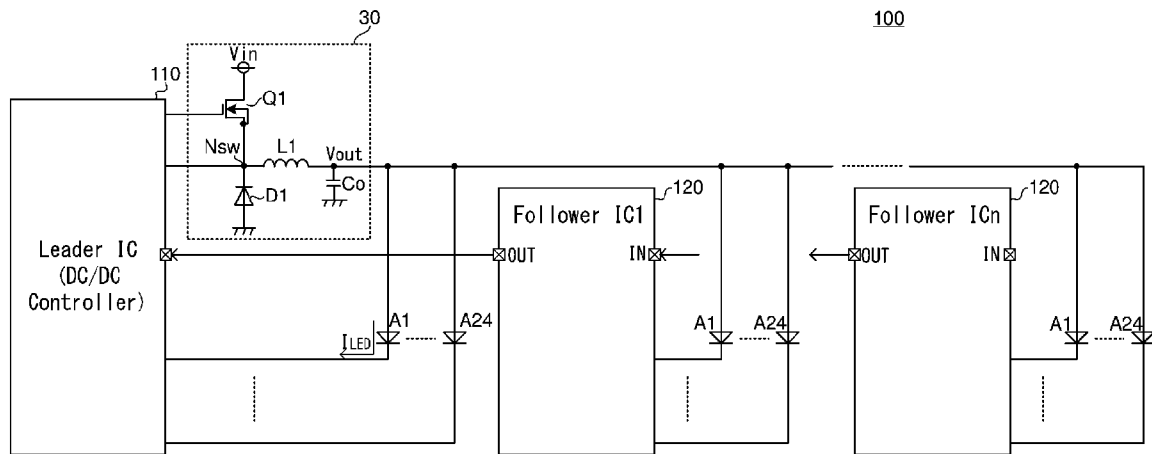
[図4D]



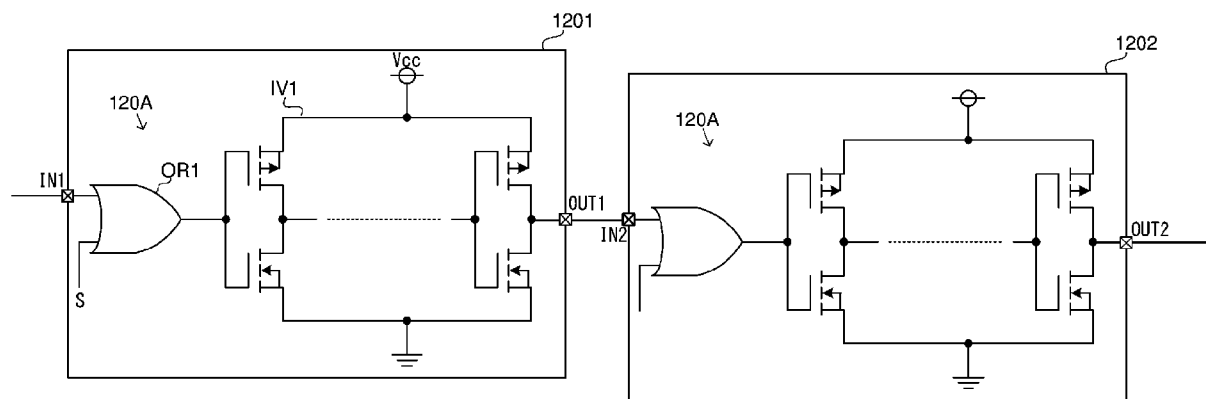
[図5]



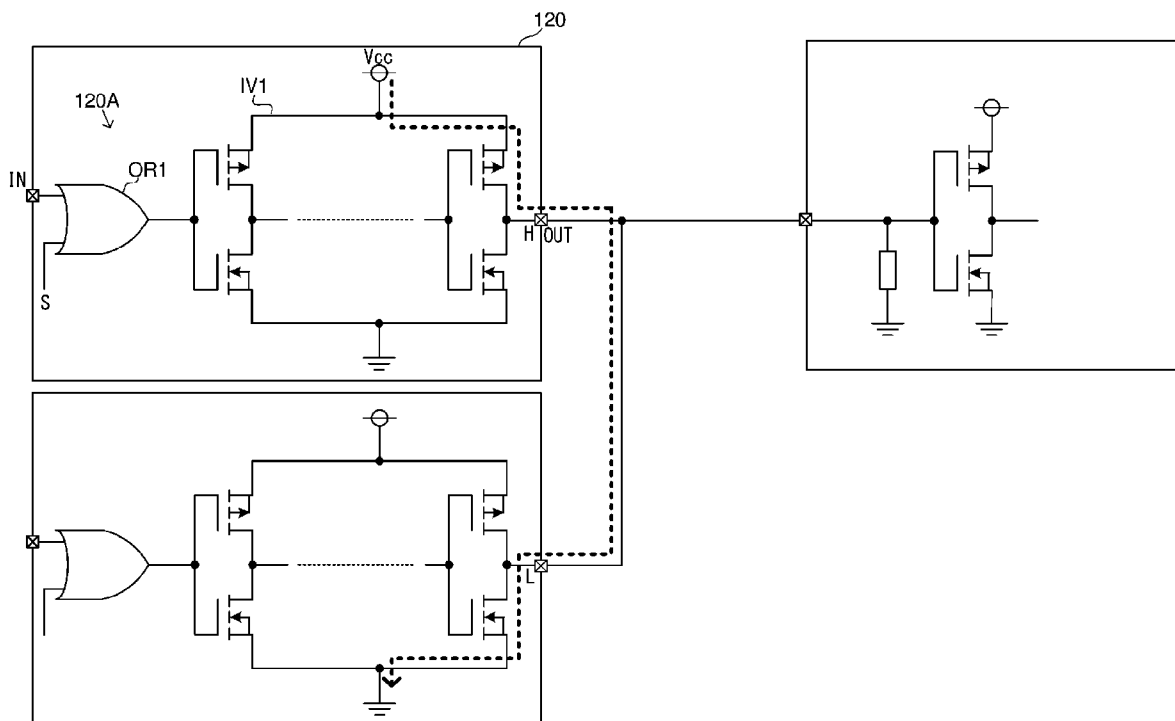
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/016672

A. CLASSIFICATION OF SUBJECT MATTER

H05B 45/375(2020.01)i; **H01L 33/00**(2010.01)i; **H02M 3/155**(2006.01)i; **H05B 45/325**(2020.01)i; **H05B 45/345**(2020.01)i; **H05B 45/38**(2020.01)i; **H05B 47/105**(2020.01)i; **H05B 47/14**(2020.01)i; **H05B 47/16**(2020.01)i
 FI: H05B45/375; H01L33/00 J; H02M3/155 P; H05B45/325; H05B45/345; H05B45/38; H05B47/105; H05B47/14; H05B47/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05B45/375; H01L33/00; H02M3/155; H05B45/325; H05B45/345; H05B45/38; H05B47/105; H05B47/14; H05B47/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/0187925 A1 (DELTA ELECTRONIC INC.) 23 July 2009 (2009-07-23) paragraphs [0042]-[0045], [0068]-[0070], fig. 5, 21-22	1, 5
Y		2-5
A		6
X	JP 2010-40641 A (OKI DATA CORP) 18 February 2010 (2010-02-18) paragraphs [0099]-[0121], fig. 22-25	7-9
Y		2-5

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

08 June 2023

Date of mailing of the international search report

20 June 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/016672

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2009/0187925	A1	23 July 2009	(Family: none)	
JP	2010-40641	A	18 February 2010	US 2010/0026214 A1	paragraphs [0153]-[0178], fig. 30-35

A. 発明の属する分野の分類（国際特許分類（IPC））										
H05B 45/375(2020.01)i; H01L 33/00(2010.01)i; H02M 3/155(2006.01)i; H05B 45/325(2020.01)i; H05B 45/345(2020.01)i; H05B 45/38(2020.01)i; H05B 47/105(2020.01)i; H05B 47/14(2020.01)i; H05B 47/16(2020.01)i FI: H05B45/375; H01L33/00 J; H02M3/155 P; H05B45/325; H05B45/345; H05B45/38; H05B47/105; H05B47/14; H05B47/16										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC））										
H05B45/375; H01L33/00; H02M3/155; H05B45/325; H05B45/345; H05B45/38; H05B47/105; H05B47/14; H05B47/16										
最小限資料以外の資料で調査を行った分野に含まれるもの										
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2023年									
日本国実用新案登録公報	1996-2023年									
日本国登録実用新案公報	1994-2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	US 2009/0187925 A1 (DELTA ELECTRONIC INC.) 23.07.2009 (2009-07-23)	1, 5								
Y	段落0042-0045, 0068-0070, 図5, 21-22	2-5								
A		6								
X	JP 2010-40641 A (株式会社沖データ) 18.02.2010 (2010-02-18)	7-9								
Y	段落0099-0121, 図22-25	2-5								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日	国際調査報告の発送日									
08.06.2023	20.06.2023									
名称及びあて先	権限のある職員（特許庁審査官）									
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	野木 新治 3X 8374 電話番号 03-3581-1101 内線 3371									

PCT/JP2023/016672

様式 PCT/ISA/210 (パテントファミリー用別紙) (2015年1月)