

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 29 年 3 月 2 日 (2017.3.2)

【公表番号】特表 2016-514419 (P2016-514419A)
 【公表日】平成 28 年 5 月 19 日 (2016.5.19)
 【年通号数】公開・登録公報 2016-030
 【出願番号】特願 2015-561411 (P2015-561411)
 【国際特許分類】

H 0 3 K 3/037 (2006.01)
 H 0 1 L 21/822 (2006.01)
 H 0 1 L 27/04 (2006.01)
 H 0 3 K 3/356 (2006.01)
 H 0 3 K 3/3562 (2006.01)

【F I】

H 0 3 K 3/037 Z
 H 0 1 L 27/04 F
 H 0 1 L 27/04 A
 H 0 3 K 3/356 Z
 H 0 3 K 3/3562 6 2 5
 H 0 3 K 3/037 B

【手続補正書】
 【提出日】平成 29 年 1 月 27 日 (2017.1.27)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

回路であって、

n - チャネル金属酸化膜半導体 (N M O S) トランジスタスタックに結合された p - チャネル金属酸化膜半導体 (P M O S) トランジスタスタックを含むリテンションステージ、ここで、前記 P M O S トランジスタスタックは直列に結合された第 1 の P M O S トランジスタおよび第 2 の P M O S トランジスタを含み、前記 N M O S トランジスタスタックは前記第 2 の P M O S トランジスタと直列に結合された第 1 の N M O S トランジスタおよび前記第 1 の N M O S トランジスタと直列に結合された第 2 の N M O S トランジスタを含み、前記第 2 の P M O S トランジスタは第 1 のクロック入力および外部電圧源へのバルクの接続を有し、前記リテンションステージは前記外部電圧源によって電力供給される、と、
前記リテンションステージの出力に応答するインバータ、ここにおいて、前記インバータは内部電圧源によって電力供給され、前記外部電圧源は前記内部電圧源よりも高い電圧を有する、と、

を備える、回路。

【請求項 2】

前記インバータの出力は、第 1 のリテンションレジスタに与えられる、請求項 1 に記載の回路。

【請求項 3】

前記第 1 のリテンションレジスタは、第 1 の揮発性領域および第 1 の不揮発性領域を含み、ここにおいて、前記第 1 の不揮発性領域は入力信号としてリテンション信号を受け取

る、請求項 2 に記載の回路。

【請求項 4】

前記第 1 のリテンションレジスタは、第 2 のリテンションレジスタを含むリテンションレジスタトレイに含まれ、ここにおいて、前記第 2 のリテンションレジスタは、第 2 の揮発性領域および第 2 の不揮発性領域を含み、ここにおいて、前記第 1 のリテンションレジスタは、前記第 2 のリテンションレジスタに結合される、請求項 3 に記載の回路。

【請求項 5】

前記第 1 の不揮発性領域および前記第 2 の不揮発性領域は、前記外部電圧源に接続された第 1 の n 型ウェル (n - w e l l) に位置し、ここにおいて、前記第 1 の揮発性領域および前記第 2 の揮発性領域は、前記内部電圧源に接続された第 2 の n - w e l l に位置する、請求項 4 に記載の回路。

【請求項 6】

前記第 1 のリテンションレジスタは、第 2 のリテンションレジスタを含むリテンションレジスタトレイに含まれ、ここにおいて、前記インバータの前記出力は、前記第 2 のリテンションレジスタに提供され、ここにおいて、前記第 1 のリテンションレジスタは、前記第 2 のリテンションレジスタに結合される、請求項 2 に記載の回路。

【請求項 7】

前記リテンションステージは、入力としてリテンション信号および反転されたリテンション信号を受け取る、請求項 1 に記載の回路。

【請求項 8】

前記反転されたリテンション信号は、第 1 のリテンションレジスタがスタンバイモードに入ることを、または前記スタンバイモードを抜け出ることをトリガするように構成される、請求項 7 に記載の回路。

【請求項 9】

前記インバータは、p - チャネル金属酸化膜半導体 (P M O S) トランジスタおよび n - チャネル金属酸化膜半導体 (N M O S) トランジスタを含む、請求項 1 に記載の回路。

【請求項 10】

第 1 のクロック信号を第 1 のリテンションレジスタのクロック入力へ供給し、および前記第 1 のクロック信号を第 2 のリテンションレジスタのクロック入力へ供給するように構成されるクロックゲーティング回路をさらに備え、ここにおいて、前記第 1 のリテンションレジスタおよび前記第 2 のリテンションレジスタは、リテンションレジスタトレイを形成し、ここにおいて、前記クロックゲーティング回路は前記リテンションレジスタトレイの外部にあり、およびここにおいて、前記クロックゲーティング回路は、前記外部電圧源によって電力供給される第 1 のステージと、前記内部電圧源によって電力供給される第 2 のステージとを含む、請求項 1 に記載の回路。

【請求項 11】

前記第 1 のステージは、前記リテンションステージを含み、ここにおいて、前記第 2 のステージは、前記インバータを含む、請求項 10 に記載の回路。

【請求項 12】

方法であって、

n - チャネル金属酸化膜半導体 (N M O S) トランジスタスタックに結合された p - チャネル金属酸化膜半導体 (P M O S) トランジスタスタックを含むリテンションステージにおいてクロック信号を受け取ること、ここで、前記 P M O S トランジスタスタックは直列に結合された第 1 の P M O S トランジスタおよび第 2 の P M O S トランジスタを含み、前記 N M O S トランジスタスタックは前記第 2 の P M O S トランジスタと直列に結合された第 1 の N M O S トランジスタおよび前記第 1 の N M O S トランジスタと直列に結合された第 2 の N M O S トランジスタを含み、前記第 2 の P M O S トランジスタはクロック入力および外部電圧源へのバルクの接続を有し、前記リテンションステージは、前記外部電圧源によって電力供給される、と、

前記リテンションステージからインバータへ出力を提供すること、ここにおいて、前記

インバータは、内部電圧源によって電力供給され、前記外部電圧源は前記内部電圧源よりも高い電圧を有する、と、

を備える、方法。

【請求項 1 3】

前記インバータから第 1 のリテンションレジスタへ出力を与えることをさらに備える、請求項 1 2 に記載の方法。

【請求項 1 4】

前記インバータから第 2 のリテンションレジスタへ前記出力を与えること、ここにおいて、前記第 1 のリテンションレジスタおよび前記第 2 のリテンションレジスタは、リテンションレジスタトレイを形成し、およびここにおいて、前記第 1 のリテンションレジスタは、前記第 2 のリテンションレジスタに結合される、

をさらに備える、請求項 1 3 に記載の方法。

【請求項 1 5】

前記リテンションステージにおいて、リテンション信号および反転されたリテンション信号を受け取ることをさらに備え、好ましくは、

前記反転されたリテンション信号に基づいて、第 1 のリテンションレジスタがスタンバイモードに入ること、または前記スタンバイモードから抜け出ることをトリガすること、
をさらに備える、請求項 1 2 に記載の方法。

【請求項 1 6】

命令を備えるコンピュータ読み取り可能な記憶媒体であって、前記命令は、プロセッサによって実行されると、前記プロセッサに、請求項 1 乃至 1 5 のうちのいずれか 1 項に記載の方法を実行させる、コンピュータ読み取り可能な記憶媒体。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 3

【補正方法】変更

【補正の内容】

【0 0 6 3】

[0071] 開示された実施形態の先の説明は、当業者が開示された実施形態を製造または使用すること可能にするように提供されている。これらの実施形態への様々な修正は、当業者にとって容易に明らかであり、ここに定義された原理は、本開示の範囲から逸脱することなく他の実施形態に適用され得る。それ故に、本開示は、ここに示された実施形態に限定されるようには意図されておらず、以下の特許請求の範囲によって定義されるような原理および新規な特徴と一致する、可能性のある最も広い範囲を与えられることとなる。

以下に、出願当初の特許請求の範囲に記載された発明を付記する。

[C 1]

回路であって、

第 1 のクロック入力を有するトランジスタを含むリテンションステージ、ここにおいて、前記リテンションステージは外部電圧源によって電力供給される、と、

前記リテンションステージの出力にตอบสนองするインバータ、ここにおいて、前記インバータは内部電圧源によって電力供給される、と、

を備える、回路。

[C 2]

前記インバータの出力は、第 1 のリテンションレジスタに与えられる、C 1 に記載の回路。

[C 3]

前記第 1 のリテンションレジスタは、第 1 の揮発性領域および第 1 の不揮発性領域を含み、ここにおいて、前記第 1 の不揮発性領域は入力信号としてリテンション信号を受け取る、C 2 に記載の回路。

[C 4]

前記第 1 のリテンションレジスタは、第 2 のリテンションレジスタを含むリテンションレジスタトレイに含まれ、ここにおいて、前記第 2 のリテンションレジスタは、第 2 の揮発性領域および第 2 の不揮発性領域を含み、ここにおいて、前記第 1 のリテンションレジスタは、前記第 2 のリテンションレジスタに結合される、C 3 に記載の回路。

[C 5]

前記第 1 の不揮発性領域および前記第 2 の不揮発性領域は、前記外部電圧源に接続された第 1 の n 型ウェル (n - w e l l) に位置し、ここにおいて、前記第 1 の揮発性領域および前記第 2 の揮発性領域は、前記内部電圧源に接続された第 2 の n - w e l l に位置する、C 4 に記載の回路。

[C 6]

前記第 1 のリテンションレジスタは、第 2 のリテンションレジスタを含むリテンションレジスタトレイに含まれ、ここにおいて、前記インバータの前記出力は、前記第 2 のリテンションレジスタに提供され、ここにおいて、前記第 1 のリテンションレジスタは、前記第 2 のリテンションレジスタに結合される、C 2 に記載の回路。

[C 7]

前記リテンションステージは、入力としてリテンション信号および反転されたリテンション信号を受け取る、C 1 に記載の回路。

[C 8]

前記反転されたリテンション信号は、第 1 のリテンションレジスタがスタンバイモードに入ること、または前記スタンバイモードを抜け出ることをトリガするように構成される、C 7 に記載の回路。

[C 9]

前記インバータは、p - チャネル金属酸化膜半導体 (P M O S) トランジスタおよび n - チャネル金属酸化膜半導体 (N M O S) トランジスタを含む、C 1 に記載の回路。

[C 1 0]

第 1 のクロック信号を第 1 のリテンションレジスタの第 2 のクロック入力へ供給し、および前記第 1 のクロック信号を第 2 のリテンションレジスタの第 3 のクロック入力へ供給するように構成されるクロックゲーティング回路をさらに備え、ここにおいて、前記第 1 のリテンションレジスタおよび前記第 2 のリテンションレジスタは、リテンションレジスタトレイを形成し、ここにおいて、前記クロックゲーティング回路は前記リテンションレジスタトレイの外部にあり、およびここにおいて、前記クロックゲーティング回路は、前記外部電圧源によって電力供給される第 1 のステージと、前記内部電圧源によって電力供給される第 2 のステージとを含む、C 1 に記載の回路。

[C 1 1]

前記第 1 のステージは、前記リテンションステージを含み、ここにおいて、前記第 2 のステージは、前記インバータを含む、C 1 0 に記載の回路。

[C 1 2]

装置であって、

クロック入力を有するゲートを含むデータをスイッチングするための手段、ここにおいて、前記データをスイッチングするための手段は外部電圧源によって電力供給される、と

、

前記データをスイッチングするための手段の出力を反転するための手段、ここにおいて、前記反転するための手段は内部電圧源によって電力供給される、と、

を備える、装置。

[C 1 3]

第 1 のビットを保持するための手段および第 2 のビットを保持するための手段にクロック信号を供給するための手段をさらに備え、ここにおいて、前記第 1 のビットを保持するための手段および前記第 2 のビットを保持するための手段は、データを保持するための手段を形成し、ここにおいて、前記クロック信号を供給するための手段は、前記データを保持するための手段の外部にあり、およびここにおいて、前記クロック信号を供給するため

の手段は、前記外部電圧源によって電力供給される第１のステージと、前記内部電圧源によって電力供給される第２のステージと、を含む、Ｃ１２に記載の装置。

[Ｃ１４]

前記第１のステージは、前記データをスイッチングするための手段を含み、前記第２のステージは、前記反転するための手段を含む、Ｃ１３に記載の装置。

[Ｃ１５]

方法であって、

クロック入力を有するトランジスタを含むリテンションステージにおいてクロック信号を受け取ること、ここにおいて、前記リテンションステージは、外部電圧源によって電力供給される、と、

前記リテンションステージからインバータへ出力を提供すること、ここにおいて、前記インバータは、内部電圧源によって電力供給される、と、

を備える、方法。

[Ｃ１６]

前記インバータから第１のリテンションレジスタへ出力を与えることをさらに備える、Ｃ１５に記載の方法。

[Ｃ１７]

前記インバータから第２のリテンションレジスタへ前記出力を与えること、ここにおいて、前記第１のリテンションレジスタおよび前記第２のリテンションレジスタは、リテンションレジスタトレイを形成し、およびここにおいて、前記第１のリテンションレジスタは、前記第２のリテンションレジスタに結合される、

をさらに備える、Ｃ１６に記載の方法。

[Ｃ１８]

前記リテンションステージにおいて、リテンション信号および反転されたリテンション信号を受け取ること、をさらに備える、Ｃ１５に記載の方法。

[Ｃ１９]

前記反転されたリテンション信号に基づいて、第１のリテンションレジスタがスタンバイモードに入ること、または前記スタンバイモードから抜け出ることをトリガすること、をさらに備える、Ｃ１８に記載の方法。

[Ｃ２０]

命令を備えるコンピュータ読み取り可能な記憶デバイスであって、前記命令は、プロセッサによって実行されると、前記プロセッサに、

リテンション信号をリテンションステージへ与えることを開始させ、

ここにおいて、前記リテンションステージは、外部電圧源によって電力供給され、

ここにおいて、前記リテンションステージは、クロック信号を受け取るように構成され、

ここにおいて、前記リテンションステージは、インバータへ出力を提供するように構成され、

ここにおいて、前記インバータは、内部電圧源によって電力供給される、

コンピュータ読み取り可能な記憶デバイス。

[Ｃ２１]

回路であって、

第１の不揮発性領域および第１の揮発性領域を含む第１のリテンションレジスタと、

第２の不揮発性領域および第２の揮発性領域を含む第２のリテンションレジスタ、ここにおいて、前記第１のリテンションレジスタは前記第２のリテンションレジスタに結合され、ここにおいて、前記第１の不揮発性領域および前記第２の不揮発性領域は、外部電圧源に接続された第１のｎ型ウェル（*n - well*）に位置し、およびここにおいて、前記第１の揮発性領域および前記第２の揮発性領域は、内部電圧源に接続された第２のｎ - *well*に位置する、と、

を備える、回路。

[C 2 2]

前記第 1 のリテンションレジスタおよび前記第 2 のリテンションレジスタは、リテンションレジスタトレイを形成する、C 2 1 に記載の回路。

[C 2 3]

クロックゲーティング回路が、クロック信号を前記第 1 のリテンションレジスタへ供給し、および前記クロック信号を前記第 2 のリテンションレジスタへ供給するように構成され、ここにおいて、前記クロックゲーティング回路は、前記第 1 の n - w e l l に位置する、C 2 2 に記載の回路。

[C 2 4]

方法であって、

リテンション信号を受け取ることに応えて、

リテンションレジスタの不揮発性ステージにおいて状態情報を保持することと、

前記リテンションレジスタの揮発性ステージへの電力を低減することと、

を備え、

ここにおいて、前記不揮発性ステージは外部電圧源によって電力供給され、前記揮発性ステージは内部電圧源によって電力供給される、

方法。

[C 2 5]

前記状態情報は、少なくとも内部データ状態を含む、C 2 4 に記載の方法。

[C 2 6]

前記揮発性ステージ内に位置するコンポーネントは、前記揮発性ステージへの電力が低減される時、フローティング状態に入る、C 2 4 に記載の方法。